

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 03103813.1

[51] Int. Cl.

H01L 23/525 (2006.01)

H01L 27/04 (2006.01)

H01L 27/11 (2006.01)

H01L 21/60 (2006.01)

[45] 授权公告日 2007 年 8 月 29 日

[11] 授权公告号 CN 100334724C

[22] 申请日 2003.2.12 [21] 申请号 03103813.1

[30] 优先权

[32] 2002. 2. 12 [33] JP [31] 034651/2002

[73] 专利权人 日立超大规模集成电路系统株式会社

地址 日本东京

共同专利权人 株式会社日立制作所

[72] 发明人 丰嶋博 林厚宏 根岸刚己
上原高志

[56] 参考文献

US 6198671B1 2001.3.6

CN 1182938A 1998.5.27

US 5946236A 1999.8.31

CN 1146053A 1997.3.26

US 2001/0017418A1 2001.8.30

CN 1229998A 1999.9.29

审查员 曾宇昕

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 李 强

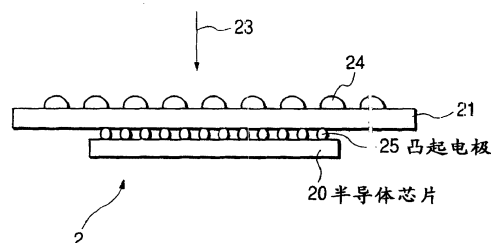
权利要求书 6 页 说明书 13 页 附图 15 页

[54] 发明名称

半导体集成电路器件

[57] 摘要

一种意在防止特性下降的半导体集成电路器件包括被布置为散布于半导体基底之上的多个限压电路，它们用于产生一个预定电压电平的内部电压电压。每个限压电路被布置为使其晶体管形成区域正好位于用于输入外部提供的电源电压的凸起电极的形成区域之下。限压电路的散布布局能够避免使电流集中于一个限压电路和缓解对限压电路和它们的外围设备的有害加热。从凸起电极至晶体管的较短布线长度能得到较小布线电阻，从而减轻布线上的电源电压降。



1.一种半导体集成电路器件，包括：

半导体基底；

电路元件，它们被形成于所述半导体基底上以便组成一个电路；

形成于所述半导体基底上并且电连接至所述电路元件的布线层；

形成为覆盖所述电路并具有一个开口的有机绝缘膜；

形成为叠置在所述有机绝缘膜上并通过所述开口而电连接至所述布线层的导体层；

通过所述导体层连至所述布线层的凸起电极；

其中所述电路包括多个限压电路，这些限压电路被分散布置于所述半导体基底上以产生一个预定电压的内部电源电压；

其中每个所述限压电路包括晶体管，该晶体管用于降低从外部通过所述凸起电极而输入的电源电压的电压电平，且

其中所述晶体管的至少一部分被形成为刚好位于用于输入所述电源电压的所述凸起电极的形成区域之下。

2.根据权利要求1的半导体集成电路器件，其中每个所述限压电路包括：

电压感测电路，它感测所述内部电源电压的电压电平；及

比较电路，它把由所述电压感测电路提供的感测电压与预定参考电压进行比较并且响应于比较结果而控制所述晶体管的导电率。

3.根据权利要求2的半导体集成电路器件，其中所述晶体管由多个并行地连结的p沟道MOS晶体管形成，从而组成一个晶体管组，而所述MOS晶体管中的至少一部分被形成为正好位于所述凸起电极的形成区域之下。

4.根据权利要求3的半导体集成电路器件，还包括：

馈电路径，它将由所述限压电路产生的内部电源电压提供给内部电路；

多个存储器单元，它们被排列为阵列；及

多条字线，用于在所述存储器单元中选择一组存储器单元，

其中所述馈电路径包括多条字线间电源线，它们由所述字线所共有的一层布线层所形成并且被布置于相邻字线之间，及

其中多条字线上电源线由不同于所述字线间电源线的布线层的一层布线层所形成，并且被布置为与所述字线间电源线空间相交，且通过通孔电连接至所述字线间电源线。

5.根据权利要求3的半导体集成电路器件，其中所述导体层包括内部馈电线，它被布置为包围所述凸起电极的形成区。

6.根据权利要求3的半导体集成电路器件，

其中所述导体层包括用于传导地址信号的布线，及用于将低电源电压馈送给内部电路的布线，及

其中所述地址信号线被布置为由与所述地址信号线并排布置的所述低电源电压馈电线所屏蔽。

7.根据权利要求3的半导体集成电路器件，其中所述导体层包括：内部电源电压馈电线，它被布置为包围所述凸起电极的形成区域；

用于传导一个地址信号的布线；及

用于将低电源电压馈送给内部电路的布线，

所述地址信号线被布置为由与所述地址信号线并排布置的所述低电源电压馈电线所屏蔽。

8.根据权利要求3的半导体集成电路器件，其中所述导体层包括一条用于传导一个时钟信号至所述电路的布线。

9.根据权利要求3的半导体集成电路器件，其中所述导体层包括：用于传导时钟信号至所述电路的布线；

内部电源电压馈电线，它被布置为环状以便包围所述凸起电极的形成区；及

用于传导地址信号的布线；及

用于将低电源电压馈送给内部电路的布线，

所述地址信号线被布置为由与所述地址信号线并排布置的所述

低电源电压馈电线所屏蔽。

10.根据权利要求 2 的半导体集成电路器件，还包括一个参考电压发生电路，用于产生参考电压，所述参考电压发生电路由各所述限压电路分享。

11.根据权利要求 10 的半导体集成电路器件，还包括：

馈电路径，它将由所述限压电路产生的内部电源电压提供给内部电路；

多个存储器单元，它们被排列为阵列；及

多条字线，用于在所述存储器单元中选择一组存储器单元，

其中所述馈电路径包括多条字线间电源线，它们由所述字线所共有的一层布线层所形成并且被布置于相邻字线之间，及

其中多条字线上电源线由不同于所述字线间电源线的布线层的一层布线层所形成，并且被布置为与所述字线间电源线空间相交，且通过通孔电连接至所述字线间电源线。

12.根据权利要求 10 的半导体集成电路器件，其中所述导体层包括一条内部馈电线，它被布置为包围所述凸起电极的形成区。

13.根据权利要求 10 的半导体集成电路器件，

其中所述导体层包括用于传导地址信号的布线，及用于将低电源电压馈送给内部电路的布线，及

其中所述地址信号线被布置为由与所述地址信号线并排布置的所述低电源电压馈电线所屏蔽。

14.根据权利要求 10 的半导体集成电路器件，其中所述导体层包括：

内部电源电压馈电线，它被布置为包围所述凸起电极的形成区域；

用于传导一个地址信号的布线；及

用于将低电源电压馈送给内部电路的布线，

所述地址信号线被布置为由与所述地址信号线并排布置的所述低电源电压馈电线所屏蔽。

15.根据权利要求 10 的半导体集成电路器件，其中所述导体层包括用于传导时钟信号至所述电路的布线。

16.根据权利要求 10 的半导体集成电路器件，其中所述导体层包括：

用于传导一个时钟信号至所述电路的布线；

内部电源电压馈电线，它被布置为环状以便包围所述凸起电极的形成区；及

用于传导地址信号的布线；及

用于将低电源电压馈送给内部电路的布线，

所述地址信号线被布置为由与所述地址信号线并排布置的所述低电源电压馈电线所屏蔽。

17.根据权利要求 2 的半导体集成电路器件，还包括：

馈电路径，它将由所述限压电路产生的内部电源电压提供给内部电路；

多个存储器单元，它们被排列为阵列；及

多条字线，用于在所述存储器单元中选择一组存储器单元，

其中所述馈电路径包括多条字线间电源线，它们由所述字线所共有的一层布线层所形成并且被布置于相邻字线之间，及

其中多条字线上电源线由不同于所述字线间电源线的布线层的一层布线层所形成，并且被布置为与所述字线间电源线空间相交，且通过通孔电连接至所述字线间电源线。

18.根据权利要求 2 的半导体集成电路器件，其中所述导体层包括一条内部馈电线，它被布置为包围所述凸起电极的形成区。

19.根据权利要求 2 的半导体集成电路器件，

其中所述导体层包括用于传导地址信号的布线，及用于将低电源电压馈送给内部电路的布线，及

其中所述地址信号线被布置为由与所述地址信号线并排布置的所述低电源电压馈电线所屏蔽。

20.根据权利要求 2 的半导体集成电路器件，其中所述导体层包

括:

内部电源电压馈电线, 它被布置为包围所述凸起电极的形成区域;

用于传导地址信号的布线; 及

用于将低电源电压馈送给内部电路的布线,

所述地址信号线被布置为由与所述地址信号线并排布置的所述低电源电压馈电线所屏蔽。

21.根据权利要求 2 的半导体集成电路器件, 其中所述导体层包括用于传导时钟信号至所述电路的布线。

22.根据权利要求 2 的半导体集成电路器件, 其中所述导体层包括:

用于传导时钟信号至所述电路的布线;

内部电源电压馈电线, 它被布置为环状以便包围所述凸起电极的形成区; 及

用于传导地址信号的布线; 及

用于将低电源电压馈送给内部电路的布线,

所述地址信号线被布置为由与所述地址信号线并排布置的所述低电源电压馈电线所屏蔽。

23.根据权利要求 1 的半导体集成电路器件, 还包括:

馈电路径, 它将由所述限压电路产生的内部电源电压提供给内部电路;

多个存储器单元, 它们被排列为阵列; 及

多条字线, 用于在所述存储器单元中选择一组存储器单元,

其中所述馈电路径包括多条字线间电源线, 它们由所述字线所共有的一层布线层所形成并且被布置于相邻字线之间, 及

其中多条字线上电源线由不同于所述字线间电源线的布线层的一层布线层所形成, 并且被布置为与所述字线间电源线空间相交, 且通过通孔电连接至所述字线间电源线。

24.根据权利要求 1 的半导体集成电路器件, 其中所述导体层包

括一条内部馈电线，它被布置为包围所述凸起电极的形成区。

25.根据权利要求 1 的半导体集成电路器件，

其中所述导体层包括用于传导地址信号的布线，及用于将低电源电压馈送给内部电路的布线，及

其中所述地址信号线被布置为由与所述地址信号线并排布置的所述低电源电压馈电线所屏蔽。

26.根据权利要求 1 的半导体集成电路器件，其中所述导体层包括：

内部电源电压馈电线，它被布置为包围所述凸起电极的形成区域；

用于传导一个地址信号的布线；及

用于将低电源电压馈送给内部电路的布线，

所述地址信号线被布置为由与所述地址信号线并排布置的所述低电源电压馈电线所屏蔽。

27.根据权利要求 1 的半导体集成电路器件，其中所述导体层包括用于传导时钟信号至所述电路的布线。

28.根据权利要求 1 的半导体集成电路器件，其中所述导体层包括：

用于传导时钟信号至所述电路的布线；

内部电源电压馈电线，它被布置为环状以便包围所述凸起电极的形成区；及

用于传导地址信号的布线；及

用于将低电源电压馈送给内部电路的布线，

所述地址信号线被布置为由与所述地址信号线并排布置的所述低电源电压馈电线所屏蔽。

半导体集成电路器件

技术领域

本发明涉及一种半导体集成电路器件，更具体地涉及一种倒装片结合类型的半导体集成电路器件，它具有用于电路板上安装的凸起电极（突出电极）。本发明也涉及一种用于制造例如同步 SRAM(静态随机访问存储器)的技术。

背景技术

在例如日本专利未审查出版物 Nos. Hei 5(1993) – 218042 和 Hei 8(1996) – 250498 和美国专利 No. 5,547,740 中描述倒装片结合类型的用于形成突出电极例如焊接凸片的半导体集成电路器件。这些专利出版物显示一种倒装片结合类型的半导体集成电路器件的基本方案。具体地，从一个芯片的焊盘引出重新布线的线条，及连至重新布线线条的凸起电极在芯片表面上被排为阵列，以便被暴露于芯片表面保护薄膜之外。所得的凸起电极的扩展间距便于根据凸起电极至电路板的布线线条的连接而实现芯片的板上安装，并且最后允许使用具有大线间距的价廉电路板。

随着 MOS 晶体管的微型结构的发展，半导体集成电路器件所具有的耐压特性变坏因而导致它们的运行电压下降。在此方面，半导体集成电路器件通常被设计为从一个外部提供的较高电源电压 V_{DD} 产生较低内部电源电压 V_{DDI} ，用作提供给它们内部电路的运行电压。使用一个限压电路（也称为降压电路）从一个提供的较高电源电压 V_{DD} 产生较低内部电源电压 V_{DDI} 。该限压电路被安排为包括一个驱动器 PMOS(p 沟道 MOS)晶体管和一个用于将所产生的电源电压 V_{DDI} 与一个参考电压 V_{re} 进行比较并且响应于比较结果而激励驱动器 PMOS 晶体管的差动放大器。通过在驱动器 PMOS 晶体管的源极

和漏极之间所产生的电源电压 VDD 的压降而获得内部电源电压 VDDI。通过与参考电压 Vre 的比较结果而评价内部电源电压 VDDI 的变动，并且在反馈控制的基础上将内部电源电压 VDDI 稳定于预定电压电平。

在例如日本专利未审查出版物 No. 2002 - 25260 中描述一种被设计为使外部提供的电源电压降压和向内部电路供电的半导体集成电路器件。

发明内容

在包括那些与时钟信号同步地运行的同步 SRAM(静态随机存储器)和同步 DRAM(动态随机存储器)的半导体集成电路器件中经常有着愈来愈高的运行频率的趋势。因此，它们的内部电路消耗更多功率。

在此方面，本发明的发明者已注意到以下焦虑：限压电路及其外围设备可能经受由于内部电源电压 VDDI 的大电流集中于许多内部电路部分而导致的有害加热以致半导体集成电路器件的性能下降，以及由于大电流和限压电路和内部电路部分之间的布线电阻，内部电源电压 VDDI 可能下降，也将导致器件特性下降。

本发明的一个目的是提供一种技术，用于防止半导体集成电路器的特性下降。

以下说明和附图将使本发明的这些和其它目的和新颖特征更为明显。

在此说明书中公开的本发明内容简述如下。

一种半导体集成电路器件具有一片半导体基底、被形成于基底上以便组成电路的电路元件、一层被形成于基底上并且在电气上连至电路元件的布线层、一层覆盖着该电路而具有一个开口的有机绝缘膜、一层通过在有机绝缘膜上叠层而形成的并且通过开口在电气上连至布线层的导体层以及一个通过导体层在电气上连至布线层的凸起电极，它们通过在基底上散布多个限压电路而被包括于电路中，其中每个限压电路用于产生一个预定电压电平的内部电压电压及包括一个用于把

从外部通过凸起电极输入的一个外部电源电压的电压电平降低的晶体管。该晶体管被形成的区域被安排为正好处于用于输入电源电压的凸起电极的形成区域之下。

根据在半导体基底上将限压电路散布的布局，能够避免使电流集中于一个限压电路和缓解对限压电路和它们的外围设备的有害加热。此外，按照正好处于凸起电极形成区域之下的限压电路的晶体管形成区域，能够减少从馈电凸起电极至晶体管的布线长度。较短布线和由此的较小布线电阻有助于减少布线上的电压降，及减少内部电源电压的下降。因此能够防止半导体集成电路器件性能的下降。

限压电路包括一个电压感测电路，它感测内部电源电压的电压电平，及一个比较电路，它将所感测电源电压电平与参考电压进行比较及响应于比较结果而控制晶体管的导电率。该晶体管实际上是多个并行地连结的 p 沟道 MOS 晶体管，而它们中的至少一部分被布置为正好位于凸起电极之下。

优选地，所有限压电路都分享单个参考电压生成电路以使电路形成区最小。

在一个半导体集成电路器件中有着用于分布由限压电路产生的内部电源电压的内部馈电线，多个排成阵列的存储器单元，以及多条用于选择存储器单元的字线，而在内部馈电线中包括各字线间电源线，它们由一层对各字线是公共的而被布置于邻近字线之间的布线层构成，还包括各字线上电源线，它们由一层与字线的层不同而被布置为与字线间电源线相交并且在电气上连至它们的布线层构成。内部馈电线的这种分布布局减少布线电阻，因而缓解电源电压降。

导体层能够包括一条内部馈电线，它被形成以便包围凸起电极形成区。导体层还能包括一条地址信号线和用于分布低电源电压的低电压馈电线。地址信号线优选地由低电压电源线进行屏蔽，后者沿着地址信号线布置以便缓解噪音诱发和串扰。导体层还能用于传导时钟信号。

附图说明

图 1 是用于解释作为一个根据本发明的半导体集成电路器件的例子中的一个同步 SRAM 的内部布局的图;

图 2 是同步 SRAM 的一个侧面图;

图 3 是一个用于解释重新布线层和连至该层的凸起电极和焊盘的布局的同步 SRAM 的图;

图 4 是一个图 3 中所示布局的主要部分的剖面图;

图 5 是一个被包括于同步 SRAM 中的限压电路的原理电路图;

图 6 是一个用于解释同步 SRAM 的主要布线路径的图;

图 7 是一个用于解释被包括于同步 SRAM 中的凸起电极及其外围设备的布局的图;

图 8 是一个用于解释图 7 中所示凸起电极及其外围设备的主要安排的图;

图 9 是一个图 8 中所示安排的主要部分的剖面图;

图 10 是一个同步 SRAM 的存储器单元阵列的原理电路图;

图 11 是一个用于解释主字线与上层的电源线之间的布局关系的一般存储器单元阵列的图;

图 12 是一个用于解释主字线与上层的电源线之间的布局关系的同步 SRAM 的存储器单元阵列的图;

图 13 是一个用于解释存储器单元阵列的电源线质量的加强的特性图;

图 14 是一个被包括于同步 SRAM 中的限压电路的差动放大器的原理电路图;

图 15 是一个用于解释同步 SRAM 的时钟信号分布系统的图;

图 16 是一个凸起电极及其外围设备的剖面图;

图 17 是一个图 16 中所示剖面图的主要部分的放大图; 及

图 18 是一个图 17 中所示剖面图的主要部分的放大图。

具体实施方式

图 2 显示一个作为根据本发明的半导体集成电路器件的例子的同步 SRAM。

由数字 2 所标示的同步 SRAM 简单地由连接在一起的一片半导体芯片 20 和一片 BGA (球栅阵列) 基底 21 组成, 当然这不是强制的。半导体芯片 20 基本上使用已知的半导体集成电路制造技术从一片半导体基底例如单晶硅基底制成, 当然这不是强制的。BGA 基底 21 包括作为用于与电路板等的电气连接的 SRAM 外部端点的 BGA 球 24。半导体芯片 20 和 BGA 基底 21 通过凸起电极 25 在电气上连接。

图 1 显示图 2 中沿着箭头 23 所见同步 SRAM 2 的半导体芯片 20 的布局的例子。半导体芯片 20 具有一个形成的存储器单元阵列 101 和 102, 它们被一个中央电路部分 125 在横向内插置而被分开, 从而被布置于两个划分的基底区内。存储器单元阵列 101 和 102 包含被排成阵列的静态存储器单元。

在存储器单元阵列 101 和 102 的纵向中央部分中, 布置了用于相应的存储器单元阵列的字线驱动器 103 和 104。

中央电路部分 125 包括限压电路 105 - 112、用于产生一个内部高电源电压 V_{DDI} , 输入/输出电路 (DQ) 113 - 116、用于数据输入和输出, 输入电路 117 - 120、用于地址信号输入, 输出寄存器 - 选择器 (Reg./SEL) 121 和 122、用于临时地保存输出数据和选择性地将它们输出至外部, 一个地址寄存器 - 预解码器 (ADR Reg./Pre Dec) 123、用于临时地保存和预先解码一个地址信号, 以及一个参考电压发生电路 124、用于产生参考电压, 当然此安排不是强制的。

此实施例意在根据将八个限压电路 105 - 112 散布于中央电路部分 125 中而使这些限压电路 105 - 112 中的每个承担总电源电流中的一部分的布局而避免电流集中于某些电路元件和布线。限压电路 105 - 112 中的每一个通过根据由一个参考电压发生电路 124 所提供的参考电压 V_{ref} 将一个提供的高电源电压 V_{DD} 降压而产生内部高电源电压 V_{DDI} 。例如, 一个 1.2V 的内部高电源电压 V_{DDI} 是从一个提供的 2.5V 的高电源电压 V_{DD} 产生的。该参考电压发生电路 124 由所有限压电路

105 – 112 共享，以使半导体芯片上的电路形成区最小。

图 5 显示限压电路 105 – 112 的安排的例子。

其安排都相同的限压电路 105 – 112 中的每一个由一个差动放大器 501、电阻 502 和 503 及一个 p 沟道 MOS 晶体管 504 组成。差动放大器 501 根据提供的高电源电压 VDD 进行操作。电阻 502 和 503 被串行地连接于高电源电压 VDDI 线与低电源电压 VSS (GND) 线之间以便感测 VDDI 的电压电平。所感测的电压（一个根据电阻 502 和 503 的值的划分电压）被输入至差动放大器 501 的非反相输入端 (+)，在该差动放大器 501 的反相输入端 (-) 上输入另一个由参考电压发生电路 124 所提供的参考电压 Vref。差动放大器 501 把由电阻 502 和 503 提供的所感测电压与由参考电压发生电路 124 所提供的参考电压 Vref 进行比较，并且响应于比较结果而控制 p 沟道 MOS 晶体管 504 的导电率。p 沟道 MOS 晶体管 504 操作以便将提供的高电压 VDD 降压以便输出内部高电源电压 VDDI。如果由于负载变化而引起高电压 VDDI 变动，则该电压变动以电阻 502 和 503 的分压的形式被表示给差动放大器 501。在分压低于参考电压 Vref 的情况下，差动放大器 501 的输出信号作用于 p 沟道 MOS 晶体管 504 上以便增加导电率，从而增高电压 VDDI。在分压高于参考电压 Vref 的情况下，差动放大器 501 的输出信号作用于 p 沟道 MOS 晶体管 504 上以便减少导电率，从而使电压 VDDI 下降。根据此反馈控制，内部高电源电压 VDDI 被稳压。

由限压电路 105 – 112 产生的稳定内部高电源电压 VDDI 被馈送给内部电路部分。根据电源电压 VDDI 运行的内部电路部分包括输入电路 117 – 120 和存储器单元阵列 101 和 102 和一个外围电路 505。外围电路 505 包括输出寄存器 – 选择器 (Reg./SEL) 121 和 122 及地址寄存器 – 预解码器 (ADR Reg./Pre Dec) 123。内部电路部份优选地被提供有来自最近的限压电路 105 – 112 的电源电压 VDDI 以使电源线上的电源电压降最小。

输入/输出电路 113 – 116 被提供有另一个外部提供的高电源电压 VDDQ，例如它是 1.5V。

图 14 显示差动放大器 501 的安排的例子。

差动放大器 501 包含 p 沟道 MOS 晶体管 1401、1402、1403 和 1404 及 n 沟道 MOS 晶体管 1405、1406 和 1407。n 沟道 MOS 晶体管 1405 和 1406 是差动配置，它们的源极一起通过 n 沟道 MOS 晶体管 1407 连至低电源电压 VSS 线。n 沟道 MOS 晶体管 1407 在其栅极上被提供有一定控制电压，从而用作一个常电流源。

n 沟道 MOS 晶体管 1405 的漏极通过 p 沟道 MOS 晶体管 1401 和 1402 连至所提供的电源电压 VDD。n 沟道 MOS 晶体管 1406 的漏极通过 p 沟道 MOS 晶体管 1403 和 1404 连至 VDD。p 沟道 MOS 晶体管 1404 具有一个 p 沟道 MOS 晶体管 1402 的电流镜面连接，从而形成一个用于 n 沟道 MOS 晶体管 1405 和 1406（差动对）的电流镜面负载。n 沟道 MOS 晶体管 1405 在其栅极上接收由参考电压生成电路 124 所提供的参考电压 Vref。n 沟道 MOS 晶体管 1406 在其栅极上接收来自电阻 502 和 503 的分压。差动放大器 501 输出来自 p 沟道 MOS 晶体管 1401 和 1402 的串行连接节点的输出信号，以及它被输入至 p 沟道 MOS 晶体管 504 的栅级。

在图 14 中所示的电路安排中，可以消除 p 沟道 MOS 晶体管 1401 和 1403。

图 10 显示存储器单元阵列 101 和 102 的主要安排。

存储器单元阵列 101 和 102 具有层次结构的字线。一条主字线 MWL1 由八条辅助（子）字线 SWL11 – SWL18 所伴随。另一条主字线 MWL2 由八条子字线 SWL21 – SWL28 所伴随。数据线对 DL1 和 DL1*及 DL2 和 DL2*（符号*表示反相的版本）被布置为与主字线 MWL1 和 MWL2 及子字线 SWL11 – SWL18 和 SWL21 – SWL28 相交。

在子字线 SWL11 – SWL18 和 SWL21 – SWL28 与数据线对 DL1 和 DL1*及 DL2 和 DL2*相交处，放置了用于存储数据位的静态存储器单元 MC。每个存储器单元 MC 包括一个存储部分，它是一个第一反相器和一个第二反相器及 n 沟道 MOS 晶体管 1005 和 1006 的串行环

连接,其中第一反相器由串连的一个 p 沟道 MOS 晶体管 1001 和一个 n 沟道 MOS 晶体管 1002 形成,第二反相器由串连的一个 p 沟道 MOS 晶体管 1003 和一个 n 沟道 MOS 晶体管 1004 形成,及 n 沟道 MOS 晶体管 1005 和 1006 将存储部分连至数据线对 DL1 和 DL1*及 DL2 和 DL2*。存储部分被提供有电源电压 VDDI 而运行。子字线 SWL11 - SWL18 和 SWL21 - SWL28 中的一条被置于选择电平,以及存储器单元的相应 n 沟道 MOS 晶体管 1005 和 1006 变为导通以便将存储部分连至数据线对 DL1 和 DL1*及 DL2 和 DL2*从而使数据的各位写入存储器单元或从其读出。

图 11 显示其中高电源电压 VDDI 的馈电线 1101 和 1102 被布置为与由 MWL1、MWL2 和 MWL3 所表示的主字线相交。如果在邻近的主子线之间存在临界空间,则最好设置 VDDI 的辅助电源线。例如,如图 12 中所示,一条字线间电源线 1201 被布置于主字线 MWL1 与 MWL2 之间,及另一条字线间电源线 1202 被布置于主字线 MWL2 与 MWL3 之间。电源线 1101 和 1102 及字线间电源线 1201 和 1202 由形成于这些电源线的相交处的通孔 1203 进行连接。

与图 11 中所示情况相比较,使用字线间电源线 1201 和 1202 作为电源线的辅助的做法能够减少布线电阻,有助于使馈给存储器单元阵列 101 和 102 的电源电压 VDDI 的稳压。具体地,例如,在图 11 中所示没有辅助电源线的情况下,VDDI 布线电阻为 0.15Ω ,而在图 13 中所示图 12 的辅助电源线的情况下能够减少至 0.05Ω 。较小布线电阻结果能够得到电源线的较小电压降。

图 16 显示图 2 中所示凸起电极及其外围设备的剖面图。图 17 是图 16 的主要部分 26 的放大图,及图 18 是图 17 中所示半导体芯片 20 的放大图。

半导体芯片 20 在其主表面上形成有电路元件和布线所组成的电路(未示出)。具体地,该处形成一层用于制成 MOS 晶体管的扩散层 199,及金属布线层 200、201、202、203 和 204 被叠层于其上。金属布线层 200 是半导体芯片 20 的最低布线层(ML),及以下金属布

线层 201、202、203 和 204 分别是第一布线层(M1)、第二布线层(M2)、第三布线层(M3)和第四布线层或最高布线层(M4)。

各绝缘层被形成于扩散层 199 与金属布线层 200 之间和其它金属布线层 201-204 中间以便将这些金属层在电气上隔离。扩散层 199 和金属布线层 201 由一个触点在电气上连接。隔离的金属布线层 201-204 能够被布置为彼此相交。半导体芯片 20 的电路被一层有机绝缘膜 263 所覆盖,而开口 265 被形成于最高布线层 204 之上。由开口暴露的最高布线层 204 部分供一个用于连接其它布线层的通孔或焊盘使用。

有机绝缘膜 263 由聚酰胺组成,当然这不是强制的。在有机绝缘膜 263 上叠装一层导电的重新布线层(也称为“晶片过程包”)266,它通过开口 265 在电气上连至最高布线层 204。重新布线层 266 由叠装的并且在电气上连接的不同金属层形成。在此实施例中重新布线层 266 用于将电源馈送给电路并且传导半导体芯片 20 的地址信号。具体地,重新布线层 266 具有一个铜(Cu)的布线层和镍(Ni)的布线层的叠装结构,以使电阻率小,当然这不是强制的。重新布线层 266 在它的开口 265 上面的部分中被一层有机绝缘膜 268 包围,而用于在电气上连至一个凸起电极 25 的开口 267 除外。

图 3 是一个同步 SRAM 2 的平面图,用于显示重新布线层及连至该层的凸起电极和焊盘的布局,及图 4 是一个沿着图 3 的线 301 所取 SRAM 2 的剖面图。每个凸起电极由一个小圆圈表示,及每个焊盘由图 3 中一个小方块表示。凸起电极、焊盘和重布线层被用不同方式如阴影和斜线表示以便区别不同电压和它们所携带的信号。

半导体芯片 20 在其中心处沿着纵向形成所提供的高电源电压 VDD 的一条馈电线 305。内部高电源电压 VDDI 的馈电线 325 和低电源电压 VSS 的馈电线 326 沿着 VDD 馈电线 305 及其两侧形成。在一个对准方向内的 VDD 凸起电极 307-312 和在另一个对准方向内的 VDD 凸起电极 313-318 沿着 VDD 馈电线 305、VDDI 馈电线 325 和 VSS 馈电线 326 彼此相对。在这些用于分布所提供高电源电压 VDD

的 12 个凸起电极 307-318 中，八个凸起电极 307、309、310、312、313、315、316 和 318 分别位于图 1 中用于馈送 VDD 的限压电路 105-112 的位置。

限压电路 105-112 所具有的 p 沟道 MOS 晶体管 504 如此形成以便位于相应的凸起电极 307、309、310、312、313、315、316 和 318 之下，从而使他们的距离最小，因而压降最小。例如，如图 6 中所示，所提供的电源电压 VDD 从在 BGA 基底 21 上形成的一个 BGA 球 24 输入并且传导至馈电线 61 和 63 并通过一个埋于 BGA 基底 21 内的通孔 62 而传导至凸起电极 307-318。凸起电极 307-318 上的电源电压 VDD 被传导至重布线层 266 的 VDD 馈电线，并且通过半导体芯片 20 的金属布线层 200-204 馈送给 p 沟道 MOS 晶体管 504 的源极。因此，通过将 p 沟道 MOS 晶体管 504 形成于凸起电极 307-318 之下，能够将通至 p 沟道 MOS 晶体管 504 源极的布线长度减至最小。

内部高电源电压 VDDI 的馈电线 325 被形成为包围 VDD 凸起电极组 307-309、310-312、313-315 和 316-318，后者被形成于四个矩形区内，而这四个矩形区是沿着线 A-A' 和 B-B' 所划分的半导体芯片的四个角。这些 VDD 凸起电极组基本上由它们与 p 沟道 MOS 晶体管 504 的相对位置所确定，及内部高电源电压 VDDI 的馈电线形成时必须避开 VDD 凸起电极组的形成区域。为使 VDDI 馈电线 325 能够均匀地将电源电压馈送给许多内部电路部分，在避开 VDD 凸起电极形成区域的同时，最好使重新布线层 266 的 VDDI 馈电线 325 包围被形成于四个矩形区域内的 VDD 凸起电极组 307-309、310-312、313-315 和 316-318，这些四个矩形区域是沿着线 A-A' 和 B-B' 划分的半导体芯片 20 的各角，以及最好将电源电压从馈电线 325 传导至半导体芯片 20 的金属布线层 204。

传导至金属布线层 204 的内部高电源电压 VDDI 通过较低金属布线层 200-203 被馈送至内部电路。

在此实施例，重新布线层 266 也用于传导从外部输入的地址信号。例如，重新布线层 266 的一条地址线 304 被连至一个用于地址信

号或控制信号输入的凸起电极(由双圆表示),及地址信号通过线 304 传导至目的焊盘。该地址信号从此焊盘通过半导体芯片 20 的金属布线层传导至地址寄存器 - 预解码器(ADR Ref./Pre Dec) 123。使用小电阻率的重新布线层 266 来传送地址信号能够使地址信号的传导延迟最小。

在此实施例中,为阻止对地址信号的噪音诱发和相邻地址信号线之间的串扰,地址信号线被如此布置以便被低电源电压 VSS 的馈电线屏蔽。例如, VSS 馈电线 302 和 303 沿着地址信号线 304 及其两侧布置。其余地址信号线以相同方式被伴随的 VSS 馈电线屏蔽。

需要具有大的输出容量的 p 沟道 MOS 晶体管 504 实际上是多个并行地连接的 p 沟道 MOS 晶体管。以下将解释凸起电极 307 与其相应的 p 沟道 MOS 晶体管 504 的布局关系。

图 7 显示凸起电极 307 及其外围设备的详细布局。p 沟道 MOS 晶体管 504 包括多个并行地连结的晶体管,从而组成第一晶体管组 701 及与其隔开一定距离的第二晶体管组 702。这些第一和第二晶体管组 701 和 702 被如此布置以使它们的位置恰好位于凸起电极 307 之下。第一和第二晶体管组 701 和 702 中的每一个具有 11 个单元电路 704。由 703 表示的一个通孔将重新布线层 266 连至金属布线层 204。

图 8 显示单元电路 704 的布局例子,及图 9 显示沿着图 8 的线 801 所取的剖面图。在图 9 中,两个 p^+ 区被形成于 n 型阱(N 阱)中以便形成一个 p 沟道 MOS 晶体管。37 个这类 p 沟道 MOS 晶体管被形成一个单元电路 704, 及它们被金属布线层并行地连接。两个 p^+ 区用于一个源极和漏极。该源极通过金属布线层 200 - 204 被提供有高电源电压 VDD。该漏极通过金属布线层 200 - 204 连至内部高电源电压 VDDI 的馈电线。一个栅极 901 被形成于两个 p^+ 区之间。单元电路 704 的所有 p 沟道 MOS 晶体管的栅极连至相应限压电路 105 - 112 的差动放大器 501 的输出端点。金属布线层全都由通孔在电气上连接在一起。

以上实施例得以如下地实现。

(1) 多个限压电路 105 - 112 在布局中被散布于半导体基底上以

便避免电流集中于一个限压电路，其结果是缓解限压电路及其外围设备的加热，从而防止 SRAM 特性恶化。

(2) 单个参考电压生成电路 124 供各限压电路 105-112 分享而不是个别地提供给各电路，因而能够使半导体芯片上的电路形成区最小。

(3) 在增加字线间电源线 1201 和 1202 以便辅助馈电线的情况下，被馈送给存储器阵列 101 和 102 的内部高电源电压 VDDI 能够被稳压。因此，能够防止由于馈电线上的 VDDI 电压下降而引起的同步 SRAM 2 特性的下降。

(4) 低电源电压 VSS 的馈电线 302 和 303 沿着地址信号线 304 及其两侧布置以使它被 VSS 馈电线屏蔽。地址信号线 304 的屏蔽防止它经受噪音诱发和来自邻近的地址信号线的串扰，及能够防止同步 SRAM 2 的运行误差。

虽然结合具体实施例描述了本发明，但本发明不限于此实施例，而显然，在不背离本发明实质的情况下的不同变动是可能的。

例如，重新布线层 266 (参照图 17) 还能用于如图 15 中所示地发布时钟信号。

一个从外部通过一个 BGA 球 1501 输入的时钟信号被一层埋于 BGA 基底中的导体层 1506 传导至一个凸起电极 1502，该信号被重新布线层 266 的一个时钟信号线 1504 从该凸起电极传导至半导体芯片 20 中的一个时钟缓存电路 1505。由时钟缓存电路 1505 输出的时钟信号被重新布线层 266 的另一个时钟信号线 1507 传导并且发送至内部电路部分例如输出寄存器 1503。由于使用重新布线层 266，时钟信号线 1504 和 1507 具有小电阻率。因此，即使相对地长的时钟信号线 1504 和 1507 也能具有较小时钟信号传导延迟，从而允许较高时钟信号频率。

虽然本发明已经针对具体应用的同步 SRAM 得到描述，但本发明不限于此实施例，而能够广泛地应用于不同类型的半导体集成电路器件。

本发明一般能够应用于由电路元件和形成于半导体基底上的布线层所组成的电路。

在本说明书中所公开的本发明内容中，其主要实施简述如下。

多个限压电路在布局中被散布于半导体基底上以便避免电流集中于一个限压电路，及其结果是缓解限压电路及其外围设备的加热，从而防止半导体集成电路器件的特性恶化。每个限压电路的晶体管被形成于一个正好位于相关联凸起电极之下的区域内以缩短电源电压的布线长度，及所得的较小布线电阻和电源线上的电源电压的较小压降能够防止半导体集成电路器件特性的恶化。

1
圖

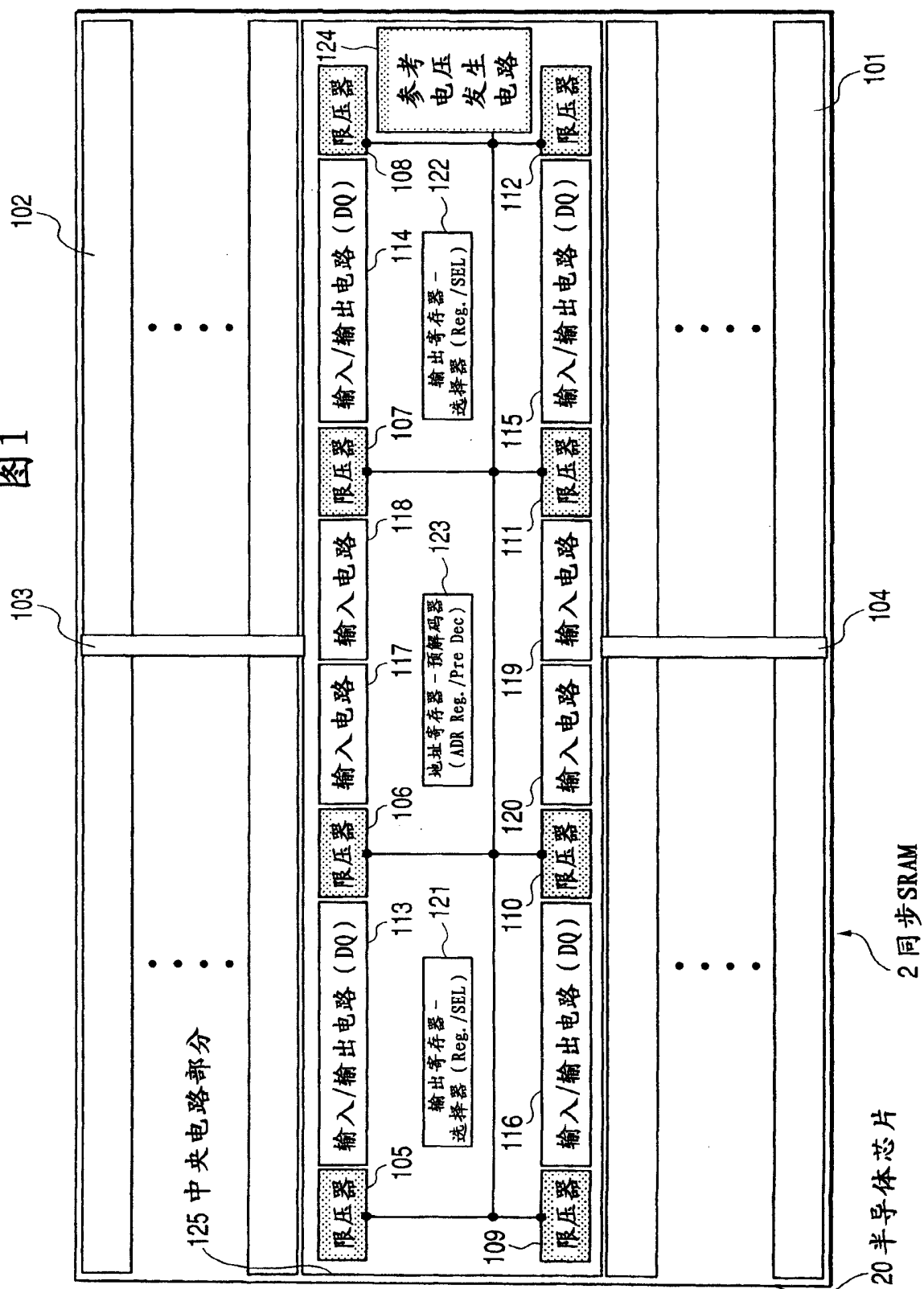
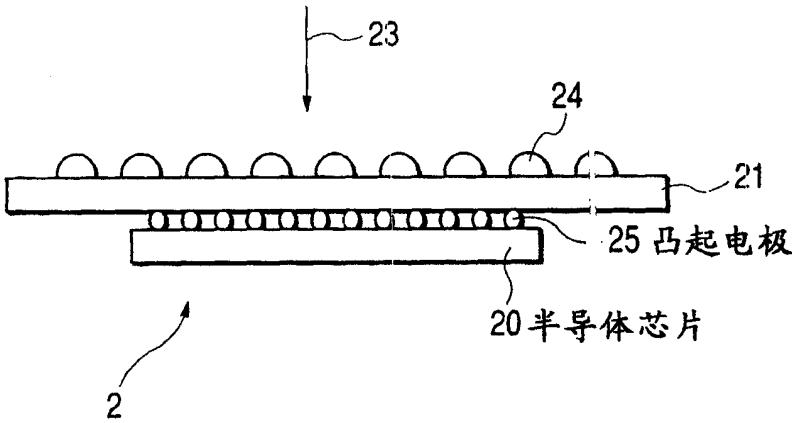


图 2



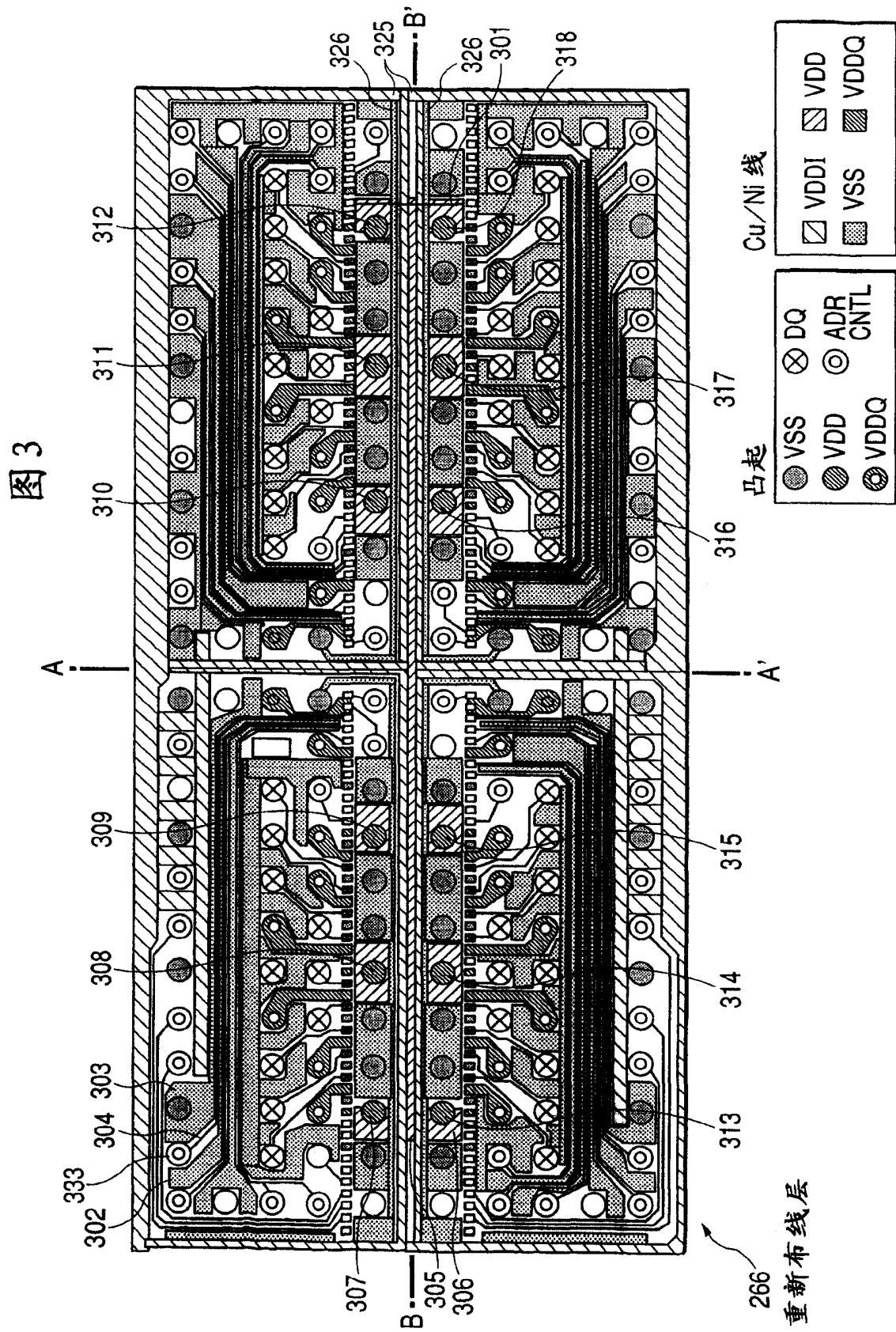


图 4

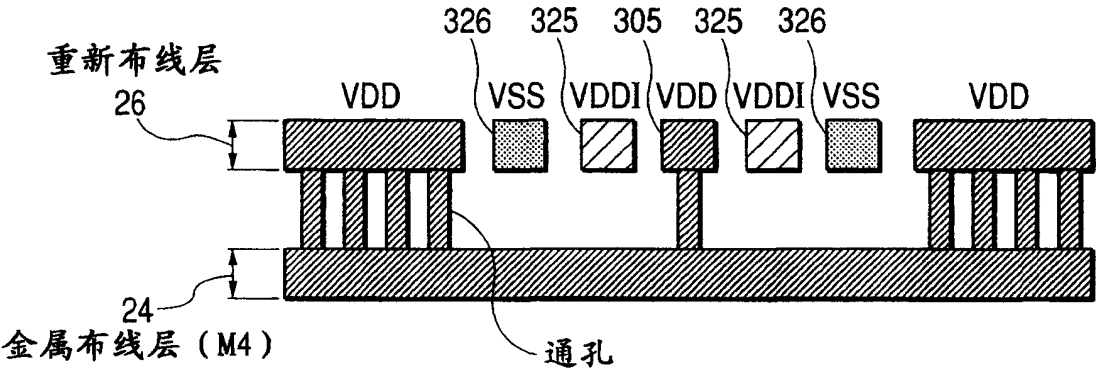


图5

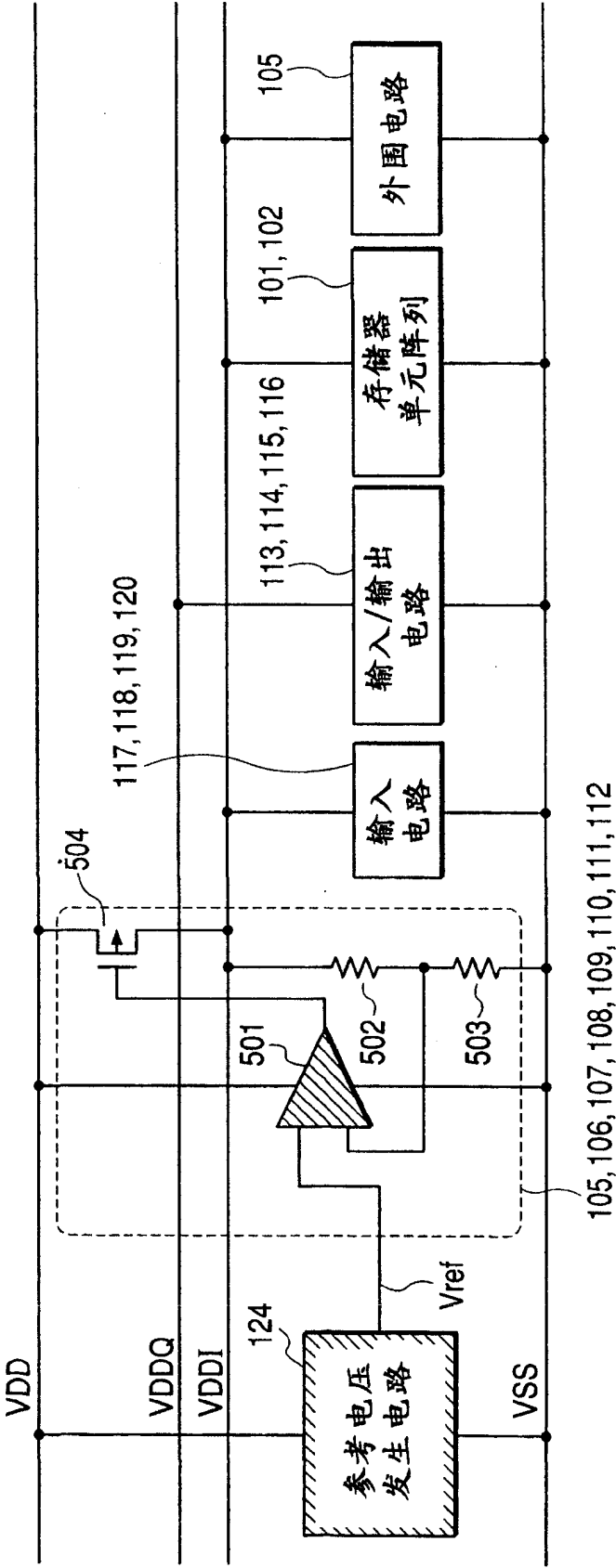


图6

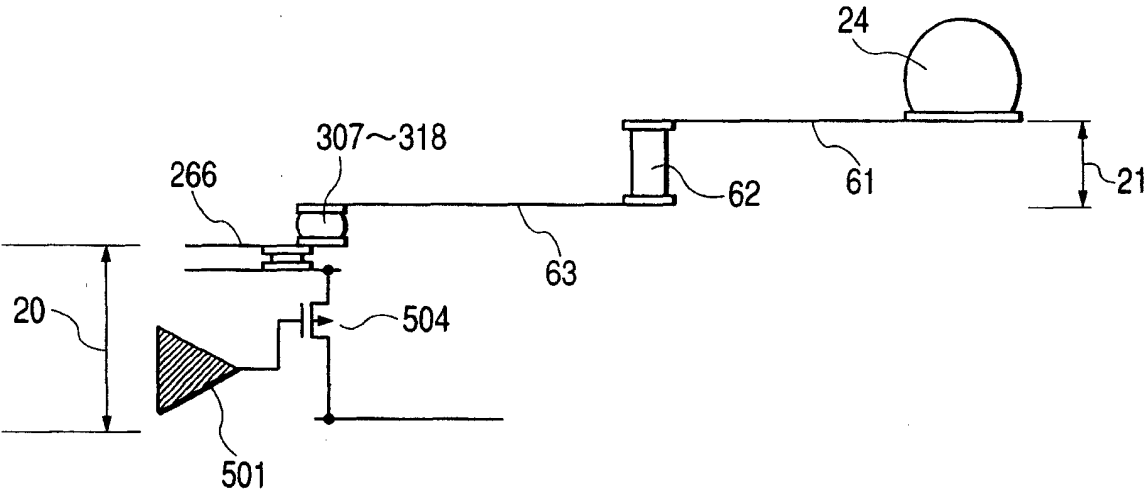


图7

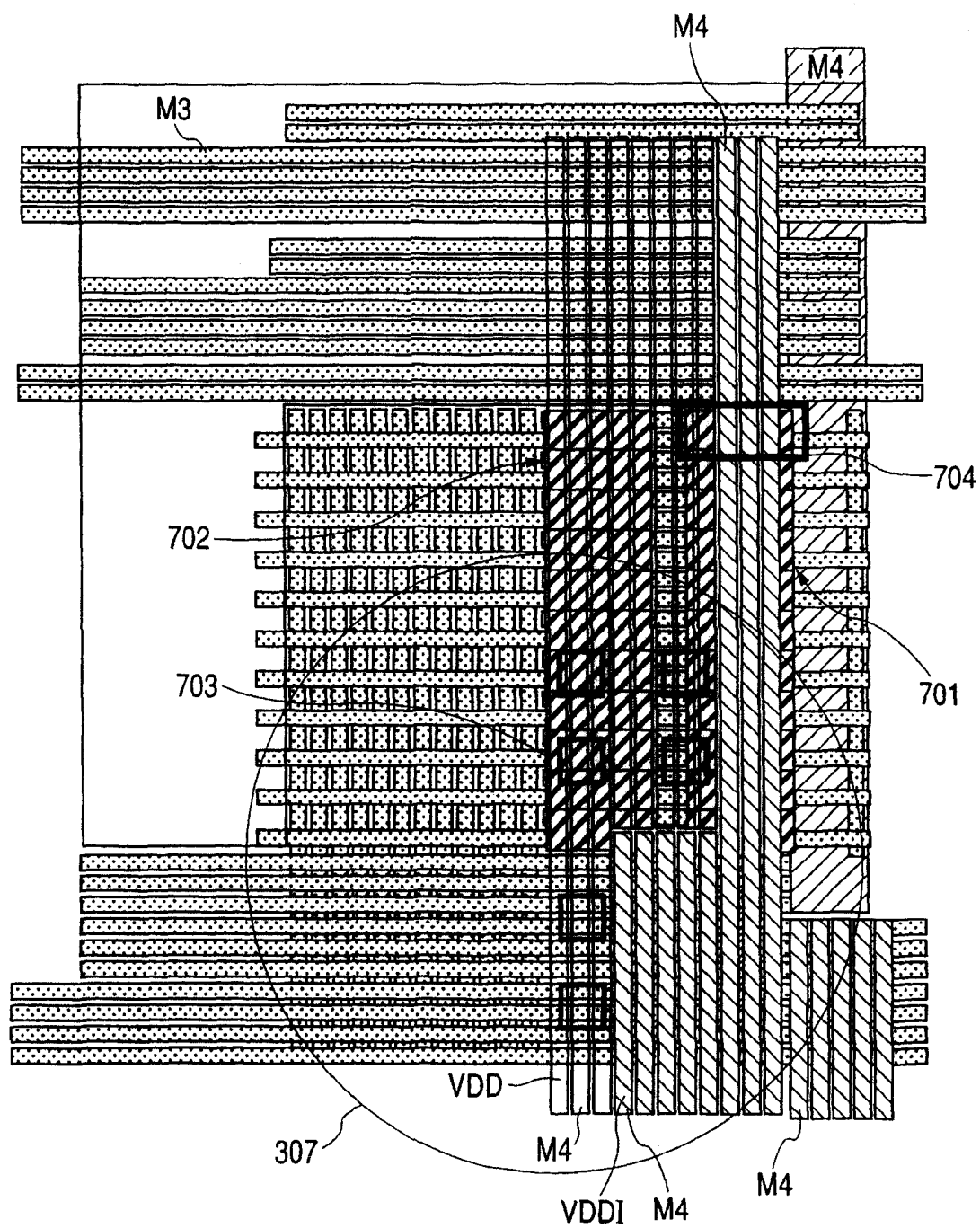


图8

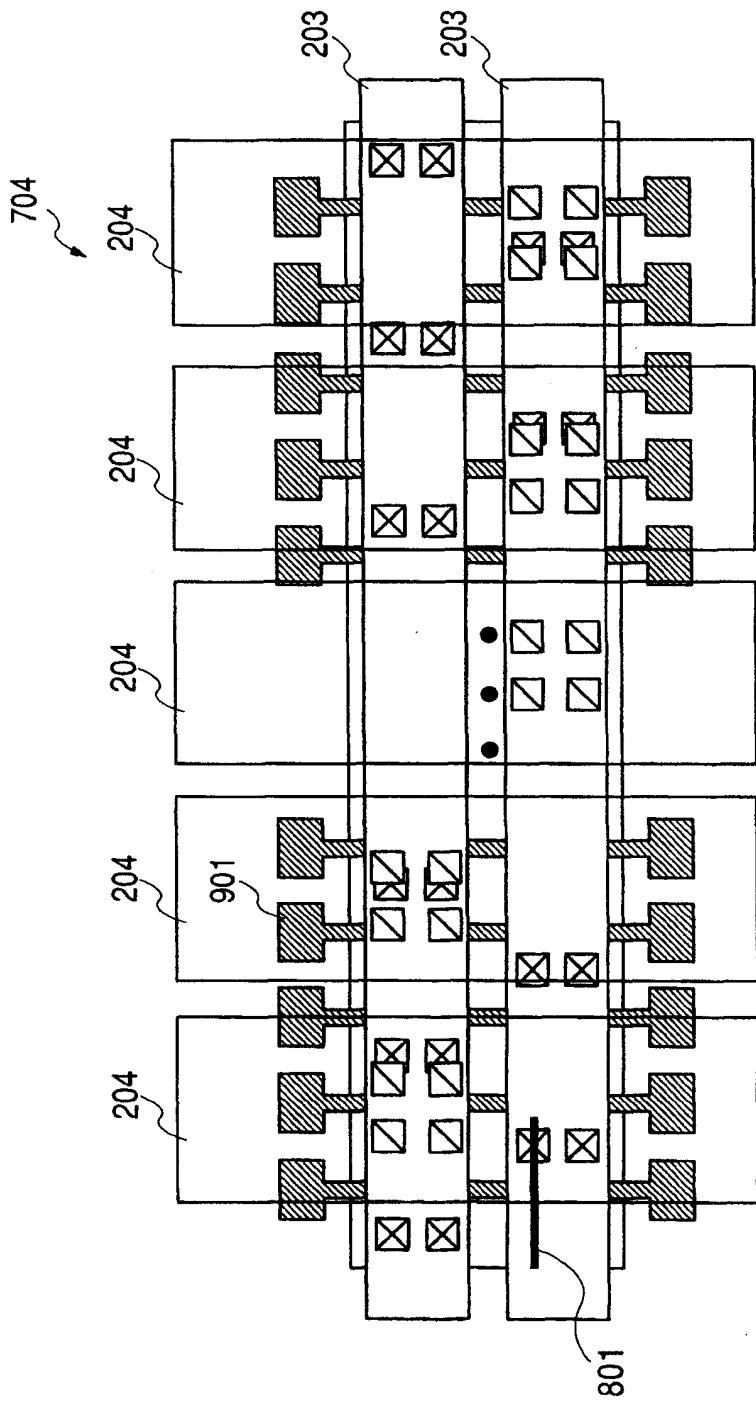


图9

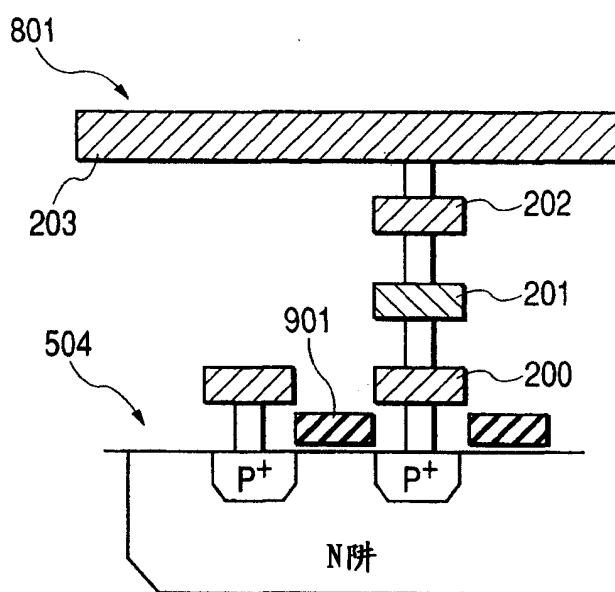


图10

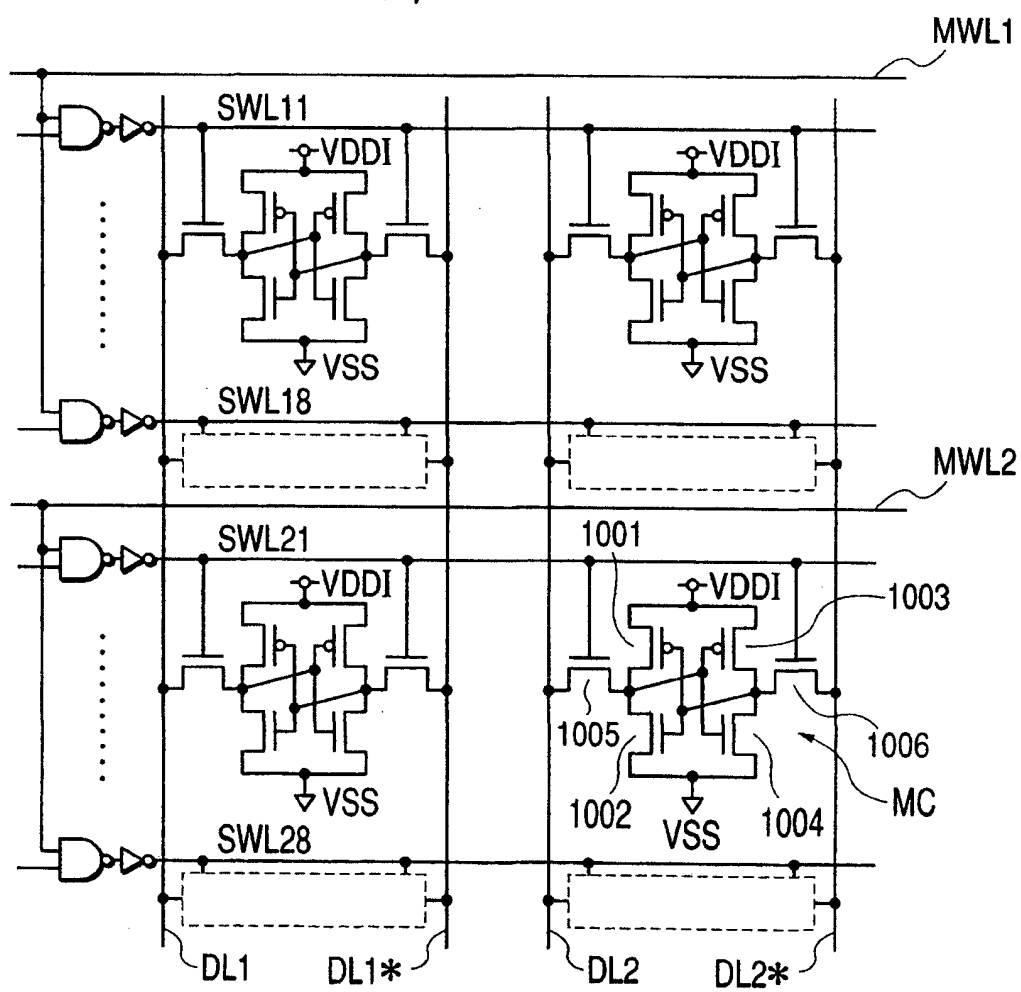


图11

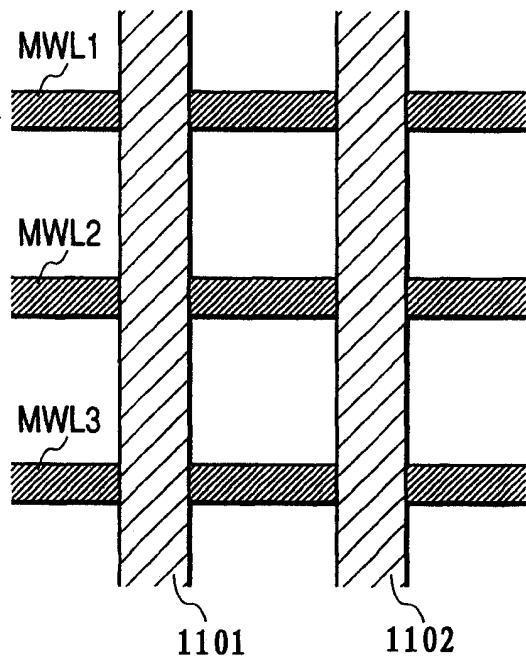


图12

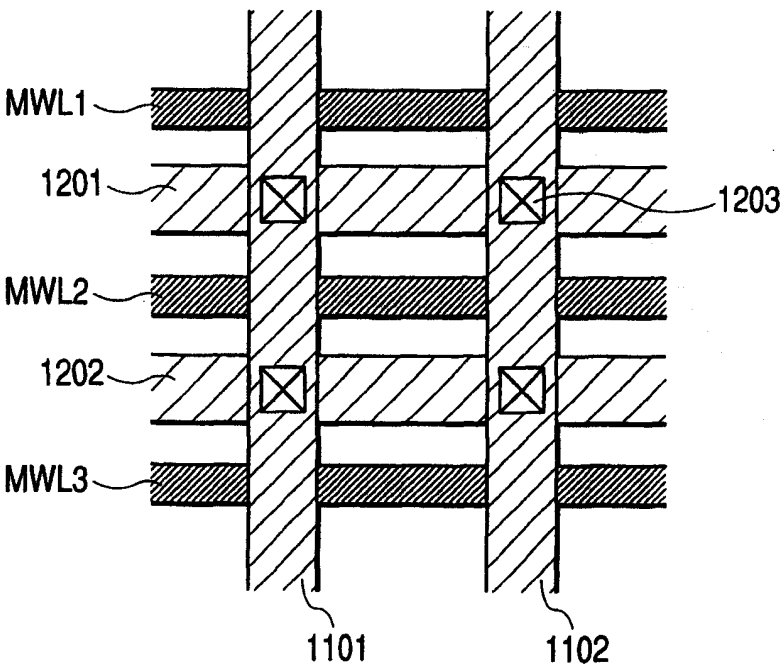


图13

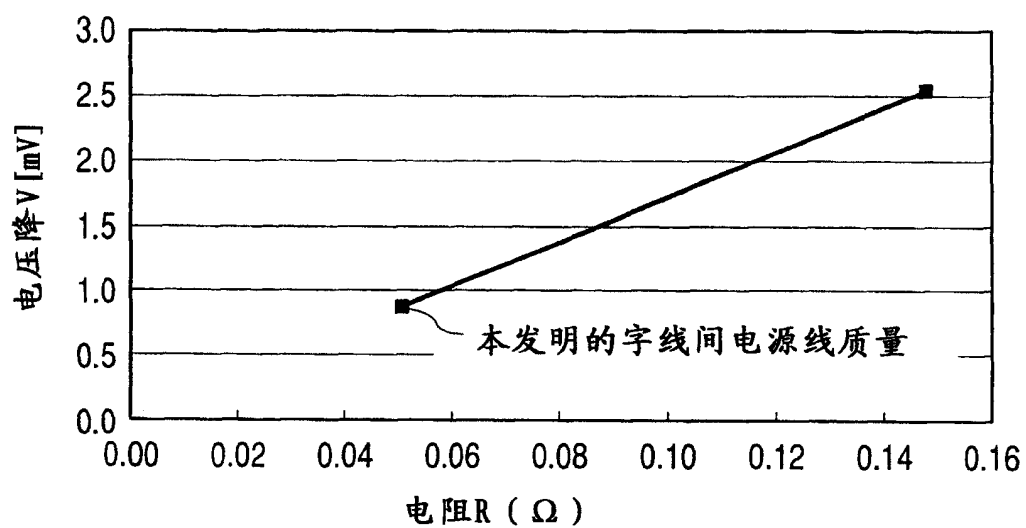


图14

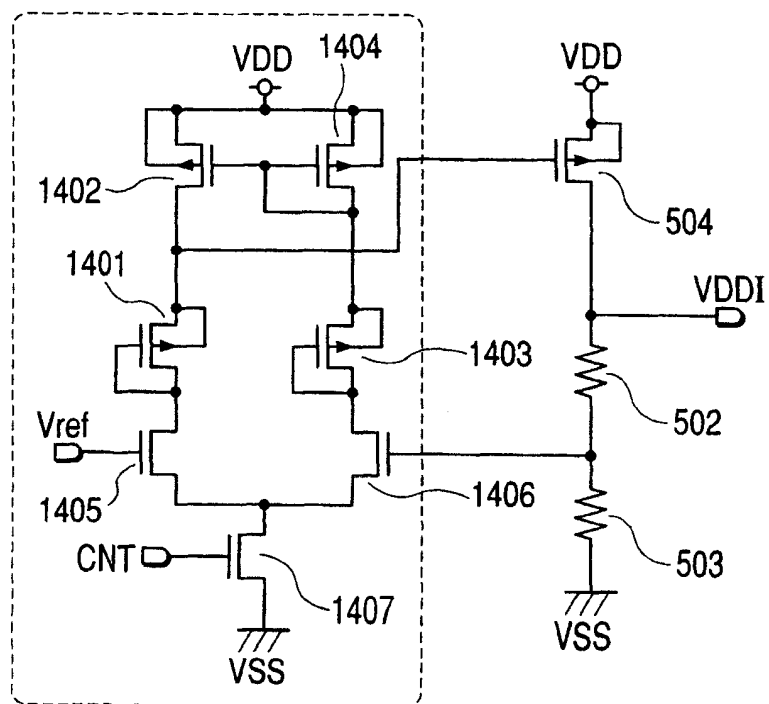


图 15

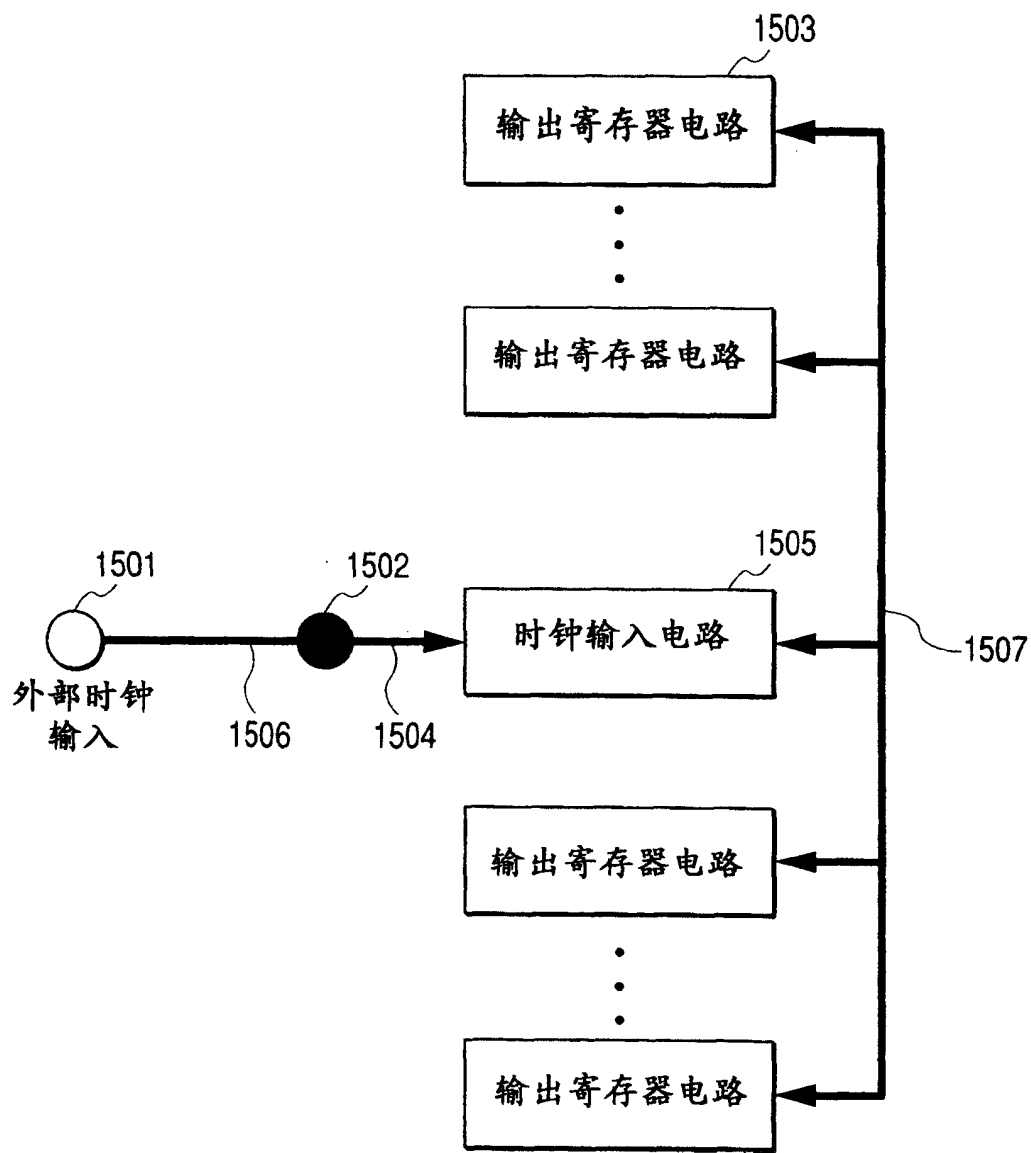


图16

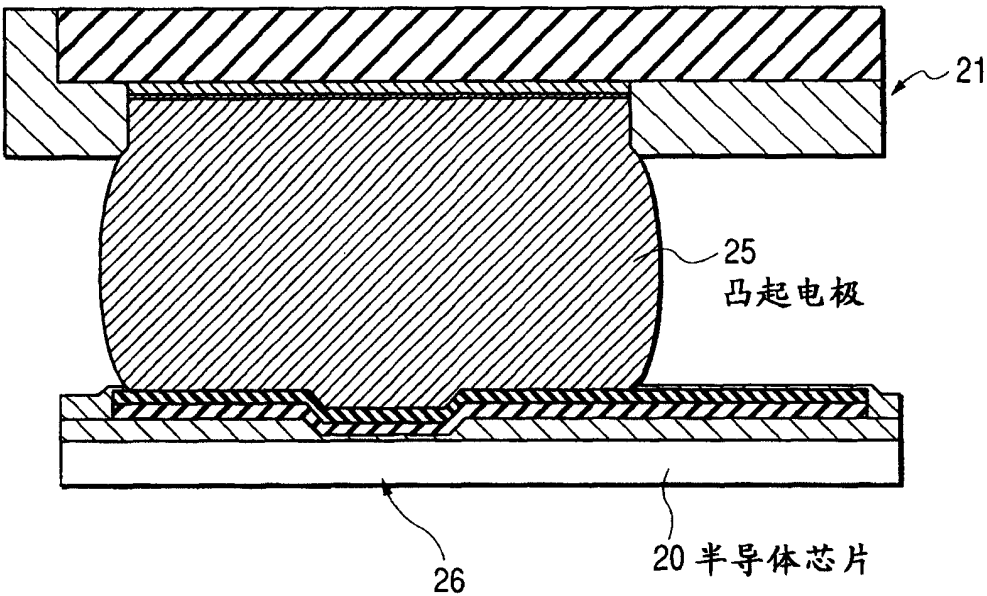


图 17

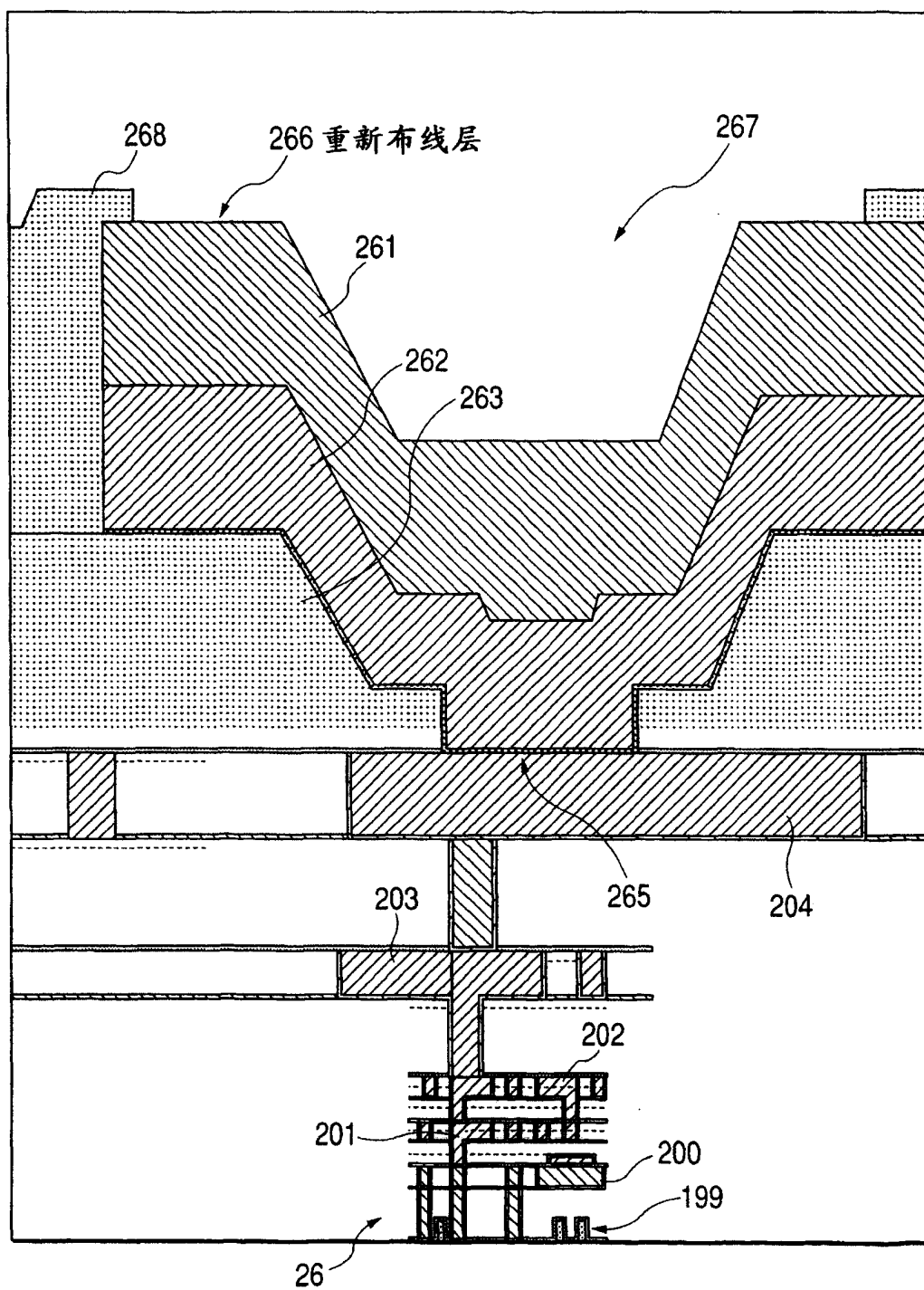


图 18

