



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0134304  
(43) 공개일자 2024년09월09일

(51) 국제특허분류(Int. Cl.)  
H01L 23/522 (2006.01) H01L 21/285 (2006.01)  
H01L 21/768 (2006.01) H01L 23/528 (2006.01)  
H01L 23/532 (2006.01)  
(52) CPC특허분류  
H01L 23/5226 (2013.01)  
H01L 21/2855 (2013.01)  
(21) 출원번호 10-2024-7021909  
(22) 출원일자(국제) 2022년12월20일  
심사청구일자 없음  
(85) 번역문제출일자 2024년07월01일  
(86) 국제출원번호 PCT/US2022/053521  
(87) 국제공개번호 WO 2023/136914  
국제공개일자 2023년07월20일  
(30) 우선권주장  
17/573,461 2022년01월11일 미국(US)

(71) 출원인  
퀄컴 인코포레이티드  
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775  
(72) 발명자  
바오 권정  
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드  
주 존 켄홍  
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드  
날라파티 기리다르  
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드  
(74) 대리인  
특허법인코리아나

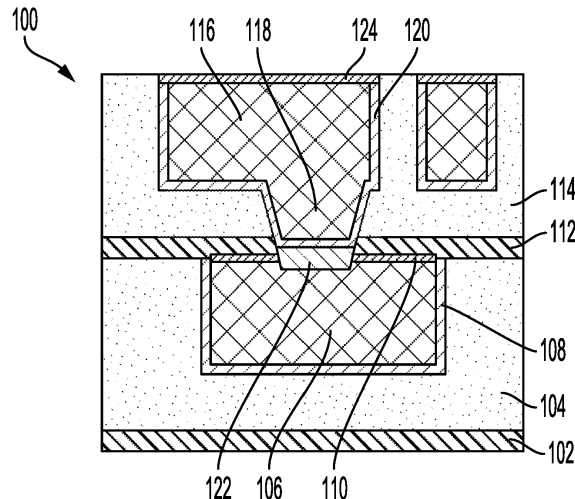
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 낮은 비아 저항 인터커넥트 구조물

(57) 요약

낮은 비아 저항 비아 구조물을 포함하는 인터커넥트 구조물이 개시된다. 비아 구조물은 비아 구조물의 측벽들 상에 그리고 하단에서 배리어층을 포함한다. 인터커넥트 구조물은 또한 제 1 금속층을 포함한다. 인터커넥트 구조물은 비아 구조물 하단에서의 배리어층과 제 1 금속층 사이에 제 2 금속층을 더 포함하고, 제 1 금속층과 제 2 금속층은 상이한 재료들을 포함한다.

대표도 - 도1



(52) CPC특허분류

*H01L 21/28562* (2013.01)  
*H01L 21/76807* (2013.01)  
*H01L 21/76846* (2013.01)  
*H01L 21/76849* (2013.01)  
*H01L 23/5283* (2013.01)  
*H01L 23/53238* (2013.01)  
*H01L 23/53266* (2013.01)  
*H01L 23/5329* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

반도체 디바이스의 인터커넥트 구조물로서,

상기 인터커넥트 구조물은:

비아 구조물로서, 상기 비아 구조물의 측벽들 상에 그리고 하단에서 배리어층을 포함하는, 상기 비아 구조물;

제 1 금속층; 및

상기 비아 구조물의 하단에서의 상기 배리어층과 상기 제 1 금속층 사이의 제 2 금속층을 포함하고, 상기 제 1 금속층과 상기 제 2 금속층은 상이한 재료들을 포함하는, 반도체 디바이스의 인터커넥트 구조물.

#### 청구항 2

제 1 항에 있어서,

상기 배리어층은 탄탈륨 질화물 (TaN) 및 코발트 (Co) 를 포함하는, 반도체 디바이스의 인터커넥트 구조물.

#### 청구항 3

제 1 항에 있어서,

상기 제 1 금속층은 구리 (Cu) 를 포함하는, 반도체 디바이스의 인터커넥트 구조물.

#### 청구항 4

제 1 항에 있어서,

상기 제 2 금속층은 열팽창 계수가  $7 \times 10^{-6} / \text{K}$  미만인 금속성 재료를 포함하는, 반도체 디바이스의 인터커넥트 구조물.

#### 청구항 5

제 4 항에 있어서,

상기 금속성 재료는 텅스텐 (W), 몰리브덴 (Mo), 크롬 (Cr), 및 루테튬 (Ru) 중 적어도 하나를 포함하는, 반도체 디바이스의 인터커넥트 구조물.

#### 청구항 6

제 1 항에 있어서,

상기 제 2 금속층은 5 나노미터 미만의 두께를 갖는, 반도체 디바이스의 인터커넥트 구조물.

#### 청구항 7

제 1 항에 있어서,

상기 제 1 금속층 상에 캡층을 더 포함하는, 반도체 디바이스의 인터커넥트 구조물.

#### 청구항 8

제 7 항에 있어서,

상기 캡층은 Co 를 포함하는, 반도체 디바이스의 인터커넥트 구조물.

#### 청구항 9

제 7 항에 있어서,

상기 캡층 상에 식각 정지층을 더 포함하는, 반도체 디바이스의 인터커넥트 구조물.

#### 청구항 10

제 9 항에 있어서,

상기 제 2 금속층의 상단 표면은 상기 식각 정지층의 상단 표면과 동일 평면에 있거나 또는 그 아래에 있는, 반도체 디바이스의 인터커넥트 구조물.

#### 청구항 11

제 9 항에 있어서,

상기 식각 정지층은 산소 도핑된 탄소 (ODC) 를 갖는 알루미늄 질화물 (AlN) 및 실리콘 탄소 질화물 (SiCN) 중 적어도 하나를 포함하는, 반도체 디바이스의 인터커넥트 구조물.

#### 청구항 12

반도체 디바이스의 인터커넥트 구조물을 제조하기 위한 방법으로서,

제 1 금속층 상에 비아 개구를 형성하는 단계;

상기 비아 개구의 하단에서 제 2 금속층을 형성하는 단계로서, 상기 제 1 금속층 및 상기 제 2 금속층은 상이한 재료들을 포함하는, 상기 제 2 금속층을 형성하는 단계;

상기 비아 개구의 측벽들 상에 그리고 하단에서 배리어층을 형성하는 단계로서, 상기 제 2 금속층은 상기 비아 개구의 하단에서의 상기 배리어층과 상기 제 1 금속층 사이에 있는, 상기 배리어층을 형성하는 단계; 및

상기 비아 개구에 금속을 성막하는 단계를 포함하는, 반도체 디바이스의 인터커넥트 구조물을 제조하기 위한 방법.

#### 청구항 13

제 12 항에 있어서,

상기 배리어층은 탄탈륨 질화물 (TaN) 및 코발트 (Co) 를 포함하는, 반도체 디바이스의 인터커넥트 구조물을 제조하기 위한 방법.

#### 청구항 14

제 13 항에 있어서,

상기 배리어층에서의 상기 TaN 은 원자층 증착 (ALD) 및 물리 기상 증착 (PVD) 에 의해 형성된 TaN 을 포함하는, 반도체 디바이스의 인터커넥트 구조물을 제조하기 위한 방법.

#### 청구항 15

제 12 항에 있어서,

상기 제 1 금속층은 구리 (Cu) 를 포함하는, 반도체 디바이스의 인터커넥트 구조물을 제조하기 위한 방법.

#### 청구항 16

제 12 항에 있어서,

상기 제 2 금속층은 열팽창 계수가  $7 \times 10^{-6}/K$  미만인 금속성 재료를 포함하는, 반도체 디바이스의 인터커넥트 구조물을 제조하기 위한 방법.

#### 청구항 17

제 16 항에 있어서,

상기 금속성 재료는 텅스텐 (W), 몰리브덴 (Mo), 크롬 (Cr), 및 루테튬 (Ru) 중 적어도 하나를 포함하는, 반도체 디바이스의 인터커넥트 구조물을 제조하기 위한 방법.

#### 청구항 18

제 12 항에 있어서,

상기 제 2 금속층은 무전해 성막에 의해 형성되는, 반도체 디바이스의 인터커넥트 구조물을 제조하기 위한 방법.

#### 청구항 19

제 12 항에 있어서,

상기 비아 개구에서의 금속 상에 캡층을 형성하는 단계를 더 포함하는, 반도체 디바이스의 인터커넥트 구조물을 제조하기 위한 방법.

#### 청구항 20

제 19 항에 있어서,

상기 캡층은 Co 를 포함하는, 반도체 디바이스의 인터커넥트 구조물을 제조하기 위한 방법.

### 발명의 설명

#### 기술 분야

[0001] 본 개시의 소정 양태들은 일반적으로 인터커넥트들에 관한 것으로, 특히 낮은 비아 저항 비아 구조물을 포함하는 인터커넥트 구조물에 관한 것이다.

#### 배경 기술

[0002] 컴퓨팅 디바이스들은 현대 사회에서 점점 더 보편화되고 있다. 초기 컴퓨터는 룸의 사이즈였고, 기본적인 수학적 계산들을 수행하기 위해 진공 튜브들을 채용하였다. 대조적으로, 최신 컴퓨팅 디바이스들은 집적 회로들 (IC들) 에 기초하여 상대적으로 작은 풋프린트에서 다양하고 복잡한 기능들을 제공한다. 점점 더 작아지는 제품들에서 증가하는 프로세싱 옵션들을 제공해야 한다는 시장의 압력이 있다.

[0003] 더 작은 풋프린트에서의 IC 기능성의 지속적인 발전들은 제조 능력들을 강조하고 있다. 현재 IC 제조 프로세스들은 반도체 다이의 형태로 IC들을 생성하기 위해 리소그래피에 의존한다. IC 는 프론트-엔드-오브-라인 (front-end-of-line) 프로세스에서 제조된 활성 반도체층을 포함할 수도 있다. 활성 반도체층은 다양한 반도체 디바이스들을 함유할 수도 있다. IC 는 또한 백-엔드-오브-라인 (back-end-of-line) 프로세스를 통해 활성 반도체층에 인접하여 형성된 인터커넥트 구조물을 포함할 수도 있다. 인터커넥트 구조물은 상이한 반도체 디바이스들과 외부 인터커넥트들 사이의 커넥션들을 제공하기 위해 개개의 금속화층에 배치된 금속 라인들을 각각 갖는 다중 금속화층들을 포함할 수도 있다. 수직 인터커넥트 액세스들 (비아들) 은 상이한 금속화층들에 대한 커넥션들을 제공하기 위해 금속화층들 사이에 배치될 수도 있다.

#### 발명의 내용

[0004] 본 개시의 소정 양태들은 반도체 디바이스의 인터커넥트 구조물을 제공한다. 인터커넥트 구조물은 비아 구조물을 포함할 수도 있고, 비아 구조물은 비아 구조물의 측벽들 및 하단 상에 배리어층을 포함한다. 인터커넥트 구조물은 또한 제 1 금속층을 포함할 수도 있다. 인터커넥트 구조물은 비아 구조물 하단에서의 배리어층과 제 1 금속층 사이에 제 2 금속층을 더 포함할 수도 있고, 제 1 금속층과 제 2 금속층은 상이한 재료들을 포함한다.

[0005] 본 개시의 소정 양태들은 반도체 디바이스의 인터커넥트 구조물을 제조하기 위한 방법을 제공한다. 방법은 제 1 금속층 상에 비아 개구를 형성하는 단계를 포함할 수도 있다. 방법은 또한 비아 개구의 하단에 제 2 금속층을 형성하는 단계를 포함할 수도 있다. 제 1 금속층과 제 2 금속층은 상이한 재료들을 포함한다. 방법은 또한, 비아 개구의 측벽들 상에 그리고 하단에서 배리어층을 형성하는 단계를 포함할 수도 있고, 여기서 제 2 금속층은 비아 개구 하단에서의 배리어층과 제 1 금속층 사이에 있다. 방법은 비아 개구에 금속을

성막하는 단계를 더 포함할 수도 있다.

[0006] 이 개요는 다음의 상세한 설명이 더 잘 이해될 수 있도록 본 개시의 특징들 및 실시형태들을 개괄적으로 설명하였다. 본 개시의 부가 특징들 및 실시형태들은 하기에서 설명될 것이다. 본 개시는 본 개시의 동일한 목적을 수행하기 위한 다른 등가의 구조물들을 수정 또는 설계하기 위한 기초로서 용이하게 활용될 수도 있다는 것이 당업자에 의해 이해되어야 한다. 또한, 그러한 등가 구성들이 첨부된 청구항들에 제시된 바와 같은 본 개시의 교시들로부터 벗어나지 않는다는 것이 당업자에 의해 또한 실현되어야 한다. 본 개시의 특성인 것으로 여겨지는 특징들은 그의 구성 및 동작 방법 양자 모두에 관하여, 첨부 도면들과 관련하여 고려될 때 다음의 설명으로부터 더 잘 이해될 것이다. 그러나, 도면들 각각은 단지 예시 및 설명의 목적을 위해 제공되고 본 개시의 제한들의 정의로서 의도되지 않는다는 것이 명시적으로 이해되어야 한다.

### 도면의 간단한 설명

[0007] 도 1은 본 개시의 소정 양태들에 따른 낮은 비아 저항을 갖는 비아 구조물에 의해 연결된 제 1 금속층 및 제 2 금속층을 포함하는 반도체 디바이스의 예시적인 인터커넥트 구조물을 도시한다.

도 2a 내지 도 2b는 본 개시의 소정 양태들에 따른, 도 1의 인터커넥트 구조물 (100)에 대한 예시적인 제조 프로세스를 도시한다.

도 3은 도 1의 인터커넥트 구조물 (100)에 대한 예시적인 제조 프로세스를 도시하는 플로우 차트를 나타낸다.

도 4는 본 개시의 양태가 채용될 수도 있는 예시적인 무선 통신 시스템을 나타내는 블록 다이어그램이다.

### 발명을 실시하기 위한 구체적인 내용

[0008] 도면들을 참조하여, 본 개시의 몇몇 예시적인 양태들이 설명된다. 단어 "예시적인"은 본 명세서에서 "예, 실례, 또는 예시의 역할을 하는 것"을 의미하도록 사용된다. "예시적인" 것으로서 본 명세서에서 설명된 임의의 양태는 다른 양태들에 비해 반드시 선호되거나 유리한 것으로서 해석될 필요는 없다.

[0009] 첨부된 도면들과 관련하여 하기에 기술되는 상세한 설명은, 다양한 양태들의 설명으로서 의도된 것이며 본 명세서에 설명된 개념들이 실시될 수도 있는 양태들만을 나타내도록 의도된 것은 아니다. 상세한 설명은 다양한 개념들의 철저한 이해를 제공하기 위해 특정 상세들을 포함한다. 그러나, 이 개념들은 이러한 특정 상세들 없이 실시될 수도 있음이 당업자들에게 명백할 것이다. 일부 경우들에서, 잘 알려진 구조들 및 컴포넌트들은 그러한 개념들을 불명료하게 하는 것을 회피하기 위해 블록 다이어그램 형태로 나타낸다.

[0010] 도 1은 본 개시의 소정 양태들에 따른 낮은 비아 저항을 갖는 비아 구조물에 의해 연결된 제 1 금속층 및 제 2 금속층을 포함하는 반도체 디바이스의 예시적인 인터커넥트 구조물을 도시한다. 인터커넥트 구조물 (100)이 도 1에 나타나 있다. 인터커넥트 구조물 (100)은 제 1 식각 정지층 (102)을 포함한다. 일 예로서, 제 1 식각 정지층 (102)은 산소 도핑된 탄소 (ODC)를 갖는 알루미늄 질화물 (AlN) 및 실리콘 탄소 질화물 (SiCN) 중 적어도 하나를 포함할 수도 있다. 인터커넥트 구조물 (100)은 또한 제 1 식각 정지층 (102)상에 제 1 유전체층 (104)을 포함한다. 일 예로서, 제 1 유전체층 (104)은 탄소 도핑된 실리콘 산화물 (SiCOH)을 포함할 수도 있다. 인터커넥트 구조물 (100)은 또한 제 1 유전체층 (104)에 제 1 금속층 (106)을 포함한다. 일 예로서, 제 1 금속층 (106)은 구리 (Cu)를 포함할 수도 있다. 인터커넥트 구조물 (100)은 또한 제 1 유전체층 (104)과 제 1 금속층 (106)사이에 제 1 배리어층 (108)을 포함한다. 일 예로서, 제 1 배리어층 (108)은 제 1 유전체층 (104)과 제 1 금속층 (106)사이의 제 1 탄탈륨 질화물 (TaN)층 및 제 1 TaN층과 제 1 금속층 (106)사이의 제 1 코발트 (Co)라이너를 포함할 수도 있다. 인터커넥트 구조물 (100)은 또한 제 1 유전체층 (106)상에 제 1 캡층 (110)을 포함한다. 일 예로서, 제 1 캡층 (110)은 Co를 포함할 수도 있다.

[0011] 인터커넥트 구조물 (100)은 또한 제 1 유전체층 (104)상에 그리고 제 1 캡층 (110)상에 제 2 식각 정지층 (112)을 포함한다. 일 예로서, 제 2 식각 정지층 (112)은 ODC를 갖는 AlN 및 SiCN 중 적어도 하나를 포함할 수도 있다. 인터커넥트 구조물 (100)은 또한 제 2 식각 정지층 (112)상에 제 2 유전체층 (114)을 포함한다. 일 예로서, 제 2 유전체층 (114)은 SiCOH를 포함할 수도 있다. 인터커넥트 구조물 (100)은 또한 제 2 유전체층 (114)에 비아 구조물 (118) 및 제 2 금속층 (116)을 포함한다. 일 예로서, 제 2 금속층 (116)은 Cu를 포함할 수도 있다. 비아 구조물 (118)은 제 1 금속층 (106)과 제 2 금속층 (116)

사이에 있다. 비아 구조물 (118) 은 비아 구조물 (118) 의 측벽 상에 그리고 하단에서 제 2 배리어층 (120) 및 비아 구조물 (118) 에서의 비아 금속을 포함한다. 일 예로서, 비아 금속은 Cu 를 포함할 수도 있다.

제 2 배리어층 (120) 은 또한 제 2 금속층 (116) 의 측벽들 상에 그리고 하단에 있다. 예로서, 제 2 배리어층 (120) 은 제 2 유전체층 (114) 과 비아 금속 사이 및 제 2 유전체층 (114) 과 제 2 금속층 (116) 사이의 제 2 TaN 층, 및 제 2 TaN 층과 비아 금속 사이 및 제 2 금속층 (116) 의 측벽들 상에 그리고 그 하단에서 그리고 비아 구조물 (118) 의 측벽들 상의 제 2 금속층 (116) 과 제 2 TaN 사이의 제 2 Co 라이너를 포함할 수도 있다. 비아 구조물 (118) 의 하단에서, 제 2 TaN 층은 제 1 금속층 (106) 과 비아 금속 사이에 있을 수도 있고, 제 2 Co 라이너는 제 2 TaN 층과 비아 금속 사이에 있을 수도 있다.

[0012]

TaN 층들은 상온에서 물리 기상 증착 (PVD) 에 의해 형성될 수도 있다. PVD 는 비-컨포멀(non-conformal) 성막 프로세스이다. 비아 구조물 (118) 의 하단에서의 PVD TaN 층의 두께는 비아 구조물 (118) 의 측벽들 상의 PVD TaN 층의 두께의 약 2배일 것이다. 대안적으로, TaN 층들은 약 275℃ 에서 원자층 증착 (ALD) 에 의해 형성될 수도 있다. ALD 는 컨포멀 성막 프로세스이다. 비아 구조물 (118) 의 하단에서의 ALD TaN 층의 두께는 비아 구조물 (118) 의 측벽들 상의 ALD TaN 층의 두께와 거의 동일할 것이다. 비아 구조물 (118) 의 하단에서의 TaN 층의 두께는 비아 구조물 (118) 의 비아 저항에 영향을 미칠 것이다. 비아 구조물 (118) 의 하단에서의 더 얇은 TaN 층은 비아 구조물 (118) 의 비아 저항을 감소시키고 인터커넥트 구조물 (100) 의 성능을 개선할 것이다. 한편, PVD TaN 층은 ALD TaN 층에 비해 Co 라이너들에 대해 더 우수한 접착을 갖는다. 따라서, 낮은 비아 저항 및 Co 라이너들에 대한 양호한 접착력 양자 모두를 실현하기 위해, ALD TaN 층은 제 2 배리어층 (120) 에 제 2 TaN 층을 형성하기 위해 PVD TaN 층과 조합될 수 있다. 예를 들어, 제 2 TaN 층은 비아 구조물 (118) 의 측벽들 상에 16 옹스트롬 (Å) 의 두께를 갖는 ALD TaN 층 및 10 옹스트롬의 두께를 갖는 PVD TaN 층을 포함할 수도 있다. 비아 구조물 (118) 의 하단에서, 제 2 TaN 층은 16 Å 의 두께를 갖는 ALD TaN 층 및 20 Å 의 두께를 갖는 PVD TaN 층을 포함할 수도 있다. 따라서, 비아 구조물 (118) 의 하단에서, 제 2 TaN 층은 약 36 Å 두께일 수도 있다. 한편, 제 2 TaN 층이 비아 구조물 (118) 의 측벽들 상에 동일한 TaN 층 두께 (26Å) 를 갖는 PVD TaN 층만을 포함하는 경우, 비아 구조물 (118) 의 하단에서의 제 2 TaN 층의 두께는 약 52 Å 일 것이고, 이는 36 Å 와 비교하여 더 두꺼울 것이다. 따라서, 제 2 TaN 층을 형성하기 위한 ALD TaN 층과 PVD TaN 층의 조합은 낮은 비아 저항 및 Co 라이너들에 대한 양호한 접착 양자 모두를 실현할 것이다. 제 2 TaN 층은 제 2 유전체층 (114) 과 제 2 Co 라이너 사이에서 11 Å 와 21Å 사이의 두께를 갖는 ALD TaN 층 및 비아 구조물 (118) 의 측벽들 상의 제 2 Co 라이너와 ALD TaN 층 사이에서 5 Å 와 15 Å 의 두께를 갖는 PVD TaN 층을 포함할 수도 있다. 비아 구조물 (118) 의 하단에서, ALD TaN 층은 제 1 금속층 (106) 과 제 2 Co 라이너 사이에 있을 수도 있고 PVD TaN 층은 ALD TaN 층과 제 2 Co 라이너 사이에 있을 수도 있다. 제 2 Co 라이너는 20 Å 와 30 Å 사이의 두께를 가질 수도 있다. 제 1 TaN 층은 비아 구조물 (118) 의 비아 저항에 기여하지 않기 때문에, 제 1 TaN 층은 ALD TaN 층만을, PVD TaN 층만을, 또는 ALD TaN 층과 PVD TaN 층의 조합을 포함할 수도 있다.

[0013]

위에 언급된 바와 같이, ALD 는 약 275℃ 에서 수행될 수도 있다. 이 온도는 TaN ( $3.6 \times 10^{-6}/K$ ) 과 Cu ( $16.5 \times 10^{-6}/K$ ) 사이의 상이한 열 팽창 계수들로 인해 비아 구조물 (118) 의 하단에서의 ALD TaN 층과 제 1 금속층 (106) 에서의 Cu 사이의 계면에서 응력을 생성할 것이다. 생성된 응력은 계면에서 형성되는 보이드(void)로 이어지고 비아 구조물 (118) 의 비아 저항을 증가시킬 수도 있다. 이러한 응력을 회피하기 위해, 인터커넥트 구조물 (100) 은 또한 비아 구조물 (118) 하단의 ALD TaN 층과 제 1 금속층 (106) 사이에 제 3 금속층 (122) 을 포함한다. 일 예로서, 제 3 금속층 (122) 은 텅스텐 (W), 몰리브덴 (Mo), 크롬 (Cr), 오스뮴 (Os), 지르코늄 (Zr), 하프늄 (Hf), 레늄 (Re), 세륨 (Ce), 탄탈륨 (Ta), 루테튬 (Ru), 이리듐 (Ir) 및 프라세오디뮴 (Pr) 과 같은,  $7 \times 10^{-6}/K$  미만의 열팽창 계수를 갖는 금속성 재료를 포함할 수도 있다. 제 3 금속층 (122) 은 5 나노미터(nm) 미만의 두께를 가질 수도 있다. 제 3 금속층 (122) 의 상단 표면은 제 2 식각 정지층 (112) 의 상단 표면과 동일 평면에 있거나 그 아래에 있을 수도 있다. 위에 언급된 금속성 재료들은 상온에서 성장할 수 있으며 금속성 결합을 통해 Cu 와 양호한 접착을 달성할 수 있다. 위에 언급된 금속성 재료들은 TaN 과 유사한 열팽창 계수들을 갖기 때문에, 이들 금속성 재료들 상의 ALD TaN 층 접착이 Cu 상의 ALD TaN 층 접착보다 더 우수하다. 따라서, 제 3 금속층 (122) 으로, 비아 구조물 (118) 하단에서의 ALD TaN 층과 제 1 금속층 (106) 에서의 Cu 사이의 계면에서 더 적은 응력이 생성될 것이다. 제 3 금속층 (122) 은 계면에서 보이드들을 제거하고 비아 구조물 (118) 의 비아 저항을 감소시키는 것을 도울 것이다. 인터커넥트 구조물 (100) 은 제 2 금속층 (116) 상에 제 2 캡층 (124) 을 더 포함한다. 일 예로서, 제 2 캡층 (124) 은 Co 를 포함할 수도 있다.

- [0014] 위에 언급된 바와 같이, 본 개시의 소정 양태들에 따르면, 제 3 금속층 (122) 과 함께 비아 구조물 (118) 의 하단에서의 PVD TaN 층 및 ALD TaN 층의 조합은 비아 구조물 (118) 의 비아 저항을 감소시키고 인터커넥트 구조물 (100) 의 성능을 개선할 것이다.
- [0015] 도 2a 및 도 2b 는 본 개시의 소정 양태들에 따른, 도 1 의 인터커넥트 구조물 (100) 에 대한 예시적인 제조 프로세스를 도시한다. 도 2a 에서, 스테이지 (200(1)) 는 반도체 디바이스의 인터커넥트 구조물에 트렌치 및 비아 개구 (202) 를 형성하는 것을 포함한다. 일 예로서, 인터커넥트 구조물은 제 1 식각 정지층 (204) 을 포함할 수도 있다. 제 1 식각 정지층 (204) 은 ODC 를 갖는 AlN 및 SiCN 중 적어도 하나를 포함할 수도 있다. 인터커넥트 구조물 (100) 은 또한 제 1 식각 정지층 (204) 상에 제 1 유전체층 (206) 을 포함할 수도 있다. 제 1 유전체층 (206) 은 SiCOH 를 포함할 수도 있다. 인터커넥트 구조물은 또한 제 1 유전체층 (206) 에 제 1 금속층 (208) 을 포함할 수도 있다. 제 1 금속층 (208) 은 Cu 를 포함할 수도 있다. 인터커넥트 구조물은 또한 제 1 유전체층 (206) 과 제 1 금속층 (208) 사이에 제 1 배리어층 (210) 을 포함할 수도 있다. 제 1 배리어층 (210) 은 제 1 유전체층 (206) 과 제 1 금속층 (208) 사이의 제 1 TaN 층 및 제 1 TaN 층과 제 1 금속층 (208) 사이의 제 1 Co 라이너를 포함할 수도 있다. 인터커넥트 구조물은 또한 제 1 유전체층 (208) 상에 제 1 캡층 (212) 을 포함할 수도 있다. 제 1 캡층 (212) 은 Co 를 포함할 수도 있다. 인터커넥트 구조물은 또한 제 1 유전체층 (206) 상에 그리고 제 1 캡층 (212) 상에 제 2 식각 정지층 (214) 을 포함할 수도 있다. 제 2 식각 정지층 (214) 은 ODC 를 갖는 AlN 및 SiCN 중 적어도 하나를 포함할 수도 있다. 인터커넥트 구조물은 제 2 식각 정지층 (214) 상에 제 2 유전체층 (216) 을 더 포함할 수도 있다. 제 2 유전체층 (216) 은 SiCOH 를 포함할 수도 있다. 트렌치 및 비아 개구 (202) 는 제 2 유전체층 (216) 에 그리고 제 2 식각 정지층 (214) 및 제 1 캡층 (212) 을 통해 형성된다. 트렌치 및 비아 개구 (202) 는 제 1 금속층 (208) 내로 연장되어 제 1 금속층 (208) 에 리세스를 형성한다. 일 예로서, 트렌치 및 비아 개구 (202) 는 듀얼 다마신(damascene) 프로세스에 의해 형성될 수도 있다.
- [0016] 도 2a 에서, 스테이지 (200(2)) 는 트렌치 및 비아 개구 (202) 의 하단에서 제 1 금속층 (208) 상에 제 2 금속층 (218) 을 형성하는 것을 포함한다. 일 예로서, 제 2 금속층 (218) 은 W, Mo, Cr, Os, Zr, Hf, Re, Ce, Ta, Ru, Ir, 및 Pr 과 같은,  $7 \times 10^{-6}$  /K 미만의 열팽창 계수를 갖는 금속성 재료를 포함할 수도 있다. 제 2 금속층 (218) 은 5 nm 미만의 두께를 가질 수도 있다. 제 2 금속층 (218) 의 상단 표면은 제 2 식각 정지층 (214) 의 상단 표면과 동일 평면에 있거나 그 아래에 있을 수도 있다. 일 예로서, 제 2 금속층 (218) 은 상온에서의 무전해 성막과 같은 선택적 성막에 의해 형성될 수도 있고, 금속성 결합을 통해 제 1 금속층 (208) 에서 Cu 와 양호한 접착을 달성할 수도 있다.
- [0017] 도 2b 에서, 스테이지 (200(3)) 는 트렌치 및 비아 개구 (202) 의 측벽들 상에 그리고 제 2 금속층 (218) 상에 제 2 배리어층 (220) 을 형성하는 것을 포함한다. 일 예로서, 제 2 배리어층 (220) 은 트렌치 및 비아 개구 (202) 의 측벽들 상에 그리고 제 2 금속층 (218) 상에 제 2 TaN 층 및 제 2 TaN 층 상에 제 2 Co 라이너를 포함할 수도 있다. 제 2 TaN 층은 11 Å 와 21 Å 사이의 두께를 갖는 ALD TaN 다음 트렌치 및 비아 개구 (202) 의 측벽들 상에 5 Å 와 15 Å 사이의 두께를 갖는 PVD TaN 에 의해 형성될 수도 있다. 그 후, PVD TaN 상에 화학 기상 증착 (CVD) 에 의해 제 2 Co 라이너가 형성될 수도 있다. 제 2 Co 라이너는 20 Å 와 30 Å 사이의 두께를 가질 수도 있다.
- [0018] 위에 언급된 바와 같이, PVD 는 비-컨포멀 성막 프로세스이다. 제 2 금속층 (218) 상의 PVD TaN 층의 두께는 트렌치 및 비아 개구 (202) 의 측벽들 상의 PVD TaN 층의 두께의 약 2배일 것이다. ALD 는 컨포멀 성막 프로세스이다. 제 2 금속층 (218) 상의 ALD TaN 층의 두께는 트렌치 및 비아 개구 (202) 의 측벽들 상의 ALD TaN 층의 두께와 거의 동일할 것이다. 제 2 금속층 (218) 상의 제 2 TaN 층의 두께는 비아 저항에 영향을 미칠 것이다. 제 2 금속층 (218) 상의 더 얇은 제 2 TaN 층은 비아 저항을 감소시키고 인터커넥트 구조물의 성능을 개선할 것이다. 한편, PVD TaN 층은 ALD TaN 층에 비해 Co 라이너들에 대해 더 우수한 접착을 갖는다. 따라서, 낮은 비아 저항 및 Co 라이너들에 대한 양호한 접착 양자 모두를 실현하기 위해, ALD TaN 및 PVD TaN 의 조합이 제 2 TaN 층을 형성하는데 사용될 수 있다. ALD 가 약 275°C 에서 수행될 수 있더라도, 제 2 금속층 (218) 이 TaN 과 유사한 열팽창 계수를 갖기 때문에, 제 2 TaN 층과 제 2 금속층 (218) 사이의 계면에서 더 적은 응력이 생성될 것이다. 제 2 TaN 층과 제 1 금속층 (208) 사이의 제 2 금속층 (218) 의 도입은 트렌치 및 비아 개구 (202) 의 하단에서 보이드들을 제거하고 비아 저항을 감소시키는 것을 도울 것이다. 따라서, 인터커넥트 구조물의 성능이 개선될 것이다.
- [0019] 도 2b 에서, 스테이지 (200(4)) 는 트렌치 및 비아 개구 (202) 에 제 3 금속을 성막하는 것을 포함한다. 일

예로서, 제 3 금속은 Cu 를 포함할 수도 있다. 스테이지 (200(4)) 는 또한 제 3 금속 및 제 2 유전체층 (216) 의 화학적 기계적 연마 (Chemical Mechanical Polishing; CMP) 를 포함한다. 스테이지 (200(4)) 는 제 3 금속 상에 제 2 캡층 (222) 을 형성하는 것을 더 포함한다. 일 예로서, 제 2 캡층 (222) 은 Co 를 포함할 수도 있다.

[0020] 도 3 은 도 1 의 인터커넥트 구조물 (100) 에 대한 예시적인 제조 프로세스를 도시하는 플로우 차트 (300) 를 나타낸다. 블록 (302) 은 제 1 금속층 상에 비아 개구를 형성하는 것을 포함한다. 블록 (304) 은 비아 개구의 하단에 제 2 금속층을 형성하는 것을 포함한다. 블록 (306) 은 비아 개구의 측벽들 상에 그리고 하단에서 배리어층을 형성하는 것을 포함하고, 여기서 제 2 금속층은 비아 개구의 하단에서의 배리어층과 제 1 금속층 사이에 있다. 블록 (308) 은 인터커넥트 구조물 (100) 을 형성하기 위해 비아 개구에 금속을 성막하는 것을 포함한다.

[0021] 본 명세서에 개시된 소정 양태들에 따른 낮은 비아 저항 비아 구조물을 포함하는 인터커넥트 구조물은 임의의 전자 디바이스에 제공되거나 그 내로 통합될 수도 있다. 예들은, 제한없이, 셋톱 박스, 엔터테인먼트 유닛, 내비게이션 디바이스; 통신 디바이스, 고정 위치 데이터 유닛, 모바일 위치 데이터 유닛, 글로벌 포지셔닝 시스템 (GPS) 디바이스, 모바일 폰, 셀룰러 폰, 스마트폰, 세션 개시 프로토콜 (SIP) 폰, 태블릿, 패블릿, 서버, 컴퓨터, 휴대용 컴퓨터, 모바일 컴퓨팅 디바이스, 웨어러블 컴퓨팅 디바이스 (예를 들어, 스마트 워치, 헬스 또는 피트니스 추적기, 아이웨어 등), 데스크톱 컴퓨터, 개인용 디지털 보조기 (PDA), 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 뮤직 플레이어, 디지털 뮤직 플레이어, 휴대용 뮤직 플레이어, 디지털 비디오 플레이어, 비디오 플레이어, 디지털 비디오 디스크 (DVD) 플레이어, 휴대용 디지털 비디오 플레이어, 자동차, 차량 컴포넌트, 항공전자 시스템, 드론 및 멀티컴퓨터를 포함한다.

[0022] 도 4 는 본 개시의 양태가 채용될 수도 있는 예시적인 무선 통신 시스템 (400) 을 나타내는 블록 다이어그램이다. 예시의 목적으로, 도 4 는 3개의 원격 유닛들 (420, 430, 및 450) 및 2개의 기지국들 (440) 을 나타낸다. 무선 통신 시스템들이 더 많은 원격 유닛들 및 기지국들을 가질 수도 있음을 인식할 것이다. 원격 유닛들 (420, 430, 및 450) 은 개시된 인터커넥트 구조물을 포함할 수도 있는 집적 회로 (IC) 디바이스들 (425A, 425C, 및 425B) 을 포함한다. 다른 디바이스들이 또한 기지국들, 스위칭 디바이스들, 및 네트워크 장비와 같은 개시된 인터커넥트 구조물을 포함할 수도 있음을 인식할 것이다. 도 4 는 기지국들 (440) 로부터 원격 유닛들 (420, 430, 및 450) 로의 순방향 링크 신호들 (480) 및 원격 유닛들 (420, 430, 및 450) 로부터 기지국들 (440) 로의 역방향 링크 신호들 (490) 을 나타낸다.

[0023] 도 4 에서, 원격 유닛 (420) 은 모바일 전화로서 나타내고, 원격 유닛 (430) 은 포터블 컴퓨터로서 나타내며, 원격 유닛 (450) 은 무선 로컬 루프 시스템에서 고정 위치 원격 유닛으로서 나타낸다. 예를 들어, 원격 유닛은 모바일 폰, 핸드-헬드 개인용 통신 시스템 (PCS) 유닛, 포터블 데이터 유닛, 예컨대 PDA, GPS 인에이블형 디바이스, 내비게이션 디바이스, 셋톱 박스, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 고정 위치 데이터 유닛, 예컨대 미터 판독 장비, 또는 데이터 또는 컴퓨터 명령들을 저장 또는 취출하는 다른 통신 디바이스, 또는 이들의 조합일 수도 있다. 도 4 는 본 개시의 소정의 양태들에 따른 원격 유닛들을 도시하지만, 본 개시는 이러한 예시적으로 도시된 유닛들에 제한되지 않는다. 본 개시의 소정의 양태들은 개시된 인터커넥트 구조물을 포함하는, 많은 디바이스들에서 적합하게 채용될 수도 있다.

[0024] 구현 예들은 다음의 넘버링된 조항들에서 설명된다.

[0025] 조항 1: 반도체 디바이스의 인터커넥트 구조물로서, 인터커넥트 구조물은: 비아 구조물로서, 비아 구조물의 측벽들 상에 그리고 하단에서 배리어층을 포함하는, 상기 비아 구조물; 제 1 금속층; 및 비아 구조물의 하단에서의 상기 배리어층과 제 1 금속층 사이의 제 2 금속층을 포함하고, 상기 제 1 금속층과 제 2 금속층은 상이한 재료들을 포함한다.

[0026] 조항 2: 조항 1 의 인터커넥트 구조물에서, 배리어층은 탄탈륨 질화물 (TaN) 및 코발트 (Co) 를 포함한다.

[0027] 조항 3: 조항 1 또는 조항 2 의 인터커넥트 구조물에서, 제 1 금속층은 구리 (Cu) 를 포함한다.

[0028] 조항 4: 조항들 1 내지 3 중 임의의 것의 인터커넥트 구조물에서, 제 2 금속층은 열팽창 계수가  $7 \times 10^{-6} / K$  미만인 금속성 재료를 포함한다.

[0029] 조항 5: 조항 4 의 인터커넥트 구조물에서, 금속성 재료는 텅스텐 (W), 몰리브덴 (Mo), 크롬 (Cr), 및 루테튬 (Ru) 중 적어도 하나를 포함한다.

- [0030] 조항 6: 조항들 1 내지 5 중 임의의 것의 인터커넥트 구조물에서, 제 2 금속층은 5 나노미터 미만의 두께를 갖는다.
- [0031] 조항 7: 조항들 1 내지 6 중 임의의 것의 인터커넥트 구조물은, 제 1 금속층 상에 캡층을 더 포함한다.
- [0032] 조항 8: 조항 7 의 인터커넥트 구조물에서, 캡층은 Co 를 포함한다.
- [0033] 조항 9: 조항 7 또는 조항 8 의 인터커넥트 구조물은, 캡층 상에 식각 정지층을 더 포함한다.
- [0034] 조항 10: 조항 9 의 인터커넥트 구조물에서, 제 2 금속 층의 상단 표면은 식각 정지층의 상단 표면과 동일 평면에 있거나 또는 그 아래에 있다.
- [0035] 조항 11: 조항 9 또는 조항 10 의 인터커넥트 구조물에서, 식각 정지층은 산소 도핑된 탄소 (ODC) 를 갖는 알루미늄 질화물 (AlN) 및 실리콘 탄소 질화물 (SiCN) 및 중 적어도 하나를 포함한다.
- [0036] 조항 12: 반도체 디바이스의 인터커넥트 구조물을 제조하기 위한 방법으로서, 방법은, 제 1 금속층 상에 비아 개구를 형성하는 단계; 비아 개구의 하단에서 제 2 금속층을 형성하는 단계로서, 제 1 금속층 및 제 2 금속층은 상이한 재료들을 포함하는, 상기 제 2 금속층을 형성하는 단계; 비아 개구의 측벽들 상에 그리고 하단에서 배리어층을 형성하는 단계로서, 제 2 금속층은 비아 개구의 하단에서의 배리어층과 제 1 금속층 사이에 있는, 상기 배리어층을 형성하는 단계; 및 비아 개구에 금속을 성막하는 단계를 포함한다.
- [0037] 조항 13: 조항 12 의 방법에서, 배리어층은 탄탈륨 질화물 (TaN) 및 코발트 (Co) 를 포함한다.
- [0038] 조항 14: 조항 13 의 방법에서, 배리어층에서의 TaN 은 원자층 증착 (ALD) 및 물리 기상 증착 (PVD) 에 의해 형성된 TaN 을 포함한다.
- [0039] 조항 15: 조항들 12 내지 14 중 임의의 것의 방법에서, 제 1 금속층은 구리 (Cu) 를 포함한다.
- [0040] 조항 16: 조항들 12 내지 15 중 임의의 것의 방법에서, 제 2 금속층은 열팽창 계수가  $7 \times 10^{-6} / \text{K}$  미만인 금속성 재료를 포함한다.
- [0041] 조항 17: 조항 16 의 방법에서, 금속성 재료는 텅스텐 (W), 몰리브덴 (Mo), 크롬 (Cr), 및 루테튬 (Ru) 중 적어도 하나를 포함한다.
- [0042] 조항 18: 조항들 12 내지 17 중 임의의 것의 방법에서, 제 2 금속층은 무전해 성막에 의해 형성된다.
- [0043] 조항 19: 조항들 12 내지 18 중 임의의 것의 방법은, 비아 개구에서의 금속 상에 캡층을 형성하는 단계를 더 포함한다.
- [0044] 조항 20: 조항 19 의 방법에서, 캡층은 Co 를 포함한다.
- [0045] 당업자는 본 명세서에 개시된 소정의 양태들과 관련하여 설명된 다양한 예시적인 논리 블록들, 모듈들, 회로들, 및 알고리즘들이 전자 하드웨어, 메모리에 또는 다른 컴퓨터 판독가능 매체에 저장되고 프로세서 또는 다른 프로세싱 디바이스에 의해 실행되는 명령들, 또는 양자 모두의 조합들로서 구현될 수도 있음을 추가로 인식할 것이다. 본 명세서에 설명된 디바이스들은 예들로서 임의의 회로, 하드웨어 컴포넌트, IC, 또는 IC 칩에 채용될 수도 있다. 본 명세서에 개시된 메모리는 임의의 타입 및 사이즈의 메모리일 수도 있고, 원하는 임의의 타입의 정보를 저장하도록 구성될 수도 있다. 이러한 상호교환가능성을 명확히 예시하기 위하여, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들, 및 단계들이 일반적으로 그들의 기능성의 관점에서 설명되었다. 이러한 기능성이 어떻게 구현되는지는 특정 애플리케이션, 설계 선장들 및/또는 전체 시스템에 부과되는 설계 제약들에 의존한다. 당업자는 설명된 기능성을 각각의 특정 애플리케이션에 대해 다양한 방식으로 구현할 수도 있지만, 이러한 구현 결정들은 본 개시의 범위로부터 벗어남을 야기하는 것으로 해석되지 않아야 한다.
- [0046] 본 명세서의 예시적인 양태들 중 임의의 것에 설명된 동작 단계들은 예들 및 논의를 제공하기 위해 설명됨을 또한 유의한다. 설명된 동작들은 예시된 시퀀스들 이외의 다수의 상이한 시퀀스들로 수행될 수도 있다. 또한, 단일 동작 단계에서 설명된 동작들은 실제로 다수의 상이한 단계들로 수행될 수도 있다. 부가적으로, 예시적인 양태들에서 논의된 하나 이상의 동작 단계는 조하될 수도 있다. 임의의 플로우차트 다이어그램들에 예시된 동작 단계들은 당업자에게 쉽게 명백해질 수 바와 같이 다수의 상이한 수정들에 종속될 수도 있음을 이해해야 한다. 당업자는 정보 및 신호들이 임의의 다양한 상이한 기술들 및 기법들을 사용하여 표현될 수도 있음을 이해할 것이다. 예를 들어, 상기 설명 전체에 걸쳐 참조될 수도 있는 데이터, 명령들, 커맨드들, 정보, 신호들, 비트들, 심볼들, 및 칩들은 전압들, 전류들, 전자기파들, 자기장들 또는 자기 입자들, 광학장들

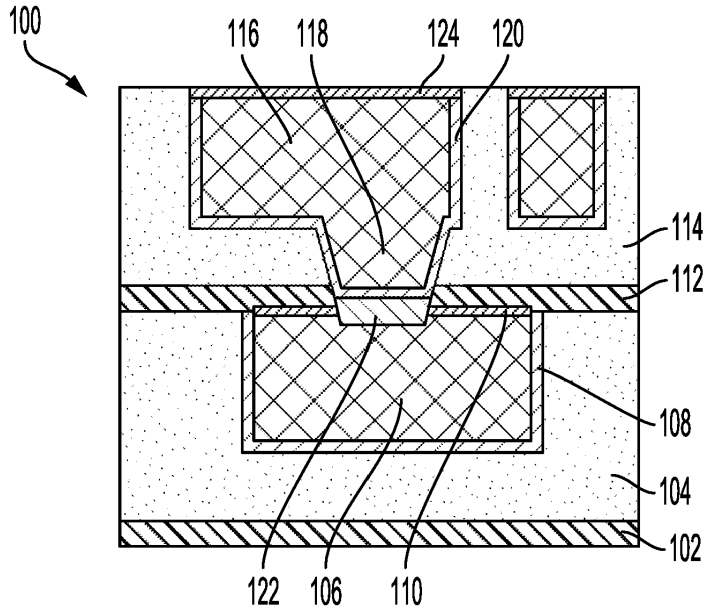
또는 입자들, 또는 이들의 임의의 조합에 의해 표현될 수도 있다.

[0047]

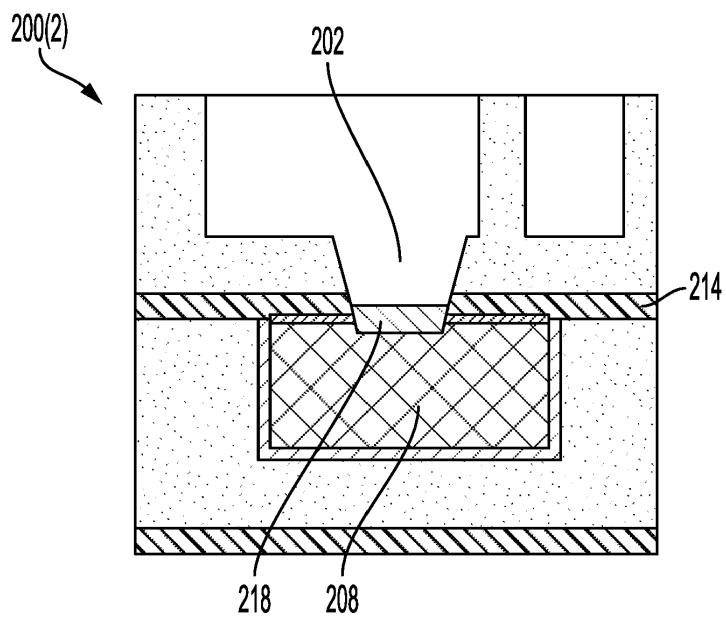
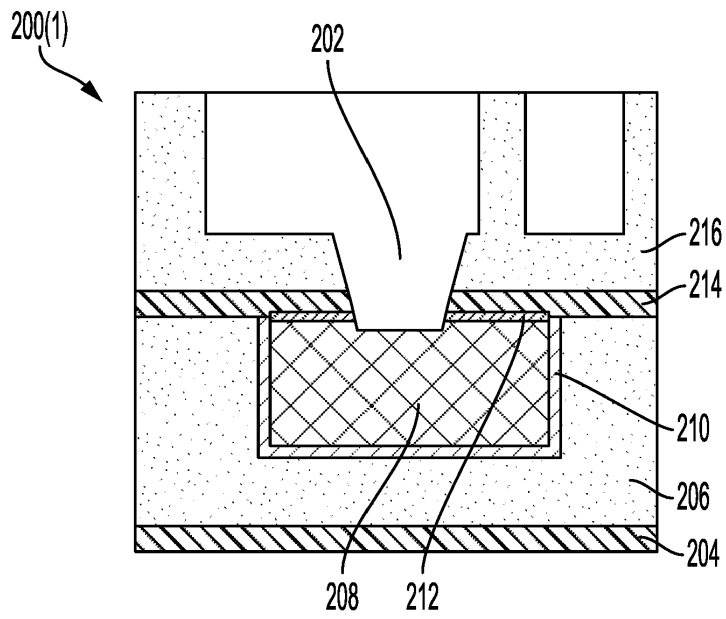
이전의 본 개시의 설명은 당업자들이 개시를 제조하거나 이용하는 것을 가능하게 하기 위해 제공된다. 본 개시에 대한 다양한 변경은 당업자에게는 쉽게 명백할 것이며, 여기에 정의된 일반적인 원리는 본 개시의 사상 또는 범위를 벗어나지 않으면서 다른 변형들에 적용될 수도 있다. 따라서, 본 개시는 본 명세서에 설명된 예시들 및 설계들로 제한되지 않고, 본원에 개시된 원리들 및 특징들과 일치하는 최광의 범위에 부합하고자 한다.

## 도면

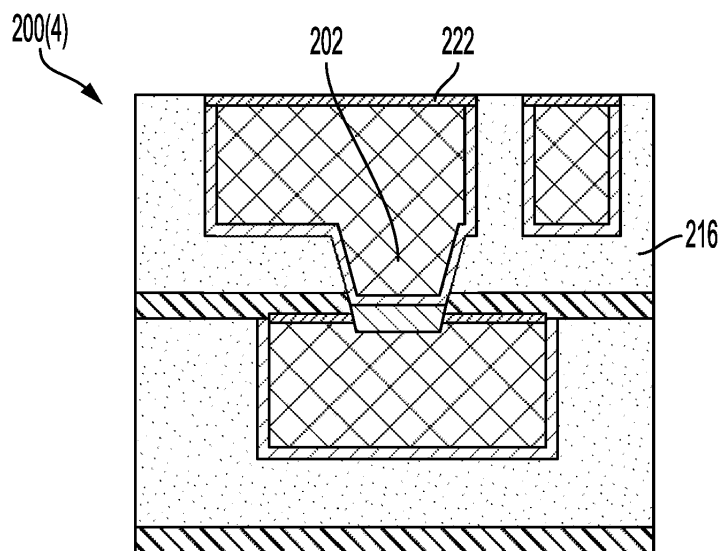
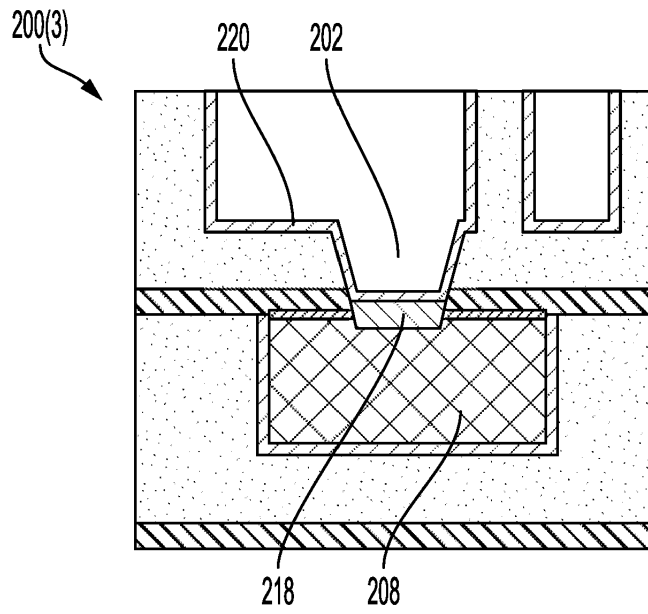
### 도면1



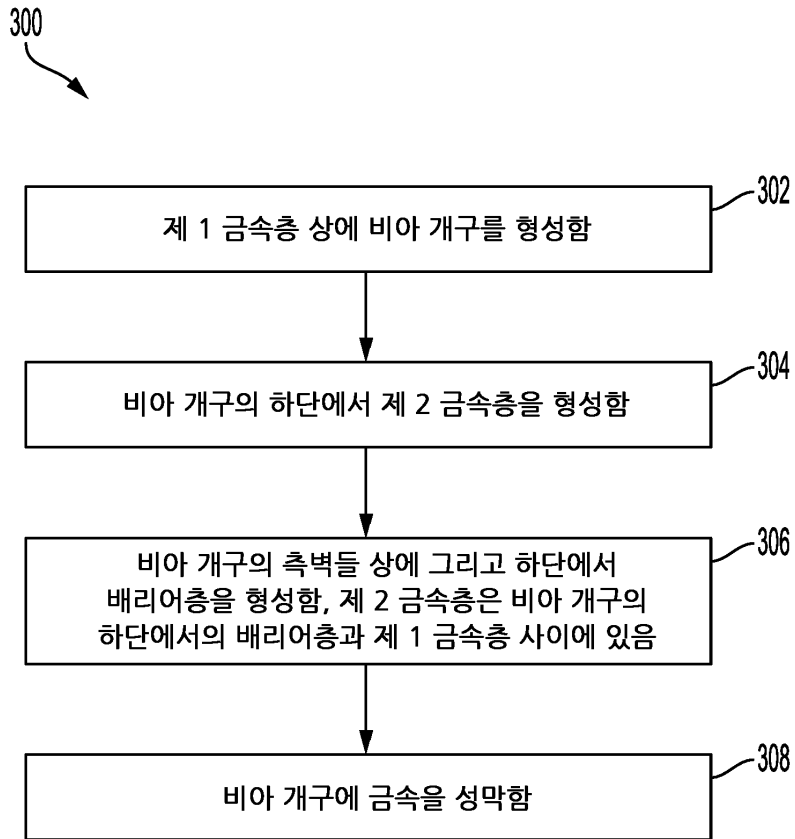
도면2a



도면 2b



도면3



도면4

