



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201110839 A1

(43)公開日：中華民國 100 (2011) 年 03 月 16 日

(21)申請案號：098129881

(22)申請日：中華民國 98 (2009) 年 09 月 04 日

(51)Int. Cl. : H05K3/10 (2006.01)

H05K1/02 (2006.01)

(71)申請人：日月光半導體製造股份有限公司 (中華民國) ADVANCED SEMICONDUCTOR ENGINEERING, INC. (TW)

高雄市楠梓加工區經三路 26 號

(72)發明人：李志成 LEE, CHIH CHENG (TW)

(74)代理人：祁明輝；林素華

申請實體審查：有 申請專利範圍項數：26 項 圖式數：5 共 25 頁

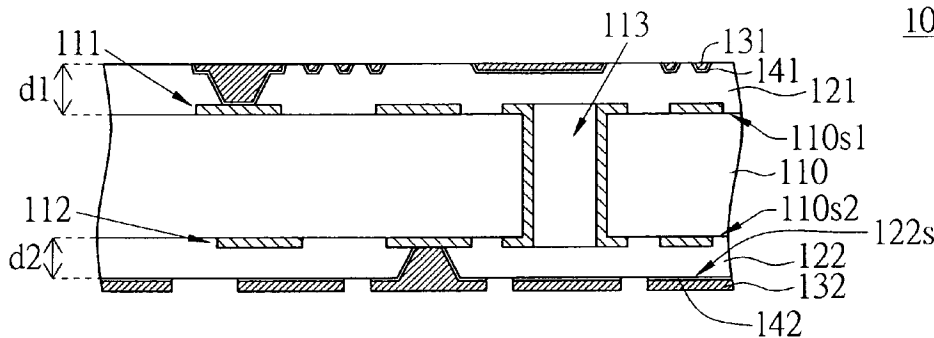
(54)名稱

基板結構及其製造方法

SUBSTRATE STRUCTURE AND METHOD FOR MANUFACTURING THE SAME

(57)摘要

一種基板結構之製造方法，包括以下之步驟。提供一基板，基板具有圖案化後之一第一金屬層、圖案化後之一第二金屬層與一通孔。然後，形成一第一介電層與一第二介電層於基板之一第一表面與相對應之一第二表面。接著，圖案化第一介電層與第二介電層。然後，形成一第一走線層於圖案化後之第一介電層之一表面，第一走線層係埋入於圖案化後之第一介電層中，且與第一介電層係共平面。接著，形成一第二走線層於第二介電層之一表面上。



100：基板結構

110：基板

110s1：第一表面

110s2：第二表面

111：第一金屬層

112：第二金屬層

113：通孔

121：第一介電層

122：第二介電層

122s：表面

131：第一走線層

132：第二走線層

141：第一種子層

142：第二種子層

d1：厚度

d2：厚度

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種基板結構及其製造方法，且特別是有關於一種基板之兩個表面具有不同結構之基板結構及其製造方法。

【先前技術】

目前，為了因應電子產品之輕薄短小的尺寸趨勢，電路板係逐步地朝著例如是超細線路(Ultrafine line)的設計發展。

目前已有上下表面均具有超細線路之走線層之電路板被提出。然而，這樣的電路板必須進行兩次超細線路之製程，所需之成本極為高昂。因此，如何降低具有超細線路之走線層的電路板，乃業界所致力於的課題之一。

【發明內容】

本發明主要係提供一種基板結構及其製造方法，其具有厚度薄，且製造成本低的優點。

根據本發明，提出一種基板結構之製造方法，包括以下之步驟。提供一基板，基板具有圖案化後之一第一金屬層、圖案化後之一第二金屬層與一通孔。然後，形成一第一介電層與一第二介電層於基板之一第一表面與相對應之一第二表面。接著，圖案化第一介電層與第二介電層。然後，形成一第一走線層於圖案化後之第一介電層之一表面，第一走線層係埋入於圖案化後之第一介電層中，且與

第一介電層係共平面。接著，形成一第二走線層於第二介電層之一表面上。

根據本發明，再提出一種基板結構，包括一基板、一第一介電層、一第二介電層、一第一走線層及一第二介電層。基板具有圖案化後之第一金屬層、圖案化後之一第二金屬層與一通孔。通孔係電性連接第一金屬層與第二金屬層。第一介電層配置於基板之一第一表面。第二介電層配置於基板之一第二表面。第一表面與第二表面相對。第一走線層係埋入於第一介電層中，且與第一介電層為共平面。第二走線層配置於第二介電層之一表面上。

為讓本發明之上述內容能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

請參照第 1 圖，其繪示根據本發明一較佳實施例之基板結構之示意圖。基板結構 100 包括一基板 110、一第一介電層 121、一第二介電層 122、一第一走線層 131 及一第二走線層 132。

基板 110 具有圖案化後之第一金屬層 111、圖案化後之一第二金屬層 112 與一通孔 113。通孔 113 係電性連接第一金屬層 111 與第二金屬層 112。第一介電層 121 配置於基板 110 之一第一表面 110s1，且第二介電層 122 配置於基板 110 之一第二表面 110s2。第一表面 110s1 與第二表面 110s2 相對。第一走線層 131 係埋入於第一介電層 121 中，且與第一介電層 121 為共平面。第二走線層 132 配置

於第二介電層 122 之一表面上 122s。

茲將本實施例之基板結構 100 進一步說明如下。於本實施例中，第一走線層 131 具有細線路，用以電性連接晶片。此處第一走線層 131 電性連接於晶片之方式例如是利用錫球或凸塊(Cu pillar)之覆晶(Flip chip)方式。細線路之走線間距例如是介於 6 至 30 微米之間，且細線路之走線的厚度例如是介於 5 至 15 微米之間。此外，第二走線層 132 配置於第二介電層 122 之表面的厚度例如為 12 至 20 微米之間。由於第一走線層 131 係埋入於第一介電層 121 中，因此，第一介電層 121 之厚度 d_1 需維持一定的大小，以讓第一走線層 131 與第一表面 110s1 處的走線層相隔一定的間距來避免短路。而第二走線層 132 因為不是埋入於第二介電層 122 中，故第二介電層 122 之厚度 d_2 可設計成小於第一介電層 121 之厚度 d_1 ，以減少基板結構 100 的整體厚度。此處之第一介電層 121 之厚度 d_1 可設計成大於第二介電層 122 之厚度 d_2 約 10~20 微米。

另外，假設本實施例之第一走線層 131 及第二走線層 132 係以電鍍的方式形成，則基板結構 100 可更形成有第一種子層 141 及第二種子層 142 來作為電鍍時之導電層。第一種子層 141 配置於第一介電層 121 及第一走線層 131 之間，且第二種子層 142 配置於第二介電層 122 及第二走線層 132 之間。此處之第一種子層 141 及第二種子層 142 之材料可例如是化學銅(E'less Cu)。再者，基板結構 100 可更包括數個錫球，配置於第二走線層 132 上，以提供對外電性連接之功能。

如此一來，在具有相同之功能的前提下，相較於上表面及下表面均具有埋入於介電層中之超細線路的走線層的基板結構來說，本實施例之基板結構 100 藉由配置不同結構之走線層於基板 110 之第一表面 110s1 及第二表面 110s2，可使得基板 110 的整體厚度較薄。

於本實施例中，基板結構 100 可例如利用下述的三種製造方法製成，以下將分別詳細地說明。

請同時參照第 2 圖及第 3A~3F 圖，第 2 圖繪示第 1 圖中之基板結構之第一種製造方法的流程圖，且第 3A~3F 圖繪示根據第 2 圖中之基板結構之第一種製造方法的流程示意圖。基板結構 100 之此第一種製造方法包括以下之步驟。

於步驟 S201 中，提供基板 110，基板 110 具有圖案化後之第一金屬層 111、圖案化後之第二金屬層 112 與通孔 113，如第 3A 圖所示。於本實施例中，通孔 113 係電性連接第一金屬層 111 與第二金屬層 112。雖然本實施例係以基板 110 具有第一金屬層 111、第二金屬層 112 及通孔 113 為例做說明，然基板 110 亦可為具有二層以上之金屬層之基板(未繪示)。

接著，於步驟 S203 中，形成第一介電層 121 與第二介電層 122 於基板 110 之第一表面 110s1 與相對應之第二表面 110s2，如第 3B 圖所示。步驟 S203 例如是以真空壓合(vacuum lamination)之方式來形成第一介電層 121 及第二介電層 122。

接著，於步驟 S205 中，圖案化第一介電層 121 與第

二介電層 122，如第 3C 圖所示。圖案化第一介電層 121 例如是利用準分子雷射光(Excimer Laser)來達成，以形成對應至第一走線層 131 之細線路(Ultrafine line)之圖樣，且利用紫外光-雅銘雷射光(UV-YAG Laser)來形成對應至第一介電層 121 之盲孔(VIA)121h 之圖樣。另外，圖案化第二介電層 122 例如是利用紫外光-雅銘雷射光來形成對應至第二介電層 122 之盲孔 122h 之圖樣。

然後，於步驟 S207 中，形成第三金屬層 131a 於圖案化後之第一介電層 121 之表面 121s，且形成第四金屬層 132a 於圖案化後之第二介電層 122 之表面 122s 上，如第 3D 圖所示。於本實施例中，所形成位於第二介電層 122 之表面 122s 上的第四金屬層 132a 的厚度 d_{12} 較佳地大於所形成之位於第一介電層 121 之表面 121s 上的第三金屬層 131a 的厚度 d_{11} 。

接著，於步驟 S209 中，減少第三金屬層 131a 之厚度，且減少第四金屬層 132a 的厚度，使得剩餘之第三金屬層 131a 係埋入於圖案化後之第一介電層 121 中來形成第一走線層 131，如第 3E 圖所示。於此實施例中，只有第三金屬層 131a 高於第一介電層 121 的厚度要完全地被減少，以僅留下位於埋入於第一介電層 121 中的第三金屬層 131a。於第 3E 圖中，所減少之第三金屬層 131a 及所減少之第四金屬層 132a 之部分係以虛線表示。第三金屬層 131a 之厚度與第四金屬層 132a 的厚度例如係以相同的製程被減少。步驟 S209 例如是以蝕刻或研磨之方式減少第三金屬層 131a 的厚度，且例如是以蝕刻或研磨之方式來減少第

四金屬層 132a 的厚度。於本實施例中，第三金屬層 131a 之厚度與第四金屬層 132a 的厚度所減少的量例如實質上相同。

然後，於步驟 S211 中，圖案化第四金屬層 132a，以形成第二走線層 132 於第二介電層 122 之表面 122s 上，如第 3F 圖所示。

為了提供於對外之電性連接的功能，本實施例之製造方法可更包括形成數個錫球於第二走線層 132 上。

假設本實施例之製造方法係以電鍍的方式來形成第三金屬層 131a 及第四金屬層 132a 以分別作為第一走線層 131 及第二走線層 132 的一部分。為了提供電鍍時之導電層，於步驟 S207 之前，基板結構 100 之製造方法更包括分別形成第一種子層 141 及第二種子層 142(如第 1 圖所示)於第 3C 圖之圖案化後之第一介電層 121 之表面 121s 上及圖案化後之第二介電層 122 之表面 122s 上。另外，較佳地，在步驟 S211 之後，基板結構 100 之製造方法更包括移除第二介電層 122 之表面 122s 上經由第二走線層 132 露出的第二種子層 142，以避免短路。移除之方式可藉由蝕刻或下級預處理(downstream pretreatment)的方式去除。

此外，為了有效地去除殘留在第一介電層 121 之表面 121s 及第二介電層 122 之表面 122s 的膠渣(smear)，本實施之基板結構 100 之製造方法可在形成第一種子層 141 及第二種子層 142 的步驟之前更包括清潔(desmear)圖案化後之第一介電層 121 之表面 121s 及清潔圖案化後之第二介電層 122 之表面 122s 的步驟。清潔的步驟可例如是以蝕刻的

方式進行。此清潔之步驟可以去除貫孔底部之膠渣，並且使介電層之表面粗糙化以利後續之製程。

基板結構 100 之此種製造方法僅需在圖案化第一介電層 121 時使用準分子雷射光。由於使用準分子雷射光的製程是非常昂貴的，因此，相較於需利用兩次準分子雷射光來分別圖案化兩個介電層之基板結構的製造方法，基板結構 100 之此種製造方法可有效地減少製造成本。此外，由於僅有第三金屬層 131a 高於第一介電層 121 的厚度要完全地被減少，且第二介電層 122 的厚度可比第一介電層 121 的厚度薄，這些因素使得本實施例所需的製造成本可更可進一步地降低。

以下接著說明基板結構 100 之第二種製造方法。與第一種製造方法不同的是，基板結構 100 之第二種製造方法係改變了第三金屬層及第四金屬層的厚度來達成。更詳細地說，與第一種製造方法相較，於基板結構 100 之另一種製造方法中，雖然所形成之第四金屬層的厚度係不小於形成之第三金屬層的厚度，然而，第二種製造方法中形成的第三金屬層與第四金屬層之厚度差係小於第 2 圖中之基板結構 100 之第一種製造方法中所形成的第三金屬層 131a 及第四金屬層 132a 之厚度差，且減少之第三金屬層的厚度係大於減少之第四金屬層的厚度。

舉例來說，第二種製造方法中係以蝕刻及研磨之方式來減少第三金屬層之厚度，且僅以蝕刻之方式來減少第四金屬層之厚度的步驟。如此一來，基於上述之第三金屬層及第四金屬層之厚度設計，以及其他類似於第 3A 圖～第

3F 圖中之流程，同樣可製成第 1 圖中之基板結構 100。第二種製造方法亦可達成類似第一種製造方法的優點。

除了上述之兩種製造方法之外，基板結構 100 亦可第 4 圖及第 5A~5G 圖之流程步驟製成。請同時參照第 4 圖及第 5A~5G 圖，第 4 圖繪示第 1 圖中之基板結構之第三種製造方法之流程圖，且第 5A~5G 圖繪示根據第 4 圖中之基板結構之第三種製造方法的流程示意圖。基板結構 100 之第三種製造方法包括以下之步驟。

與第 2 圖中之流程步驟相較，第 4 圖中之步驟 S201' 至步驟 S205' 分別與第 2 圖中之步驟 S201 至步驟 S205 相同。步驟 S201' 係提供基板 110(如第 5A 圖所示)，步驟 S203' 係形成第一介電層 121 及第二介電層 122(如第 5B 圖所示)，且步驟 S205' 係接著圖案化第一介電層 121 與第二介電層 122(如第 5C 圖所示)。

然後，於步驟 S206a' 中，形成光阻層 150 於圖案化後之第二介電層 122 之表面 122s 上。

接著，於步驟 S206b' 中，圖案化光阻層 150，如第 5D 圖所示。

然後，於步驟 S207' 中，形成第三金屬層 131a' 於圖案化後之第一介電層 121 之表面 121s，且形成第四金屬層 132a' 於未被圖案化後之光阻層 150 覆蓋之圖案化後之第二介電層 122 的表面 122s 上，如第 5E 圖所示。於本實施例中，形成之第四金屬層 132a' 的厚度 d22 係可實質上等於形成之第三金屬層 131a' 的厚度 d21。

接著，於步驟 S209' 中，減少第三金屬層 131a' 之厚

度，使得剩餘之第三金屬層 131a' 係埋入於圖案化後之第一介電層 121 中來形成第一走線層 131，如第 5F 圖所示。減少之第三金屬層 131a' 之部分係以虛線表示。步驟 S207' 例如是以蝕刻及研磨之方式來減少第三金屬層 131a' 之厚度。

然後，於步驟 S211' 中，移除圖案化後之光阻層 150，以形成第二走線層 132，如第 5G 圖所示。

為了提供對外之電性連接的功能，本實施例之製造方法可更包括形成數個錫球於第二走線層 132 上。

其他例如是清潔第一介電層 121 及第二介電層 122 之步驟、及形成第一種子層 141 及第二種子層 142 之步驟當可根據製程需求執行，此處不再重複說明。第三種製造方法亦可達成類似第一種製造方法的優點。

本發明上述實施例所揭露之基板結構及其製造方法，其第一走線層係以埋入於第一介電層之方式配置，且第二走線層係以配置於第二介電層上之方式配置。如此一來，相較於上下表面均具有埋入於介電層中之超細線路之走線層的基板結構，本發明之多個實施例之基板結構的整體厚度較薄，且製造成本較低。此外，一般而言基板下表面之走線層通常係用以作為接地層或直流偏壓層，通常不太需要超細線路即可達成所要之功能。因此，本發明之實施例之一般的走線層(例如第二走線層 132)係已足夠作為接地層或直流偏壓層。因此，本發明之多個實施例可以在達成業界之實際產品要求的前提之下，同時具有成本低廉的優點，相當具有市場競爭力。

綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖繪示根據本發明一較佳實施例之基板結構之示意圖。

第 2 圖繪示第 1 圖中之基板結構之第一種製造方法的流程圖。

第 3A~3F 圖繪示根據第 2 圖中之基板結構之第一種製造方法的流程示意圖。

第 4 圖繪示第 1 圖中之基板結構之製造方法之第三種流程圖。

第 5A~5G 圖繪示根據第 4 圖中之基板結構之第三種製造方法的流程示意圖。

【主要元件符號說明】

100：基板結構

110：基板

111：第一金屬層

112：第二金屬層

113：通孔

110s1：第一表面

110s2：第二表面

121：第一介電層

121h、122h：盲孔

121s、122s：表面

122：第二介電層

131：第一走線層

131a、131a'：第三金屬層

132：第二走線層

132a、132a'：第四金屬層

141：第一種子層

142：第二種子層

150：光阻層

d1、d2、d11、d12、d21、d22：厚度

S201~S211、S201'~S211'：流程步驟

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 38129881

※申請日： 38.7.4

※IPC 分類： H05K 3/10 (2006.01)

H05K 1/02 (2006.01)

一、發明名稱：(中文/英文)

基板結構及其製造方法/SUBSTRATE STRUCTURE AND METHOD
FOR MANUFACTURING THE SAME

二、中文發明摘要：

一種基板結構之製造方法，包括以下之步驟。提供一基板，基板具有圖案化後之一第一金屬層、圖案化後之一第二金屬層與一通孔。然後，形成一第一介電層與一第二介電層於基板之一第一表面與相對應之一第二表面。接著，圖案化第一介電層與第二介電層。然後，形成一第一走線層於圖案化後之第一介電層之一表面，第一走線層係埋入於圖案化後之第一介電層中，且與第一介電層係共平面。接著，形成一第二走線層於第二介電層之一表面上。

三、英文發明摘要：

A method for manufacturing a substrate structure is provided. The method includes following steps. A substrate is provided. The substrate has a patterned first metal layer, a pattern second metal layer and a through hole. After that, a first dielectric layer and a second dielectric layer are formed at a first surface and a second surface of the substrate. The second surface corresponds to the first surface. Then, the first dielectric layer and the second dielectric layer are patterned. After that, a first trace layer

is formed at a surface of the patterned first dielectric layer. The first trace layer is embedded into the patterned first dielectric layer and is coplanar with the first dielectric layer. Then, a second trace layer is formed on a surface of the second dielectric layer.

四、指定代表圖：

(一)本案指定代表圖為：第 1 圖。

(二)本代表圖之元件符號簡單說明：

- 100：基板結構
- 110：基板
- 111：第一金屬層
- 112：第二金屬層
- 113：通孔
- 110s1：第一表面
- 110s2：第二表面
- 121：第一介電層
- 122：第二介電層
- 122s：表面
- 131：第一走線層
- 132：第二走線層
- 141：第一種子層
- 142：第二種子層
- d1、d2：厚度

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

七、申請專利範圍：

1. 一種基板結構之製造方法，包括：

提供一基板，該基板具有圖案化後之一第一金屬層、圖案化後之一第二金屬層與一通孔(Through hole)；

形成一第一介電層與一第二介電層於該基板之一第一表面與相對應之一第二表面；

圖案化該第一介電層與該第二介電層；

形成一第一走線層於圖案化後之該第一介電層之一表面，該第一走線層係埋入於該圖案化後之第一介電層中，且與該第一介電層係共平面；以及

形成一第二走線層於該第二介電層之一表面上。

2. 如申請專利範圍第 1 項所述之製造方法，其中形成該第一走線層之步驟包括：

形成一第三金屬層於圖案化後之該第一介電層之該表面；以及

減少該第三金屬層之厚度，使得剩餘之該第三金屬層係埋入於該圖案化後之第一介電層中來形成該第一走線層。

3. 如申請專利範圍第 2 項所述之製造方法，其中，形成該第二走線層之該步驟包括：

形成一第四金屬層於圖案化後之該第二介電層之該表面上；

減少該第四金屬層之厚度；以及

圖案化該第四金屬層，以形成該第二走線層。

4. 如申請專利範圍第 3 項所述之製造方法，其中形

成之該第四金屬層的厚度大於或等於形成之該第三金屬層的厚度。

5. 如申請專利範圍第 3 項所述之製造方法，其中減少之該第三金屬層的厚度係實質上等於減少之該第四金屬層的厚度。

6. 如申請專利範圍第 3 項所述之製造方法，其中減少之該第三金屬層的厚度係大於減少之該第四金屬層的厚度。

7. 如申請專利範圍第 6 項所述之製造方法，其中減少該第三金屬層之該步驟係以蝕刻及研磨之方式進行，且減少該第四金屬層之該步驟係以蝕刻之方式進行。

8. 如申請專利範圍第 3 項所述之製造方法，其中於形成該第三金屬層之該步驟之前，該製造方法更包括：

形成一第一種子層於圖案化後之該第一介電層之該表面上；

其中，於形成該第四金屬層之該步驟之前，該製造方法更包括：

形成一第二種子層於圖案化後之該第二介電層之該表面上；

其中，於圖案化該第四金屬層之該步驟之後，該製造方法更包括：

移除該第二介電層之該表面上之該第二種子層。

9. 如申請專利範圍第 8 項所述之製造方法，其中於形成該第一種子層之該步驟與形成該第二種子層之該步驟之前，該製造方法更包括：

清潔(Desmear)圖案化後之該第一介電層之該表面與圖案化後之該第二介電層之該表面。

10. 如申請專利範圍第 2 項所述之製造方法，其中，形成該第二走線層之該步驟包括：

形成一光阻層於圖案化後之該第二介電層之該表面上；

圖案化該光阻層；

形成一第四金屬層於未被圖案化後之該光阻層覆蓋之圖案化後之該第二介電層的該表面上；以及

移除圖案化後之該光阻層，以形成該第二走線層。

11. 如申請專利範圍第 10 項所述之製造方法，其中形成之該第三金屬層的厚度係實質上等於形成之該第四金屬層的厚度。

12. 如申請專利範圍第 11 項所述之製造方法，其中減少該第三金屬層之該步驟係以蝕刻及研磨之方式進行。

13. 如申請專利範圍第 10 項所述之製造方法，其中於形成該第三金屬層之該步驟之前，該製造方法更包括：

形成一第一種子層於圖案化後之該第一介電層之該表面上；

其中，於形成該光阻層之該步驟之前，該製造方法更包括：

形成一第二種子層於圖案化後之該第二介電層之該表面上；

其中，於移除圖案化後之該光阻層之該步驟之後，該製造方法更包括：

移除該第二介電層之該表面上之該第二種子層。

14. 如申請專利範圍第 13 項所述之製造方法，其中於形成該第一種子層之該步驟與形成該第二種子層之該步驟之前，該製造方法更包括：

清潔圖案化後之該第一介電層之該表面與圖案化後之該第二介電層之該表面。

15. 如申請專利範圍第 1 項所述之製造方法，其中其中圖案化該第一介電層與該第二介電層之步驟係利用紫外光-雅銘雷射光(UV-YAG Laser)來達成，以分別形成對應至該第一介電層與該第二介電層之盲孔(Via)之圖樣。

16. 如申請專利範圍第 1 項所述之製造方法，其中該第一介電層之厚度係大於該第二介電層之厚度。

17. 如申請專利範圍第 16 項所述之製造方法，其中該第一介電層之厚度係大於該第二介電層之厚度 10~20 微米。

18. 如申請專利範圍第 1 項所述之製造方法，其中圖案化該第一介電層之該步驟係利用準分子雷射光(Excimer Laser)來達成，以形成對應至該第一走線層之細線路(Ultrafine line)之圖樣。

19. 如申請專利範圍第 18 項所述之製造方法，其中，該細線路之走線間距(trace pitch)係介於 6 至 30 微米之間。

20. 如申請專利範圍第 1 項所述之製造方法，其中，該第二走線層配置於該第二介電層之表面的厚度為 12 至 20 微米之間。

21. 一種基板結構，包括：

一基板，具有圖案化後之一第一金屬層、圖案化後之一第二金屬層與一通孔，該通孔係電性連接該第一金屬層與該第二金屬層；

一第一介電層，配置於該基板之一第一表面；

一第二介電層，配置於該基板之一第二表面，該第一表面與該第二表面相對；

一第一走線層，埋入於該第一介電層中，且與該第一介電層為共平面；以及

一第二走線層，配置於該第二介電層之一表面上。

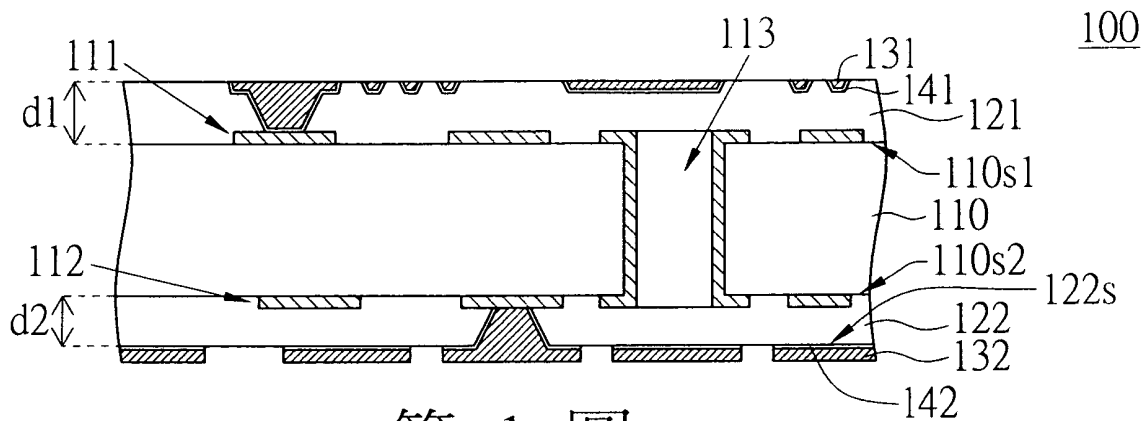
22. 如申請專利範圍第 21 項所述之基板結構，其中，該第二走線層配置於該第二介電層之表面的厚度為 12 至 20 微米之間。

23. 如申請專利範圍第 21 項所述之基板結構，其中該第一介電層之厚度大於該第二介電層之厚度。

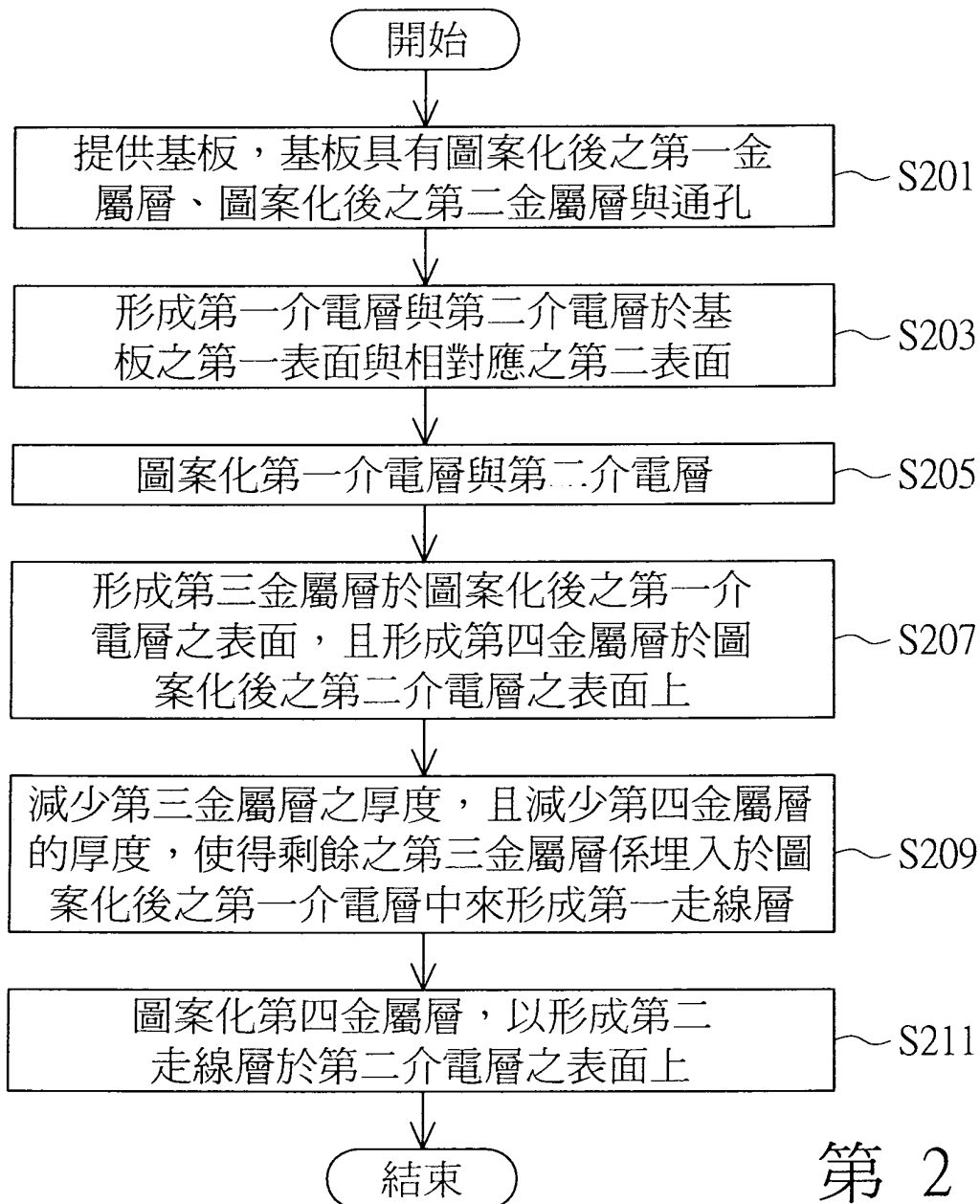
24. 如申請專利範圍第 21 項所述之基板結構，其中，該第一介電層之厚度大於該第二介電層之厚度 10~20 微米。

25. 如申請專利範圍第 21 項所述之基板結構，其中，該第一走線層係具有細線路，該細線路之走線間距係介於 6 至 30 微米之間。

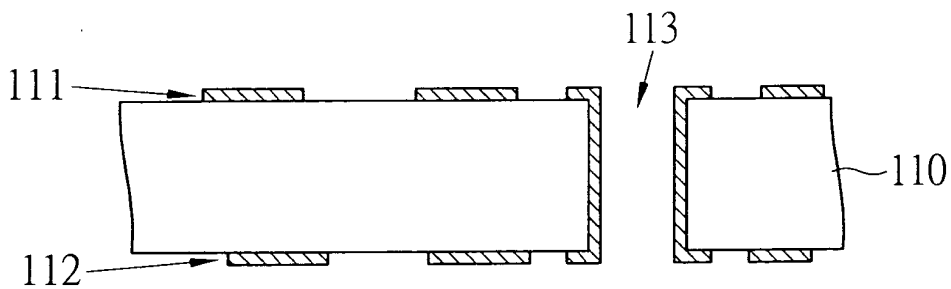
26. 如申請專利範圍第 21 項所述之基板結構，其中，該第一走線層係具有細線路，該細線路之走線的厚度介於 5 至 15 微米之間。



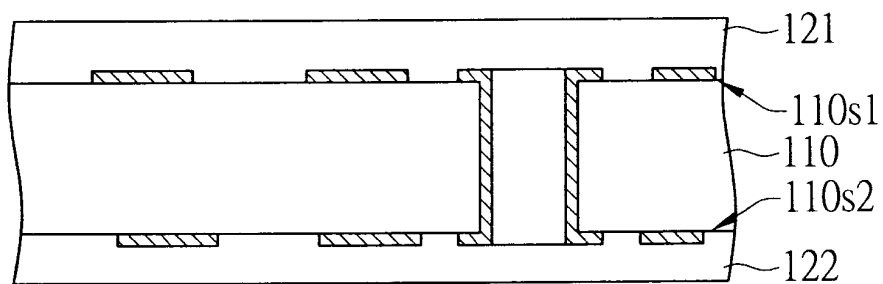
第 1 圖



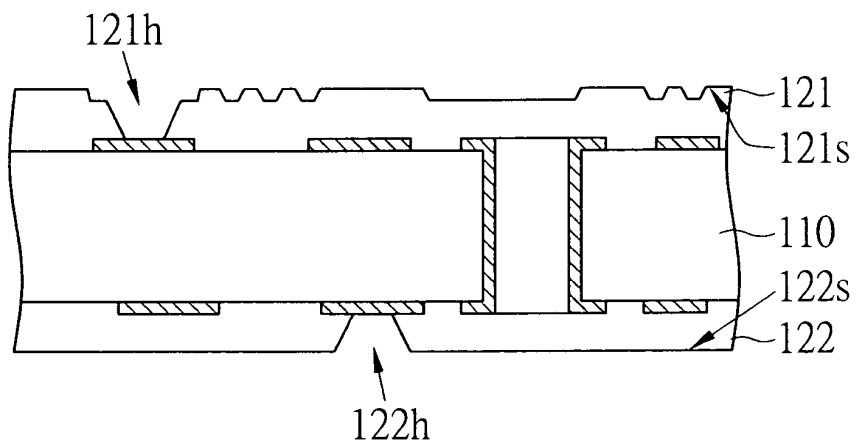
第 2 圖



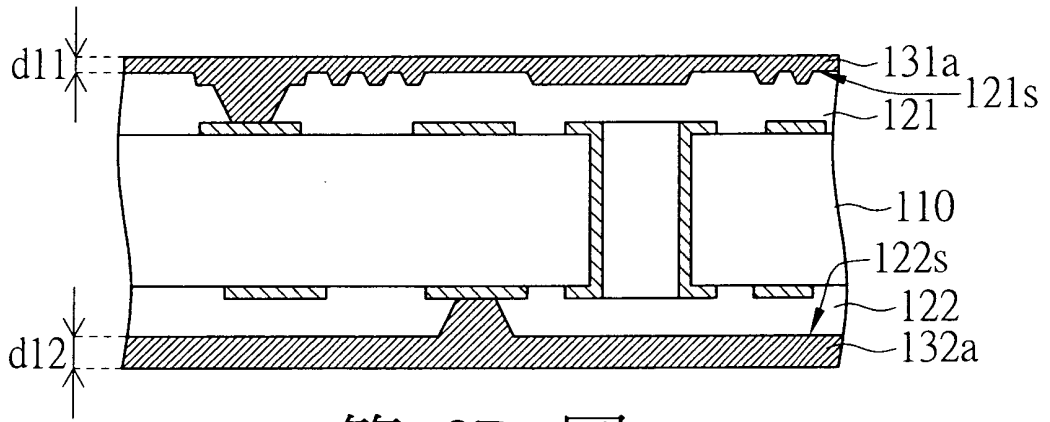
第 3A 圖



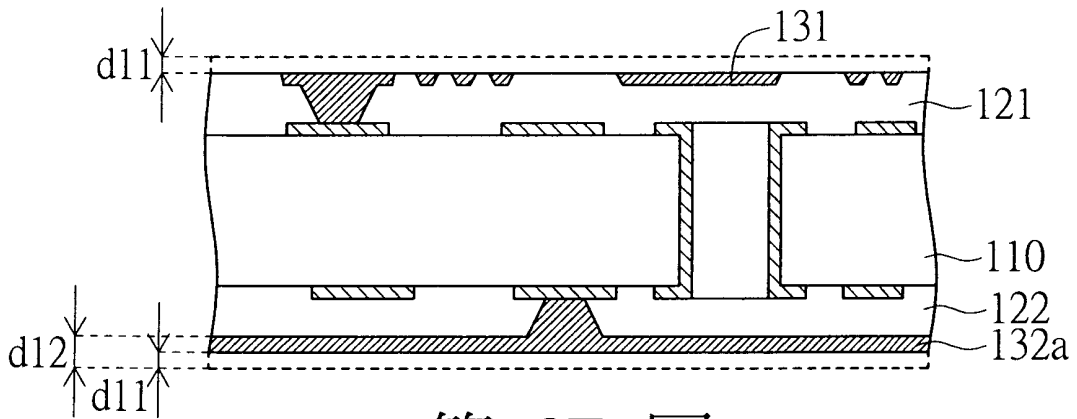
第 3B 圖



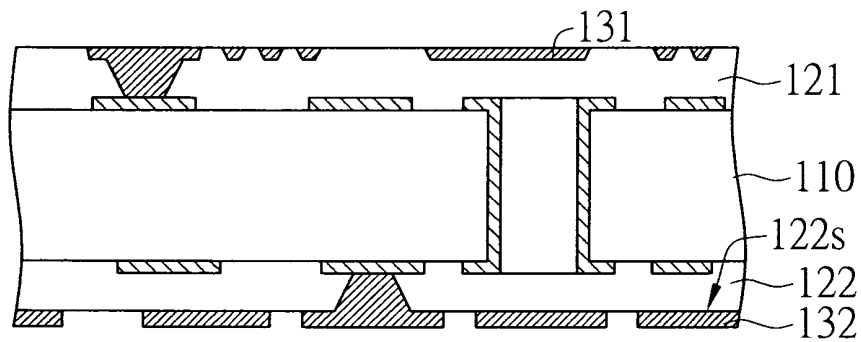
第 3C 圖



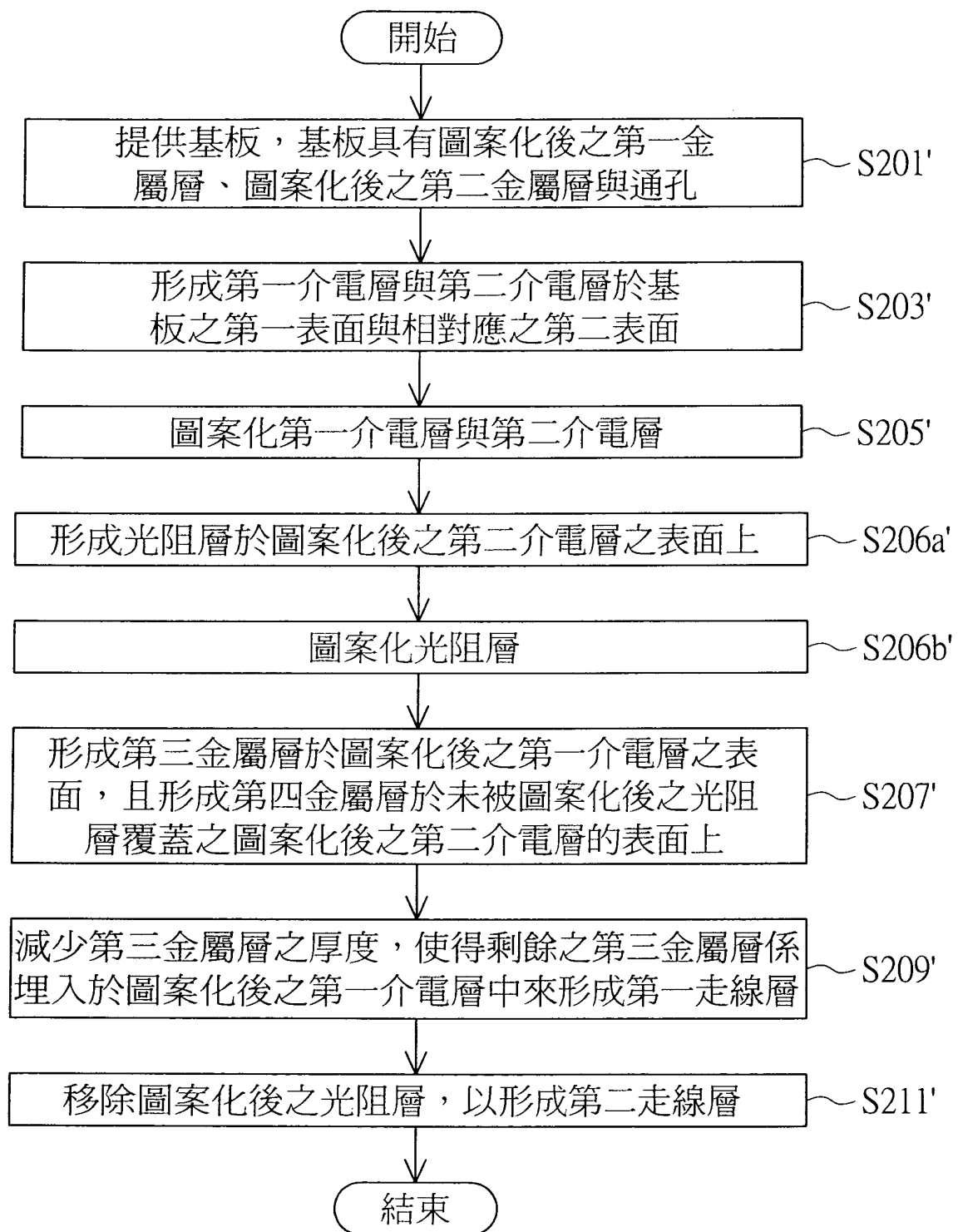
第 3D 圖



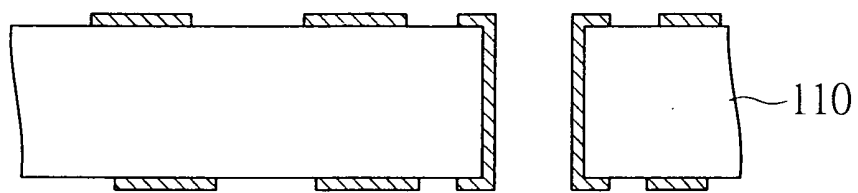
第 3E 圖



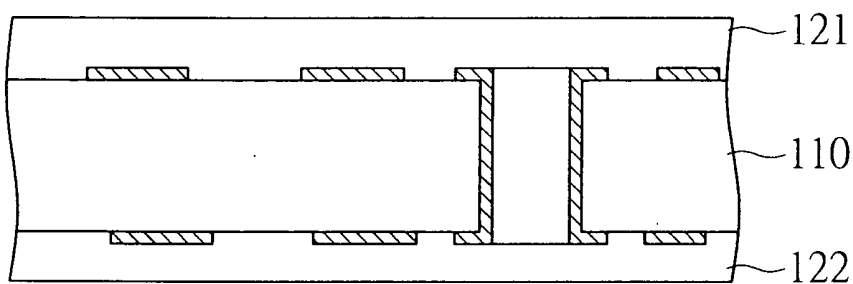
第 3F 圖



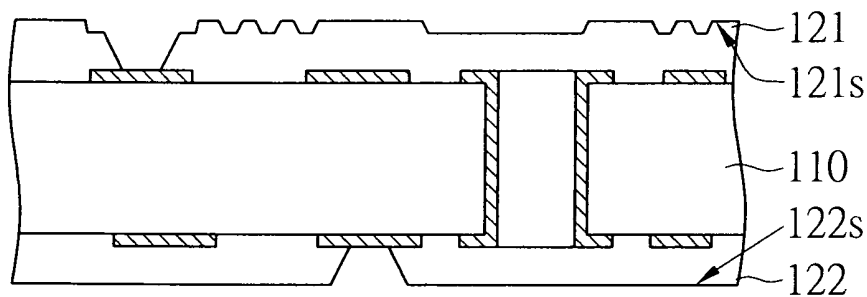
第 4 圖



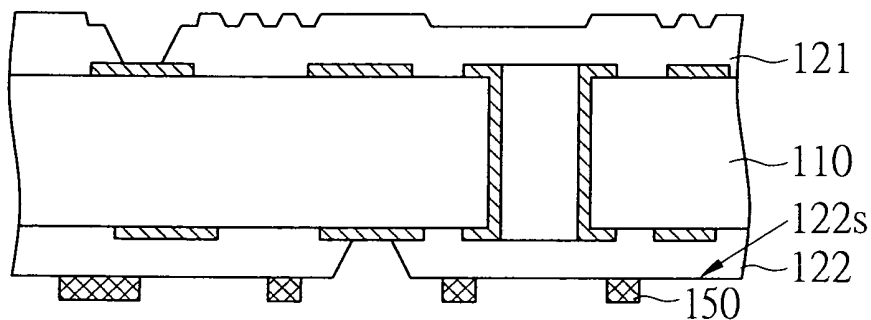
第 5A 圖



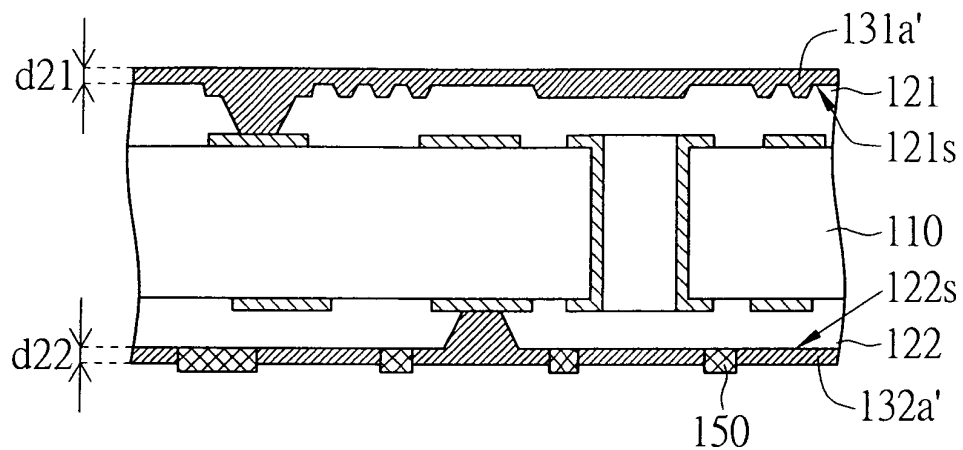
第 5B 圖



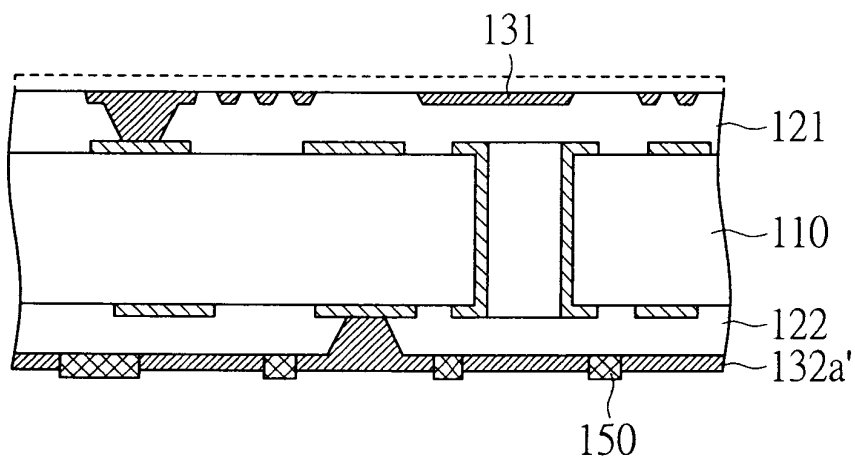
第 5C 圖



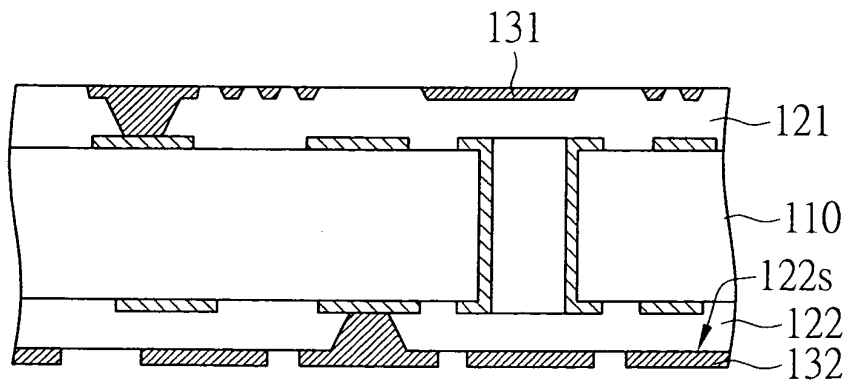
第 5D 圖



第 5E 圖



第 5F 圖



第 5G 圖

is formed at a surface of the patterned first dielectric layer. The first trace layer is embedded into the patterned first dielectric layer and is coplanar with the first dielectric layer. Then, a second trace layer is formed on a surface of the second dielectric layer.

四、指定代表圖：

(一)本案指定代表圖為：第 1 圖。

(二)本代表圖之元件符號簡單說明：

- 100：基板結構
- 110：基板
- 111：第一金屬層
- 112：第二金屬層
- 113：通孔
- 110s1：第一表面
- 110s2：第二表面
- 121：第一介電層
- 122：第二介電層
- 122s：表面
- 131：第一走線層
- 132：第二走線層
- 141：第一種子層
- 142：第二種子層
- d1、d2：厚度

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無