

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年6月11日(11.06.2020)



(10) 国際公開番号

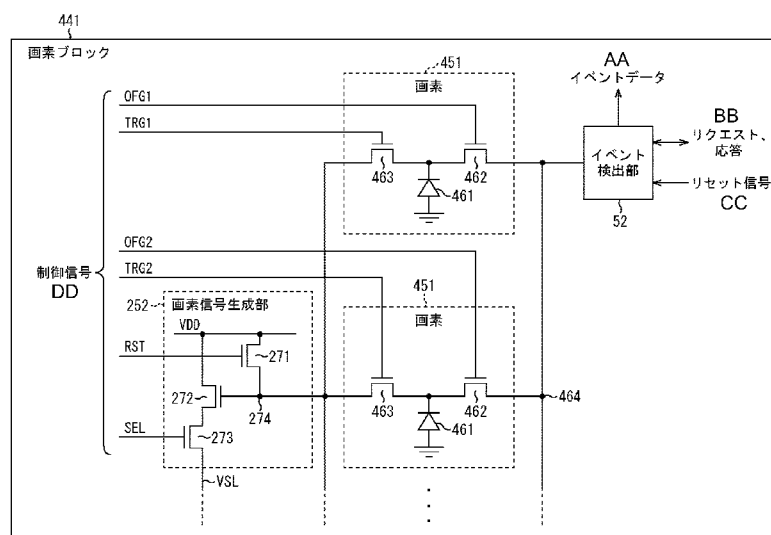
WO 2020/116185 A1

- (51) 国際特許分類:
H04N 5/341 (2011.01) *H04N 5/378* (2011.01)
- (21) 国際出願番号: PCT/JP2019/045614
- (22) 国際出願日: 2019年11月21日(21.11.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-227821 2018年12月5日(05.12.2018) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).
- (72) 発明者: 若林 準人(WAKABAYASHI Hayato); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 西川 孝, 外(NISHIKAWA Takashi et al.); 〒1700013 東京都豊島区東池袋3丁目9番10号 池袋F Nビル4階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: SOLID-STATE IMAGING DEVICE, SIGNAL PROCESSING CHIP, AND ELECTRONIC APPARATUS

(54) 発明の名称: 固体撮像装置、信号処理チップ、および、電子機器

[図23]
FIG. 23



52... EVENT DETECTION UNIT
252... PIXEL SIGNAL GENERATION UNIT
441... PIXEL BLOCK
451... PIXEL
AA... EVENT DATA
BB... REQUEST, RESPONSE
CC... RESET SIGNAL
DD... CONTROL SIGNAL

(57) Abstract: The technology of the present invention relates to a solid-state imaging device, a signal processing chip, and an electronic apparatus with which the result of detecting an occurrence of an event can be utilized in imaging. The solid-state imaging device comprises: an event detection unit that detects, as an event, a change in an electrical signal generated by each pixel of a pixel array unit; a region-of-interest detection unit that detects, from the event detection result, a region-of-interest of the pixel array unit; and a pixel signal generation unit that generates a pixel signal which constitutes an image of a region corresponding to the region-of-interest. This technology can be applied to, for example, a sensor that detects an event which is a change in an electrical signal of a pixel.

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 本技術は、イベントの発生を検出した結果を、撮像に活用することができるようにする固体撮像装置、信号処理チップ、および、電子機器に関する。固体撮像装置は、画素アレイ部の各画素で発生する電気信号の変化をイベントとして検出するイベント検出部と、イベントの検出結果から、画素アレイ部の注目領域を検出する注目領域検出部と、注目領域に対応する領域の画像を構成する画素信号を生成する画素信号生成部とを備える。本技術は、例えば、画素の電気信号の変化であるイベントを検出するセンサ等に適用できる。

明 細 書

発明の名称： 固体撮像装置、信号処理チップ、および、電子機器 技術分野

[0001] 本技術は、固体撮像装置、信号処理チップ、および、電子機器に関し、特に、イベントの発生を検出した結果を、撮像に活用することができるようにした固体撮像装置、信号処理チップ、および、電子機器に関する。

背景技術

[0002] 画素の輝度変化をイベントとして、イベントが発生した場合に、イベントの発生を表すイベントデータを出力するイメージセンサが提案されている（例えば、特許文献1を参照）。

[0003] ここで、垂直同期信号に同期して撮像を行い、ラスタスキャン形式でフレームデータを出力するイメージセンサは、同期型のイメージセンサといふことができる。これに対して、イベントデータを出力するイメージセンサは、イベントデータが発生した画素の随時読み出しを行うため、非同期型のイメージセンサといふことができる。非同期型のイメージセンサは、例えば、DVS (Dynamic Vision Sensor)と呼ばれる。

先行技術文献

特許文献

[0004] 特許文献1：特表2017-535999号公報

発明の概要

発明が解決しようとする課題

[0005] 非同期型のイメージセンサによりイベントの発生を検出した結果を、撮像に活用する方法が望まれている。

[0006] 本技術は、このような状況に鑑みてなされたものであり、イベントの発生を検出した結果を、撮像に活用することができるようにするものである。

課題を解決するための手段

[0007] 本技術の第1の側面の固体撮像装置は、画素アレイ部の各画素で発生する

電気信号の変化をイベントとして検出するイベント検出部と、前記イベントの検出結果から、前記画素アレイ部の注目領域を検出する注目領域検出部と、前記注目領域に対応する領域の画像を構成する画素信号を生成する画素信号生成部とを備える。

[0008] 本技術の第2の側面の信号処理チップは、画素アレイ部の各画素で発生する電気信号の変化をイベントとして検出した検出結果から、前記画素アレイ部の注目領域を検出するとともに、前記注目領域を特定するROI情報を出力する注目領域検出部と、前記注目領域の画素信号を取得し、画像を生成する画像処理部とを備える。

[0009] 本技術の第3の側面の電子機器は、画素アレイ部の各画素で発生する電気信号の変化をイベントとして検出するイベント検出部と、前記イベントの検出結果から、前記画素アレイ部の注目領域を検出する注目領域検出部と、前記注目領域に対応する領域の画像を構成する画素信号を生成する画素信号生成部とを備える固体撮像装置を備える。

[0010] 本技術の第1および第3の側面においては、画素アレイ部の各画素で発生する電気信号の変化がイベントとして検出され、前記イベントの検出結果から、前記画素アレイ部の注目領域が検出され、前記注目領域に対応する領域の画像を構成する画素信号が生成される。

[0011] 本技術の第2の側面においては、画素アレイ部の各画素で発生する電気信号の変化をイベントとして検出した検出結果から、前記画素アレイ部の注目領域が検出されるとともに、前記注目領域を特定するROI情報が出力され、前記注目領域の画素信号が取得され、画像が生成される。

[0012] 固体撮像装置、信号処理チップ、及び、電子機器は、独立した装置であっても良いし、他の装置に組み込まれるモジュールであっても良い。

図面の簡単な説明

[0013] [図1]本技術を適用した固体撮像装置の第1実施の形態の構成例を示す図である。

[図2]図1のDVSチップの構成例を示すブロック図である。

[図3]図2の画素アレイ部の構成例を示すブロック図である。

[図4]図3の画素ブロックの構成例を示す回路図である。

[図5]イベント検出部の構成例を示すブロック図である。

[図6]電流電圧変換部の構成例を示す回路図である。

[図7]減算部及び量子化部の構成例を示す回路図である。

[図8]量子化部の他の構成例を示すブロック図である。

[図9]画像処理部の構成例を示すブロック図である。

[図10]イベントデータに応じて、フレームデータを生成する方法の例を説明する図である。

[図11]図1のCISチップの構成例を示すブロック図である。

[図12]図11の画素アレイ部の構成例を示すブロック図である。

[図13]図12の画素ブロックの構成例を示す回路図である。

[図14]固体撮像装置の動作を説明するフローチャートである。

[図15]本技術を適用した固体撮像装置の第2実施の形態の構成例を示す図である。

[図16]DVSチップ、CISチップ、および、DSPチップの構成例を示すブロック図である。

[図17]本技術を適用した固体撮像装置の第3実施の形態の構成例を示すブロック図である。

[図18]第3実施の形態に係る固体撮像装置の処理を説明するフローチャートである。

[図19]本技術を適用した固体撮像装置の第4実施の形態の構成例を示す図である。

[図20]本技術を適用した固体撮像装置の第4実施の形態のその他の構成例を示す図である。

[図21]図19のセンサ部の構成例を示すブロック図である。

[図22]図21の画素アレイ部の構成例を示すブロック図である。

[図23]図22の画素ブロックの構成例を示す回路図である。

[図24]図 2 1 のセンサ部の動作の例を説明するタイミングチャートである。

[図25]画素アレイ部の全画素で撮像を行う場合の駆動を示すタイミングチャートである。

[図26]画素アレイ部において注目領域の撮像を行う場合の駆動を示すタイミングチャートである。

[図27]図 2 1 の画素アレイ部のその他の構成例を示すブロック図である。

[図28]本技術を適用した電子機器としての、撮像装置の構成例を示すブロック図である。

[図29]イメージセンサの使用例を示す図である。

[図30]車両制御システムの概略的な構成の一例を示すブロック図である。

[図31]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0014] 以下、本技術を実施するための形態（以下、実施の形態という）について説明する。なお、説明は以下の順序で行う。

1. 第 1 実施の形態（2 チップ構成の固体撮像装置）
2. 第 2 実施の形態（3 チップ構成の固体撮像装置）
3. 第 3 実施の形態（3 チップ構成の固体撮像装置）
4. 第 4 実施の形態（1 チップ構成の固体撮像装置）
5. 電子機器への適用例
6. 移動体への応用例

[0015] < 1. 第 1 実施の形態 >

図 1 は、本技術を適用した固体撮像装置の第 1 実施の形態の構成例を示す図である。

[0016] 図 1 の固体撮像装置 10 は、第 1 のチップ 11 および第 2 のチップ 12 と、それらが搭載された中継基板（インターポーザ基板）13 とで構成されている。

[0017] 第 1 のチップ 11 は、画素の輝度変化をイベントとして、イベントが発生した場合に、イベントの発生を表すイベントデータを出力するイメージセン

サチップである。第1のチップ11は、入射光の光電変換を行って電気信号を生成する撮像を行うが、垂直同期信号に同期して撮像を行い、フレーム形式の画像データ（フレームデータ）を生成するのではなく、画素の電気信号の変化であるイベントの発生を表すイベントデータを生成する。

[0018] これに対して、第2のチップ12は、垂直同期信号に同期して撮像を行い、フレーム形式の画像データであるフレームデータを出力するイメージセンサである。

[0019] 第1のチップ11は、イベントデータを、垂直同期信号に同期して出力するわけではないので、非同期型のイメージセンサといえることができる。非同期型のイメージセンサは、例えば、DVS(Dynamic Vision Sensor)とも呼ばれる。以下では、区別を容易にするために、第1のチップ11を、DVSチップ11と称し、第2のチップ12を、CISチップ12と称することとする。

[0020] 中継基板13は、DVSチップ11とCISチップ12との間の信号を中継する信号配線と、固体撮像装置10の出力信号を外部に出力する出力端子を備える。出力端子は、例えば、DVSチップ11およびCISチップ12の搭載面と反対側に形成されるはんだボール等で構成される。

[0021] DVSチップ11は、所定の検出対象範囲内で発生するイベント、すなわち、画素の輝度変化を検出し、検出されたイベントに基づいて、検出対象範囲内の特に注目する領域である注目領域を決定し、CISチップ12に出力する。

[0022] CISチップ12は、所定の撮像対象範囲のうち、DVSチップ11で決定された注目領域に対する撮像を行い、その結果得られる撮像画像を外部に出力する。

[0023] ここで、DVSチップ11の検出対象範囲と、CISチップ12の撮像対象範囲とは、予めキャリブレーションを行うことにより、一致されている。換言すれば、DVSチップ11の検出対象範囲は、全てCISチップ12で撮像が可能である。また、本実施の形態では、簡単のため、DVSチップ11の画素と、CISチップ12の画素とが1対1に対応していることとするが、必ずしも1対1である必要はない。例えば、一方の1画素に対して、他方のN画素($N > 1$)

が対応しているような関係であってもよい。

[0024] <DVSチップ 11 の構成例>

図 2 は、図 1 の DVS チップ 11 の構成例を示すブロック図である。

[0025] DVS チップ 11 は、画素アレイ部 31、アービタ 33、メモリ 34、画像処理部 35、出力部 36、及び、クロック信号生成部 37 を備える。

[0026] 画素アレイ部 31 は、複数の画素 51（図 3）が 2 次元格子状に配列されて構成される。また、画素アレイ部 31 は、それぞれが所定数の画素 51 からなる複数の画素ブロック 41（図 3）に分割される。画素アレイ部 31 は、画素 51 の光電変換によって生成される電気信号としての光電流（に対応する電圧）に所定の閾値を超える変化（閾値以上の変化を必要に応じて含む）が発生した場合に、その光電流の変化をイベントとして検出する。画素アレイ部 31 は、イベントを検出した場合、イベントの発生を表すイベントデータの出力を要求するリクエストを、アービタ 33 に出力する。そして、画素アレイ部 31 は、アービタ 33 からイベントデータの出力の許可を表す応答を受け取った場合、イベントデータを、メモリ 34 に出力する。

[0027] ここで、画素 51 で生成される光電流の変化は、画素 51 に入射する光の光量変化とも捉えることができるので、イベントは、画素 51 の光量変化（閾値を超える光量変化）であるとも言うことができる。

[0028] アービタ 33 は、画素アレイ部 31 を構成する画素ブロック 41 からのリクエストを調停し、イベントデータの出力の許可又は不許可を表す応答を画素アレイ部 31 に返す。また、アービタ 33 は、イベントデータ出力の許可を表す応答を出力した後に、イベント検出をリセットするリセット信号を、画素アレイ部 31 に出力する。

[0029] メモリ 34 は、画素アレイ部 31 からのイベントデータを、所定のフレーム単位（後述するフレームボリューム）で蓄積する。メモリ 34 が画素アレイ部 31 からのイベントデータを蓄積するフレーム単位は、画像処理部 35 によって制御される。メモリ 34 は、クロック信号生成部 37 から供給されるクロック信号に基づいて、イベントが発生した（相対的な）時刻を表す時

刻情報としてのカウント値をイベントデータに付加して蓄積する。すなわち、メモリ 34 は、イベントが発生した画素ブロック 41 または画素 51 の位置を表す位置座標（座標等）と、イベントが発生した時刻を表す時刻情報とを少なくとも含むイベントデータを記憶する。その他、イベントデータには、光量変化の極性（正負）を含ませることができる。

[0030] 画像処理部 35 は、メモリ 34 に蓄積したフレーム単位のイベントデータ（フレームデータ）に応じてデータ処理（画像処理）を行い、そのデータ処理の結果であるデータ処理結果を出力する。例えば、画像処理部 35 は、フレーム単位のイベントデータから、物体の輪郭情報を抽出し、検出対象である物体を特定する。画像処理部 35 は、特定した物体を含む注目領域を決定し、出力部 36 に出力する。

[0031] 出力部 36 は、画像処理部 35 からの注目領域を特定する情報を、ROI 情報（Region Of Interest）として、中継基板 13 を介して、CIS チップ 12 に出力する。

[0032] クロック信号生成部 37 は、マスタクロックとなるクロック信号を生成し、メモリ 34、画像処理部 35 などに供給する。

[0033] <画素アレイ部 31 の構成例>

図 3 は、図 2 の画素アレイ部 31 の構成例を示すブロック図である。

[0034] 画素アレイ部 31 は、複数の画素ブロック 41 を有する。画素ブロック 41 は、I 行×J 列（I 及び J は整数）に配列された 1 以上としての I×J 個の画素 51、及び、イベント検出部 52 を備える。画素ブロック 41 内の 1 以上の画素 51 は、イベント検出部 52 を共有している。

[0035] 画素 51 は、被写体からの入射光を受光し、光電変換して電気信号としての光電流を生成する。画素 51 は、生成した光電流を、イベント検出部 52 に供給する。

[0036] イベント検出部 52 は、アービタ 33 からのリセット信号によるリセット後に、画素 51 のそれぞれからの光電流の所定の閾値を超える変化を、イベントとして検出する。イベント検出部 52 は、イベントを検出した場合、イ

ベントの発生を表すイベントデータの出力を要求するリクエストを、アービタ 3 3（図 2）に供給する。そして、イベント検出部 5 2 は、リクエストに対して、イベントデータの出力を許可する旨の応答を、アービタ 3 3 から受け取ると、イベントデータを、メモリ 3 4 に出力する。

[0037] ここで、光電流の所定の閾値を超える変化をイベントとして検出することは、同時に、光電流の所定の閾値を超える変化がなかったことをイベントとして検出していると捉えることができる。

[0038] <画素ブロック 4 1 の構成例>

図 4 は、図 3 の画素ブロック 4 1 の構成例を示す回路図である。

[0039] 画素ブロック 4 1 は、図 3 で説明したように、1 以上の画素 5 1 と、イベント検出部 5 2 とを備える。

[0040] 画素 5 1 は、光電変換素子 6 1 を備える。光電変換素子 6 1 は、例えば、P D(Photodiode)で構成され、入射光を受光し、光電変換して電荷を生成する。

[0041] 画素ブロック 4 1 を構成する $I \times J$ 個の画素 5 1 は、ノード 6 0 を介して、その画素ブロック 4 1 を構成するイベント検出部 5 2 に接続されている。したがって、画素 5 1（の光電変換素子 6 1）で生成された光電流は、ノード 6 0 を介して、イベント検出部 5 2 に供給される。その結果、イベント検出部 5 2 には、画素ブロック 4 1 内のすべての画素 5 1 の光電流の和が供給される。したがって、イベント検出部 5 2 では、画素ブロック 4 1 を構成する $I \times J$ 個の画素 5 1 から供給される光電流の和の変化がイベントとして検出される。

[0042] 図 3 の画素アレイ部 3 1 では、画素ブロック 4 1 が 1 以上の画素 5 1 で構成され、その 1 以上の画素 5 1 で、イベント検出部 5 2 が共有される。したがって、画素ブロック 4 1 が、複数の画素 5 1 で構成される場合には、1 個の画素 5 1 に対して、1 個のイベント検出部 5 2 を設ける場合に比較して、イベント検出部 5 2 の数を少なくすることができ、画素アレイ部 3 1 の規模を抑制することができる。

[0043] なお、画素ブロック 4 1 が、複数の画素 5 1 で構成される場合、画素 5 1

ごとに、イベント検出部 5 2 を設けることができる。画素ブロック 4 1 の複数の画素 5 1 で、イベント検出部 5 2 を共有する場合には、画素ブロック 4 1 の単位でイベントが検出されるが、画素 5 1 ごとに、イベント検出部 5 2 を設ける場合には、画素 5 1 の単位で、イベントを検出することができる。

[0044] <イベント検出部 5 2 の構成例>

図 5 は、図 3 のイベント検出部 5 2 の構成例を示すブロック図である。

[0045] イベント検出部 5 2 は、電流電圧変換部 8 1、バッファ 8 2、減算部 8 3、量子化部 8 4、及び、転送部 8 5 を備える。

[0046] 電流電圧変換部 8 1 は、画素 5 1 からの光電流（の和）を、その光電流の対数に対応する電圧（以下、光電圧ともいう）に変換し、バッファ 8 2 に供給する。

[0047] バッファ 8 2 は、電流電圧変換部 8 1 からの光電圧をバッファリングし、減算部 8 3 に供給する。

[0048] 減算部 8 3 は、アービタ 3 3 からのリセット信号に従ったタイミングで、現在の光電圧と、現在と微小時間だけ異なるタイミングの光電圧との差を演算し、その差に対応する差信号を、量子化部 8 4 に供給する。

[0049] 量子化部 8 4 は、減算部 8 3 からの差信号をデジタル信号に量子化し、差信号の量子化値を、イベントデータとして、転送部 8 5 に供給する。

[0050] 転送部 8 5 は、量子化部 8 4 からのイベントデータに応じて、そのイベントデータを、メモリ 3 4 に転送（出力）する。すなわち、転送部 8 5 は、イベントデータの出力を要求するリクエストを、アービタ 3 3 に供給する。そして、転送部 8 5 は、リクエストに対して、イベントデータの出力を許可する旨の応答をアービタ 3 3 から受け取ると、イベントデータを、メモリ 3 4 に出力する。

[0051] <電流電圧変換部 8 1 の構成例>

図 6 は、図 5 の電流電圧変換部 8 1 の構成例を示す回路図である。

[0052] 電流電圧変換部 8 1 は、トランジスタ 9 1 ないし 9 3 で構成される。トランジスタ 9 1 及び 9 3 としては、例えば、N 型の MOS FET を採用することがで

き、トランジスタ 92 としては、例えば、P 型の MOS FET を採用することができる。

[0053] トランジスタ 91 のソースは、トランジスタ 93 のゲートと接続され、トランジスタ 91 のソースとトランジスタ 93 のゲートとの接続点には、画素 51 からの光電流が供給される。トランジスタ 91 のドレインは、電源 VDD に接続され、そのゲートは、トランジスタ 93 のドレインに接続される。

[0054] トランジスタ 92 のソースは、電源 VDD に接続され、そのドレインは、トランジスタ 91 のゲートとトランジスタ 93 のドレインとの接続点に接続される。トランジスタ 92 のゲートには、所定のバイアス電圧 V_{bias} が印加される。バイアス電圧 V_{bias} によって、トランジスタ 92 はオン／オフし、このトランジスタ 92 のオン／オフにより、電流電圧変換部 81 の動作もオン／オフする。

[0055] トランジスタ 93 のソースは接地される。

[0056] 電流電圧変換部 81 において、トランジスタ 91 のドレインは電源 VDD 側に接続されており、ソースフォロアになっている。ソースフォロアになっているトランジスタ 91 のソースには、画素 51 (図 4) が接続され、これにより、トランジスタ 91 (のドレインからソース) には、画素 51 の光電変換素子 61 で生成された電荷による光電流が流れる。トランジスタ 91 は、サブスレッショルド領域で動作し、トランジスタ 91 のゲートには、そのトランジスタ 91 に流れる光電流の対数に対応する光電圧が現れる。以上のように、電流電圧変換部 81 では、トランジスタ 91 により、画素 51 からの光電流が、その光電流の対数に対応する光電圧に変換される。

[0057] 電流電圧変換部 81 において、トランジスタ 91 のゲートは、トランジスタ 92 のドレインとトランジスタ 93 のドレインとの接続点に接続されており、その接続点から、光電圧が出力される。

[0058] <減算部 83 及び量子化部 84 の構成例>

図 7 は、図 5 の減算部 83 及び量子化部 84 の構成例を示す回路図である。

[0059] 減算部 83 は、コンデンサ 101、オペアンプ 102、コンデンサ 103、及び、スイッチ 104 を備える。量子化部 84 は、コンパレータ 111 を備える。

[0060] コンデンサ 101 の一端は、バッファ 82（図 5）の出力端子に接続され、他端は、オペアンプ 102 の入力端子（反転入力端子）に接続される。したがって、オペアンプ 102 の入力端子には、コンデンサ 101 を介して光電圧が入力される。

[0061] オペアンプ 102 の出力端子は、コンパレータ 111 の非反転入力端子(+)に接続される。

[0062] コンデンサ 103 の一端は、オペアンプ 102 の入力端子に接続され、他端は、オペアンプ 102 の出力端子に接続される。

[0063] スイッチ 104 は、コンデンサ 103 の両端の接続をオン／オフするように、コンデンサ 103 に接続される。スイッチ 104 は、リセット信号に従ってオン／オフすることにより、コンデンサ 103 の両端の接続をオン／オフする。

[0064] スイッチ 104 をオンにした際のコンデンサ 101 のバッファ 82（図 5）側の光電圧を V_{init} と表すとともに、コンデンサ 101 の容量（静電容量）を $C1$ と表すこととする。オペアンプ 102 の入力端子は、仮想接地になっており、スイッチ 104 がオンである場合にコンデンサ 101 に蓄積される電荷 Q_{init} は、式（1）により表される。

[0065] $Q_{init} = C1 \times V_{init}$

・・・（1）

[0066] また、スイッチ 104 がオンである場合には、コンデンサ 103 の両端の接続はオフにされる（短絡される）ため、コンデンサ 103 に蓄積される電荷はゼロとなる。

[0067] その後、スイッチ 104 がオフになった場合の、コンデンサ 101 のバッファ 82（図 5）側の光電圧を、 V_{after} と表すこととすると、スイッチ 104 がオフになった場合にコンデンサ 101 に蓄積される電荷 Q_{after} は、式（

2) により表される。

$$[0068] \quad Q_{\text{after}} = C1 \times V_{\text{after}}$$

・・・ (2)

[0069] コンデンサ 103 の容量を $C2$ と表すとともに、オペアンプ 102 の出力電圧を V_{out} と表すこととすると、コンデンサ 103 に蓄積される電荷 $Q2$ は、式 (3) により表される。

$$[0070] \quad Q2 = -C2 \times V_{\text{out}}$$

・・・ (3)

[0071] スイッチ 104 がオフする前後で、コンデンサ 101 の電荷とコンデンサ 103 の電荷とを合わせた総電荷量は変化しないため、式 (4) が成立する。

$$[0072] \quad Q_{\text{init}} = Q_{\text{after}} + Q2$$

・・・ (4)

[0073] 式 (4) に式 (1) ないし式 (3) を代入すると、式 (5) が得られる。

$$[0074] \quad V_{\text{out}} = -(C1/C2) \times (V_{\text{after}} - V_{\text{init}})$$

・・・ (5)

[0075] 式 (5) によれば、減算部 83 では、光電圧 V_{after} 及び V_{init} の減算、すなわち、光電圧 V_{after} と V_{init} との差 $V_{\text{after}} - V_{\text{init}}$ に対応する差信号 (V_{out}) の算出が行われる。式 (5) によれば、減算部 83 の減算のゲインは $C1/C2$ となる。通常、ゲインを最大化することが望まれるため、 $C1$ を大きく、 $C2$ を小さく設計することが好ましい。一方、 $C2$ が小さすぎると、 kTC ノイズが増大し、ノイズ特性が悪化するおそれがあるため、 $C2$ の容量削減は、ノイズを許容することができる範囲に制限される。また、画素ブロック 41 ごとに減算部 83 を含むイベント検出部 52 が搭載されるため、容量 $C1$ や $C2$ には、面積上の制約がある。これらを考慮して、容量 $C1$ 及び $C2$ の値が決定される。

[0076] コンパレータ 111 は、減算部 83 からの差信号と、反転入力端子 (-) に印加された所定の閾値 (電圧) $V_{\text{th}} (>0)$ とを比較することにより、差信号を量子化し、その量子化により得られる量子化値を、イベントデータとして、転送

部 8 5 に出力する。

[0077] 例えば、コンパレータ 1 1 1 は、差信号が閾値 V_{th} を超えている場合、1を表す H(High) レベルを、イベントの発生を表すイベントデータとして出力し、差信号が閾値 V_{th} を超えていない場合、0を表す L(Low) レベルを、イベントが発生していないことを表すイベントデータとして出力する。

[0078] 転送部 8 5 は、量子化部 8 4 からのイベントデータに応じて、イベントとしての光量変化が発生したと認められる場合、すなわち、差信号 (V_{out}) が閾値 V_{th} より大である場合に、リクエストをアービタ 3 3 に供給し、イベントデータの出力の許可を表す応答を受け取った後に、イベントの発生を表すイベントデータ（例えば、Hレベル）を、メモリ 3 4 に出力する。

[0079] メモリ 3 4 は、転送部 8 5 からのイベントデータに、そのイベントデータが表すイベントが発生した画素 5 1（を有する画素ブロック 4 1）の位置情報、及び、イベントが発生した時刻を表す時刻情報、さらには、必要に応じて、イベントとしての光量変化の極性を含めて記憶する。

[0080] イベントが発生した画素 5 1 の位置情報、イベントが発生した時刻を表す時刻情報、イベントとしての光量変化の極性を含むイベントデータのデータ形式としては、例えば、AER(Address Event Representation)と呼ばれるデータ形式を採用することができる。

[0081] なお、イベント検出部 5 2 全体のゲイン A は、電流電圧変換部 8 1 のゲインを CG_{log} とし、バッファ 8 2 のゲインを 1 とし、量子化部 8 4 のゲインを G とすると、次の式により表される。

$$[0082] \quad A = CG_{log} \cdot C1/C2 \cdot G \left(\sum i_{photo_n} \right) \quad \dots (6)$$

[0083] i_{photo_n} は、画素ブロック 4 1 を構成する $I \times J$ 個の画素 5 1 のうちの n 番目の画素 5 1 の光電流を表す。式 (6) の Σ は、 n を、1 から $I \times J$ までの整数に変えてとるサメーションを表す。

[0084] なお、画素 5 1 では、カラーフィルタ等の所定の光を透過する光学フィルタを設けること等によって、入射光として、任意の光を受光することができ

る。例えば、画素51において、入射光として、可視光を受光する場合、イベントデータは、視認することができる被写体が映る画像における画素値の変化の発生を表す。また、例えば、画素51において、入射光として、測距のための赤外線やミリ波等を受光する場合、イベントデータは、被写体までの距離の変化の発生を表す。さらに、例えば、画素51において、入射光として、温度の測定のための赤外線を受光する場合、イベントデータは、被写体の温度の変化の発生を表す。本実施の形態では、画素51において、入射光として、可視光を受光することとする。

[0085] <量子化部84の他の構成例>

図8は、図5の量子化部84の他の構成例を示すブロック図である。

[0086] なお、図中、図7の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

[0087] 図8において、量子化部84は、コンパレータ111及び112、並びに、出力部113を有する。

[0088] したがって、図8の量子化部84は、コンパレータ111を有する点で、図7の場合と共通する。但し、図8の量子化部84は、コンパレータ112及び出力部113を新たに有する点で、図7の場合と相違する。

[0089] 図8の量子化部84を有するイベント検出部52（図5）では、イベントの他、イベントとしての光量変化の極性も検出される。

[0090] 図8の量子化部84では、コンパレータ111は、差信号が閾値 V_{th} を超えている場合、1を表すHレベルを、正極性のイベントの発生を表すイベントデータとして出力し、差信号が閾値 V_{th} を超えていない場合、0を表すLレベルを、正極性のイベントが発生していないことを表すイベントデータとして出力する。

[0091] また、図8の量子化部84では、コンパレータ112の非反転入力端子(+)には、閾値 V_{th}' ($<V_{th}$)が供給され、コンパレータ112の反転入力端子(-)には、減算部83からの差信号が供給される。いま、説明を簡単にするため、閾値 V_{th}' が、例えば、 $-V_{th}$ に等しいこととする。

- [0092] コンパレータ 1 1 2 は、減算部 8 3 からの差信号と、反転入力端子(-)に印加された閾値 V_{th}' とを比較することにより、差信号を量子化し、その量子化により得られる量子化値を、イベントデータとして出力する。
- [0093] 例えば、コンパレータ 1 1 2 は、差信号が閾値 V_{th}' より小さい場合（負の値の差信号の絶対値が閾値 V_{th} を超えている場合）、1を表すHレベルを、負極性のイベントの発生を表すイベントデータとして出力する。また、コンパレータ 1 1 2 は、差信号が閾値 V_{th}' より小さくない場合（負の値の差信号の絶対値が閾値 V_{th} を超えていない場合）、0を表すLレベルを、負極性のイベントが発生していないことを表すイベントデータとして出力する。
- [0094] 出力部 1 1 3 は、コンパレータ 1 1 1 及び 1 1 2 が出力するイベントデータに応じて、正極性のイベントの発生を表すイベントデータ、負極性のイベントの発生を表すイベントデータ、又は、イベントが発生していないことを表すイベントデータを、転送部 8 5 に出力する。
- [0095] 例えば、出力部 1 1 3 は、コンパレータ 1 1 1 からのイベントデータが1を表すHレベルである場合、+1を表すHパルスを、正極性のイベントの発生を表すイベントデータとして、転送部 8 5 に出力する。また、出力部 1 1 3 は、コンパレータ 1 1 2 からのイベントデータが1を表すHレベルである場合、-1を表すLパルスを、負極性のイベントの発生を表すイベントデータとして、転送部 8 5 に出力する。さらに、出力部 1 1 3 は、コンパレータ 1 1 1 及び 1 1 2 からのイベントデータがいずれも0を表すLレベルである場合、0を表す0ボルト（GNDレベル）を、イベントが発生していないことを表すイベントデータとして、転送部 8 5 に出力する。
- [0096] 転送部 8 5 は、量子化部 8 4 の出力部 1 1 3 からのイベントデータに応じて、正極性又は負極性のイベントとしての光量変化が発生したと認められる場合、リクエストをアービタ 3 3 に供給し、イベントデータの出力の許可を表す応答を受け取った後に、正極性又は負極性のイベントの発生を表すイベントデータ（1を表すHパルス、又は、-1を表すLパルス）を、メモリ 3 4 に出力する。

[0097] 量子化部 84 を図 7 の構成とした場合には、イベントの発生が正極性のみの 1 ビット (0 または 1) で出力され、図 8 の構成とした場合には、イベントの発生が 1.5 ビット (1、0、または、-1) で出力される。以下では、量子化部 84 は、図 7 及び図 8 のうちの、例えば、図 8 に示したように構成されることとする。

[0098] <画像処理部 35 の構成例>

図 9 は、図 2 の画像処理部 35 の構成例を示すブロック図である。

[0099] 図 9 において、画像処理部 35 は、フレーム間隔設定部 131、フレーム幅設定部 132、及び、検出部 (注目領域検出部) 133 を有する。

[0100] フレーム間隔設定部 131 は、例えば、ユーザの操作等に応じて、フレーム間隔を設定し、メモリ 34 に供給する。フレーム間隔とは、イベントデータに応じて生成されるフレームデータのフレームの間隔を表し、フレーム間隔は、時間、又は、イベントデータの数により指定して設定することができる。ここで、フレーム間隔設定部 131 で設定されたフレーム間隔を、設定フレーム間隔ともいう。

[0101] フレーム幅設定部 132 は、例えば、ユーザの操作等に応じて、フレーム幅を設定し、メモリ 34 に供給する。フレーム幅とは、1 フレームのフレームデータの生成に用いるイベントデータの時間幅を表し、フレーム幅は、フレーム間隔と同様に、時間、又は、イベントデータの数により指定して設定することができる。ここで、フレーム幅設定部 132 で設定されたフレーム幅を、設定フレーム幅ともいう。

[0102] メモリ 34 は、画素アレイ部 31 からのイベントデータを、フレーム間隔設定部 131 およびフレーム幅設定部 132 で設定された設定フレーム間隔および設定フレーム幅で、フレーム形式の画像データであるフレームデータを生成することにより、イベントデータをフレーム単位のフレームデータに変換して記憶する。

[0103] 検出部 133 は、メモリ 34 に記憶されているフレームデータを用いた画像処理、例えば、パターンマッチングやニューラルネットワークを用いた画

像認識により、検出対象としての物体を特定し、物体の輪郭情報を抽出する。画像処理部35は、特定した物体を含む領域を注目領域として、注目領域を特定する情報を、ROI情報として、出力部36に出力する。すなわち、検出部133は、メモリ34に記憶されているフレームデータを用いて、注目領域を検出する。

[0104] なお、フレーム幅としては、あらかじめ決められた値を採用することができる。この場合、画像処理部35は、フレーム幅設定部132を設けずに構成することができる。

[0105] <イベントデータに応じたフレームデータの生成>

図10は、イベントデータに応じて、フレームデータを生成する方法の例を説明する図である。

[0106] いま、イベントデータが、イベントが発生した時刻を表す時刻情報（以下、イベントの時刻ともいう） t_i 、及び、イベントが発生した画素51（を有する画素ブロック41）の位置情報（以下、イベントの位置ともいう）としての座標 (x, y) を含むこととする。

[0107] 図10では、 x 軸、 y 軸、及び、時間軸 t で構成される3次元（時）空間において、イベントデータとしての点が、そのイベントデータに含まれるイベントの時刻 t 、及び、イベントの位置（としての座標） (x, y) にプロットされている。

[0108] すなわち、イベントデータに含まれるイベントの時刻 t 、及び、イベントの位置 (x, y) で表される3次元空間上の位置 (x, y, t) を、イベントの時空間位置ということとすると、図10では、イベントデータが、イベントの時空間位置 (x, y, t) に、点としてプロットされている。

[0109] メモリ34は、例えば、外部からフレームデータの生成が指示された時刻や、DVSチップ11の電源がオンにされた時刻等の所定の時刻を、フレームデータの生成を開始する生成開始時刻として、イベントデータに応じたフレームデータの生成を開始する。

[0110] いま、生成開始時刻から、設定フレーム間隔ごとの、時間軸 t 方向に、設定

フレーム幅の直方体をフレームボリュームまたはフレーム単位ということとする。フレームボリュームのx軸方向及びy軸方向のサイズは、例えば、画素ブロック4 1又は画素5 1のx軸方向及びy軸方向の個数に等しい。

[0111] メモリ3 4は、設定フレーム間隔ごとに、設定フレーム間隔の先頭から設定フレーム幅のフレームボリューム内のイベントデータに応じて、1フレームのフレームデータを生成して記憶する。

[0112] フレーム幅及びフレーム間隔は、時間による指定とすることもできるし、イベントデータの数による指定とすることもできる。フレーム幅及びフレーム間隔の一方が、時間による指定であり、他方が、イベントデータの数による指定でもよい。

[0113] フレームデータの生成は、例えば、イベントデータに含まれるイベントの位置(x, y)のフレームの画素（の画素値）に白色を、フレームの他の位置の画素（の画素値）にグレー等の所定の色をセットすることで行うことができる。

[0114] その他、フレームデータの生成は、イベントデータがイベントとしての光量変化の極性を含む場合には、イベントデータに含まれる極性を考慮して行うことができる。例えば、極性が正である場合には、画素に白色をセットし、極性が負である場合には、画素に黒色をセットすることができる。

[0115] なお、フレームボリューム内には、イベントの時刻tが異なるが、イベントの位置(x, y)が同一のイベントデータが複数存在する場合がある。この場合、例えば、イベントの時刻tが最も新しい又は古いイベントデータを優先させることができる。また、イベントデータが極性を含む場合には、イベントの時刻tが異なるが、イベントの位置(x, y)が同一の複数のイベントデータの極性を加算し、その加算により得られる加算値に応じた画素値を、イベントの位置(x, y)の画素にセットすることができる。

[0116] ここで、フレーム幅及びフレーム間隔が、時間による指定であって、フレーム幅とフレーム間隔とが同一である場合、フレームボリュームは、隙間なく接した状態となる。また、フレーム間隔がフレーム幅より大である場合、

フレームボリュームは、隙間を空けて並んだ状態となる。フレーム幅がフレーム間隔より大である場合、フレームボリュームは、一部が重複する形で並んだ状態となる。本実施の形態では、説明を簡単にするため、フレーム幅をフレーム間隔と同一とし、所定の設定フレーム間隔で、イベントデータがメモリ34に蓄積されることとする。設定フレーム間隔でメモリ34に蓄積されるフレームデータが更新され、物体の検出が順次行われるので、フレームデータの更新周期は物体の検出を行う周期（物体検出周期）に等しい。

[0117] なお、本実施の形態では、所定の設定フレーム間隔および設定フレーム幅でメモリ34に蓄積されたイベントデータを用いた画像認識により、検出対象としての物体を特定するようにしたが、例えば、時間経過に応じて取得されるイベントデータの位置変位を捉えることにより、物体を特定するような場合には、メモリ34は省略することができる。

[0118] <CISチップ12の構成例>

図11は、図1のCISチップ12の構成例を示すブロック図である。

[0119] CISチップ12は、画素アレイ部211、駆動部212、AD(Analog to Digital)変換部213、入力部214、制御部215、信号処理部216、及び、出力部217を備える。

[0120] 画素アレイ部211は、複数の画素251（図12）が2次元格子状に配列されて構成される。画素アレイ部211は、それぞれが所定数の画素251からなる複数の画素ブロック241（図12）に分割される。画素アレイ部211は、画素251の光電変換によって生成される画素信号を、AD変換部213に出力する。

[0121] 駆動部212は、画素アレイ部211に制御信号を供給することにより、画素アレイ部211を駆動する。例えば、駆動部212は、DVSチップ11から供給されたROI情報に基づく注目領域の画素251を駆動し、その画素251の画素信号を、AD変換部213に供給（出力）させる。なお、勿論、駆動部212は、画素アレイ部211の一部の領域だけでなく、画素アレイ部211の全領域を駆動し、全領域の画素251の画素信号をAD変換部213に

供給（出力）させることも可能である。

[0122] AD変換部213は、例えば、後述する画素ブロック241（図12）の列ごとに、例えば、シングルスロープ型のADC(AD Converter)（図示せず）を有する。AD変換部213は、各列のADCにおいて、その列の画素ブロック241の画素251の画素信号をAD変換し、信号処理部216に供給する。なお、AD変換部213では、画素信号のAD変換とともに、CDS(Correlated Double Sampling)を行うことができる。

[0123] 入力部214は、中継基板13を介してDVSチップ11から供給されたROI情報を取得し、制御部215に供給する。また、入力部214は、動作モードなどを指令するデータなども、外部から取得することができる。

[0124] 制御部215は、ROI情報や、動作モードなどを指令するデータなどを入力部214から受け取る。制御部215は、駆動部212、AD変換部213などの動作の基準となるクロック信号や制御信号を生成する。そして、制御部215は、生成したクロック信号や制御信号を、駆動部212、AD変換部213等に出力する。例えば、制御部215は、入力部214から取得したROI情報に基づいて、画素アレイ部211の駆動領域を特定する制御信号を駆動部212に供給する。

[0125] 信号処理部216は、AD変換部213から順次供給される画素信号に対して、所定の信号処理を行う。例えば、信号処理部216は、黒レベル調整処理、列ばらつき補正処理、ゲイン調整処理などの各種のデジタル信号処理を行う。信号処理部216は、デジタル信号処理後の画素信号を出力部217に供給する。

[0126] 出力部217は、信号処理部216からの画素信号を外部に出力する。

[0127] <画素アレイ部211の構成例>

図12は、図11の画素アレイ部211の構成例を示すブロック図である。

[0128] 画素アレイ部211は、複数の画素ブロック241を有する。画素ブロック241は、I行×J列（I及びJは整数）に配列された1以上としてのI×J個

の画素251、及び、画素信号生成部252を備える。上述したように、各画素ブロック241の画素251は、DVSチップ11の画素アレイ部31の各画素ブロック41の画素51と、画素位置が対応している。

[0129] 画素ブロック241内の1以上の画素251は、画素信号生成部252を共有している。また、画素ブロック241の列ごとには、画素ブロック241とAD変換部213のADCとを接続するVSL(Vertical Signal Line)が配線される。

[0130] 画素251は、被写体からの入射光を受光し、光電変換して電気信号としての光電流を生成する。画素信号生成部252は、画素251の光電流に対応する電圧を画素信号として生成し、VSLを介して、AD変換部213に供給する。

[0131] <画素ブロック41の構成例>

図13は、図12の画素ブロック241の構成例を示す回路図である。

[0132] 画素ブロック241は、図12で説明したように、1以上の画素251、及び、画素信号生成部252を備える。

[0133] 画素251は、光電変換素子261、及び、転送トランジスタ262を備える。

[0134] 光電変換素子261は、例えば、PD(Photodiode)で構成され、入射光を受光し、光電変換して電荷を生成する。

[0135] 転送トランジスタ262は、例えば、N(Negative)型のMOS(Metal-Oxide-Semiconductor) FET(Field Effect Transistor)で構成される。画素ブロック241を構成するI×J個の画素251のうちのn番目の画素251を構成する転送トランジスタ262は、駆動部212から供給される制御信号TRGnに従ってオン／オフする。転送トランジスタ262がオンすることにより、光電変換素子261で生成された電荷は、画素信号生成部252のFD274に転送される。

[0136] 画素信号生成部252は、リセットトランジスタ271、増幅トランジスタ272、選択トランジスタ273、及び、FD(Floating Diffusion)274

を備える。

- [0137] リセットトランジスタ271、増幅トランジスタ272、及び、選択トランジスタ273は、例えば、N型のMOS FETで構成される。
- [0138] リセットトランジスタ271は、駆動部212（図11）から供給される制御信号RSTに従ってオン／オフする。リセットトランジスタ271がオンすることにより、FD274が電源VDDに接続され、FD274に蓄積された電荷が電源VDDに排出される。これにより、FD274は、リセットされる。
- [0139] 増幅トランジスタ272のゲートは、FD274に、ドレインは、電源VDDに、ソースは、選択トランジスタ273を介してVSLに、それぞれ接続される。増幅トランジスタ272は、ソースフォロアになっており、ゲートに供給されるFD274の電圧に対応する電圧（電気信号）を、選択トランジスタ273を介してVSLに出力する。
- [0140] 選択トランジスタ273は、駆動部212から供給される制御信号SELに従ってオン／オフする。リセットトランジスタ271がオンすることにより、増幅トランジスタ272からのFD274の電圧に対応する電圧が、VSLに出力される。
- [0141] FD274は、画素251の光電変換素子261から転送トランジスタ263を介して転送されてくる電荷を蓄積し、電圧に変換する。
- [0142] 以上のように構成される画素251及び画素信号生成部252については、駆動部212は、制御信号TRGnにより、画素ブロック241内の画素251の転送トランジスタ262を順にオンにして、光電変換素子261で生成された電荷をFD274に転送させる。FD274では、画素251（の光電変換素子261）から転送される電荷が蓄積される。FD274に蓄積された電荷に対応する電圧は、画素251の画素信号として、増幅トランジスタ272及び選択トランジスタ273を介して、VSLに出力される。
- [0143] 以上のように、CISチップ12（図11）では、駆動部212の制御にしたがって、注目領域に対応する画素ブロック241の画素251の画素信号が、順に、VSLに出力される。VSLに出力された画素信号は、AD変換部213に

供給され、AD変換される。

[0144] ここで、画素ブロック241内の各画素251については、転送トランジスタ263を順にオンにするのではなく、同時にオンにすることができる。この場合、画素ブロック241内のすべての画素251の画素信号の和を出力することができる。

[0145] 図12の画素アレイ部211では、画素ブロック241が1以上の画素251で構成され、その1以上の画素251で、画素信号生成部252が共有される。したがって、画素ブロック241が、複数の画素251で構成される場合には、1個の画素251に対して、1個の画素信号生成部252を設ける場合に比較して、画素信号生成部252の数を少なくすることができ、画素アレイ部211の規模を抑制することができる。

[0146] なお、画素ブロック241が、複数の画素251で構成される場合においても、画素251ごとに画素信号生成部252を設けることができる。画素251ごとに画素信号生成部252を設ける場合には、画素ブロック241を構成する複数の画素251の転送トランジスタ263を順にオンする必要がなく、同時にオンし、画素251の単位で、画素信号を検出することができる。

[0147] 但し、以下では、説明を簡単にするため、特に断らない限り、DVSチップ11の画素アレイ部31、および、CISチップ12の画素アレイ部211のいずれにおいても、画素ブロックが1個の画素を有する場合を前提に説明を行う。すなわち、DVSチップ11の画素アレイ部31の画素ブロック41は、1個の画素51とイベント検出部52とを有し、CISチップ12の画素アレイ部211の画素ブロック241は、1個の画素251と画素信号生成部252とを有する場合を前提に説明を行う。

[0148] <固体撮像装置10の処理>

図14のフローチャートを参照して、固体撮像装置10の動作を説明する。例えば、図14の処理は、固体撮像装置10の電源がオンされたときに開始される。

- [0149] なお、図 1 4 の処理では、フレーム間隔設定部 1 3 1 およびフレーム幅設定部 1 3 2 が設定する設定フレーム間隔および設定フレーム幅は、調整された上で、予め所定値に設定されている。
- [0150] 初めに、ステップ S 1 において、DVSチップ 1 1 の画素アレイ部 3 1 は、画素アレイ部 3 1 を構成する複数の画素 5 1 のいずれかに、イベントとしての電気信号の変化が発生すると、イベントデータを生成し、メモリ 3 4 に供給する。より詳しくは、画素アレイ部 3 1 は、イベントを検出した場合、イベントの発生を表すイベントデータの出力を要求するリクエストを、アービタ 3 3 に出力する。そして、画素アレイ部 3 1 は、アービタ 3 3 からイベントデータの出力の許可を表す応答を受け取った場合、イベントデータを、メモリ 3 4 に出力する。
- [0151] ステップ S 2 において、メモリ 3 4 は、画素アレイ部 3 1 からのイベントデータを、所定のフレーム単位で蓄積することにより、フレームデータに変換する。
- [0152] ステップ S 3 において、画像処理部 3 5 は、メモリ 3 4 に蓄積されたフレーム単位のイベントデータに応じてデータ処理を行い、そのデータ処理の結果であるデータ処理結果を、出力部 3 6 に出力する。より詳しくは、検出部 1 3 3 が、フレームデータから、物体の輪郭情報を抽出し、検出対象となる物体を特定する。そして、検出部 1 3 3 は、特定した物体を含む注目領域を決定し、出力部 3 6 に出力する。
- [0153] ステップ S 4 において、出力部 3 6 は、画像処理部 3 5 から供給された注目領域を特定する情報をROI情報 (Region Of Interest) として、中継基板 1 3 を介して、CISチップ 1 2 に出力する。
- [0154] ステップ S 5 において、入力部 2 1 4 は、中継基板 1 3 を介してDVSチップ 1 1 から供給されたROI情報を取得し、制御部 2 1 5 に供給する。制御部 2 1 5 は、入力部 2 1 4 から取得したROI情報に基づいて、画素アレイ部 2 1 1 の駆動領域を特定する制御信号を駆動部 2 1 2 に供給する。
- [0155] ステップ S 6 において、画素アレイ部 2 1 1 は、駆動部 2 1 2 の制御にし

たがい、注目領域の撮像を行う。すなわち、駆動部 2 1 2 は、制御部 2 1 5 から供給された、画素アレイ部 2 1 1 の駆動領域を特定する制御信号に基づいて、注目領域の画素 2 5 1 を駆動する。画素アレイ部 2 1 1 は、駆動部 2 1 2 の制御にしたがい、注目領域の画素信号を、AD変換部 2 1 3 に供給する。

[0156] ステップ S 7 において、AD変換部 2 1 3 は、画素アレイ部 2 1 1 の行単位に順次入力されるアナログの画素信号をデジタル信号に変換（AD変換）するとともにCDSを行い、その結果を、信号処理部 2 1 6 に供給する。

[0157] ステップ S 8 において、信号処理部 2 1 6 は、AD変換部 2 1 3 から順次供給されるデジタルの画素信号に対して、必要に応じて所定の信号処理を行い、出力部 2 1 7 に供給する。出力部 2 1 7 は、信号処理部 2 1 6 からのデジタルの画素信号を外部に出力する。

[0158] ステップ S 1 乃至 S 4 の処理は、固体撮像装置 1 0 のDVSチップ 1 1 によって実行され、ステップ S 5 乃至 S 8 の処理は、固体撮像装置 1 0 のCISチップ 1 2 によって実行される。

[0159] DVSチップ 1 1 では、イベントの発生が検出された場合に、検出対象としての物体を特定して注目領域が決定され、その注目領域を特定する情報が、ROI情報として、CISチップ 1 2 に供給される。CISチップ 1 2 では、DVSチップ 1 1 で決定された注目領域（に対応する領域）の撮像が行われ、注目領域の各画素の画素信号が出力される。

[0160] 例えば、固体撮像装置を、一般的なCMOSイメージセンサと同様にCISチップ 1 2 のみで構成した場合であっても、CISチップ 1 2 で画素アレイ部 2 1 1 の全領域で撮像を行い、その撮像画像からパターンマッチング等の画像認識により検出対象となる物体を特定して注目領域を決定した後、注目領域の各画素の画素信号を取得することが可能である。

[0161] しかしながら、注目領域を決定するために、画素アレイ部 2 1 1 の全領域で撮像を行うと、画像認識の処理負荷も大きくなり、消費電力も大きくなる。消費電力や画像認識の処理負荷を減らすために、画素アレイ部 2 1 1 の撮

像画素を間引くなどして低解像度で実行する方法も考えられるが、低解像度で検出対象を検出できない場合には、さらに解像度を上げて、撮像および画像認識を再度実行する必要がある。

[0162] これに対して、図1の固体撮像装置10によれば、DVSチップ11の検出対象範囲が、間引かれることなく、CISチップ12の画素アレイ部211の撮像範囲と同じであり、イベントの発生を1ビットまたは1.5ビット（3値）の低ビットで出力するので、CISチップ12の画素アレイ部211と同じ撮像範囲のイベントの発生を、空間情報の欠落なく、低消費電力で検出することができる。そして、CISチップ12では、DVSチップ11で決定された注目領域についての撮像を行うことで、注目領域の撮像を高速に行うことができる。画素アレイ部211の一部分の領域のみの駆動とすることで、CISチップ12の消費電力も低減することができる。

[0163] <2. 第2実施の形態>

図15は、本技術を適用した固体撮像装置の第2実施の形態の構成例を示す図である。

[0164] 図1の第1実施の形態では、イベントの発生を検出して、注目領域を特定するROI情報を出力するDVSチップ11と、注目領域の画像を撮像するCISチップ12との2個のチップで構成されていたが、第2実施の形態では、3個のチップで構成されている。

[0165] 第2実施の形態に係る固体撮像装置10は、第1のチップ311、第2のチップ312、および、第3のチップ313と、それらが搭載された中継基板（インターポーザ基板）314とで構成されている。

[0166] 第2実施の形態に係る固体撮像装置10は、第1実施の形態のDVSチップ11およびCISチップ12のそれぞれのデジタル信号処理の少なくとも一部を、別のDSP（digital signal processor）チップで実行するようにした構成である。

[0167] 具体的には、第1のチップ311は、第1実施の形態のDVSチップ11のデジタル信号処理回路の一部を除いた回路で構成され、第2のチップ312は

、第1実施の形態のCISチップ12のデジタル信号処理回路の一部を除いた回路で構成される。第3のチップ313には、第1のチップ311と第2のチップ312とで除かれた回路が形成される。以下では、区別を容易にするために、第1のチップ311を、DVSチップ311と称し、第2のチップ312を、CISチップ312と称し、第3のチップ313を、DSPチップ313と称することとする。

[0168] 中継基板314は、DVSチップ311、CISチップ312、および、DSPチップ313間の信号を中継する信号配線と、固体撮像装置10の出力信号を外部に出力する出力端子を備える。出力端子は、例えば、DVSチップ311やCISチップ312の搭載面と反対側に形成されるはんだボール等で構成される。

[0169] <各チップの構成例>

図16は、DVSチップ311、CISチップ312、および、DSPチップ313の構成例を示すブロック図である。

[0170] 図16において、図2、図9、および、図11で示した第1実施の形態の各構成と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略する。

[0171] 第1実施の形態の図2のDVSチップ11と、第2実施の形態のDVSチップ311とを比較すると、第1実施の形態のDVSチップ11に含まれていた、メモリ34、画像処理部35、および、クロック信号生成部37が、第2実施の形態では、DSPチップ313に移動されている。これにより、画素アレイ部31から出力されたイベントデータは、出力部36に供給され、出力部36が、イベントデータをDSPチップ313のメモリ34に出力する。

[0172] 第2実施の形態のCISチップ312は、第1実施の形態の図11のCISチップ12と同様に構成されている。

[0173] DSPチップ313は、メモリ34、画像処理部35、および、クロック信号生成部37の他、画像処理部321を有する。

[0174] DSPチップ313の画像処理部321は、CISチップ312の出力部217から入力されるデジタルの画素信号を取得する。画像処理部321は、CISチ

ップ3 1 2から入力された注目領域の画素信号に対する所定の画像処理、例えば、デモザイク処理などを行い、その結果得られる画像（の信号）を外部に出力する。また、画像処理部3 2 1は、第1実施の形態ではCISチップ3 1 2の信号処理部2 1 6で行っていた信号処理の一部を実行するようにしてもよい。画像処理部3 2 1は、必要に応じて、画素信号を一時的に保持するメモリ（フレームメモリ）を有する。

[0175] 第2実施の形態に係る固体撮像装置1 0の処理は、第1実施の形態で説明した図1 4の処理と同様に実行することができるので、その説明は省略する。また、第2実施の形態に係る固体撮像装置1 0の処理では、図1 4で説明した処理の最後に、DSPチップ3 1 3の画像処理部3 2 1による画像処理を追加して行うことができる。

[0176] したがって、3チップ構成とした第2実施の形態に係る固体撮像装置1 0においても、撮像範囲と同じ、間引きなしの検出対象範囲で、イベントの発生を、空間情報の欠落なく、低消費電力で検出することができ、注目領域の撮像を高速に行うことができる。注目領域のみの駆動とすることで消費電力も低減することができる。

[0177] <3. 第3実施の形態>

図1 7は、本技術を適用した固体撮像装置の第3実施の形態の構成例を示すブロック図である。

[0178] 第3実施の形態に係る固体撮像装置1 0は、第2実施の形態と同様に、DVSチップ3 1 1、CISチップ3 1 2、および、DSPチップ3 1 3の3チップで構成される。第3実施の形態に係る固体撮像装置1 0の概略斜視図は、図1 5と同様であるので、図示は省略する。

[0179] 図1 7のブロック図において、第2実施の形態の図1 6と対応する部分については、同一の符号を付してあり、その部分の説明は適宜省略する。

[0180] 図1 7のDSPチップ3 1 3の検出部3 4 1、信頼度判定部3 4 2、および、撮像同期信号生成部3 4 3が第2実施の形態と相違し、その他の部分が第2実施の形態と共通する。

- [0181] 第2実施の形態の画像処理部35の検出部133が、第3実施の形態では、検出部341に置き換えられている。
- [0182] 第1および第2実施の形態では、フレームデータを生成する際の設定フレーム間隔および設定フレーム幅が予め決定された固定値とされていたが、第3の実施の形態では、検出部341の検出結果に応じて、設定フレーム間隔および設定フレーム幅が変更される。
- [0183] 具体的には、検出部341は、第2実施の形態の検出部133と同様に、メモリ34に記憶されているフレームデータを用いた画像認識により、検出対象としての物体を特定し、物体の輪郭情報を抽出する。そして、画像処理部35は、特定した物体を含む領域を注目領域として、注目領域を特定する情報を、ROI情報として、CISチップ312の入力部214に出力する。
- [0184] また、検出部341は、画像認識の認識結果、換言すれば、物体の検出結果を、信頼度判定部342に供給する。例えば、検出部341は、フレーム単位で物体検出の有無を1および0に割り当て、最新フレームから過去に遡った所定数フレームまでの1の割合を検出率として算出し、信頼度判定部342に出力する。
- [0185] 信頼度判定部342は、検出部341から供給される検出率により物体検出の信頼度を判定し、メモリ34がイベントデータを蓄積するフレーム単位（フレームボリューム）を制御する。ここで、第3の実施の形態においても、フレーム幅とフレーム間隔とが同一とし、フレーム間隔の設定のみによってフレーム単位が設定されるとすると、信頼度判定部342は、検出率に応じて、メモリ34がイベントデータを蓄積するフレーム間隔を制御する。具体的には、信頼度判定部342は、検出部341から供給される検出率が、内部に記憶された閾値よりも小さい場合、すなわち、物体を十分に検出できていない場合、フレーム間隔を大きくするフレーム制御信号を、画像処理部35に供給する。一方、検出率が、内部に記憶された閾値以上である場合、信頼度判定部342は、フレーム間隔を小さくするフレーム制御信号を、画像処理部35に供給する。なお、検出率が第1の閾値より小さい場合、フレ

ーム間隔を大きく変更し、検出率が第１の閾値以上第２の閾値未満（第１の閾値＜第２の閾値）である場合、現在のフレーム間隔を維持し、検出率が第２の閾値以上である場合、フレーム間隔を小さく変更するようにしてもよい。

[0186] また、信頼度判定部３４２は、メモリ３４がイベントデータを蓄積するフレーム単位に応じて、撮像周期を制御する撮像周期制御信号を生成し、撮像同期信号生成部３４３に供給する。すなわち、フレーム間隔が短く、物体を検出する周期（物体検出周期）ほど、CISチップ３１２を高速に駆動することができない場合、信頼度判定部３４２は、撮像周期を大きく設定する撮像周期制御信号を生成し、撮像同期信号生成部３４３に供給する。一方、物体検出周期が低速であり、CISチップ３１２の撮像周期を、物体検出周期と一致させることが可能である場合には、信頼度判定部３４２は、撮像周期が物体検出周期と同一となる撮像周期制御信号を生成し、撮像同期信号生成部３４３に供給する。CISチップ３１２が駆動可能な撮像周期は、注目領域の領域サイズによっても変わり得る。したがって、注目領域の領域サイズが小さいことにより、CISチップ３１２の撮像を、物体検出周期に合わせて高速に駆動できる場合にも、物体検出周期に合わせる撮像周期制御信号が、撮像同期信号生成部３４３に供給される。

[0187] 撮像同期信号生成部３４３は、信頼度判定部３４２からの撮像周期制御信号に応じて、撮像同期信号を生成し、CISチップ３１２の入力部２１４に出力する。

[0188] より詳しくは、撮像同期信号生成部３４３には、クロック信号生成部３７から、クロック信号（マスタクロック）が供給される。クロック信号生成部３７は、生成したクロック信号を、DVSチップ３１１の出力部３６の他、撮像同期信号生成部３４３にも供給する。

[0189] 撮像同期信号生成部３４３は、例えば、分周回路で構成され、クロック信号生成部３７からのクロック信号を分周することで、撮像同期信号を生成する。生成された撮像同期信号は、CISチップ３１２の入力部２１４に出力され

る。撮像同期信号生成部343は、撮像周期を大きく設定する撮像周期制御信号が信頼度判定部342から供給された場合、クロック信号を所定の分周比で分周した撮像同期信号を生成する。撮像周期を物体検出周期に合わせる撮像周期制御信号が信頼度判定部342から供給された場合、撮像同期信号生成部343は、クロック信号を分周せずに、そのまま、撮像同期信号として、CISチップ312の入力部214に出力する。

[0190] なお、撮像同期信号生成部343は、クロック信号生成部37からのクロック信号の周期を、単に $1/n$ ($n > 1$) に分周した撮像同期信号を生成するのではなく、クロック信号の周期を $1/n$ に分周し、かつ、30fps、60fps、または120fpsのビデオレートとなるような撮像同期信号を生成するようにしてもよい。30fps、60fps、または120fpsのいずれに設定するかは、例えば、ユーザ設定等で決めることができる。

[0191] <固体撮像装置10の処理>

図18は、第3実施の形態に係る固体撮像装置10の処理を説明するフローチャートである。例えば、図18の処理は、固体撮像装置10の電源がオンされたときに開始される。

[0192] なお、図18の処理では、初期値としての設定フレーム間隔および設定フレーム幅は、予め所定値に設定されている。

[0193] 初めに、ステップS21において、DVSチップ11の画素アレイ部31は、画素アレイ部31を構成する複数の画素51のいずれかに、イベントとしての電気信号の変化が発生すると、イベントデータを生成し、出力部36に供給する。より詳しくは、画素アレイ部31は、イベントを検出した場合、イベントの発生を表すイベントデータの出力を要求するリクエストを、アービタ33に出力する。そして、画素アレイ部31は、アービタ33からイベントデータの出力の許可を表す応答を受け取った場合、イベントデータを、出力部36に出力する。出力部36は、画素アレイ部31からのイベントデータを、DSPチップ313のメモリ34に出力する。

[0194] ステップS22において、DSPチップ313のメモリ34は、DVSチップ1

1の出力部36からのイベントデータを、所定のフレーム単位で蓄積することにより、フレームデータに変換する。

[0195] ステップS23において、画像処理部35の検出部341は、メモリ34に蓄積されたフレーム単位のイベントデータに応じてデータ処理を行い、そのデータ処理の結果であるROI情報を、中継基板314を介して、CISチップ312の入力部214に出力する。より詳しくは、検出部341が、フレームデータから、物体の輪郭情報を抽出し、検出対象となる物体を特定する。そして、検出部341は、特定した物体を含む注目領域を決定し、注目領域を特定するROI情報を、CISチップ312の入力部214に出力する。

[0196] ステップS24において、検出部341は、画像認識の認識結果として、物体の検出率を算出し、信頼度判定部342に供給する。物体の検出率は、例えば、フレーム単位に信頼度判定部342に供給される。

[0197] ステップS25において、信頼度判定部342は、検出部341から供給された検出率に応じて、メモリ34がイベントデータを蓄積するフレーム間隔を制御する。検出率が閾値よりも小さく、物体を十分に検出できていない場合、信頼度判定部342は、フレーム間隔を大きくするフレーム制御信号を、画像処理部35に供給する。一方、検出率が、内部に記憶された閾値以上である場合、信頼度判定部342は、フレーム間隔を小さくするフレーム制御信号を、画像処理部35に供給する。なお、検出率が、内部に記憶された閾値以上である場合には、フレーム間隔は変更せずに、維持するようにしてもよい。

[0198] ステップS26において、信頼度判定部342は、フレーム間隔に応じて、撮像周期を制御する撮像周期制御信号を生成し、撮像同期信号生成部343に供給する。具体的には、フレーム間隔が短く、物体検出周期ほどCISチップ312を高速に駆動することができない場合、信頼度判定部342は、現在の設定より撮像周期を大きく設定する撮像周期制御信号を生成し、撮像同期信号生成部343に供給する。一方、物体検出周期が低速であり、CISチップ312の撮像周期を、物体検出周期と一致させることが可能である場合に

は、信頼度判定部342は、撮像周期が物体検出周期と同一となる撮像周期制御信号を生成し、撮像同期信号生成部343に供給する。

[0199] ステップS27において、撮像同期信号生成部343は、信頼度判定部342からの撮像周期制御信号に応じて撮像同期信号を生成し、CISチップ312の入力部214に出力する。

[0200] ステップS28において、CISチップ312の入力部214は、中継基板314を介してDSPチップ313から供給されたROI情報と撮像同期信号を取得し、制御部215に供給する。ROI情報は、DSPチップ313の検出部133から供給され、撮像同期信号は、DSPチップ313の撮像同期信号生成部343から供給される。制御部215は、入力部214から取得したROI情報に基づいて、画素アレイ部211の駆動領域を特定する制御信号を駆動部212に供給する。また、制御部215は、入力部214から取得した撮像同期信号を、駆動部212やAD変換部213などに供給する。

[0201] ステップS29において、画素アレイ部211は、駆動部212の制御にしたがい、注目領域の撮像を行う。すなわち、駆動部212は、入力部214から、画素アレイ部211の駆動領域を特定する制御信号に基づいて、注目領域の画素251を駆動する。画素アレイ部211は、駆動部212の制御にしたがい、注目領域の画素信号を、AD変換部213に供給する。

[0202] ステップS30において、AD変換部213は、画素アレイ部211の行単位に順次入力されるアナログの画素信号をデジタル信号に変換（AD変換）するとともにCDSを行い、その結果を、信号処理部216に供給する。

[0203] ステップS31において、信号処理部216は、AD変換部213から順次供給されるデジタルの画素信号に対して、必要に応じて所定の信号処理を行い、出力部217に供給する。出力部217は、信号処理部216からのデジタルの画素信号をDSPチップ313に出力する。

[0204] ステップS32において、DSPチップ313の画像処理部321は、CISチップ312からの画素信号に対して所定の画像処理、例えば、画素信号のデモザイク処理などを実行して、外部に出力する。画素信号のデモザイク処理

により生成された注目領域の画像が、外部に出力される。

[0205] ステップS 2 1 の処理は、DVSチップ3 1 1 によって実行され、ステップS 2 2 乃至S 2 7 およびステップS 3 2 の処理は、DSPチップ3 1 3 によって実行され、ステップS 2 8 乃至S 3 1 の処理は、CISチップ3 1 2 によって実行される。

[0206] 第3実施の形態によれば、DVSチップ3 1 1 においてイベントの発生が検出され、DSPチップ3 1 3 に出力される。DSPチップ3 1 3 において、イベントデータが所定のフレーム期間で蓄積され、検出対象となる物体が特定されて注目領域が決定される。その注目領域を特定する情報が、ROI情報として、CISチップ3 1 2 に供給される。CISチップ3 1 2 では、DVSチップ3 1 1 で決定された注目領域（に対応する領域）の撮像が行われ、注目領域の各画素の画素信号が出力される。

[0207] DSPチップ3 1 3 では、物体の検出率が算出され、検出率に応じてフレームボリュームが制御される。例えば、検出率が所定の閾値より小さい場合には、フレーム間隔を大きくするように物体検出周期が制御され、検出率が所定の閾値以上である場合には、フレーム間隔を小さくするように物体検出周期が制御される。

[0208] さらに、検出率に応じて調整された物体検出周期に応じて、CISチップ3 1 2 の撮像周期も制御される。すなわち、物体検出周期が高速で、物体検出周期ほどCISチップ3 1 2 を高速に駆動することができない場合には、物体検出周期よりも大きい撮像周期となるように撮像周期制御信号が生成される。一方、物体検出周期と同じ周期でCISチップ3 1 2 の撮像を行うことができる場合には、撮像周期を物体検出周期に合わせる撮像周期制御信号が生成される。撮像同期信号生成部3 4 3 は、撮像周期制御信号にしたがい、撮像同期信号を生成し、CISチップ1 2 に供給する。物体検出周期よりも小さい撮像周期に制御する場合には、クロック信号の周期を、単に $1/n$ に分周した撮像同期信号を生成するのではなく、クロック信号の周期を $1/n$ に分周し、かつ、30 fps、60 fps、または120 fpsのビデオレートとなるような撮像周期信号

を生成することもできる。

[0209] したがって、第3実施の形態に係る固体撮像装置10においても、撮像範囲と同じ、間引きなしの検出対象範囲で、イベントの発生を、空間情報の欠落なく、低消費電力で検出することができ、注目領域の撮像を高速に行うことができる。注目領域のみの駆動とすることで消費電力も低減することができる。

[0210] また、物体を検出したときの検出率に応じて、フレーム間隔（フレームボリューム）を制御することができ、さらに、フレーム間隔に応じて、撮像周期も制御することができる。

[0211] <4. 第4実施の形態>

図19は、本技術を適用した固体撮像装置の第4実施の形態の構成例を示す図である。

[0212] 上述した第1乃至第3実施の形態では、イベント検出のための受光を行う画素と、注目領域の画像を生成するための受光を行う画素とが、別々のチップ（半導体チップ）に形成された。これに対して、第4実施の形態に係る固体撮像装置10は、イベント検出のための受光を行う画素と、注目領域の画像を生成するための受光を行う画素とが同一のチップに形成される。

[0213] 図19の固体撮像装置10は、複数のダイ（基板）としてのセンサダイ（基板）411とロジックダイ412とが積層された1つのチップで構成される。

[0214] センサダイ411には、センサ部421（としての回路）が構成され、ロジックダイ412には、ロジック部422が構成されている。

[0215] センサ部421は、上述したDVSチップ11の画素アレイ部31（図2）と同様に、イベントデータを生成する。すなわち、センサ部421は、入射光の光電変換を行って電気信号を生成する画素を有し、画素の電気信号の変化であるイベントの発生を表すイベントデータを生成する。

[0216] また、センサ部421は、上述したCISチップ12の画素アレイ部211（図11）と同様に、画素信号を生成する。すなわち、センサ部421は、入

射光の光電変換を行って電気信号を生成する画素を有し、垂直同期信号に同期して撮像を行い、フレーム形式の画像データであるフレームデータを出力する。

[0217] センサ部421は、イベントデータまたは画素信号を独立して出力することができる他、生成したイベントデータに基づいてロジック部422から入力されるROI情報に基づいて注目領域の画素信号を出力することができる。

[0218] ロジック部422は、必要に応じて、センサ部421の制御を行う。また、ロジック部422は、センサ部421からのイベントデータに応じて、フレームデータを生成するデータ処理や、センサ部421からのフレームデータ、又は、センサ部421からのイベントデータに応じて生成されたフレームデータを対象とする画像処理等の各種のデータ処理を行い、イベントデータや、フレームデータ、各種のデータ処理を行うことにより得られるデータ処理結果を出力する。

[0219] ロジック部422は、例えば、図17に示した構成のうち、DSPチップ313に形成された、メモリ34、画像処理部35、クロック信号生成部37、信頼度判定部342、画像処理部321、および、撮像同期信号生成部343などを有する。

[0220] なお、センサ部421については、その一部を、ロジックダイ412に構成することができる。また、ロジック部422については、その一部を、センサダイ411に構成することができる。

[0221] また例えば、メモリ34や、画像処理部321に含まれるメモリとして、大容量のメモリを備える場合などでは、図20に示されるように、固体撮像装置10は、センサダイ411とロジックダイ412とに加えて、もう1つのロジックダイ413を積層した3層で構成することができる。勿論、4層以上のダイ（基板）の積層で構成してもよい。

[0222] <センサ部421の構成例>

図21は、図19のセンサ部421の構成例を示すブロック図である。

[0223] センサ部421は、画素アレイ部431、駆動部432、アービタ433

、AD変換部434、信号処理部435、及び、出力部436を備える。

[0224] 画素アレイ部431は、複数の画素451（図22）が2次元格子状に配列されて構成される。画素アレイ部431は、画素451の光電変換によって生成される電気信号としての光電流（に対応する電圧）に所定の閾値を超える変化（閾値以上の変化を必要に応じて含む）が発生した場合に、その光電流の変化をイベントとして検出する。画素アレイ部431は、イベントを検出した場合、イベントの発生を表すイベントデータの出力を要求するリクエストを、アービタ433に出力する。そして、画素アレイ部431は、アービタ433からイベントデータの出力の許可を表す応答を受け取った場合、イベントデータを、駆動部432及び出力部436に出力する。さらに、画素アレイ部431は、イベントが検出された画素451の電気信号を、画素信号として、AD変換部434に出力する。

[0225] 駆動部432は、画素アレイ部431に制御信号を供給することにより、画素アレイ部431を駆動する。例えば、駆動部432は、画素アレイ部431からイベントデータが出力された画素451を駆動し、その画素451の画素信号を、AD変換部434に供給（出力）させる。

[0226] アービタ433は、第3実施の形態のアービタ33と同様に構成される。すなわち、アービタ433は、画素アレイ部431からのイベントデータの出力を要求するリクエストを調停し、イベントデータの出力の許可又は不許可を表す応答を、画素アレイ部431に返す。また、アービタ433は、イベントデータ出力の許可を表す応答を出力した後に、イベント検出をリセットするリセット信号を、画素アレイ部431に出力する。

[0227] AD変換部434は、第3実施の形態のAD変換部213と同様に構成される。すなわち、AD変換部434は、各列のADCにおいて、その列の画素ブロック441の画素451の画素信号をAD変換し、信号処理部435に供給する。なお、AD変換部434では、画素信号のAD変換とともに、CDSを行うことができる。

[0228] 信号処理部435は、第3実施の形態の信号処理部216と同様に構成さ

れる。すなわち、AD変換部434から順次供給される画素信号に対して、例えば、黒レベル調整処理、ゲイン調整処理などの所定の信号処理を行って、出力部436に供給する。

[0229] 出力部436は、第3実施の形態の出力部36および出力部217と同様の処理を行う。すなわち、出力部436は、画素信号やイベントデータに必要な処理を施し、ロジック部422（図19）に供給する。

[0230] <画素アレイ部431の構成例>

図22は、図21の画素アレイ部431の構成例を示すブロック図である。

[0231] 図22および図23において、上述した第1乃至第3実施の形態と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略する。

[0232] 画素アレイ部431は、複数の画素ブロック441を有する。画素ブロック441は、I行×J列（I及びJは整数）に配列された1以上としてのI×J個の画素451、イベント検出部52、及び、画素信号生成部252を備える。

[0233] すなわち、画素アレイ部431は、第1乃至第3実施の形態と異なる画素451と、第1乃至第3実施の形態と同じ、イベント検出部52、及び、画素信号生成部252を備える。

[0234] 画素451は、被写体からの入射光を受光し、光電変換して電気信号としての光電流を生成する。画素451は、駆動部432の制御に従って、光電流を、イベント検出部52に供給する。

[0235] イベント検出部52は、駆動部432の制御に従って、画素451のそれぞれからの光電流の所定の閾値を超える変化を、イベントとして検出する。イベント検出部52は、イベントを検出した場合、イベントの発生を表すイベントデータの出力を要求するリクエストを、アービタ433（図21）に供給する。そして、イベント検出部52は、リクエストに対して、イベントデータの出力を許可する旨の応答を、アービタ433から受け取ると、イベ

ントデータを、駆動部432及び出力部436に出力する。

[0236] 画素信号生成部252は、イベント検出部52においてイベントが検出された場合に、駆動部432の制御に従って、画素451の光電流に対応する電圧を画素信号として生成し、VSLを介して、AD変換部434（図21）に供給する。

[0237] ここで、光電流の所定の閾値を超える変化をイベントとして検出することは、同時に、光電流の所定の閾値を超える変化がなかったことをイベントとして検出していると捉えることができる。画素信号生成部252では、画素信号の生成を、イベントとしての光電流の所定の閾値を超える変化が検出された場合の他、イベントとしての光電流の所定の閾値を超える変化がなかったことが検出された場合に行うことができる。

[0238] <画素ブロック441の構成例>

図23は、図22の画素ブロック441の構成例を示す回路図である。

[0239] 画素ブロック441は、図22で説明したように、画素451、イベント検出部52、及び、画素信号生成部252を備える。

[0240] 画素451は、光電変換素子461、転送トランジスタ462、及び、転送トランジスタ463を備える。

[0241] 光電変換素子461は、例えば、PDで構成され、被写体からの入射光を受光し、光電変換して電気信号としての光電流を生成する。

[0242] 転送トランジスタ462は、例えば、N型のMOS FETで構成される。画素ブロック441を構成するI×J個の画素451のうちのn番目の画素451を構成する転送トランジスタ462は、駆動部432（図21）から供給される制御信号0FGnに従ってオン／オフする。転送トランジスタ462がオンすることにより、光電変換素子461で生成された電荷は、光電流として、イベント検出部52に転送（供給）される。

[0243] 転送トランジスタ463は、例えば、N型のMOS FETで構成される。画素ブロック441を構成するI×J個の画素451のうちのn番目の画素451を構成する転送トランジスタ463は、駆動部432から供給される制御信号TRG

nに従ってオン／オフする。転送トランジスタ463がオンすることにより、光電変換素子461で生成された電荷は、画素信号生成部252のFD274に転送される。

[0244] 画素ブロック441を構成する $I \times J$ 個の画素451は、ノード464を介して、その画素ブロック441を構成するイベント検出部52に接続されている。したがって、画素451（の光電変換素子461）で生成された光電流は、ノード464を介して、イベント検出部52に供給される。その結果、イベント検出部52には、画素ブロック441内のすべての画素451の光電流の和が供給される。したがって、イベント検出部52では、画素ブロック441を構成する $I \times J$ 個の画素451から供給される光電流の和の変化がイベントとして検出される。

[0245] 画素信号生成部252は、図13と同様に、リセットトランジスタ271、増幅トランジスタ272、選択トランジスタ273、及び、FD274を備える。

[0246] 以上のように構成される画素451及び画素信号生成部252については、駆動部432は、転送トランジスタ462を、制御信号0FGnによりオンにして、画素451の光電変換素子461で生成された電荷による光電流を、イベント検出部52に供給させる。これにより、イベント検出部52には、画素ブロック441内のすべての画素451の光電流の和の電流が供給される。

[0247] 画素ブロック441において、イベント検出部52が、イベントとしての光電流（の和）の変化を検出すると、駆動部432は、その画素ブロック441のすべての画素451の転送トランジスタ462をオフにして、イベント検出部52への光電流の供給を停止させる。そして、イベント検出後に、センサ部421からのイベントデータに応じてロジック部422からROI情報が供給されると、駆動部432は、注目領域の画素251を駆動する。すなわち、駆動部432は、制御信号SELと制御信号RSTをHレベルにして注目領域の画素行を順次選択して光電変換素子461をリセットした後、露光を開始

させる。露光終了後に、駆動部432は、制御信号TRGnにより、注目領域の画素ブロック441内の画素451の転送トランジスタ463を順にオンにして、光電変換素子461で生成された電荷をFD274に転送させる。FD274では、画素451（の光電変換素子461）から転送される電荷が蓄積される。FD274に蓄積された電荷に対応する電圧は、画素451の画素信号として、増幅トランジスタ272及び選択トランジスタ273を介して、VSLに出力される。

[0248] 以上のように、センサ部421（図19）では、1以上の画素451とイベント検出部52とによって、イベントが検出され、イベントデータが生成される。生成されたイベントデータは、ロジック部422に供給され、注目領域が決定される。そして、注目領域のROI情報が、ロジック部422からセンサ部421に供給され、注目領域に対応する画素ブロック441の画素451の画素信号が生成され、順に、VSLに出力される。VSLに出力された画素信号は、AD変換部434に供給され、AD変換される。第4実施の形態に係る固体撮像装置10の処理は、図18の処理と同様に実行することができる。

[0249] ここで、画素ブロック441内の各画素451については、転送トランジスタ463を順にオンにするのではなく、同時にオンにすることができる。この場合、画素ブロック441内のすべての画素451の画素信号の和を出力することができる。

[0250] 図22の画素アレイ部431では、画素ブロック441が1以上の画素451で構成され、その1以上の画素451で、イベント検出部52及び画素信号生成部252が共有される。より詳しくは、画素ブロック441を構成する各画素451の光電変換素子461、転送トランジスタ462、及び、転送トランジスタ463が、イベント検出部52及び画素信号生成部252が共有される。したがって、画素ブロック441が、複数の画素451で構成される場合には、1個の画素451に対して、1個のイベント検出部52及び1個の画素信号生成部252を設ける場合に比較して、イベント検出部52及び画素信号生成部252の数を少なくすることができ、画素アレイ部

4 3 1 の規模を抑制することができる。

[0251] なお、画素ブロック 4 4 1 が、複数の画素 4 5 1 で構成される場合、画素 4 5 1 ごとに、イベント検出部 5 2 を設けることができる。画素ブロック 4 4 1 の複数の画素 4 5 1 で、イベント検出部 5 2 を共有する場合には、画素ブロック 4 4 1 の単位でイベントが検出されるが、画素 4 5 1 ごとに、イベント検出部 5 2 を設ける場合には、画素 4 5 1 の単位で、イベントを検出することができる。

[0252] 但し、画素ブロック 4 4 1 の複数の画素 4 5 1 で、1 個のイベント検出部 5 2 を共有する場合でも、複数の画素 4 5 1 それぞれの転送トランジスタ 4 6 2 を時分割で一時的にオンにすることにより、画素 4 5 1 の単位で、イベントを検出することができる。

[0253] <イベント検出と撮像の動作>

図 2 4 は、図 2 1 のセンサ部 4 2 1 の動作の例を説明するタイミングチャートである。

[0254] タイミング T0 において、駆動部 4 3 2 は、制御信号 0FGn を全て L レベルから H レベルにして、画素ブロック 4 4 1 内の全画素 4 5 1 の転送トランジスタ 4 6 2 をオンにする。これにより、画素ブロック 4 4 1 内の全画素 4 5 1 の光電流の和が、イベント検出部 5 2 に供給される。このとき、制御信号 TRGn はすべて L レベルであり、全画素 4 5 1 の転送トランジスタ 4 6 3 はオフである。

[0255] 例えば、タイミング T1 において、イベント検出部 5 2 は、イベントを検出すると、そのイベントの検出に応じて、H レベルのイベントデータを出力する。

[0256] 駆動部 4 3 2 は、H レベルのイベントデータに応じて、タイミング T2 において制御信号 0FGn をすべて L レベルにして、画素 4 5 1 からイベント検出部 5 2 への光電流の供給を停止させる。その後、駆動部 4 3 2 は、注目領域の画素 4 5 1 を駆動し、画素信号を生成させる。すなわち、駆動部 4 3 2 は、注目領域の画素 4 5 1 の制御信号 SEL を H レベルにし、制御信号 RST と制御信号 TRG

を一定期間だけHレベルにして、光電変換素子461の電荷を電源VDDに排出させることで、露光開始前のリセットを行う。露光終了後に、駆動部432は、タイミングT3において制御信号RSTをHレベルにして、FD274をリセットする。画素信号生成部252は、FD274のリセット時のFD274の電圧に対応する画素信号を、リセットレベルとして出力し、AD変換部434は、そのリセットレベルをAD変換する。

[0257] リセットレベルのAD変換後のタイミングT4において、駆動部432は、制御信号TRG1を一定期間だけHレベルにして、注目領域の画素ブロック441内の1つ目の画素451（の光電変換素子461）の光電変換により生成された電荷を、FD274に転送させる。画素信号生成部252は、画素451から電荷が転送されたFD274の電圧に対応する画素信号を、信号レベルとして出力し、AD変換部434は、その信号レベルをAD変換する。

[0258] AD変換部434は、AD変換後の信号レベルとリセットレベルとの差分を、画像（フレームデータ）の画素値となる画素信号として、信号処理部435に出力する。

[0259] 注目領域の画素ブロック441内の1つ目の画素451の画素信号のAD変換後、駆動部432は、タイミングT3およびT4と同様に、制御信号RSTと制御信号TRG2を一定期間だけ順にHレベルにすることで、注目領域の画素ブロック441内の2つ目の画素451の画素信号を出力させる。

[0260] センサ部421では、以下、同様の動作が行われ、注目領域の画素ブロック441内のそれぞれの画素451の画素信号が順に出力される。

[0261] 画素ブロック441内のすべて画素451の画素信号が出力されると、駆動部432は、制御信号0FGnをすべてHレベルにして、画素アレイ部431の全画素ブロック441内の全画素451の転送トランジスタ462をオンにする。

[0262] 以上のように、センサ部421では、1個の画素451において、イベントの検出と、撮像用の露光（受光）とが、時分割で行われる。

[0263] 図25は、画素アレイ部431の全画素で撮像を行う場合の画素アレイ部

4 3 1 の駆動を示すタイミングチャートである。

[0264] 画素アレイ部 4 3 1 の全画素で撮像を行う場合には、データ量は、イベント検出と撮像とでは撮像の方が大きくなるため、撮像にかかる時間は、イベント検出にかかる時間よりも長くなる。

[0265] 例えば、クロック信号生成部 3 7 が生成するクロック信号をイベント検出同期信号として、イベント検出およびメモリ 3 4 へのバッファリングと、画像処理部 3 5 による画像処理（物体検出処理）とが、それぞれ V 期間で行われることとし、露光および画素読み出しが、それぞれ、イベント検出同期信号を $1/2$ に分周した撮像同期信号にしたがい、2V 期間で行われるとする。イベント検出およびメモリ 3 4 へのバッファリングは、パイプライン処理により、1 つの V 期間で実行可能である。

[0266] この場合、イベントの検出と、撮像用の露光とは、共有の光電変換素子 4 6 1 を用いるため、撮像用の露光と画素読み出しを行っている期間、具体的には、図 2 5 のタイミング T13 からタイミング T17 までの 4V 期間は、少なくともイベント検出ができないイベント検出不可期間となる。

[0267] 図 2 6 は、画素アレイ部 4 3 1 において注目領域の撮像を行う場合の画素アレイ部 4 3 1 の駆動を示すタイミングチャートである。

[0268] これに対して、ROI 情報により注目領域を指定して、注目領域の撮像を行う場合、領域が限定されるため、データ量を削減することができるので、撮像周期を、例えば、イベント検出周期と同じにすることができる。すなわち、図 2 6 に示されるように、露光および画素読み出しを、それぞれ、V 期間で行うことができるようになる。これにより、イベント検出不可期間は、タイミング T13 からタイミング T15 までの 2V 期間となり、イベント検出不可期間を短くすることが可能となる。図 2 6 の例は、撮像周期を、例えば、イベント検出周期と同じにした場合の例であるが、イベント検出周期と同じにならない場合であっても、注目領域に限定して撮像を行うことにより、全画素の撮像を行う場合と比較して、イベント検出不可期間を短くすることが可能となる。

[0269] <画素アレイ部431のその他の構成例>

図27は、図21の画素アレイ部431のその他の構成例を示すブロック図である。

[0270] 図27の画素アレイ部431は、1個の画素ブロック441が、画素481Aまたは画素481Bの2種類の画素481をI行×J列（I及びJは整数）に配列している点で、図22の画素アレイ部431と相違し、その他の点で、図22の画素アレイ部431と共通する。

[0271] 図22の画素アレイ部431では、イベント検出と撮像の両方が（時分割で）可能な画素451がI行×J列（I及びJは整数）に配列されていた。

[0272] これに対して、図27の画素アレイ部431では、画素481Aと画素481Bとが行方向および列方向に交互に配列され、混在して構成されている。画素481Aは、図13の画素251と同様に、光電変換素子に画素信号生成部252が接続されて構成され、撮像用の画素信号を生成するための画素である。画素481Bは、図4の画素51と同様に、光電変換素子にイベント検出部52が接続されて構成され、イベント検出を行うための画素である。撮像用の画素信号を生成するための画素481Aと、イベント検出を行うための画素481Bとは、光電変換素子461を個別に有し、共有していないので、撮像とイベント検出を同時に行うことができる。

[0273] このように、固体撮像装置10を1つのチップで構成した場合においても、1個の画素ブロック441に、撮像を行う画素481Aと、イベント検出を行う画素481Bとを混在させた構成とすることで、撮像とイベント検出を同時に行うことができる。

[0274] なお、図27は、1個の画素ブロック441を構成する複数の画素481を、撮像用の画素信号を生成するための画素481Aと、イベント検出を行うための画素481Bとに分けた構成であるが、画素ブロック441単位で、撮像用の画素信号を生成するための画素ブロック441と、イベント検出を行うための画素ブロック441とに分ける構成も可能である。この場合も、撮像とイベント検出を同時に行うことができる。

[0275] 以上の固体撮像装置10によれば、イベント検出を行うチップと、注目領域の撮像を行うチップが異なるチップである場合、および、同一チップである場合のいずれにおいても、イベントの発生が検出された場合に、検出対象となる物体を特定して注目領域が決定され、その注目領域の各画素の画素信号が生成され、注目領域の画像が生成される。したがって、非同期型のイメージセンサによりイベントの発生を検出した結果を、同期型のイメージセンサによる撮像に活用することができる。

[0276] <5. 電子機器への適用例>

本技術は、固体撮像装置への適用に限られるものではない。即ち、本技術は、デジタルスチルカメラやビデオカメラ等の撮像装置や、撮像機能を有する携帯端末装置や、画像読取部に固体撮像装置を用いる複写機など、画像取込部（光電変換部）に固体撮像装置を用いる電子機器全般に対して適用可能である。固体撮像装置は、ワンチップとして形成された形態であってもよいし、撮像部と信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

[0277] 図28は、本技術を適用した電子機器としての、撮像装置の構成例を示すブロック図である。

[0278] 図28の撮像装置600は、レンズ群などからなる光学部601、固体撮像装置10の構成が採用される固体撮像装置（撮像デバイス）602、およびカメラ信号処理回路であるDSP(Digital Signal Processor)回路603を備える。また、撮像装置600は、フレームメモリ604、表示部605、記録部606、操作部607、および電源部608も備える。DSP回路603、フレームメモリ604、表示部605、記録部606、操作部607および電源部608は、バスライン609を介して相互に接続されている。

[0279] 光学部601は、被写体からの入射光（像光）を取り込んで固体撮像装置602の撮像面上に結像する。固体撮像装置602は、光学部601によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この固体撮像装置602として、上述した固体撮像装

置 1 0、即ち、イベントの発生を検出して注目領域を決定し、その注目領域の撮像を行う固体撮像装置を用いることができる。

[0280] 表示部 6 0 5 は、例えば、LCD(Liquid Crystal Display)や有機EL(Electro Luminescence)ディスプレイ等の薄型ディスプレイで構成され、固体撮像装置 6 0 2 で撮像された動画または静止画を表示する。記録部 6 0 6 は、固体撮像装置 6 0 2 で撮像された動画または静止画を、ハードディスクや半導体メモリ等の記録媒体に記録する。

[0281] 操作部 6 0 7 は、ユーザによる操作の下に、撮像装置 6 0 0 が持つ様々な機能について操作指令を発する。電源部 6 0 8 は、DSP回路 6 0 3、フレームメモリ 6 0 4、表示部 6 0 5、記録部 6 0 6 および操作部 6 0 7 の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0282] 上述したように、固体撮像装置 6 0 2 として、上述した各実施の形態を適用した固体撮像装置 1 0 を用いることで、撮像範囲に対して空間情報の欠落なく、低消費電力でイベントの発生を検出することができ、検出したイベントに基づいて決定した注目領域の撮像を高速に行うことができる。従って、ビデオカメラやデジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールなどの撮像装置 6 0 0 においても、所望の注目領域の撮像を低消費電力かつ高速に行うことができる。

[0283] <イメージセンサの使用例>

図 2 9 は、上述の固体撮像装置 1 0 を用いたイメージセンサの使用例を示す図である。

[0284] 上述の固体撮像装置 1 0 を用いたイメージセンサは、例えば、以下のよう
に、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに
使用することができる。

[0285] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視す

る監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

- ・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

- ・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

- ・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

- ・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

- ・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

- ・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0286] <6. 移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0287] 図30は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0288] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図30に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F（interfa

c e) 12053 が図示されている。

[0289] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0290] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0291] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0292] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

- [0293] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。
- [0294] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。
- [0295] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。
- [0296] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。
- [0297] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又

は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図30の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0298] 図31は、撮像部12031の設置位置の例を示す図である。

[0299] 図31では、車両12100は、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

[0300] 撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101及び12105で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0301] なお、図31には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

- [0302] 撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。
- [0303] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を基に、撮像範囲 1 2 1 1 1 ないし 1 2 1 1 4 内における各立体物までの距離と、この距離の時間的変化（車両 1 2 1 0 0 に対する相対速度）を求めることにより、特に車両 1 2 1 0 0 の進行路上にある最も近い立体物で、車両 1 2 1 0 0 と略同じ方向に所定の速度（例えば、0 k m / h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 1 2 0 5 1 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。
- [0304] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 1 2 0 5 1 は、車両 1 2 1 0 0 の周辺の障害物を、車両 1 2 1 0 0 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 1 2 0 5 1 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 1 2 0 6 1 や表示部 1 2 0 6 2 を介してドライバに警報を出力することや、駆動系制御ユニット 1 2 0 1 0 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。
- [0305] 撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 1 2 0 5 1

は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

[0306] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部１２０３１に適用され得る。具体的には、撮像部１２０３１として、上述の固体撮像装置１０を適用することができる。撮像部１２０３１に本開示に係る技術を適用することにより、撮像範囲に対して空間情報の欠落なく、低消費電力でイベントの発生を検出して決定した注目領域の撮像を高速に行うことにより、適切な運転支援を行うことができる。

[0307] 本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0308] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、本明細書に記載されたもの以外の効果があってもよい。

[0309] なお、本技術は、以下の構成を取ることができる。

(１)

画素アレイ部の各画素で発生する電気信号の変化をイベントとして検出するイベント検出部と、

前記イベントの検出結果から、前記画素アレイ部の注目領域を検出する注目領域検出部と、

前記注目領域に対応する領域の画像を構成する画素信号を生成する画素信号生成部と

を備える固体撮像装置。

(2)

前記画素アレイ部の各画素で発生した前記イベントをフレーム単位で蓄積するメモリをさらに備え、

前記注目領域検出部は、前記フレーム単位のイベントデータから、前記画素アレイ部の注目領域を検出する

前記(1)に記載の固体撮像装置。

(3)

前記注目領域検出部は、前記フレーム単位のイベントデータから、検出対象としての物体を特定し、前記物体を含む領域を、前記注目領域として検出する

前記(2)に記載の固体撮像装置。

(4)

前記物体の検出率により物体検出の信頼度を判定し、前記フレーム単位を制御する信頼度判定部をさらに備える

前記(3)に記載の固体撮像装置。

(5)

前記信頼度判定部は、さらに、前記フレーム単位に応じて、前記画素信号生成部の撮像周期を制御する

前記(4)に記載の固体撮像装置。

(6)

前記画素信号生成部の撮像周期が前記物体の検出周期と同一となる撮像同期信号を生成する撮像同期信号生成部をさらに備える

前記(3)乃至(5)のいずれかに記載の固体撮像装置。

(7)

前記画素信号生成部の撮像周期がビデオレートとなる撮像同期信号を生成

する撮像同期信号生成部をさらに備える

前記（１）乃至（６）のいずれかに記載の固体撮像装置。

（８）

前記イベント検出部と、前記画素信号生成部とが、異なるチップに形成されている

前記（１）乃至（７）のいずれかに記載の固体撮像装置。

（９）

前記イベント検出部、前記注目領域検出部、および、前記画素信号生成部のそれぞれが、異なるチップに形成されている

前記（１）乃至（７）のいずれかに記載の固体撮像装置。

（１０）

前記画素信号生成部は、前記イベント検出部のチップの前記注目領域に対応する、前記画素信号生成部のチップの画素アレイ部の領域の前記画素信号を生成する

前記（８）に記載の固体撮像装置。

（１１）

前記イベント検出部と前記画素信号生成部とは、同一チップに形成されている

前記（１）乃至（７）のいずれかに記載の固体撮像装置。

（１２）

前記画素アレイ部の各画素の光電変換素子は、前記イベント検出部と前記画素信号生成部とで共有される

前記（１１）に記載の固体撮像装置。

（１３）

前記画素アレイ部は、光電変換素子の電気信号を、前記イベント検出部に出力する画素と、前記画素信号生成部に出力する画素とを混在させた構成である

前記（１１）に記載の固体撮像装置。

(14)

画素アレイ部の各画素で発生する電気信号の変化をイベントとして検出した検出結果から、前記画素アレイ部の注目領域を検出するとともに、前記注目領域を特定するROI情報を出力する注目領域検出部と、

前記注目領域の画素信号を取得し、画像を生成する画像処理部と
を備える信号処理チップ。

(15)

画素アレイ部の各画素で発生する電気信号の変化をイベントとして検出するイベント検出部と、

前記イベントの検出結果から、前記画素アレイ部の注目領域を検出する注目領域検出部と、

前記注目領域に対応する領域の画像を構成する画素信号を生成する画素信号生成部と

を備える固体撮像装置

を備える電子機器。

符号の説明

[0310] 10 固体撮像装置, 11 第1のチップ (DVSチップ), 12 第2のチップ (CISチップ), 31 画素アレイ部, 34 メモリ, 35 画像処理部, 37 クロック信号生成部, 41 画素ブロック, 51 画素, 52 イベント検出部, 61 光電変換素子, 131 フレーム間隔設定部, 132 フレーム幅設定部, 133 検出部, 21 画素アレイ部, 216 信号処理部, 241 画素ブロック, 251 画素, 252 画素信号生成部, 261 光電変換素子, 31 第1のチップ (DVSチップ), 312 第2のチップ (CISチップ), 313 第3のチップ (DSPチップ), 321 画像処理部, 341 検出部, 342 信頼度判定部, 343 撮像同期信号生成部, 41 1 センサダイ, 412, 413 ロジックダイ, 431 画素アレイ部, 435 信号処理部, 441 画素ブロック, 451 画素,

4 6 1 光電変換素子, 4 8 1 (4 8 1 A, 4 8 1 B) 画素, 6 0 0
撮像装置, 6 0 2 固体撮像装置

請求の範囲

- [請求項1] 画素アレイ部の各画素で発生する電気信号の変化をイベントとして検出するイベント検出部と、
前記イベントの検出結果から、前記画素アレイ部の注目領域を検出する注目領域検出部と、
前記注目領域に対応する領域の画像を構成する画素信号を生成する画素信号生成部と
を備える固体撮像装置。
- [請求項2] 前記画素アレイ部の各画素で発生した前記イベントをフレーム単位で蓄積するメモリをさらに備え、
前記注目領域検出部は、前記フレーム単位のイベントデータから、前記画素アレイ部の注目領域を検出する
請求項1に記載の固体撮像装置。
- [請求項3] 前記注目領域検出部は、前記フレーム単位のイベントデータから、検出対象としての物体を特定し、前記物体を含む領域を、前記注目領域として検出する
請求項2に記載の固体撮像装置。
- [請求項4] 前記物体の検出率により物体検出の信頼度を判定し、前記フレーム単位を制御する信頼度判定部をさらに備える
請求項3に記載の固体撮像装置。
- [請求項5] 前記信頼度判定部は、さらに、前記フレーム単位に応じて、前記画素信号生成部の撮像周期を制御する
請求項4に記載の固体撮像装置。
- [請求項6] 前記画素信号生成部の撮像周期が前記物体の検出周期と同一となる撮像同期信号を生成する撮像同期信号生成部をさらに備える
請求項3に記載の固体撮像装置。
- [請求項7] 前記画素信号生成部の撮像周期がビデオレートとなる撮像同期信号を生成する撮像同期信号生成部をさらに備える

請求項 1 に記載の固体撮像装置。

[請求項8] 前記イベント検出部と、前記画素信号生成部とが、異なるチップに形成されている

請求項 1 に記載の固体撮像装置。

[請求項9] 前記イベント検出部、前記注目領域検出部、および、前記画素信号生成部のそれぞれが、異なるチップに形成されている

請求項 1 に記載の固体撮像装置。

[請求項10] 前記画素信号生成部は、前記イベント検出部のチップの前記注目領域に対応する、前記画素信号生成部のチップの画素アレイ部の領域の前記画素信号を生成する

請求項 8 に記載の固体撮像装置。

[請求項11] 前記イベント検出部と前記画素信号生成部とは、同一チップに形成されている

請求項 1 に記載の固体撮像装置。

[請求項12] 前記画素アレイ部の各画素の光電変換素子は、前記イベント検出部と前記画素信号生成部とで共有される

請求項 1 1 に記載の固体撮像装置。

[請求項13] 前記画素アレイ部の各画素が、前記イベントを検出するための画素か、または、前記画素信号を生成するための画素のどちらかで構成される

請求項 1 1 に記載の固体撮像装置。

[請求項14] 画素アレイ部の各画素で発生する電気信号の変化をイベントとして検出した検出結果から、前記画素アレイ部の注目領域を検出するとともに、前記注目領域を特定するROI情報を出力する注目領域検出部と、

前記注目領域の画素信号を取得し、画像を生成する画像処理部とを備える信号処理チップ。

[請求項15] 画素アレイ部の各画素で発生する電気信号の変化をイベントとして

検出するイベント検出部と、

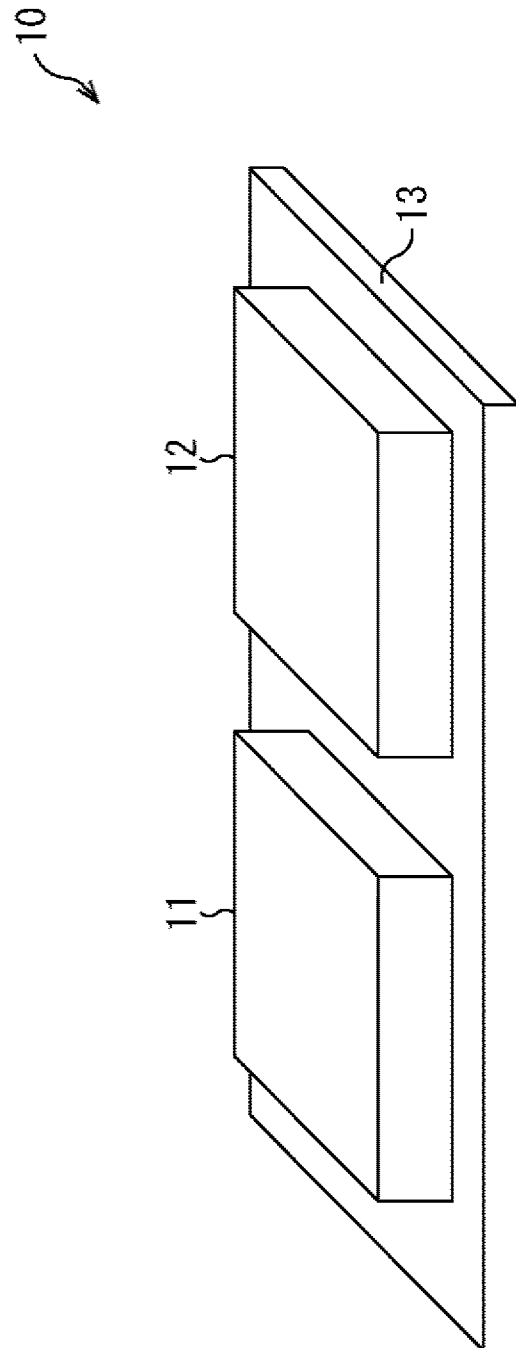
前記イベントの検出結果から、前記画素アレイ部の注目領域を検出する注目領域検出部と、

前記注目領域に対応する領域の画像を構成する画素信号を生成する画素信号生成部と

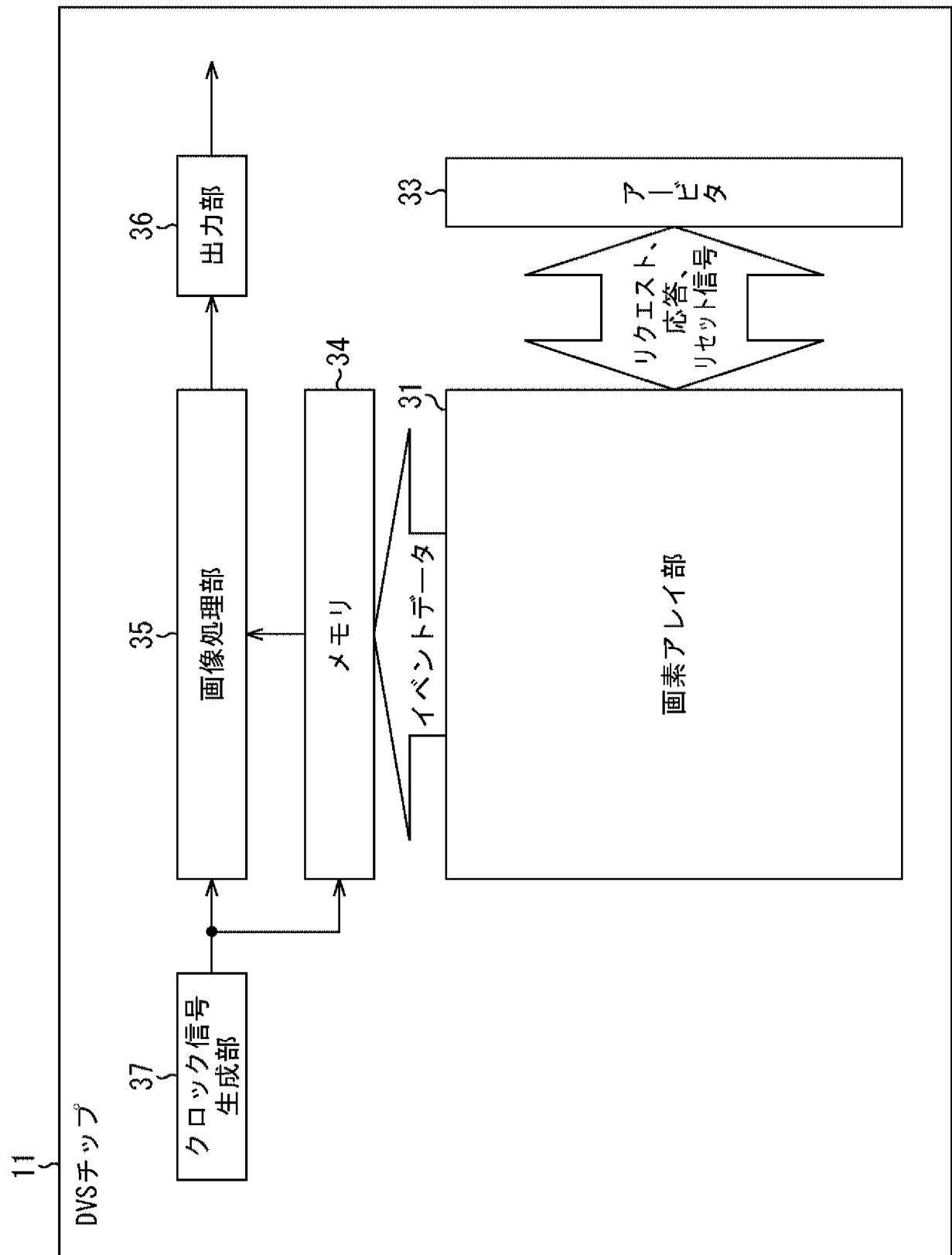
を備える固体撮像装置

を備える電子機器。

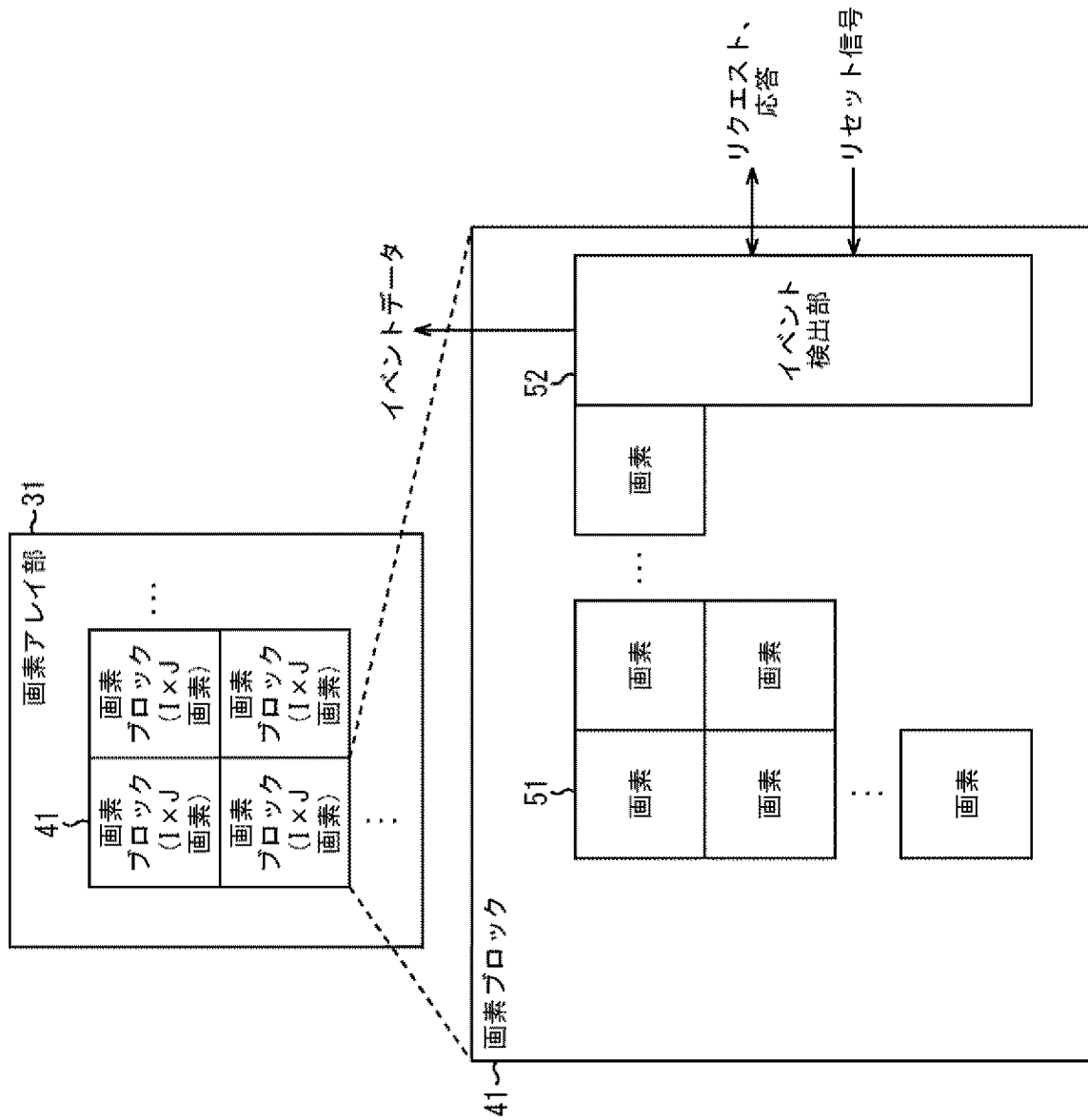
[図1]
FIG. 1



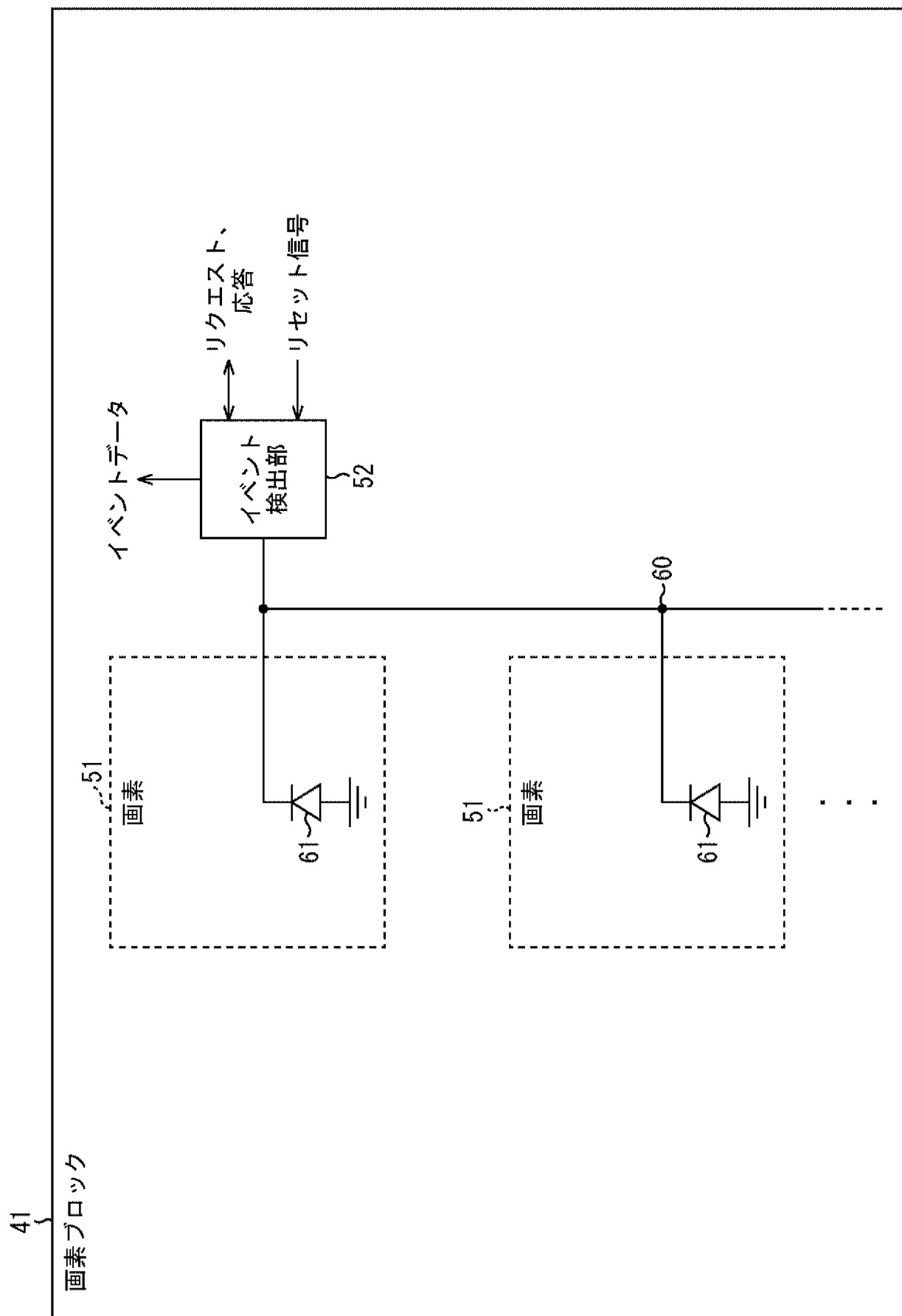
[図2]
FIG. 2



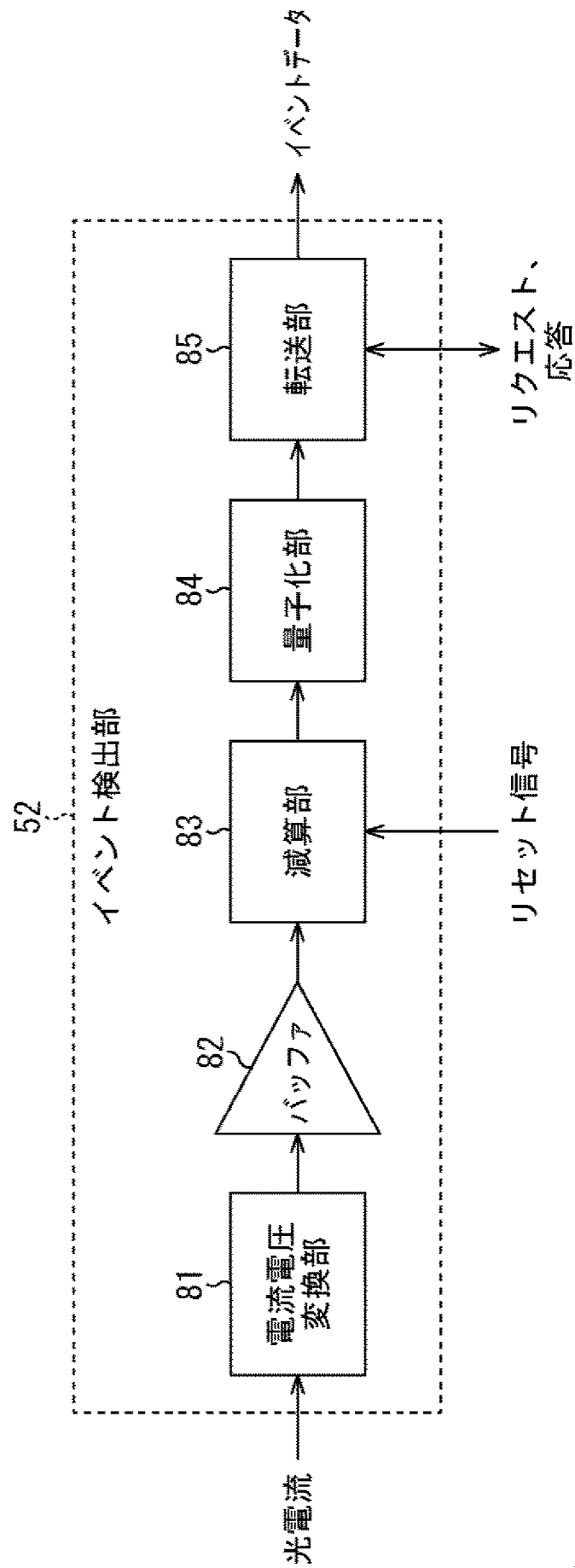
[図3]
FIG. 3



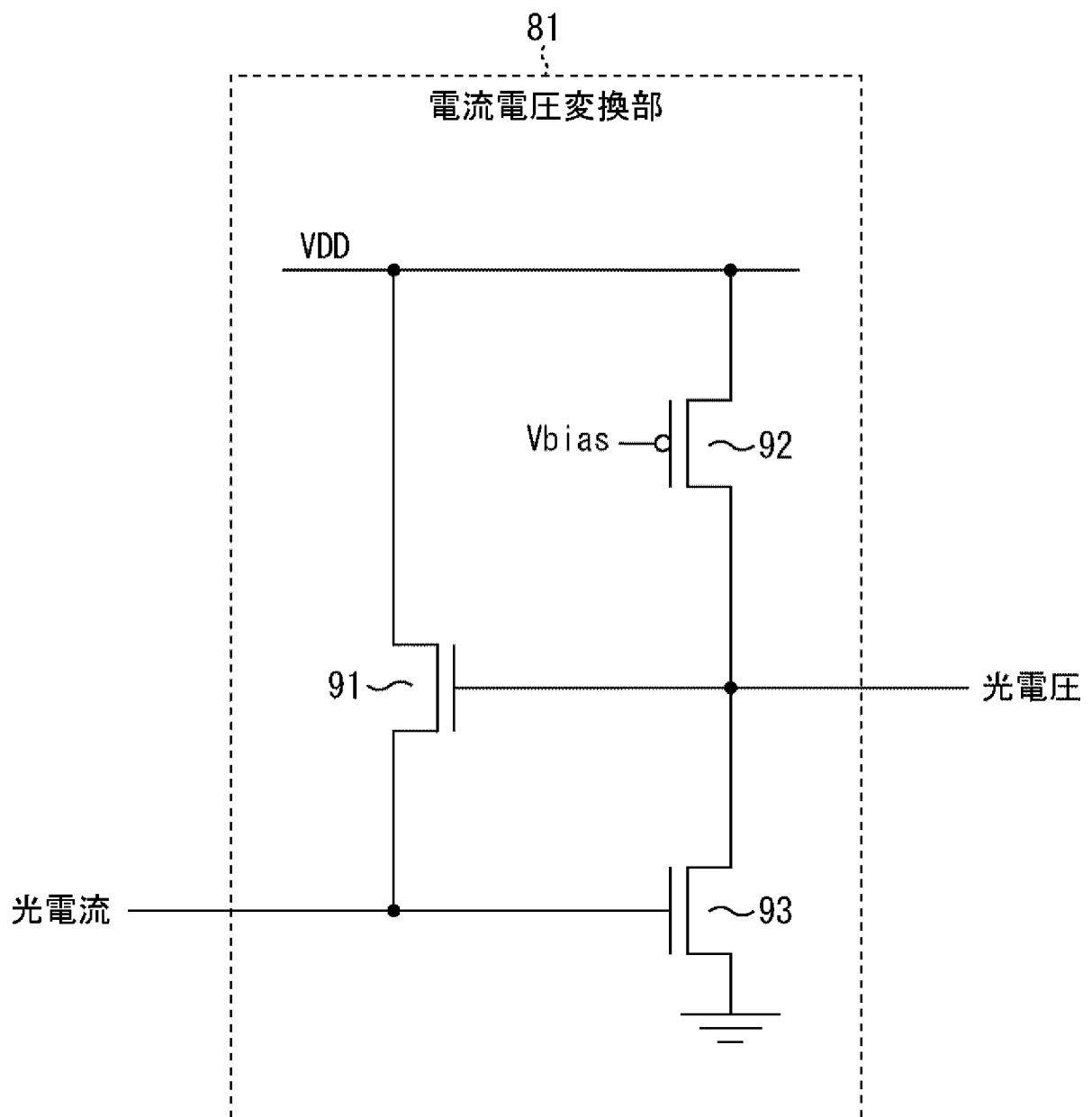
[図4]
FIG. 4



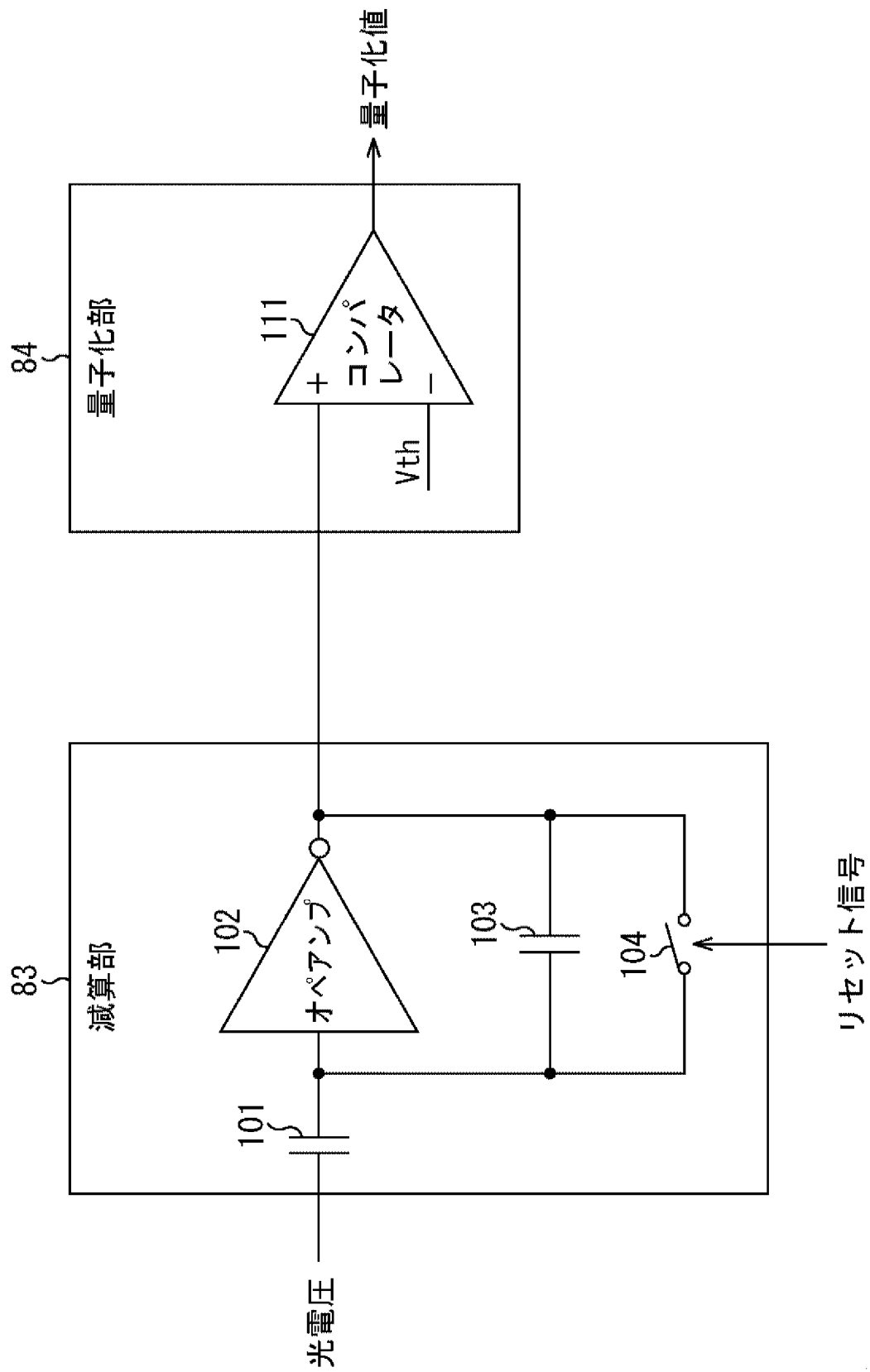
[図5]
FIG. 5



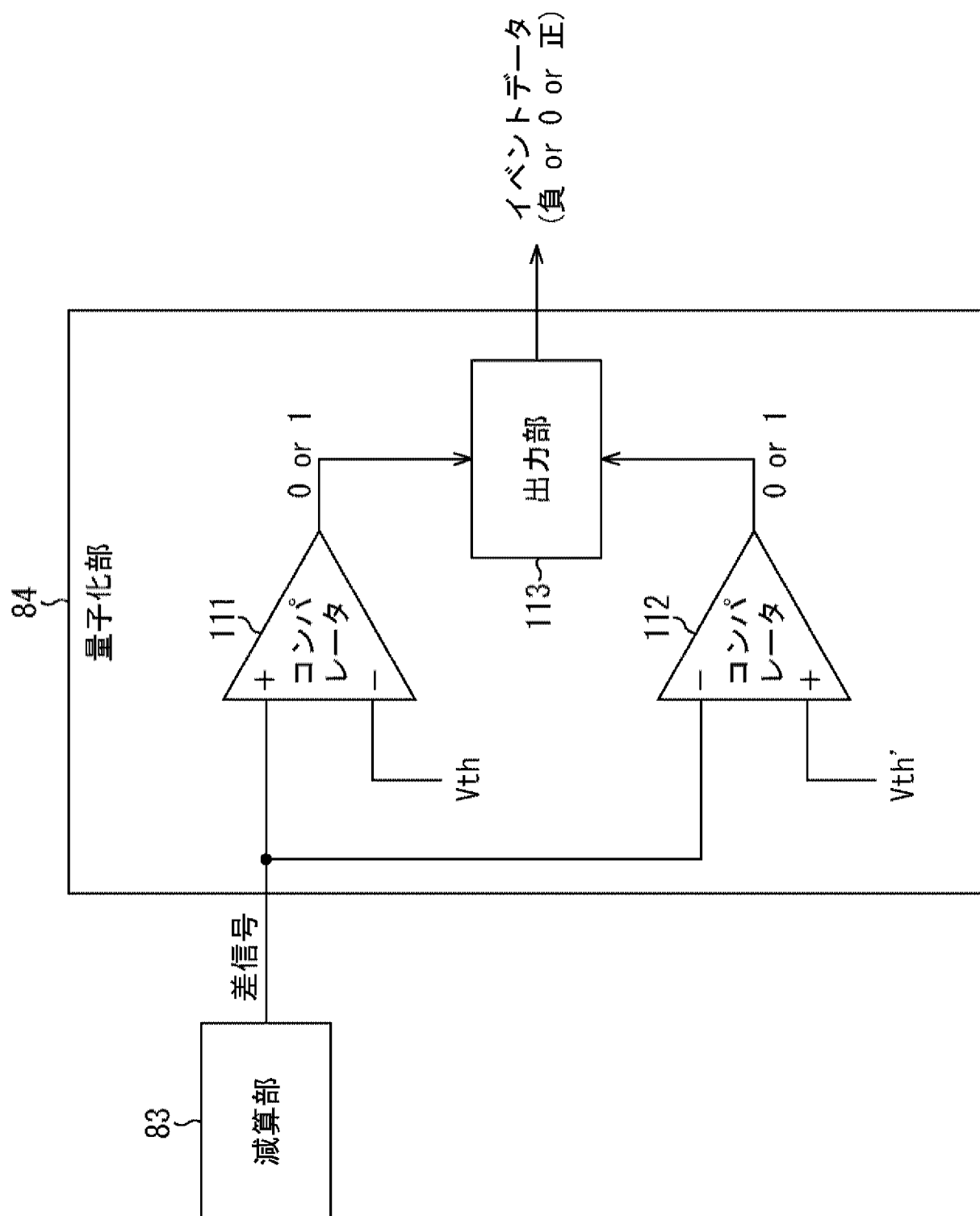
[図6]
FIG. 6



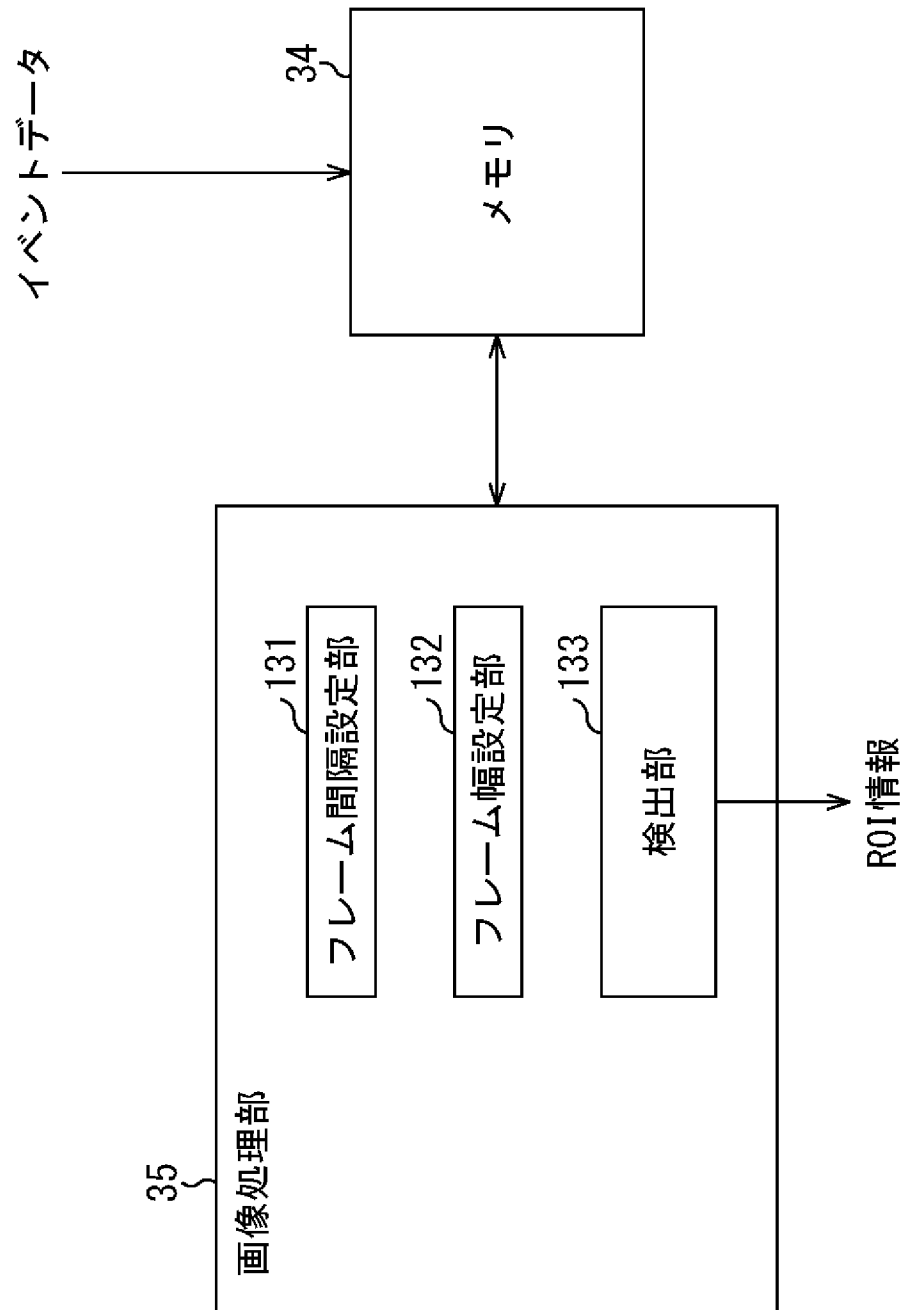
[図7]
FIG. 7



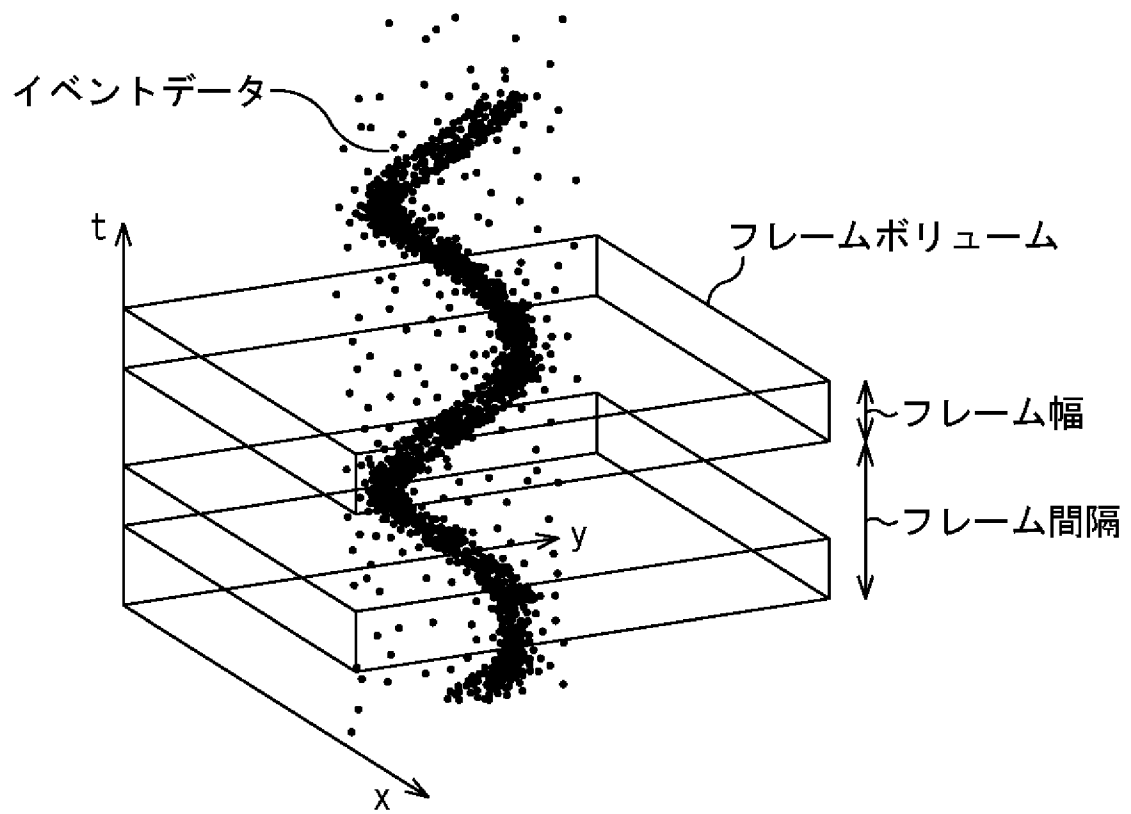
[図8]
FIG. 8



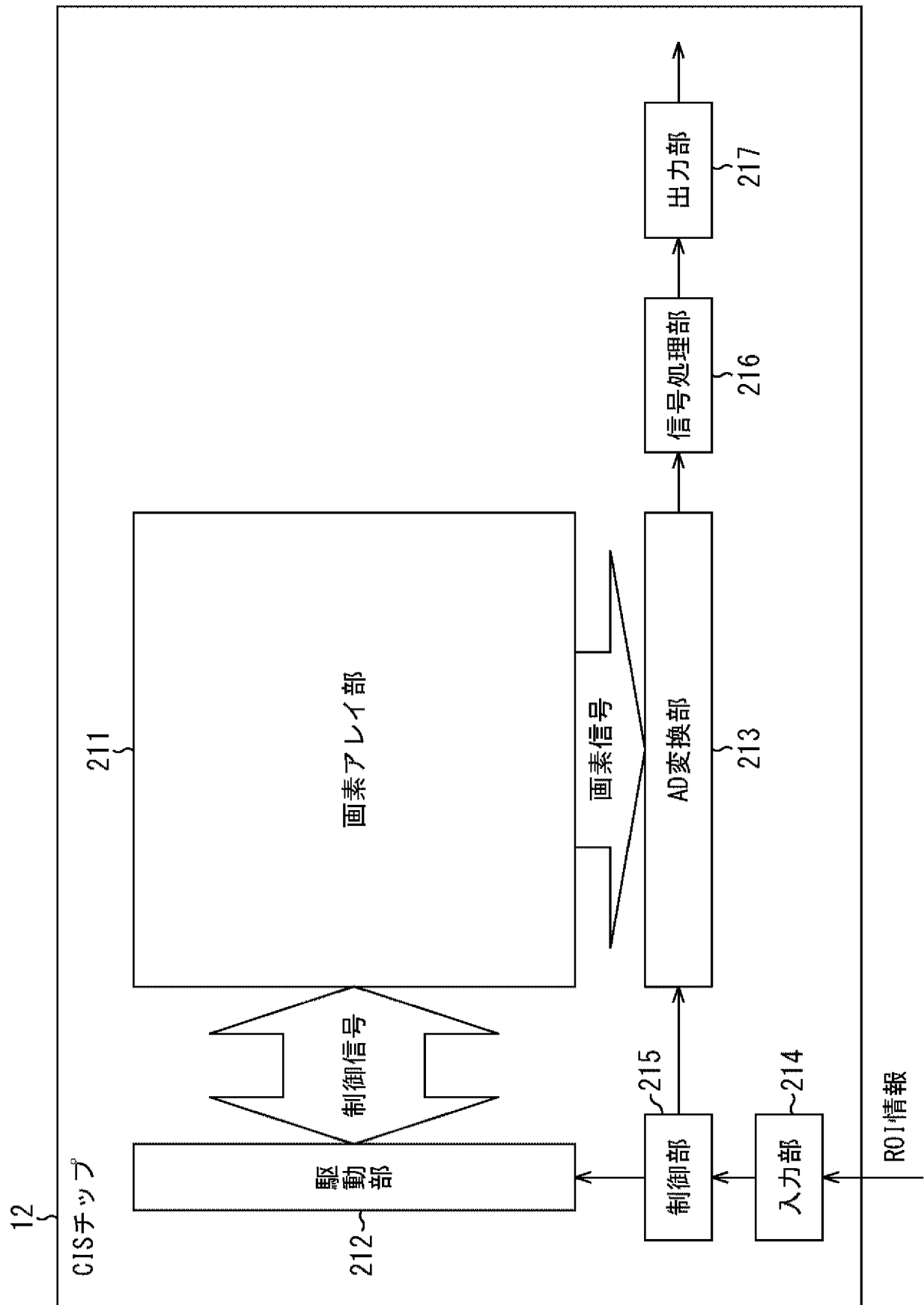
[図9]
FIG. 9



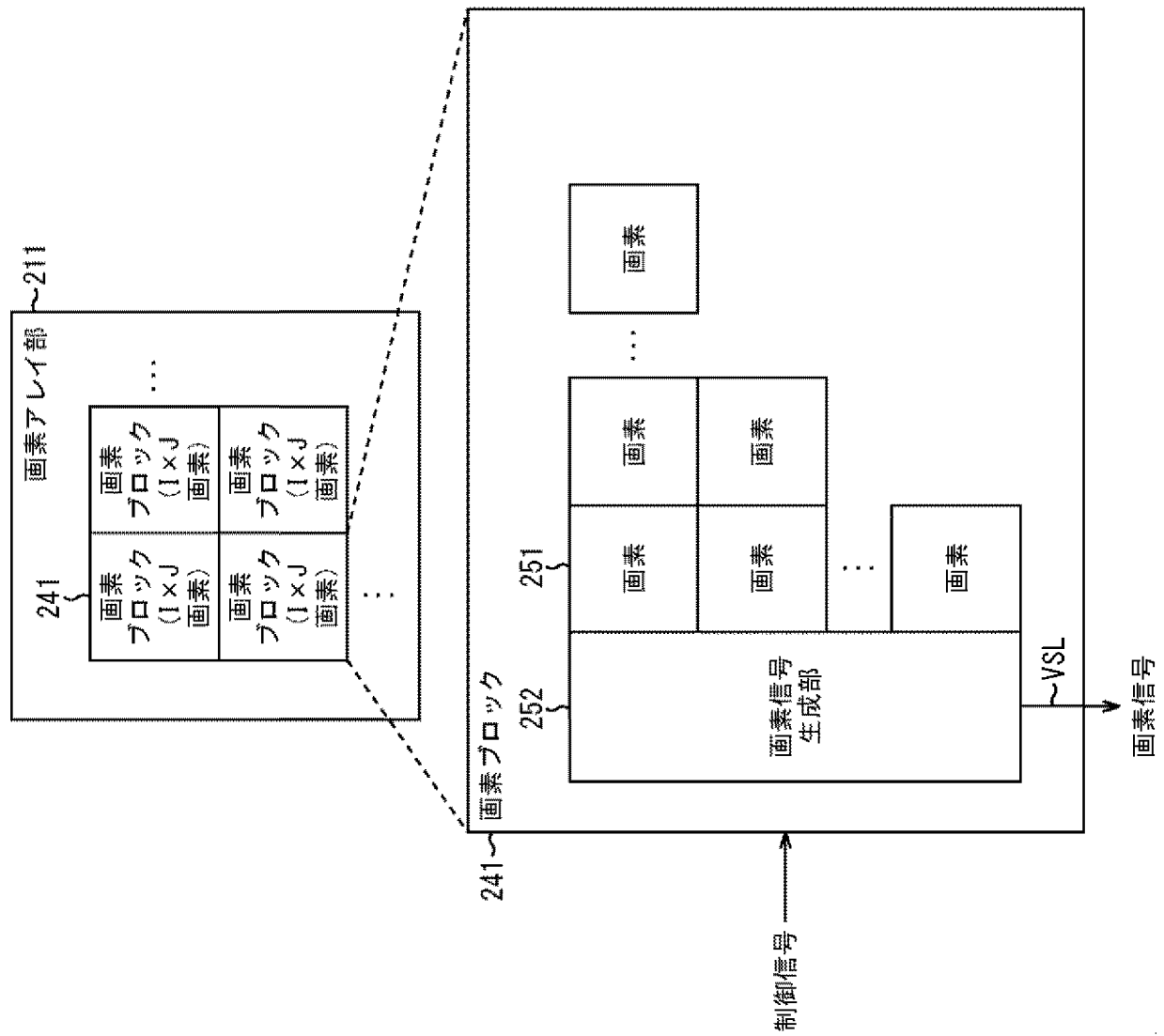
[図10]
FIG. 10



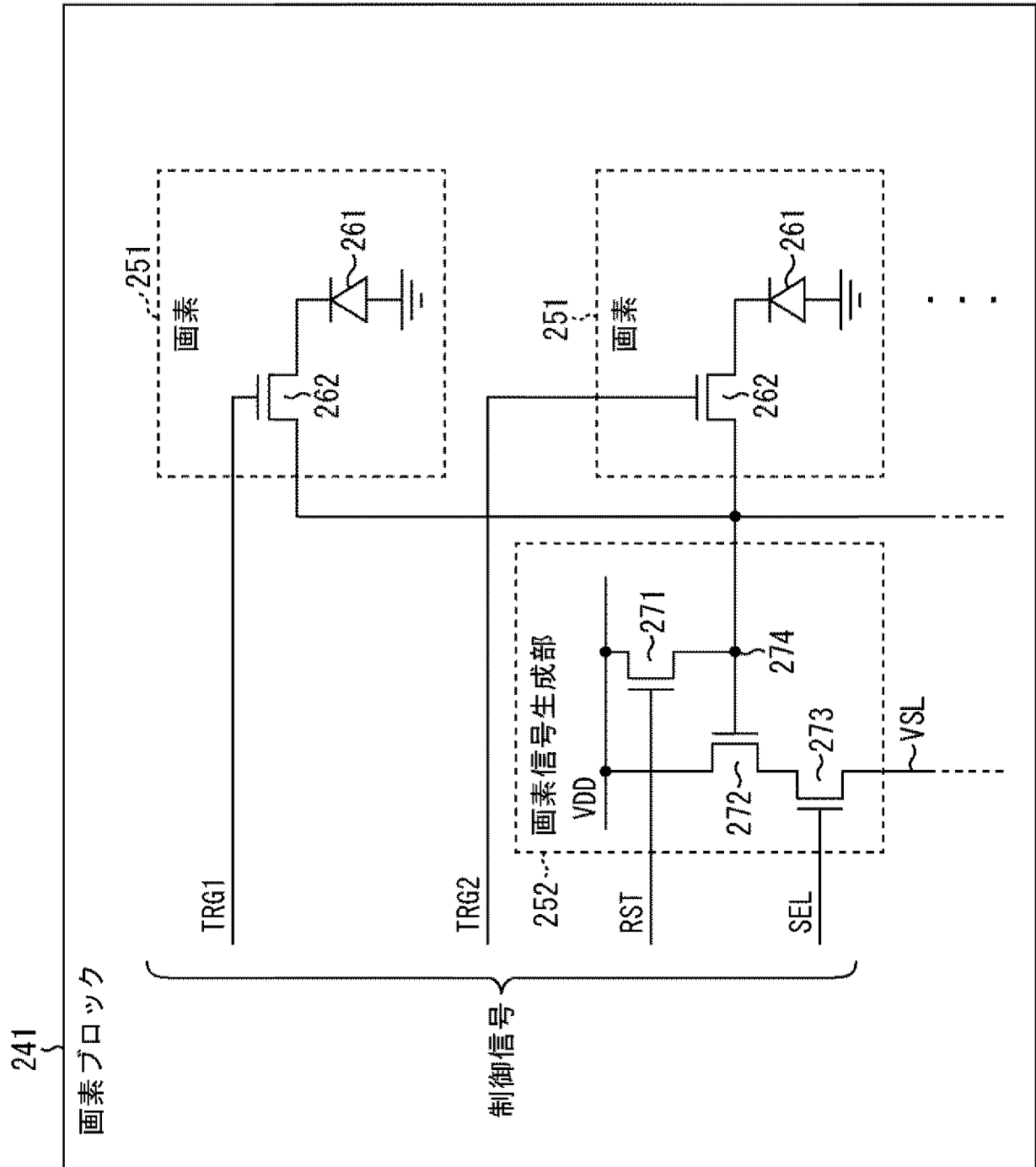
[図11]
FIG. 11



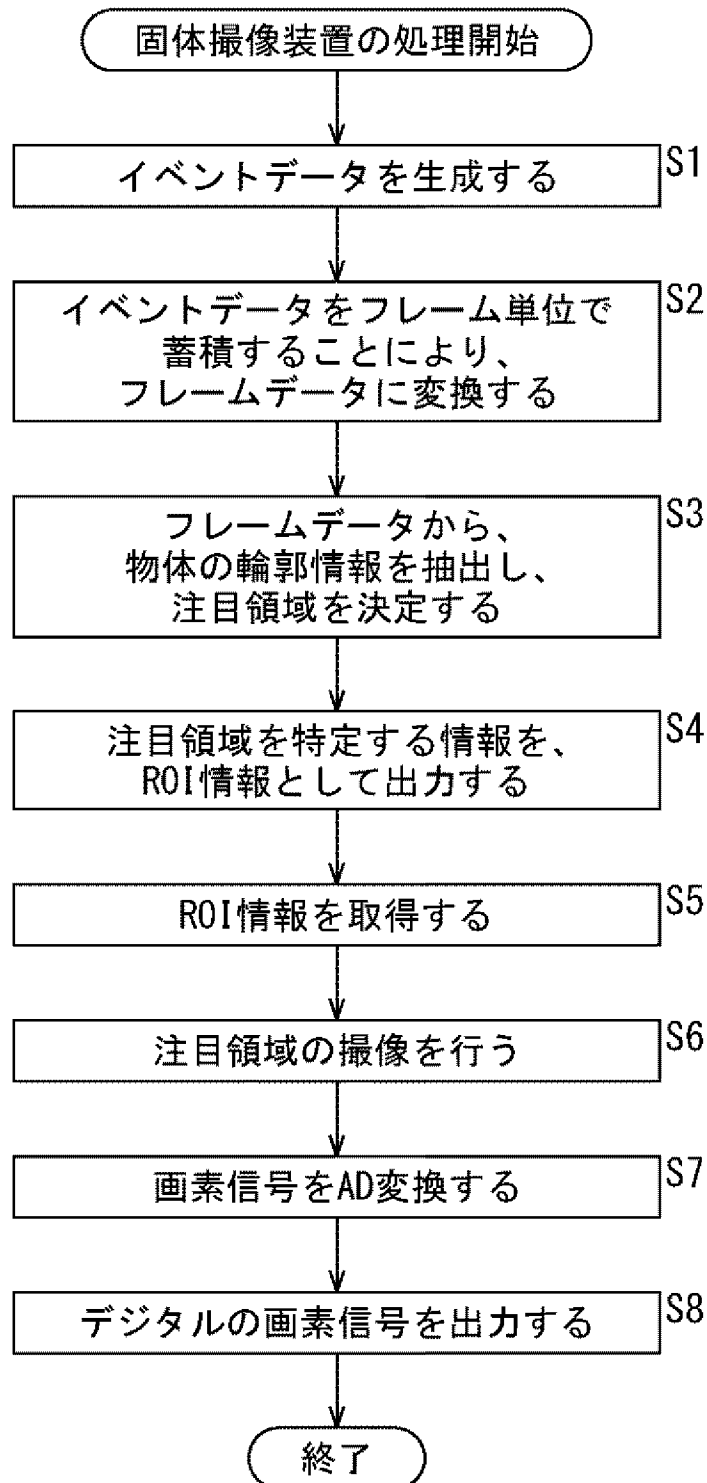
[図12]
FIG. 12



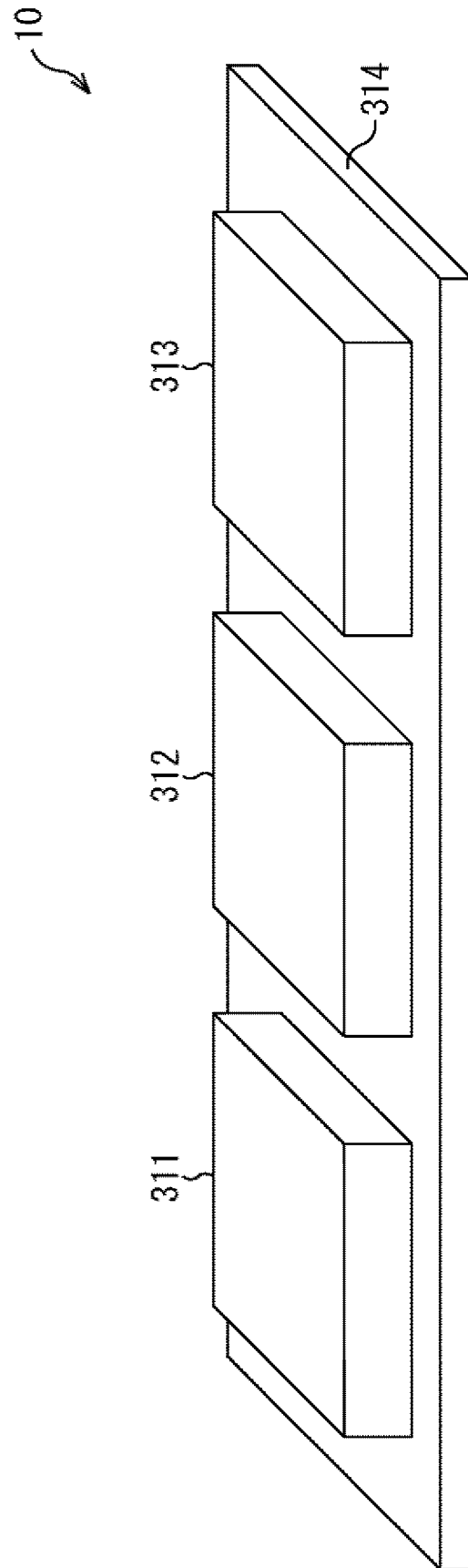
[図13]
FIG. 13



[図14]
FIG. 14



[図15]
FIG. 15



[図16]
FIG. 16

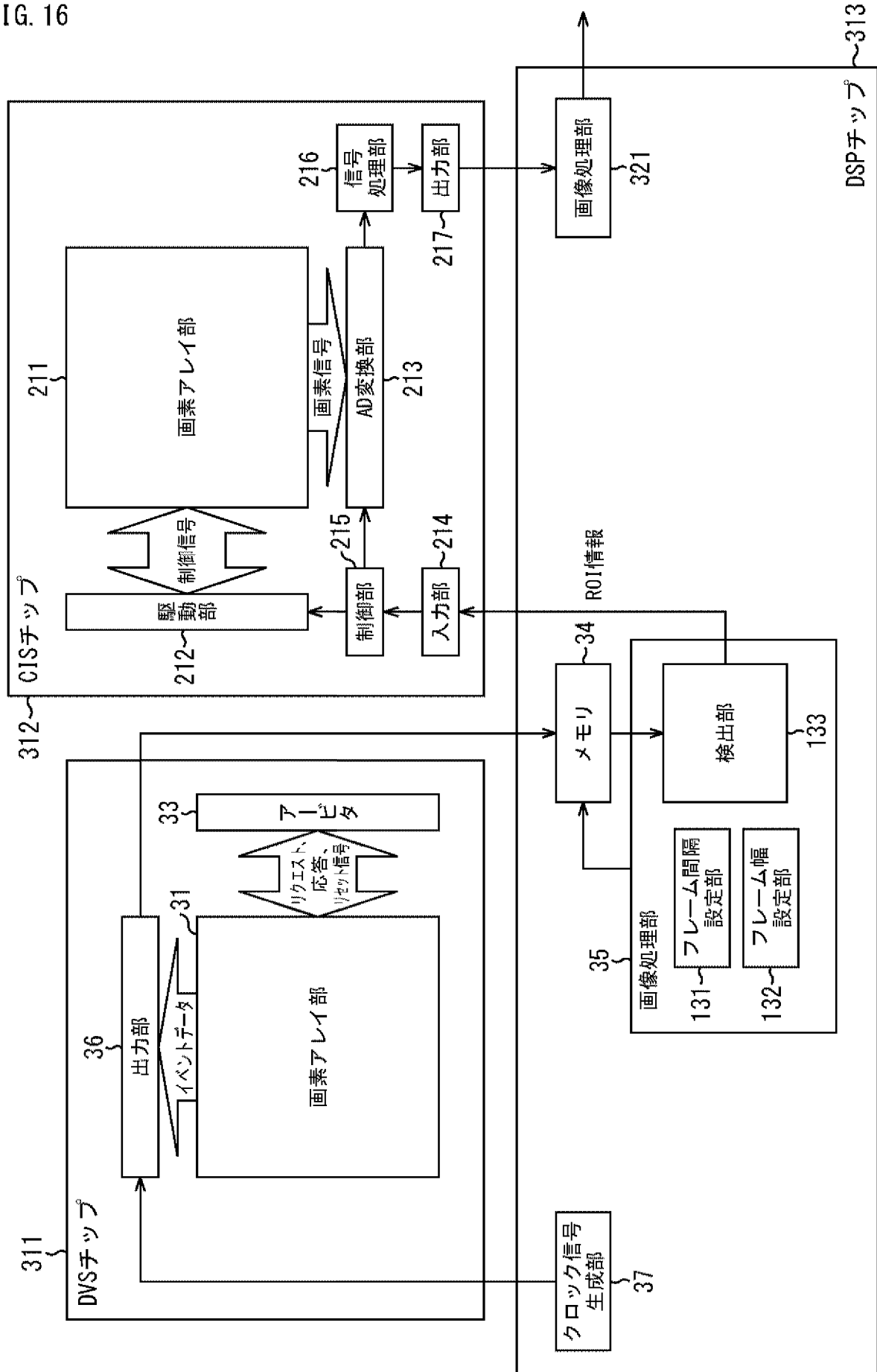
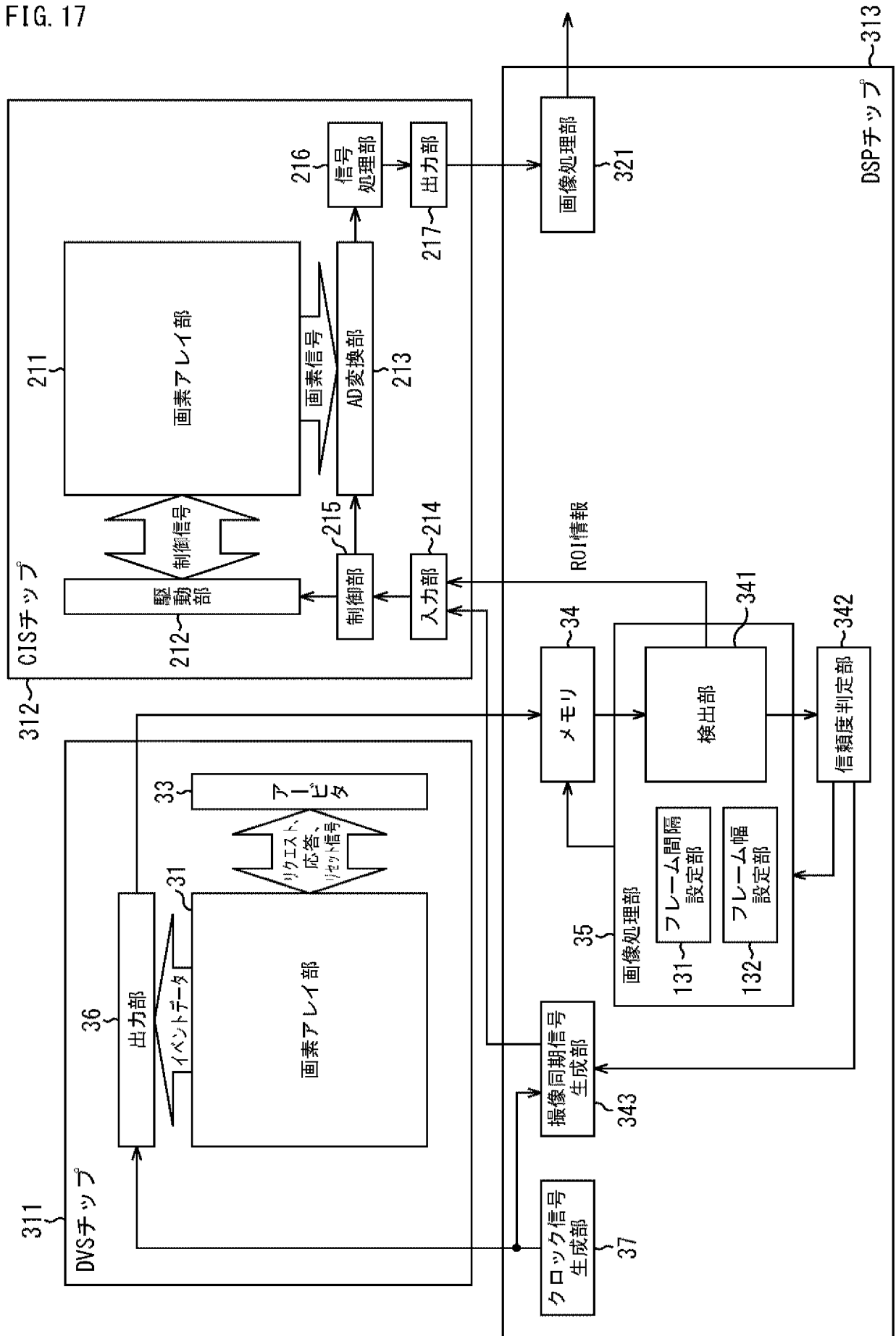
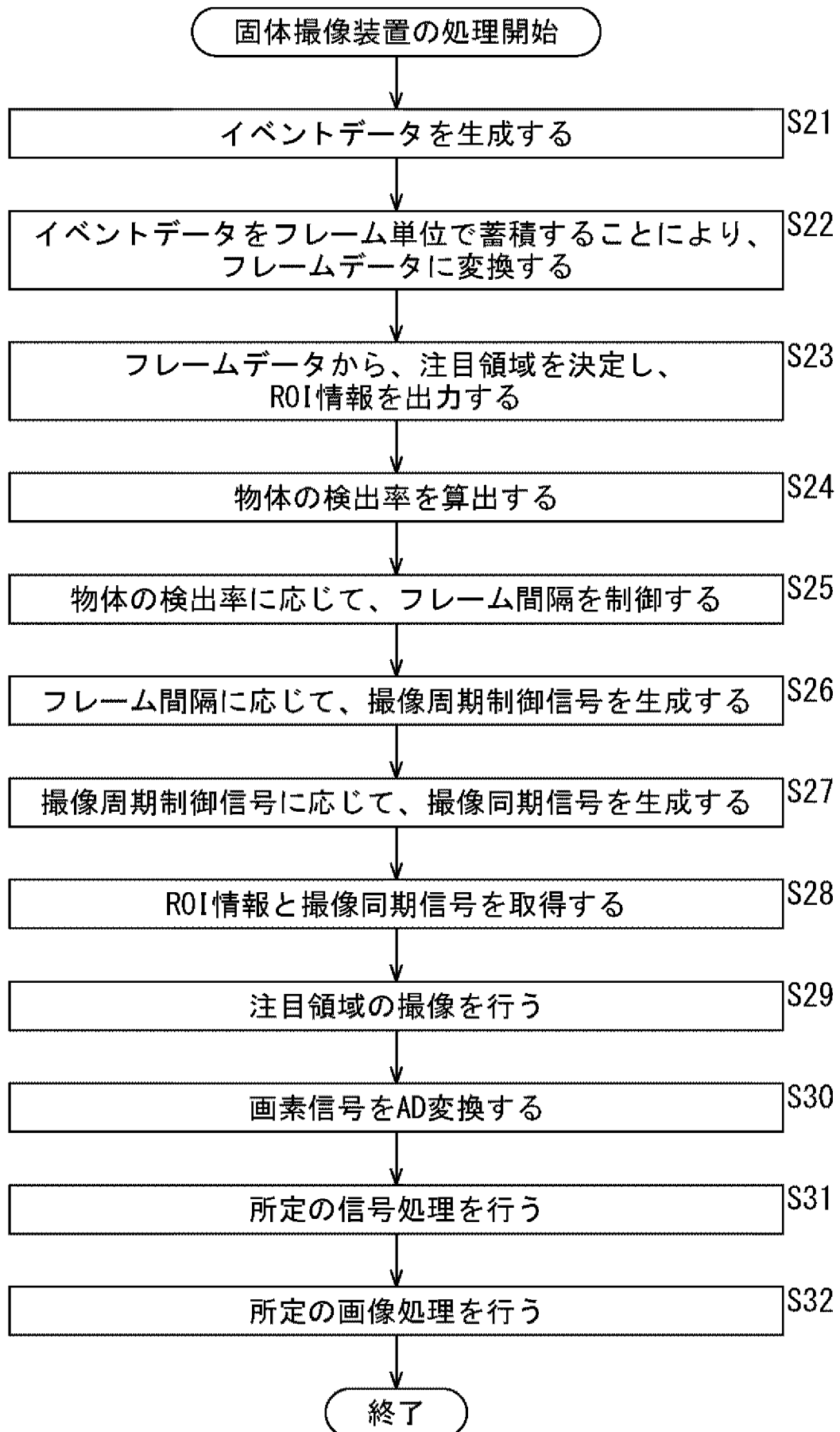


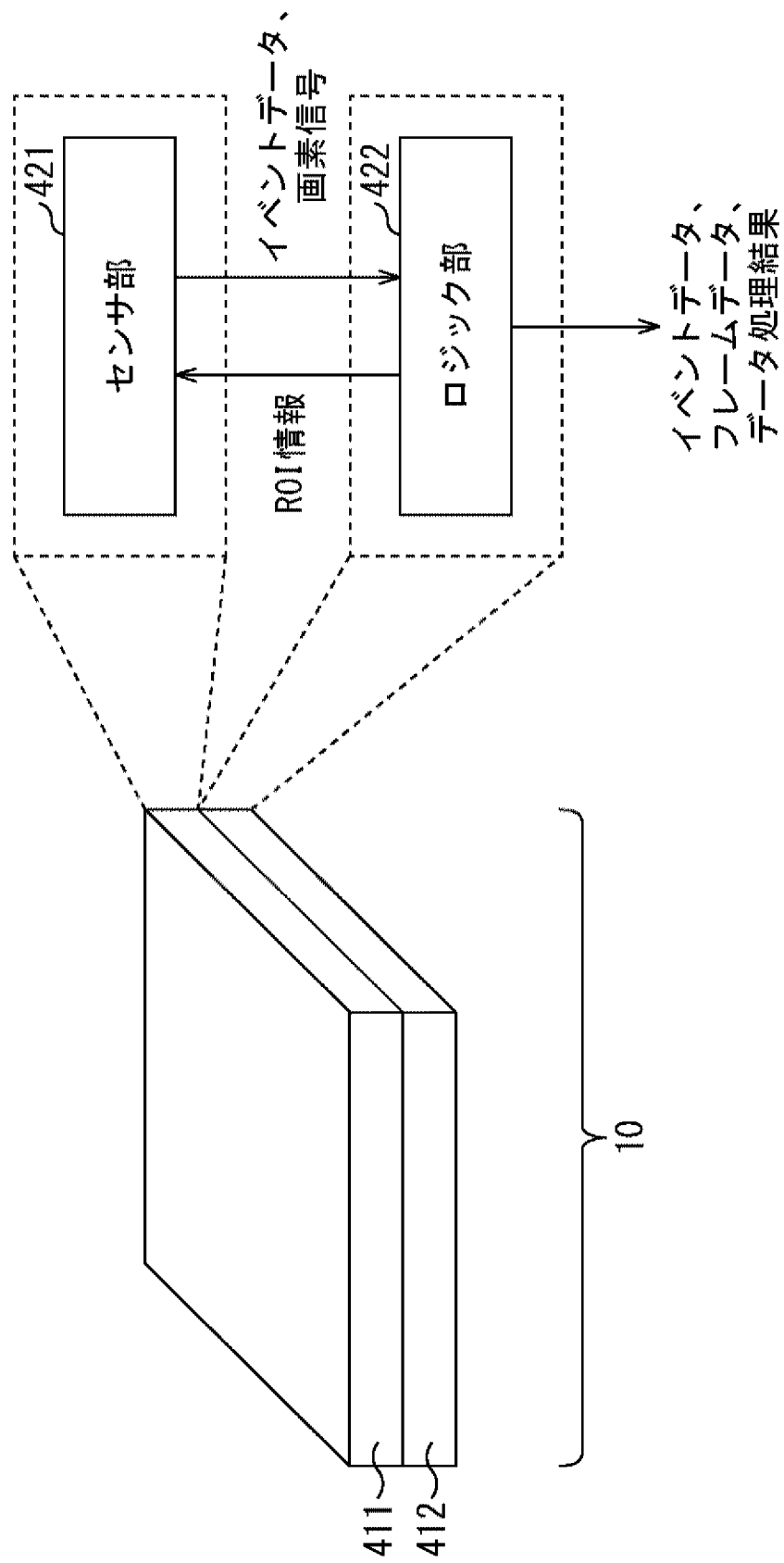
FIG. 17



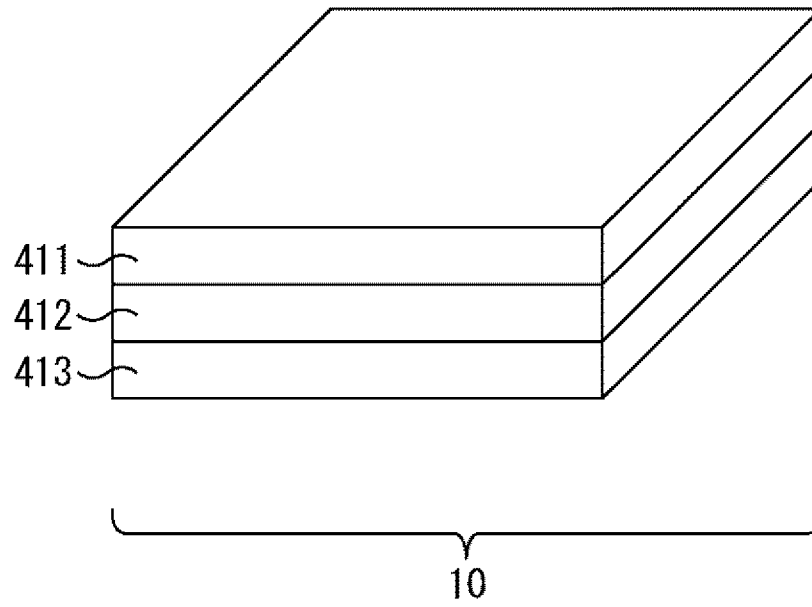
[図18]
FIG. 18



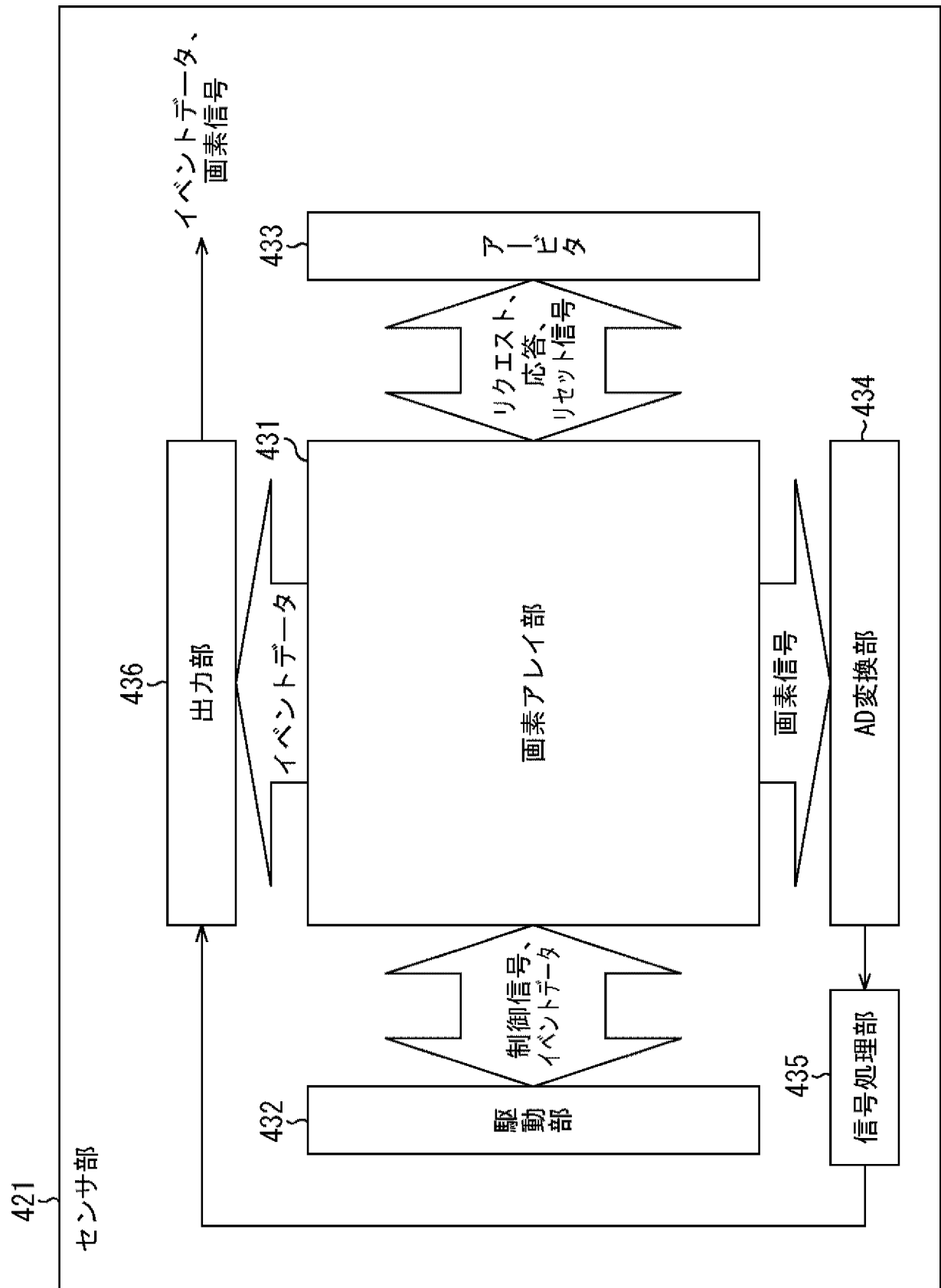
[図19]
FIG. 19



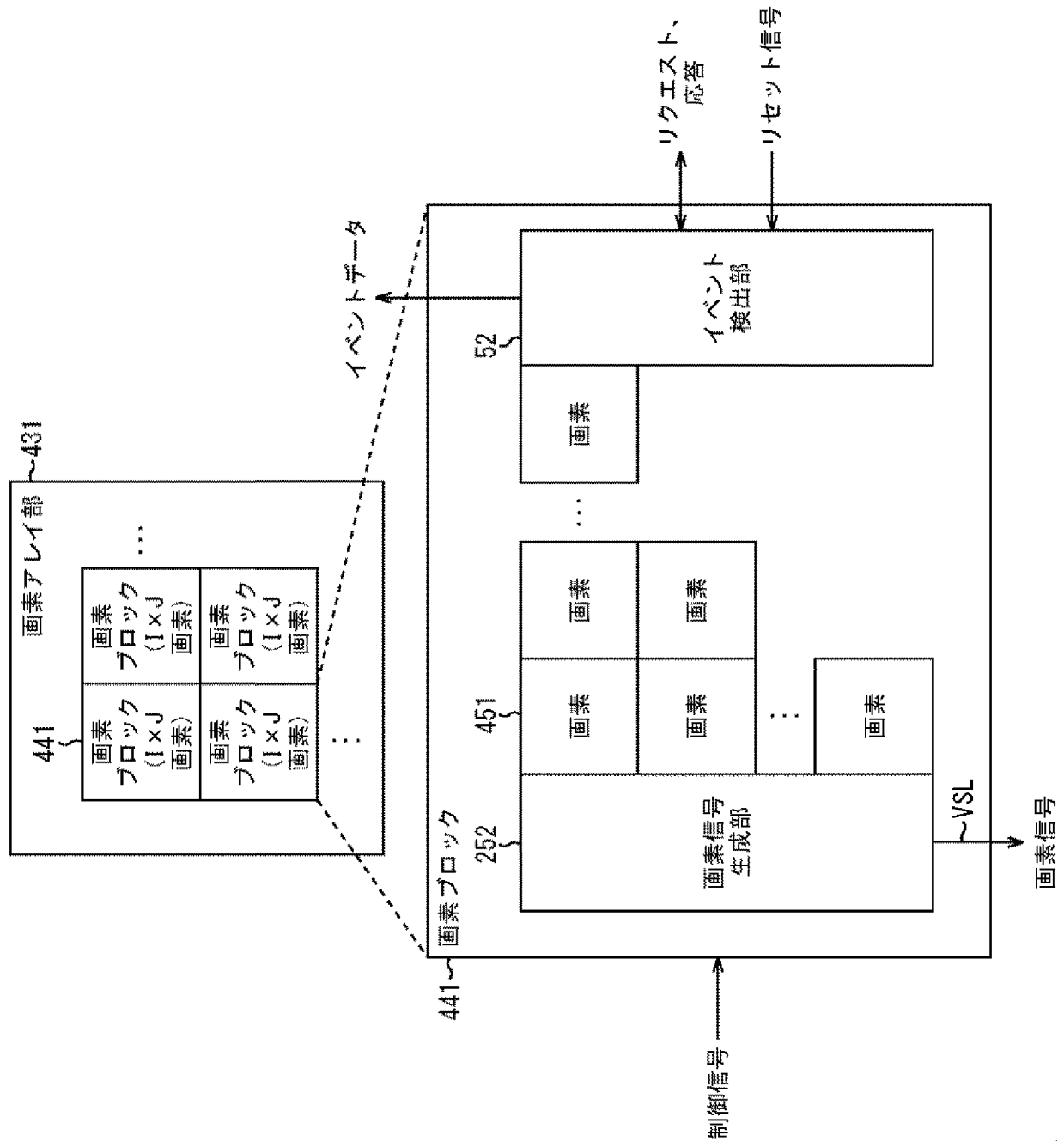
[図20]
FIG. 20



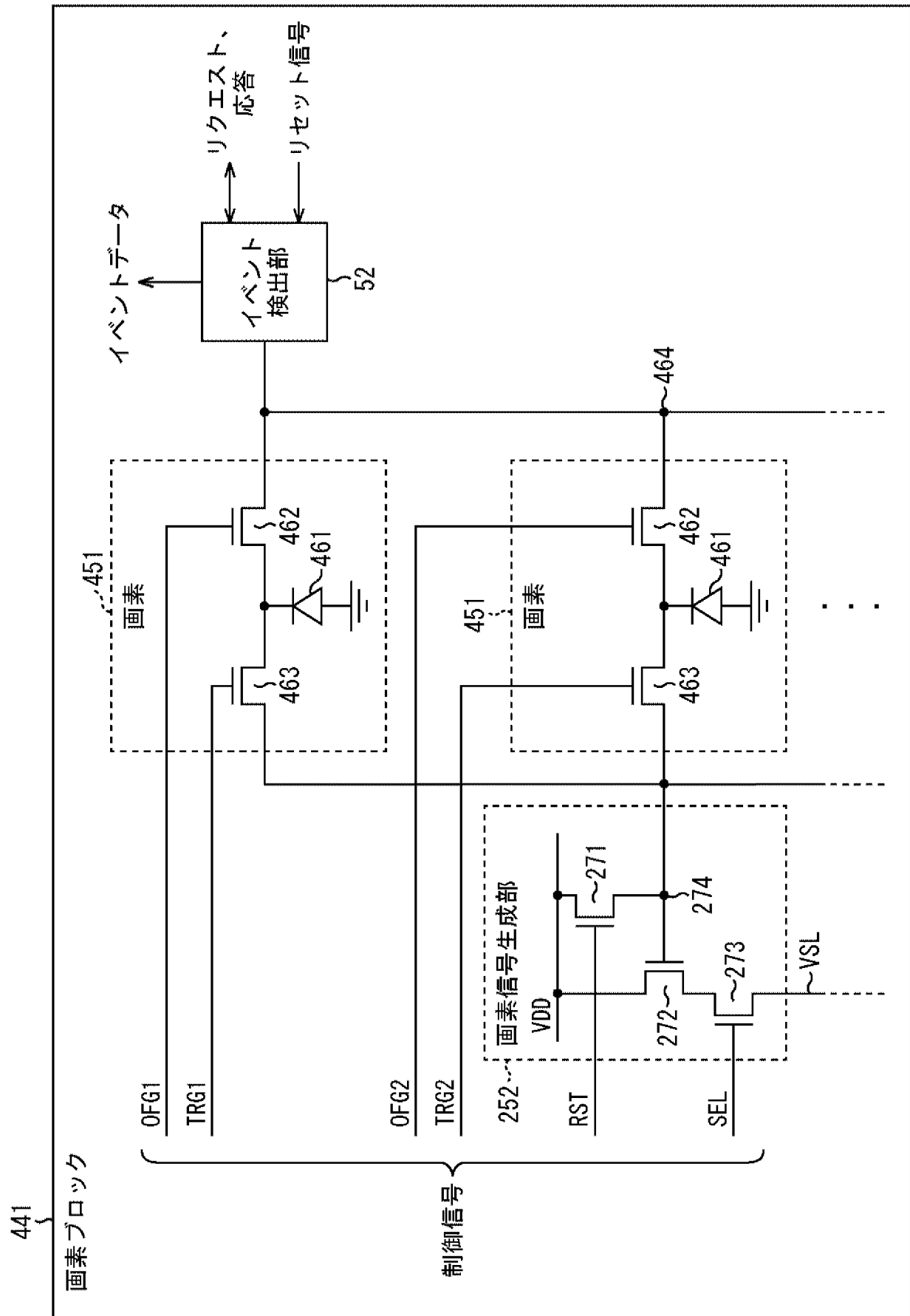
[図21]
FIG. 21



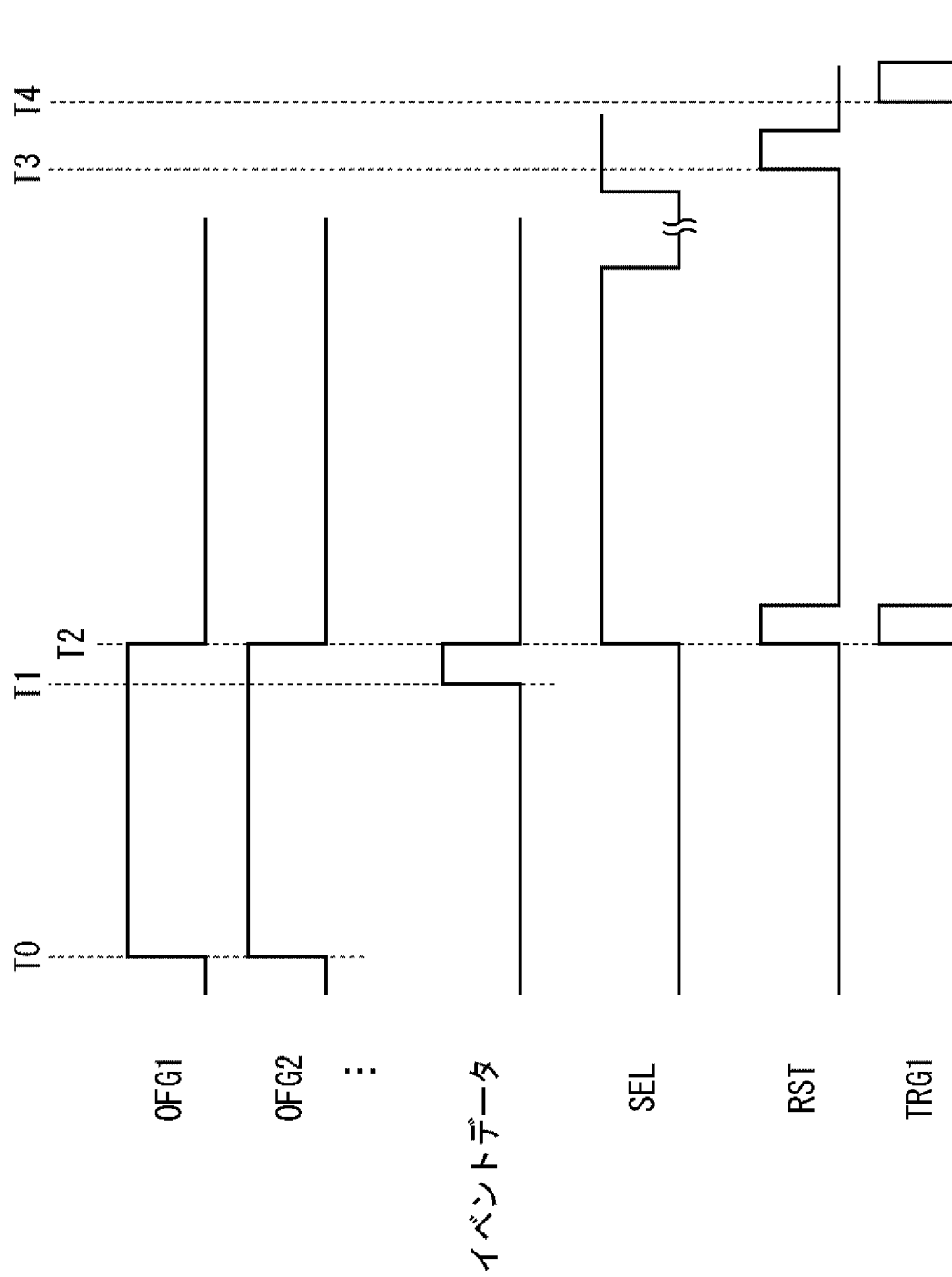
[図22]
FIG. 22



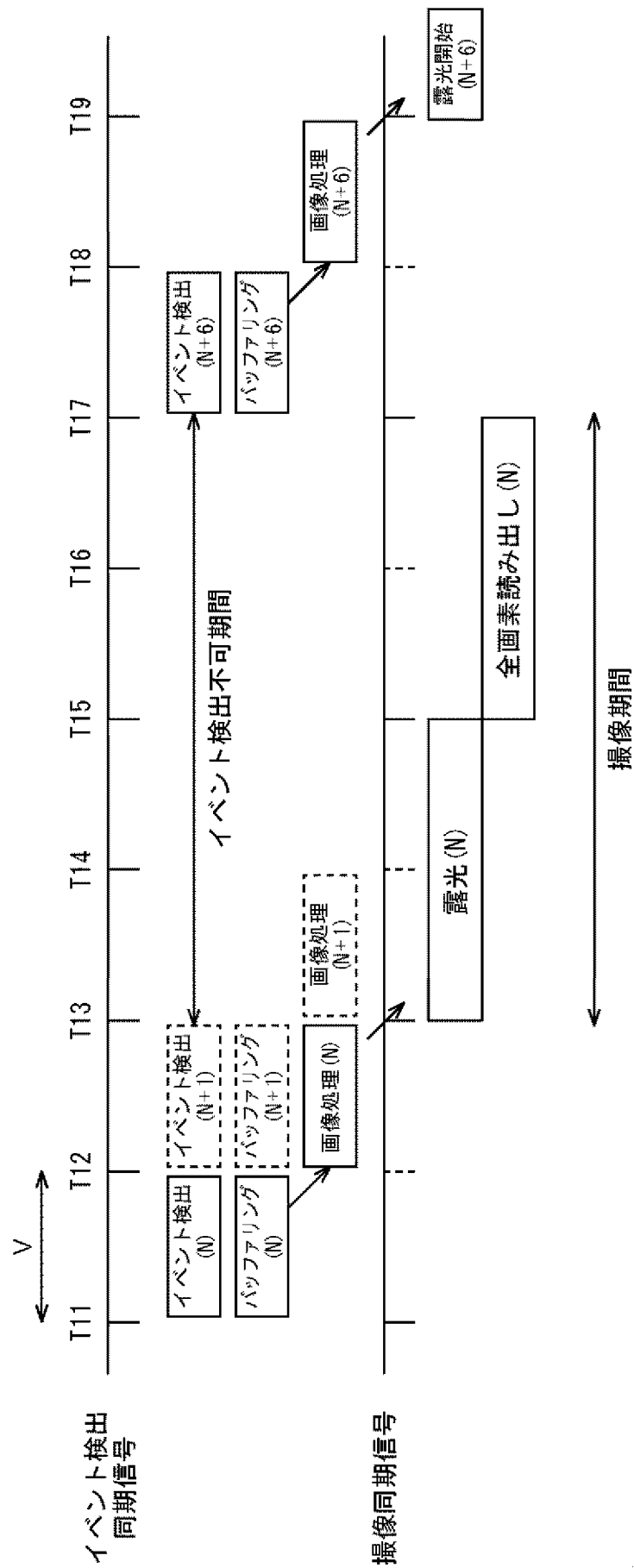
[図23]
FIG. 23



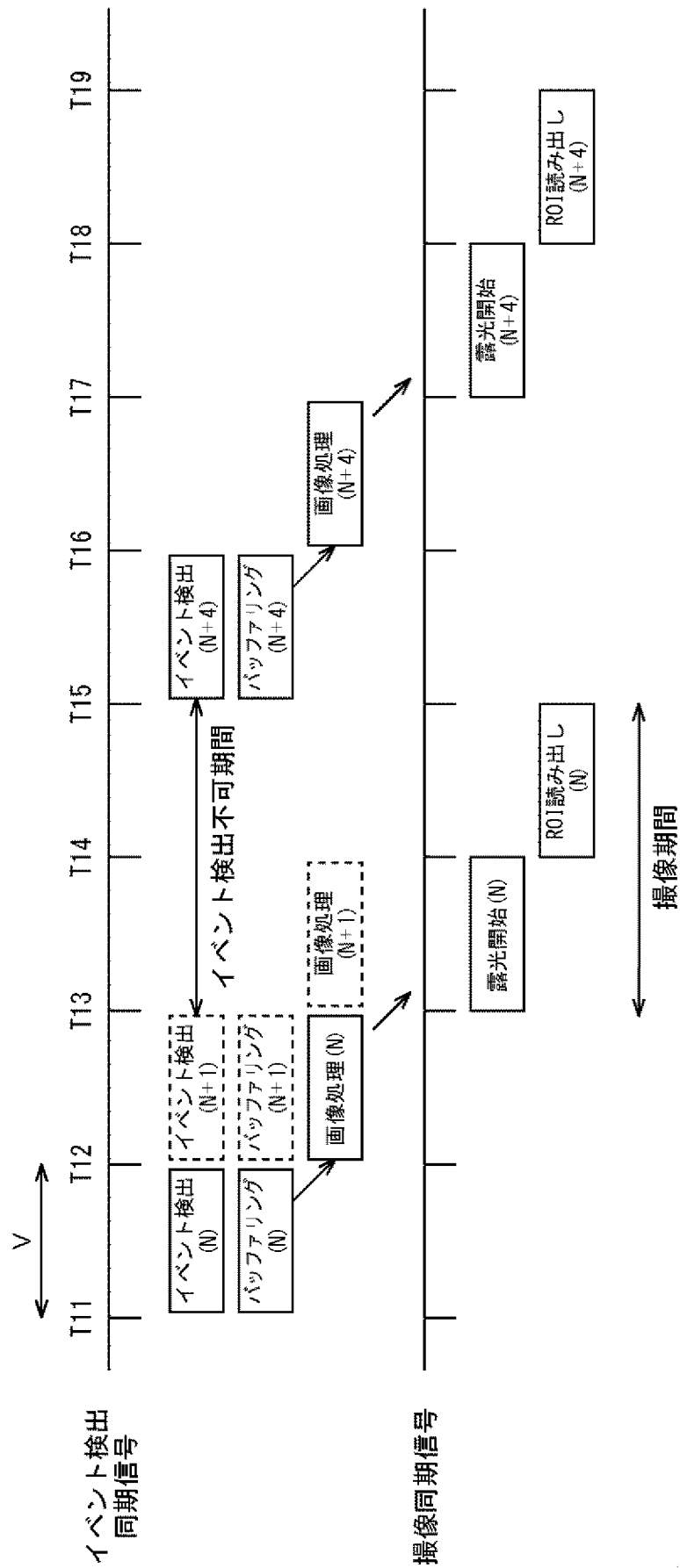
[図24]
FIG. 24



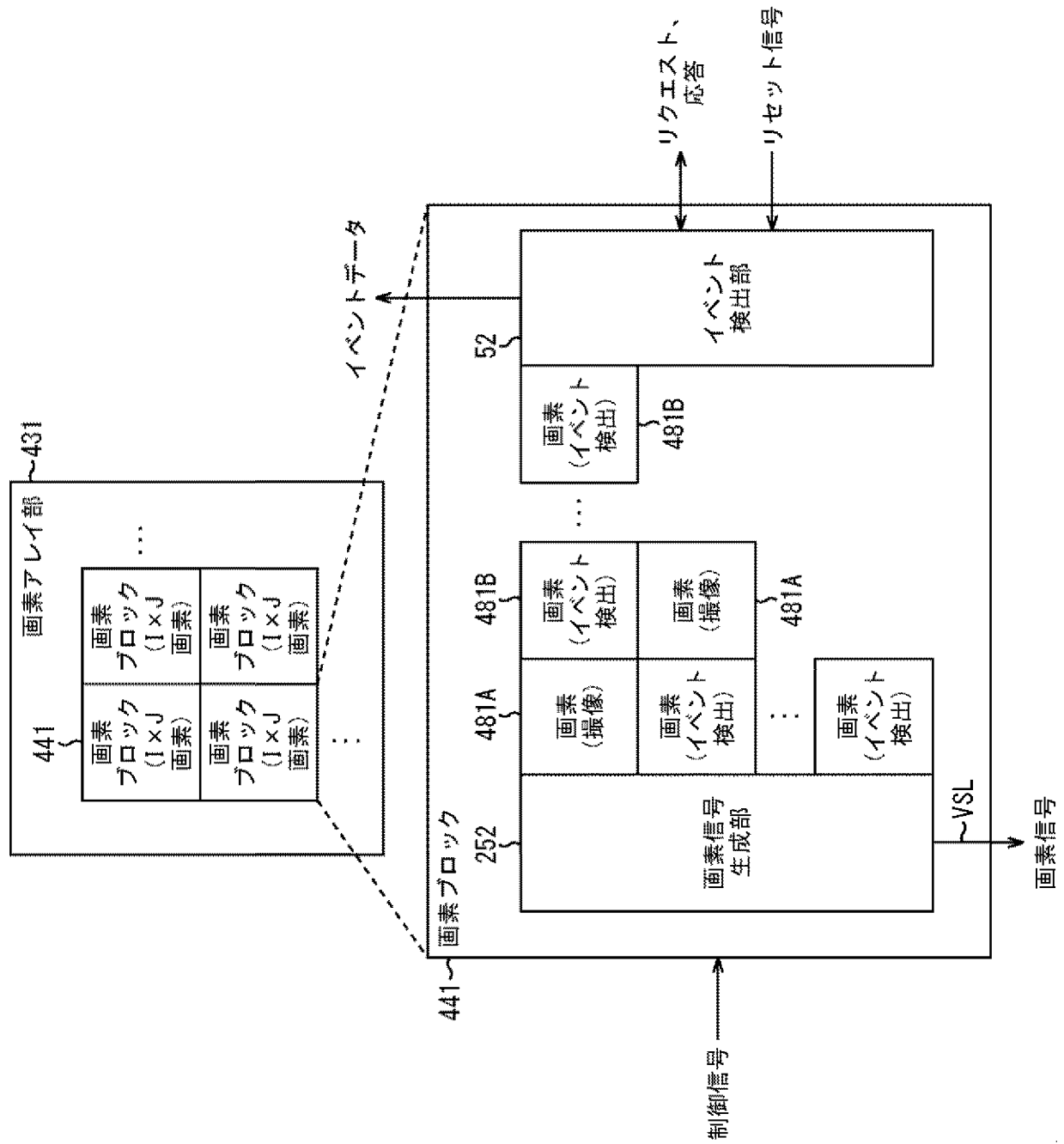
[図25]
FIG. 25



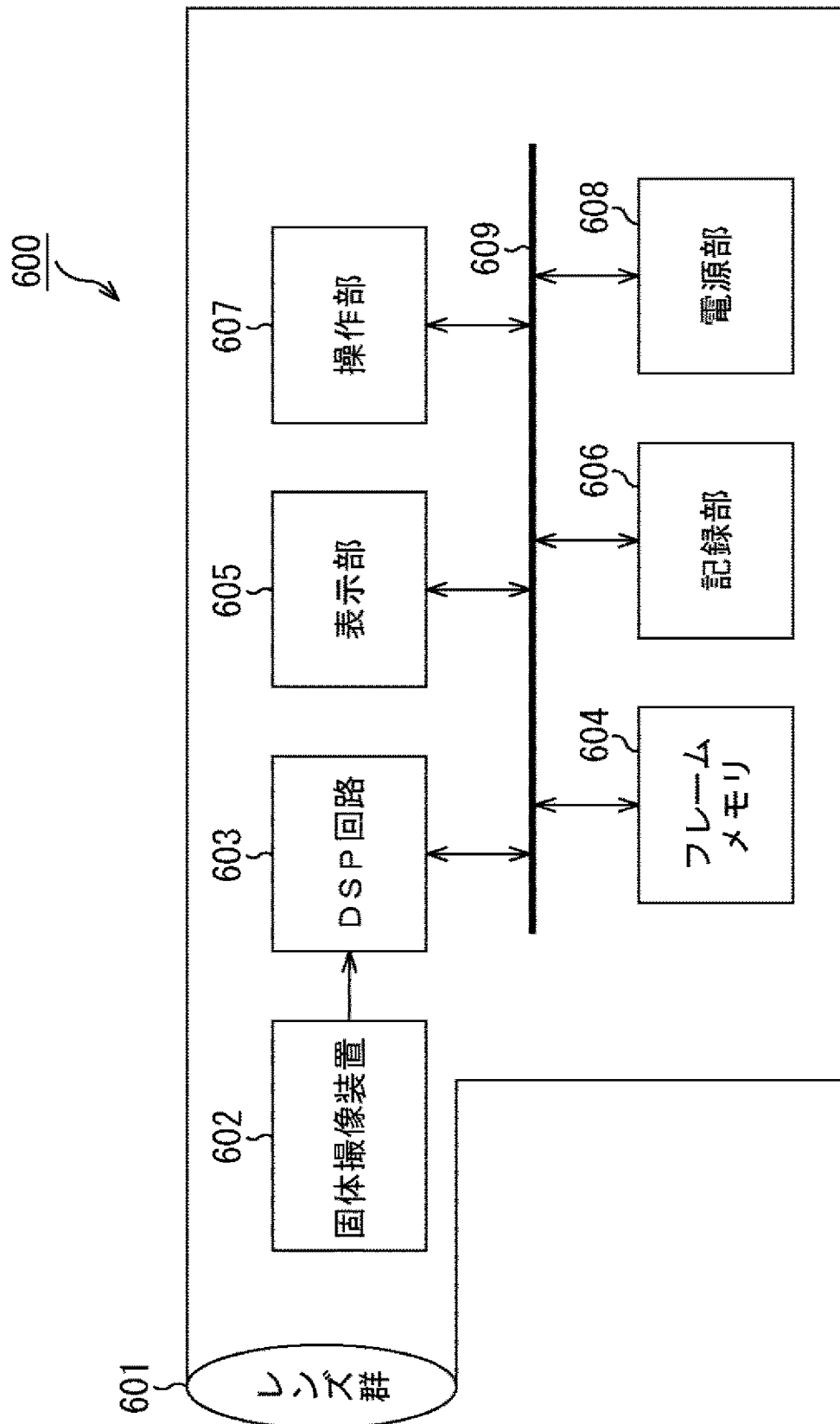
[図26]
FIG. 26



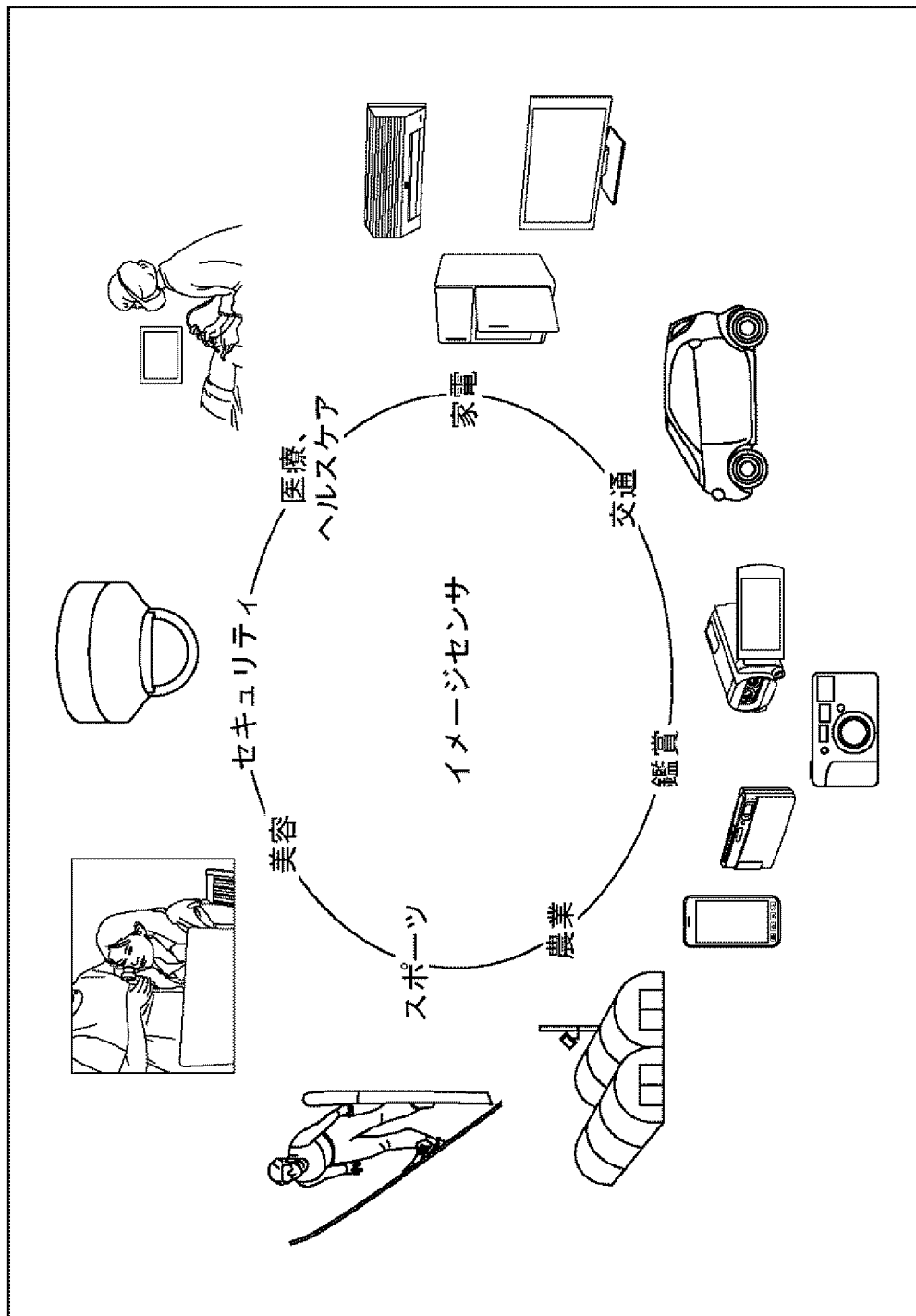
[図27]
FIG. 27



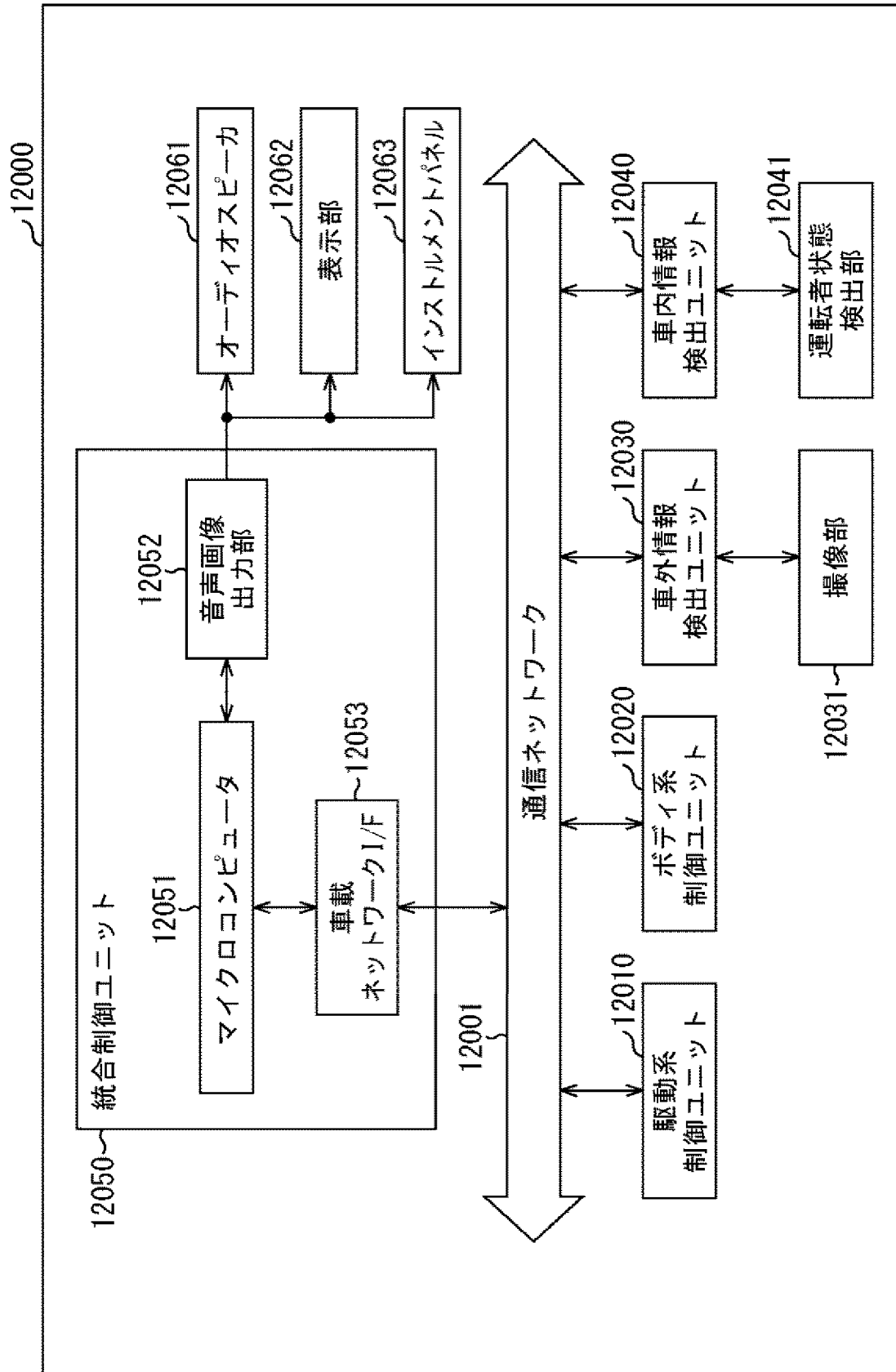
[図28]



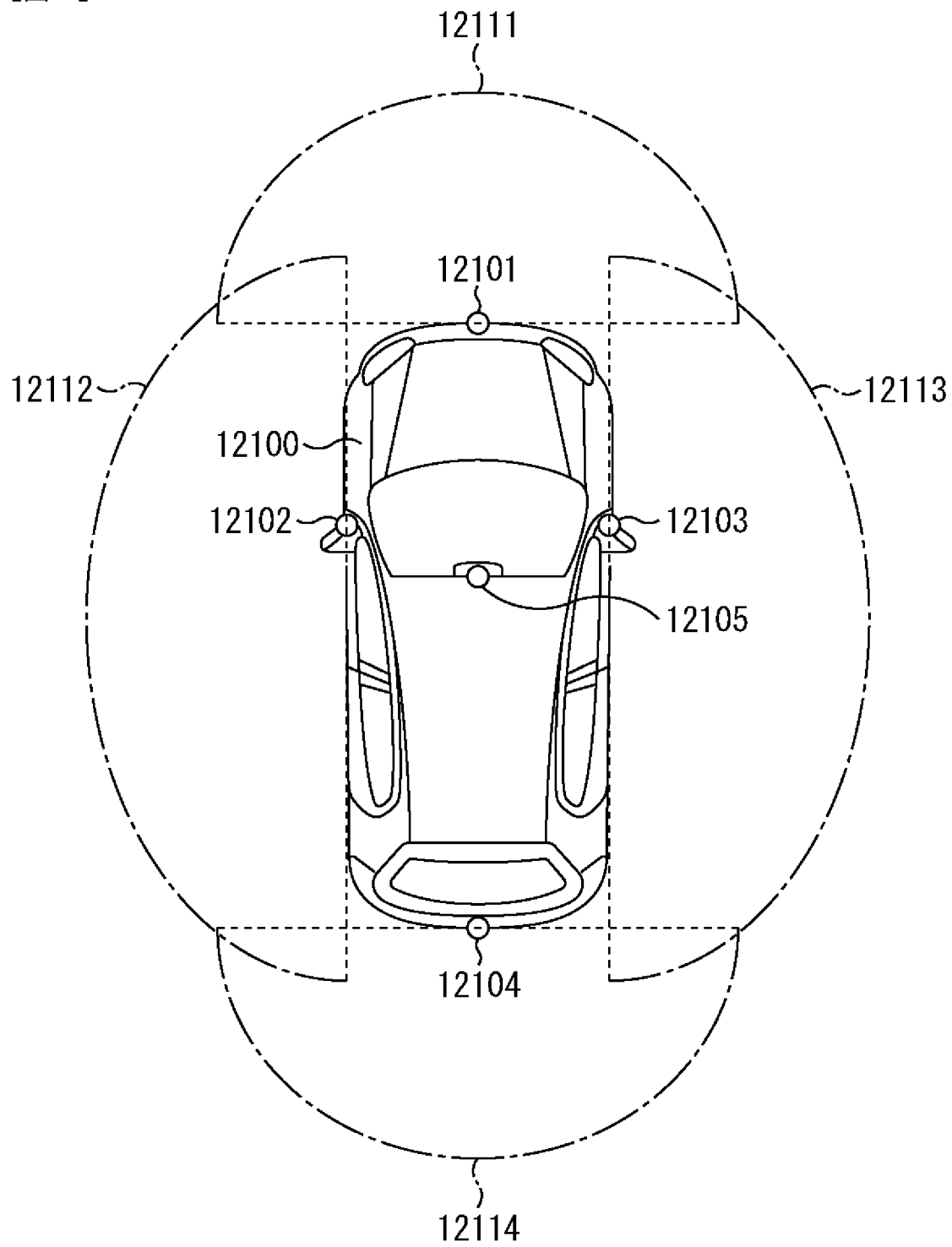
[図29]



[図30]



[図31]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/045614

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H04N5/341 (2011.01) i, H04N5/378 (2011.01) i
FI: H04N5/341, H04N5/378

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H04N5/341, H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2017/013806 A1 (OLYMPUS CORP.) 26 January 2017, paragraphs [0025]-[0305]	1, 6, 7, 13-15 2-4, 8-12 5
Y	JP 2011-87257 A (PANASONIC CORP.) 28 April 2011, fig. 7	2-4, 8-12
Y	JP 2018-186478 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 22 November 2018, fig. 1, 9, 11	2-4, 8-12
Y	JP 2016-206310 A (SONY CORP.) 08 December 2016, fig. 3	4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
31.01.2020

Date of mailing of the international search report
10.02.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/045614

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-510732 A (AIT AUSTRIAN INSTITUTE OF TECHNOLOGY GMBH) 02 April 2010, paragraphs [0070]-[0083]	1-15

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2019/045614

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
WO 2017/013806 A1	26.01.2017	US 2018/0167575 A1 paragraphs [0041]- [0321]	
JP 2011-87257 A	28.04.2011	WO 2011/048742 A1 fig. 7	
JP 2018-186478 A	22.11.2018	WO 2018/198691 A1 fig. 1, 9, 11	
JP 2016-206310 A	08.12.2016	WO 2016/167142 A1 fig. 3	
JP 2010-510732 A	02.04.2010	US 2010/0182468 A1 paragraphs [0083]- [0102]	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/341(2011.01)i; H04N 5/378(2011.01)i FI: H04N5/341; H04N5/378										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H04N5/341; H04N5/378										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2020年									
日本国実用新案登録公報	1996-2020年									
日本国登録実用新案公報	1994-2020年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X	WO 2017/013806 A1（オリンパス株式会社）26.01.2017（2017-01-26） 段落[0025]-[0305]	1, 6, 7, 13-15								
Y		2-4, 8-12								
A		5								
Y	JP 2011-87257 A（パナソニック株式会社）28.04.2011（2011-04-28） 図7	2-4, 8-12								
Y	JP 2018-186478 A（ソニーセミコンダクタソリューションズ株式会社）22.11.2018 （2018-11-22） 図1, 9, 11	2-4, 8-12								
Y	JP 2016-206310 A（ソニー株式会社）08.12.2016（2016-12-08） 図3	4								
A	JP 2010-510732 A（エーアイティー オーストリアン インスティテュート オブ テ クノロジー ゲゼルシャフト ミット ベシュレンクテル ハフツング）02.04.2010 （2010-04-02） 段落[0070]-[0083]	1-15								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 31.01.2020		国際調査報告の発送日 10.02.2020								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 松永 隆志 5V 4228 電話番号 03-3581-1101 内線 3571								

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2019/045614

引用文献			公表日	パテントファミリー文献			公表日
WO	2017/013806	A1	26.01.2017	US	2018/0167575	A1	
				段落[0041]-[0321]			
JP	2011-87257	A	28.04.2011	WO	2011/048742	A1	
				図7			
JP	2018-186478	A	22.11.2018	WO	2018/198691	A1	
				図1, 9, 11			
JP	2016-206310	A	08.12.2016	WO	2016/167142	A1	
				図3			
JP	2010-510732	A	02.04.2010	US	2010/0182468	A1	
				段落[0083]-[0102]			