

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

G06F 11/00 (2006.01)

G06F 11/20 (2006.01)

H04L 12/26 (2006.01)

H04L 12/40 (2006.01)

(11) 공개번호 10-2006-0061359

(43) 공개일자 2006년06월07일

(21) 출원번호 10-2006-7003363

(22) 출원일자 2006년02월17일

번역문 제출일자 2006년02월17일

(86) 국제출원번호 PCT/EP2004/052135

(87) 국제공개번호 WO 2005/024633

국제출원일자 2004년09월10일

국제공개일자 2005년03월17일

(30) 우선권주장 10/660,217 2003년09월11일 미국(US)

(71) 출원인 인터내셔널 비지네스 머신즈 코포레이션
미국 10504 뉴욕주 아몽크 뉴오차드 로드

(72) 발명자 보켄하겐 존 마이클
미국 55902 미네소타주 로체스터 웨스트힐 드라이브 사우스웨스트
1359
쥬브루넨 라우라 마리
미국 55906 미네소타주 로체스터 코네마라 드라이브 노스이스트5189

(74) 대리인 김창세
김원준
장성구

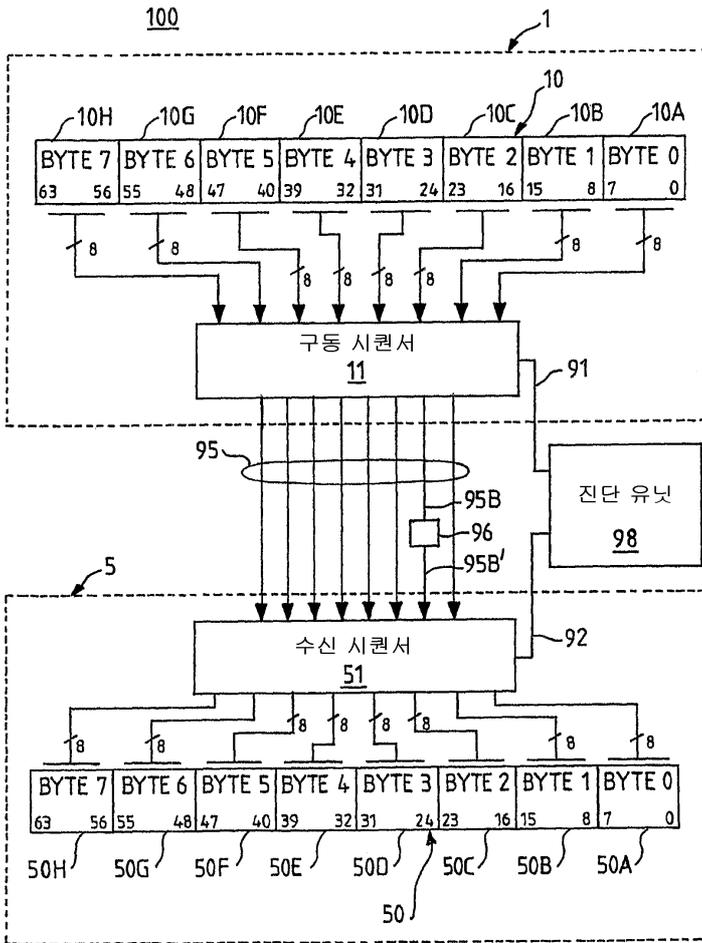
심사청구 : 없음

(54) 데이터 블록 전송 방법 및 장치

요약

시그널링 도전체 상에 결함을 갖는 시그널링 버스를 구비한 전자 시스템이 저하된 성능으로도 동작하도록 하는 방법 및 장치가 개시되어 있다. 데이터 블록은 시그널링 버스를 통해 제 1 전자 유닛에서 제 2 전자 유닛으로 전송된다. 전송 시퀀스는 전송을 완료하는데 필요한 최소한의 비트를 사용하고 모든 비결함 시그널링 도전체를 사용하여 데이터 블록을 전송한다.

대표도



명세서

기술분야

본 발명은 일반적으로 시그널링 버스에 의해 결합된 구성요소를 구비한 전자 시스템에 관한 것으로, 특히 시그널링 버스 내의 하나 이상의 시그널링 도전체에 대해 결함(fault)을 갖는 시그널링 버스에 관한 것이다.

배경기술

전자 시스템은 일반적으로 시그널링 도전체에 의해 상호접속되는 다수의 전자 유닛을 포함한다. 이들 시그널링 도전체는 전형적으로 구리, 알루미늄 또는 그러한 다른 물질로 구성된 전기적 도전 경로이다. 이와 달리, 광섬유도 신호를 전달한다.

예를 들어, 반도체 칩은 와이어본드 또는 플립 칩 기법을 사용하여 모듈 상의 신호 도전체에 전기적으로 결합되는 신호를 구동 및 수신한다. 모듈은 전형적으로 구리 핀, 뿔납 기둥 또는 다른 수단을 사용하여 인쇄 와이어링 보드(PWB) 신호 도전체에 더 결합된다. PWB 상의 신호 도전체는 하나의 모듈을 다른 모듈과 상호접속시키고, 또한 신호를 PWB 에지 커넥터 또는 케이블 커넥터로 라우팅한다. PWB 에지 커넥터 및 케이블 커넥터는 후면(backplane) 또는 케이블을 사용하여 하나의 PWB를 다른 PWB와 상호접속시키는데 사용된다. 반도체 칩 내에서도, 극히 가느다란 전기 도전체가 칩 상의 회로와 논리 유닛 사이에서 신호를 라우팅한다.

논리적으로 연관된 시그널링 도전체 그룹은 시그널링 버스로 지칭된다. 예를 들어, 프로세서 칩은 데이터가 실질적으로 병렬로 흐르는 지정된 수의 시그널링 도전체를 구비한 시그널링 버스에 의해 메모리 제어 칩에 접속된다. 즉, 프로세서 칩은 8 비트 버스를 통해 메모리 제어부에 결합되는 경우, 프로세서 칩은 데이터의 8 비트(1 바이트)를 거의 동시에 전송하되, 시그널링 버스의 시그널링 도전체 각각에 하나의 비트를 전송한다. 예를 들어, 프로세서 칩은 한번에 1 바이트의 어드레스를 메모리 제어 칩에 전송하고, 메모리 제어 칩으로부터 한번에 1 바이트의 데이터를 수신한다.

경제적 및 물리적 요인으로 인해 전기적 소자를 상호접속시키는데 사용될 수 있는 시그널링 도전체의 수가 제한된다. 예를 들어, 모듈과 카드 사이의 각각의 상호접속에는 대략 1 페니의 비용이 든다. 고가의 민감한 전자 유닛 상에서의 다수의 상호접속은 옳지 않다. 또한, PWB 상에 다수의 구성요소가 장착되는 경우, 다수의 상호접속은 PWB 내에 부가적인 와이어링 층을 강요하고, 그에 따라 PWB의 비용이 상승하게 된다. 전자 유닛 사이의 케이블링은 다수의 상호접속이 사용되고, 두껍고, 다수의 도전체 케이블이 다루기 힘든 경우 매우 비싸질 것이며, 신뢰성 관점에서 비용이 들며 또한 성능이 떨어질 것이다. 소정의 지점에서, 그것은 비용이 많이 들며 비신뢰적이게 될 뿐만 아니라 물리적으로도 보다 많은 상호접속부를 더하는 것은 불가능하게 될 것이다.

전형적으로, 하나의 전자 유닛은 데이터 블록을 다른 전자 유닛으로 전송해야 한다. 데이터 블록은 흔히 비교적 크다. 예를 들어, 일부 현대 컴퓨터 시스템의 캐시 라인은 64 바이트 또는 128 바이트의 길이를 갖는다. 이 블록(즉, 캐시 라인)이 8 바이트 시그널링 버스를 통해 전송될 경우, 전송을 완료하는데는 8 또는 16 버스 싸이클(비이트(beat))이 제각각 요구된다. 다수의 애플리케이션에 있어서, 훨씬 더 큰 데이터 블록이 훨씬 적은 시그널링 도전체를 구비한 시그널링 버스를 통해 전송된다.

오늘날의 전자 시스템은 신뢰성있게 동작하는 것으로 예상된다. 사업을 운영하는데 이용되는 상업적 컴퓨터 시스템의 고장시간(downtime)은 판매 손실로 인해 막대한 달러 액수를 잃게 할 수 있다. 또한, 이러한 고장시간은 고객을 방해할 수 있고, 그에 따라 이 고객들은 다른 경쟁사로 발을 돌릴 수 있다. 다수의 상업용 시스템은 24/7를 실행하는 것으로 여겨진다(즉, 연속적으로). 가장 많은 이용 시간에 중단될 야기하는 예상치 못한 고장은 매우 심각한 문제이다. 이러한 상업용 시스템의 사용자들은 전형적으로 고장이 발생하는 경우에 약간 저하된 성능으로라도 연속적인 동작을 선호한다. 그런 다음, 사용자는 보다 편리한 시간에 고장을 교정하는 계획을 세울 수 있다. 군사 시스템도 전자 시스템에 매우 의존하며 험악한 사용 및 엄밀한 환경에 놓이게 된다. 전투 환경에서 전자 시스템이 완전히 고장나게 되면 사용자에게 심각한 결과를 가져올 수 있다. 여분의 부품(새로운 케이블, 새로운 PWB 등)이 전투 상황에서 이용가능하지 않을 수 있다. 따라서, 다수의 군사 애플리케이션에서는 성능이 약간 저하되더라도 연속적인 동작이 바람직하다.

시그널링 버스는 이 시그널링 버스와 연관된 하나 이상의 시그널링 도전체를 구비하는데, 전형적으로 시그널링 버스는 8 개의 시그널링 도전체의 배수를 갖는다. 흔히, 단 하나의 가외의 시그널링 도전체가 하나의 패리티를 운반한다. 예를 들어, 8개의 시그널링 도전체를 갖는 시그널링 버스는 또한 패리티를 운반하는 제 9(패리티) 시그널링 도전체를 구비한다. 전송 유닛 상의 패리티 생성기는 패리티에 대해 논리 값을 생성하는데 버스 상에서 논리 "1"의 수는 항상 홀수이다(또는, 다른 실시예에서는 항상 짝수이다). 수신 유닛 상의 패리티 체크기는 수신된 논리 "1"의 수가 예상되는 경우(즉, "홀수" 또는 "짝수")를 체크한다. 이러한 패리티 생성/체크 시스템은 시그널링 버스 상의 단일 결함을 검출할 수는 있지만 그 결함을 교정할 수는 없다. 패리티 에러가 검출되는 경우, 시그널링 버스는 더 이상 데이터를 전송하는데 사용될 수 없다. "에러 교정 코드"(ECC)를 구현하는데 부가적인 시그널링 도전체가 사용될 수 있으며, ECC는 다수의 애플리케이션에서 단일 결함을 교정할 수 있고 두 개의 결함을 검출할 수 있다. ECC의 사용은 부가적인 시그널링 도전체와 연관된 부가적인 비용을 야기한다. 순환 반복 코드(CRC) 사용은 데이터 전송에 있어서의 에러를 발견하고 수용하는데 사용될 수 있는 또 다른 기법이다.

다수의 현대 전자 시스템은 "유선 테스트" 프로시저를 수행하여 시그널링 버스에서의 결함에 대한 세부사항을 결정하는 능력을 갖고 있다. 예를 들어, 제 1 전자 유닛은 시그널링 도전체 상에 사전결정된 패턴의 논리 "1" 및 "0"을 구동한다. 시그널링 도전체에 의해 제 1 전자 유닛에 결합된 제 2 전자 유닛은 시그널링 도전체로부터 데이터를 수신하고 수신된 패턴을 사전결정된 패턴과 비교한다. 수신된 패턴이 사전결정된 패턴과 동일하지 않는 경우, 시그널링 도전체, 드라이버, 또는 수신기는 결함이 있다. 이러한 방식은 패리티를 갖는 또는 갖지 않는 시그널링 버스를 사용할 수 없게 한다. 심지어, 단일 에러 교정, 이중 에러 검출을 갖는 ECC를 이용하는 시그널링 버스는 위태롭게 될 수 있는데, 그 이유는 ECC 버스 내의 또 다른 결함이 ECC 버스를 쓸모없게 할 수 있기 때문이다. 두 개의 시그널링 도전체에서의 결함은 단일 비트 교정을 갖는 ECC를 구비한 시그널링 버스를 쓸모없게 할 수 있다.

발명의 상세한 설명

제 1 측면에 따르면, 0 내지 "K-1"의 시그널링 도전체는 결함이 있는 "K" 시그널링 도전체를 구비한 시그널링 버스를 통해 제 1 전자 유닛에서 제 2 전자 유닛으로 "J" 비트의 데이터 블록을 전송하는 방법이 제공되는데, 이 방법은 시그널링 버스 내에서 결함있는 시그널링 도전체와 결함이 없는 시그널링 도전체를 식별하는 단계와, 시그널링 버스 내에서 결함있는 시그널링 도전체와 결함이 없는 시그널링 도전체를 식별하는 단계에서 얻어진 정보를 사용하여, 제 1 전자 유닛 및 제 2 전자 유닛에 시그널링 도전체의 결함 상태를 설정하는 단계와, 시그널링 버스 내의 결함있는 시그널링 도전체의 수인 "F"를 결

정하는 단계와, 시그널링 버스의 비결함 시그널링 도전체의 수인 "K-F"를 결정하는 단계와, "J/K-F" 비트(beat)와 나머지가 존재하는 경우 부가적인 비트를 합친 비트를 사용하여 "K-F" 비결함 시그널링 도전체를 거쳐 "J" 비트 데이터 블록을 전송하는 단계를 포함한다.

바람직한 실시예에서, 이 방법은 제 1 전자 유닛 상에서 "J" 비트 데이터 블록으로부터 "K-F" 비트의 비트 그룹을 선택하는 단계와, 시그널링 버스에서 "K-F" 비결함 시그널링 도전체를 사용하여 "K-F" 비트의 비트 그룹을 제 1 전자 유닛에서 제 2 전자 유닛으로 전송하는 단계와, 모든 "K-F" 비트 그룹이 전송될 때까지 이전 단계를 반복하는 단계와, "K-F" 비결함 시그널링 도전체의 일부 또는 전부를 사용하여, 시그널링 버스의 부가적인 비트를 사용하여, 제 1 전자 유닛 상의 "J" 비트의 데이터 블록의 임의의 나머지 비트를 제 2 전자 유닛으로 전송하는 단계를 포함한다.

결함있는 시그널링 도전체를 갖는 시그널링 버스가 다소 저하된 성능으로 동작하도록 하는 방법 및 장치가 제공된다.

바람직한 실시예에서, 전송 단계는 "J" 비트 데이터 블록으로부터 "K" 비트의 데이터 블록을 선택하는 단계와, "K-F" 비결함 도전체를 사용하여 "K" 비트 데이터 그룹 중 "K-F" 비트를 한 비트로 전송하는 단계와, 시그널링 버스에서 "F" 결함있는 도전체로 인해 그 비트에서 전송될 수 없는 "K" 비트 그룹의 "F" 비트를 저장하는 단계와, "J" 비트의 데이터 블록 중 모든 "J" 비트가 선택될 때까지 상기 세 단계를 반복하는 단계와, "K-F" 비결함 시그널링 도전체 중 하나 이상을 사용하여, 저장된 "F" 비트를 하나 이상의 부가적인 비트에서 전송하는 단계를 포함한다.

바람직한 실시예에서, "F" 비트를 저장하는 단계는 "F" 비트 중 적어도 하나의 비트를 시프트 레지스터의 제 1 단부로 이동시키는 단계를 더 포함한다.

바람직한 실시예에서, 시프트 레지스터의 비트 중 적어도 하나를 비결함 시그널링 도전체로 전송하는 단계를 더 포함한다.

바람직한 실시예에서, 시프트 레지스터 내의 특정 비트를 이동시켜 이 특정 비트를 비결함 시그널링 도전체 결함하기 위해 정렬시키는 단계를 더 포함한다.

바람직한 실시예에서, "J/(K-F)" 비트의 비트마다 "K-F" 비트를 제 2 전자 유닛에 저장하는 단계와, "J(K-F)"가 나머지를 야기하는 경우 나머지 비트를 부가적인 비트에 저장하는 단계를 더 포함한다.

본 발명은 바람직하게, 시그널링 버스에 의해 제 2 전자 유닛에 결합된 제 1 전자 유닛을 구비한 전자 시스템의 동작에 대해 연속적이지만 저하된 동작을 허용하는 방법 및 장치를 제공하며, 이 시그널링 버스 내의 하나의 시그널링 도전체는 결함이 있다. 시그널링 버스 내의 비결함 시그널링 도전체는 바람직하게 식별되고, 제 1 전자 유닛은 바람직하게 모든 비결함 시그널링 도전체를 활용하는 전송 시퀀스 내의 데이터 블록을 최대 수의 비트(버스 싸이클)를 사용하여 제 2 전자 유닛에 전송하여 전송을 완료한다. 제 1 전자 유닛은 바람직하게 "K" 시그널링 도전체를 구비한 시그널링 버스를 거쳐 "J" 비트를 갖는 데이터 블록을 전송하도록 설계된다. 제 2 전자 유닛은 바람직하게 이 데이터 블록을 수신한다. 전자 시스템은 예를 들어 시그널링 버스 내에서 결함있는 시그널링 도전체 및 비결함 시그널링 도전체를 식별하고 바람직하게 식별한 결함있는 시그널링 도전체 또는 도전체들을 제 1 전자 유닛 및 제 2 전자 유닛에 저장하는 "유선 테스트" 또는 다른 수단을 사용한다. 본 발명에 따르면 "F"는 시그널링 버스 내의 결함있는 도전체의 수이다. 제 1 전자 유닛은 바람직하게 결함있는 시그널링 도전체의 식별을 사용하여 그의 전송을 변경하되, 하나 이상의 부가적인 비트를 사용하여 나머지 "K-F" 시그널링 도전체를 거쳐 "J" 비트 블록을 전송 시퀀스에 따라 전송하여 전송을 달성한다. 제 2 전자 유닛은 바람직하게 결함있는 시그널링 도전체의 식별을 사용하여 전송 시퀀스에 따라 비결함 "K-F" 시그널링 도전체를 통해 "J" 비트 블록을 수신한다.

일 실시예에서, "K" 시그널링 도전체를 포함하는 시그널링 버스를 통해 "J" 비트를 포함하는 데이터 블록을 전송할 필요가 있는 전자 시스템에 있어서, 결함있는 시그널링 도전체가 없는 경우, "J/K" 버스 싸이클(비트)이 전송 시퀀스에 사용되어 전송을 완료한다. 시그널링 버스에서 "F" 시그널링 도전체가 결함이 있는 경우, 전송 시퀀스에 필요한 비트의 수는 "J/(K-F)"에다, 나누어 나머지가 남는 경우 둘 이상의 비트를 더한 값이다.

"K" 시그널링 도전체를 구비한 시그널링 버스에 대한 실시예에 있어서, 그 중 "F"개는 결함이 있고, 전송 시퀀스는 "J" 비트 데이터를 포함하는 데이터 블록으로부터 비트 당 "K" 비트를 선택한다. "K-F" 비트는 "J/K" 비트마다 전송되고, F 비트는 후속하는 전송의 비트마다 저장된다. "J/(K-F)-J/K"의 부가적인 비트(나누어 나머지가 남는 경우 둘 이상의 비트를 더함)가 사용되어 "J/K" 비트 동안 전송되지 않은 각 비트로부터 저장된 비트(들)를 전송한다.

"K" 시그널링 도전체를 구비한 시그널링 버스에 대한 실시예에 있어서, 그 중 "F"개는 결합이 있고, 전송 시퀀스는 "J" 비트 데이터를 포함하는 제 1 전자 유닛의 데이터 블록으로부터 비트 당 "K-F" 비트를 선택한다. "K-F" 비트는 J/(K-F) 비트마다 전송된다. 나누어 나머지가 남는 경우 둘 이상의 비트가 사용된다.

또 다른 측면에 따르면, "J" 비트 데이터 블록을 제 1 전자 유닛에서 제 2 전자 유닛으로 전송하는 장치가 제공되는데, 이 장치는 전송을 위한 "J" 비트를 보유하는 제 1 전자 유닛 내의 제 1 데이터 블록과, "J" 비트를 갖는 제 2 데이터 블록을 보유할 수 있는 제 2 전자 유닛 내의 저장부와, 제 1 전자 유닛을 제 2 전자 유닛에 결합하는 "K" 시그널링 도전체를 구비한 시그널링 버스- 이 시그널링 버스는 "F" 결합 시그널링 도전체와 "K-F" 비결합 시그널링 도전체를 구비함 -와, 제 1 전자 유닛 및 제 2 전자 유닛에 결합되어 시그널링 버스 상에서 "F" 결합 시그널링 도전체와 "K-F" 비결합 시그널링 도전체를 식별하고 결합 식별 정보를 제 1 전자 유닛 및 제 2 전자 유닛에 저장할 수 있는 진단 유닛과, 결합 식별 정보에 응답하여 "J/(K-F)" 비트에다, 나머지가 있는 경우 부가적인 비트를 더한 비트를 사용하여, "K-F" 비결합 도전체를 사용하여 "J" 비트 데이터를 전송하는 제 1 전자 유닛 내의 구동 시퀀서를 포함한다.

바람직한 실시예에서, 제 1 데이터 블록은 한번에 "K" 비트의 선택 그룹만큼 선택가능하다.

바람직한 실시예에서, 구동 시퀀서는 제 1 데이터 블록으로부터 한번에 "K-F" 비트를 선택할 수 있고, 선택된 "K-F" 비트를 시그널링 버스의 "K-F"의 비결합 시그널링 도전체 상으로 구동할 수 있으며, 이 시퀀서는 "J/(K-F)"가 나머지를 갖는 경우의 부가적인 비트에 대한 "K-F" 비트보다 적은 비트를 더 선택할 수 있다.

바람직한 실시예에서, 구동 시퀀서는 디스에이블링될 수 있는 드라이버를 더 포함하고, 이 구동 시퀀서는 결합있는 시그널링 도전체에 결합된 드라이버를 디스에이블링한다.

바람직한 실시예에서, 제 2 전자 유닛은 시그널링 버스 및 진단 유닛에 결합된 수신 시퀀서를 더 포함하되, 이 수신 시퀀서는 시그널링 버스의 "K-F" 비결합 시그널링 도전체로부터 수신된 "K-F" 비트를 한번에 제 2 데이터 블록 내로 저장할 수 있고, 이 수신 시퀀서는 "J/(K-F)"가 나머지를 갖는 경우 "K-F" 비트보다 적은 비트를 더 저장할 수 있다.

또 다른 측면에 따르면, 시그널링 버스를 거쳐 제 1 전자 유닛에서 제 2 전자 유닛으로 데이터 블록을 전송하는 방법이 제공된다. 이 방법은 시그널링 버스 내의 비결합 시그널링 도전체를 식별하는 단계와, 전송 시퀀스에 따라 데이터 블록을 제 1 전자 유닛에서 제 2 전자 유닛으로 전송하되, 이 전송 시퀀스는 시그널링 버스 내의 모든 비결합 시그널링 도전체를 사용하는 단계를 포함하며, 전송 시퀀스는 최소 수의 비트를 사용하여 데이터 블록의 전송을 완료한다.

바람직한 실시예에서, 이전 단락의 방법은 시그널링 버스 내의 결합 시그널링 도전체를 식별하는 단계와, 결합 시그널링 도전체에 결합된 드라이버를 높은 임피던스 상태로 스위칭하는 단계를 더 포함한다.

바람직한 실시예에서, 비결합 시그널링 도전체는 파워 온 시퀀스 동안(during a power on sequence) 식별된다.

바람직한 실시예에서, 비결합 시그널링 도전체는 페리티 에러, 에러 교정 코드 에러, 또는 순환 반복 검사 에러의 결과에 따라 수행된 유선 테스트에 의해 식별된다.

본 발명의 실시예는 이하의 도면을 참조하여 단지 예로서 설명될 것이다.

그러나, 첨부된 도면은 본 발명의 전형적인 실시예일 뿐이고 따라서 그의 범주의 제한으로서 여겨져서는 안되며, 본 발명은 다른 등가의 유효 실시예를 인정한다.

도면의 간단한 설명

도 1은 바람직한 실시예에 따라 시그널링 버스에 의해 결합된 두 개의 전자 유닛에 대한 높은 레벨의 블록도이며, 각 전자 유닛은 데이터 블록에 대한 저장부를 구비하며, 예시적인 결합은 시그널링 버스의 하나의 시그널링 도전체에 대해 도시되어 있는 도면,

도 2a 및 도 2b는 비결합 시그널링 도전체를 구비한 시그널링 버스 및 결합있는 시그널링 도전체를 구비한 시그널링 버스에 대해, 각 비트 상에서 전송되는 데이터에 대한 타이밍도 및 설명도를 각각 도시하는 도면,

- 도 3은 시그널링 버스를 통해 데이터 블록을 구동하는 전자 유닛에 대한 상세한 블록도이며, 구동 시퀀스에 대한 확대된 블록도가 도시되어 있는 도면,
- 도 4는 바람직한 실시예에 따라, 결합있는 시그널링 도전체를 갖는 시그널링 버스를 통해 데이터의 비트가 전송되는 경우 도 3에 도시된 구동 비트 레지스터 블록의 콘텐츠를 도시하는 도면,
- 도 5는 바람직한 실시예에 따라, 결합있는 시그널링 도전체를 갖는 시그널링 버스를 통해 구동 전자 유닛에 의해 전송된 데이터 블록을 수신하는 전자 유닛의 확대된 블록도,
- 도 6은 바람직한 실시예에 따라, 도 5에 도시된 분배자 블록의 1-비트 부분에 대한 세부사항을 도시하는 도면,
- 도 7은 본 발명의 제 2 실시예에 대한 높은 레벨의 블록도이며, 구동 전자 유닛(예시적인 도면에서는 구동 칩)은 결합있는 시그널링 도전체를 갖는 시그널링 버스를 통해 제 2 전자 유닛(예시적인 도면에서 수신 칩)에 결합되고, 결합있는 시그널링 도전체의 식별 여부에 따라 상이한 크기의 데이터 그룹이 전송될 데이터 블록으로부터 선택되는 도면,
- 도 8a 및 도 8b는 본 발명의 일 실시예에 따라, 정상 데이터 전송(즉, 결합이 없는 시그널링 도전체가 식별되는 경우), 및 결합있는 시그널링 도전체가 식별된 경우의 데이터 전송에 대한 타이밍도를 도시하는 도면,
- 도 9는 제 2 실시예에 따라, 도 7에 도시된 드라이버 제어 블록의 상세한 블록도,
- 도 10은 제 2 실시예에 따라, 도 7에 도시된 수신기 제어 블록의 상세한 블록도,
- 도 11은 제 2 실시예에 따라, 도 7에 도시된 수신 레지스터의 특정 비트로 고정 데이터를 래치하는 제어 로직에 대한 상세한 블록도,
- 도 12는 본 발명의 일 실시예에 개시되어 있는 방법의 높은 레벨의 흐름도,
- 도 13은 본 발명의 실시예에 따라 도 12의 흐름도의 블록(304)의 상세한 확장부를 도시하는 흐름도,
- 도 14는 본 발명의 실시예에 따라 도 12의 흐름도의 블록(304)의 또 다른 상세한 확장부를 도시하는 흐름도.

실시예

바람직하게, 시그널링 버스에 의해 제 2 전자 유닛에 결합된 제 1 전자 유닛을 구비한 전자 시스템의 동작에 대해 연속적이지만 저하된 동작을 허용하는 방법 및 장치가 제공되며, 이 시그널링 버스 내의 하나의 시그널링 도전체는 결합이 있다. 시그널링 버스 내의 비결합 시그널링 도전체는 식별되고, 제 1 전자 유닛은 모든 비결합 시그널링 도전체를 이용하는 전송 시퀀스 내의 데이터 블록을 최대 수의 비트(버스 싸이클)를 사용하여 제 2 전자 유닛에 전송하여 전송을 완료한다. 제 1 전자 유닛은 "K" 시그널링 도전체를 구비한 시그널링 버스를 거쳐 "J" 비트를 갖는 데이터 블록을 전송하도록 설계된다. 제 2 전자 유닛은 이 데이터 블록을 수신한다. 전자 시스템은 예를 들어 시그널링 버스 내에서 결합있는 시그널링 도전체를 식별하고 식별한 결합있는 시그널링 도전체를 제 1 전자 유닛 및 제 2 전자 유닛에 저장하는 "유선 테스트" 또는 다른 수단을 사용한다. 시그널링 버스 내의 결합있는 도전체의 수는 "F"이다. 제 1 전자 유닛은 결합있는 시그널링 도전체의 식별을 사용하여 그의 전송을 변경하되, 하나 이상의 부가적인 비트를 사용하여 비결합 "K-F" 시그널링 도전체를 거쳐 "J" 비트 블록을 전송하여 전송을 달성한다. 제 2 전자 유닛은 결합있는 시그널링 도전체의 식별을 사용하여 비결합 "K-F" 시그널링 도전체를 통해 "J" 비트 블록을 수신한다. "F"는 일반적으로 "K-1"까지 임의의 수일 수 있지만, 간략성을 위해, 후속하는 예에서는 하나의 결합만을 가정한다. 또한, 간략성을 위해, 후속하는 예에서는 8비트 시그널링 버스를 가정하며, 이 버스를 통해 64비트의 데이터 블록이 전송된다.

도 1은 일반적으로 참조번호(100)로 도시되어 있는 전자 시스템의 높은 레벨의 블록도를 나타낸다. 전자 시스템(100)은 이하에서 칩(1)으로 지칭되는 제 1 전자 유닛(1)과, 이하에서 칩(5)으로 지칭되는 제 2 전자 유닛(5)을 포함한다. 전자 유닛(1) 및 전자 유닛(5)은 임의의 전자 구성요소일 수 있으며, 이 구성요소는 반도체 칩, 모듈, 인쇄 와이어링 보드(PWB) 또는 전자 부품을 포함하나, 이들 요소에 제한되는 것은 아니다. 설명시 명확한 예를 제공하기 위해 "칩"이 사용된다. 칩(1)은 각 비트(버스 싸이클) 상에서 전송되는 다수의 비트와 전송을 완료하기 위해 얼마나 많은 비트가 요구되는지를 정의하는 전송 시퀀스를 사용하여 칩(5)으로 구동되어야 하는 제 1 데이터 블록(10)을 포함하며, 이 제 1 데이터 블록(10)은

제 2 저장될 것이다. 성공적이 전송 후에, 제 2 데이터 블록(50)은 전송 개시 이전의 제 1 데이터 블록(10)과 동일하다. 제 1 데이터 블록(10) 및 제 2 데이터 블록(50)은 일반적으로 각 칩 상의 레지스터 또는 레지스터들 내에 저장되지만, 임의의 형태의 저장소, 예를 들어 캐시 또는 다른 메모리에 저장될 수 있다. 제 1 데이터 블록(10)으로부터의 데이터는 시그널링 버스(95)를 통해 칩(1)에서 칩(5)으로 전달된다. 도 1의 예의 제 1 데이터 블록은 8 바이트(즉, 64비트)를 포함한다. 도 1에는, 8개의 시그널링 도전체를 구비한 시그널링 버스(95)가 도시되어 있다. 앞서 설명한 경제적 및 물리적 고려사항으로 인해, 시그널링 버스는 전형적으로 "협소"하고(즉, 비교적 적은 시그널링 도전체를 구비함), 전송되는 데이터 블록의 비트 수보다 훨씬 더 협소하다. 예시적으로 8개의 시그널링 도전체를 갖는 시그널링 버스(95)가 도시되어 있지만, 보다 넓은 또는 보다 좁은 시그널링 버스가 고려될 수 있고, 이 시그널링 버스는 패리티, 또는 에러 교정 코드 시그널링 도전체를 더 구현할 수 있다. 시그널링 도전체에 결합이 없는 경우(드라이버 또는 수신기 결합을 포함함), 제 1 데이터 블록(10)의 모든 데이터가 8 시그널링 버스 사이클(비이트)을 사용하여 칩(5)으로 전송된다. 8비트 정보(1 바이트)의 선택 그룹은 각 비트 동안 전송된다. 선택 그룹은 시그널링 버스(95)를 구동하는 드라이버의 입력부에 라우팅하기 위해 제 1 데이터 블록(10)(또는 이하에서 설명되는 다른 저장소)으로부터 선택되는 비트 그룹이다. 도 1에서 10A-10H로 도시되어 있는 바이트(0-7)는 사전결정된 순서로, 예를 들어 데이터 블록(10)으로부터 순차적으로 선택되고, 시그널링 버스(95)를 통해 한번에 1 바이트씩 전송된다. 칩(5)은 각 바이트를 수신하고 각 바이트를 50A-50H로 도시되어 있는 제 2 데이터 블록(50)의 바이트(0-7) 내로 저장한다.

제 1 데이터 블록(10) 및 제 2 데이터 블록(50)은 바이트 크기의 버스를 구비하여 제 1 데이터 블록(10) 및 제 2 데이터 블록(50)의 각 데이터 바이트를 구동 시퀀서(11) 및 수신 시퀀서(51)에 제각각 결합하는 것으로 도시되어 있지만, 다르게 구현 방식을 고려할 수 있다. 일 실시예에서(도시되어 있지 않음), 예를 들어 제 1 데이터 블록(10)은 시프트 레지스터이고, 데이터는 한번에 8비트 시프트되고, 시프트 레지스터의 단일 바이트만이 구동 시퀀서(11)에 결합된다. 또 다른 실시예에서(도시되어 있지 않음), 제 1 데이터 블록(10)은 8개의 8비트 레지스터의 레지스터 스택이고, 이 레지스터 스택은 스택 내의 임의의 레지스터를 어드레싱할 수 있는 연관된 3비트 어드레스를 구비한다. 칩(5)의 제 2 데이터 블록(50)에 대해서도 유사한 실시예가 고려된다.

도 1은 시그널링 버스(95)의 시그널링 도전체 중 하나의 결합(96)을 도시한다. 결합(96)은 시그널링 도전체 부분(95B')로부터 시그널링 도전체 부분(95B)을 분리시킨다. 결합(96)은 시그널링 도전체 내에서 불연속, 또는 파괴될 수 있고, 때때로 "개방 회로"로 지칭된다. 결합(96)은 전압 공급원으로서의 원치 않는 접속일 수 있다. 어떠한 경우에 있어서도, 부분(95B 및 95B')으로 구성되는 시그널링 도전체는 정보를 신뢰성 있게 전송할 수 없다. 결합(96)은 또한 시그널링 버스(95) 상에서 두 신호 간의 단락 회로일 수 있지만, 그 경우 시그널링 버스(95)는 두 결합을 가질 수 있고, 현재의 예는 단일 결합을 가정한다. 두 결합을 수용하기 위해 예시적인 도면에 도시된 것 이외의 부가적인 로직 블록이 필요하다. 그러나, 부가적인 로직은 당업자라면 알 수 있는 바와 같이 도시되어 있는 로직과 유사하다.

시스템 개시 또는 수행되는 동안 패리티 체크, CRC 또는 ECC 에러에 반응하여, "와이어 테스트"가 이루어지는 동안, 결합이 식별되고 진단 유닛(98)에 저장된다. 이 결합은 전달은 시그널링 도전체(91) 및 시그널링 도전체(92)에 의해 이루어진다. 시그널링 도전체(91 및 92)는 단일 시그널링 도전체일 수 있고 또는 다수의 시그널링 도전체를 갖는 버스일 수도 있다. 진단 유닛(98)은 전자 시스템의 결합을 조사하는 임의의 유닛이다. 예를 들어, IBM iSeries 컴퓨터에서, 진단 유닛은 "서비스 프로세서"로 지칭된다.

도 2a는 시그널링 버스(95)가 결합이 없는 경우 시그널링 버스(95)를 통해 이루어지는 제 1 데이터 블록의 데이터의 정상 전송 동안에 수행되는 전송 시퀀스를 도시한다. 제 1 바이트 동안, 바이트(0)가 전송된다. 제 2 바이트 동안, 바이트(1)가 전송된다. 마지막 바이트, 즉 바이트(7)는 제 8 바이트에서 전송된다.

도 2b는 시그널링 버스(95)의 시그널링 도전체 중 하나가 결합이 있는 경우 시그널링 버스(95)를 통한 제 1 데이터 블록(10)의 데이터 전송을 달성하는 전송 시퀀스를 도시한다. 예를 들어, 시그널링 버스(95)의 시그널링 도전체("Z") 상의 비트가 결합으로 인해 전송될 수 없다. 칩(1)의 구동 시퀀서(11)는 결합을 알고는 있지만 데이터 전송의 제 1의 8 바이트 각각에 대해 1 바이트(일 예로)의 선택 그룹을 선택한다. 이것은 결합이 없는 경우의 동작과 유사하다. 도 2b는 각 바이트의 비트("Z")는 전송되지 않는다는 것을 나타낸다(예를 들어, "Z"를 제외한 바이트(0)(byte 0 not bit "Z")는 바이트(0)는 바이트(1) 동안 드라이버의 데이터 입력부로 라우팅되었지만, 바이트(0)의 비트("Z")는 시그널링 도전체("Z")의 결합(96)으로 인해 전송되지 않았다는 것을 의미한다). 유리하게도, 비트("Z")의 드라이버는 비도전성 상태(흔히, "디스에이블된 상태" 또는 "삼상상태(tristate)로 지칭됨)에 놓이게 되는데, 그 이유는 식별된 결합은 단락 회로일 수 있고, 이 결합이 접지 전압 공급에 대한 단락 회로인 경우 많은 양의 전력이 소비되고, 특정 비트가 논리 "1"이기 때문이다. 구동 시퀀서(11)(도 1 참조)는 제 1의 8 바이트 동안 전송되지 않은 8비트를 저장하여, 각 비트마다 비트("Z")를 저장한다. 제 9 바이트 동안, 저장된 8개

의 "Z" 비트를 포함하는 선택 그룹은 드라이버로 라우팅된다. "Z" 비트 중 7개가 전송된다. 제 8의 "Z" 비트는 결합으로 인해 제 9 비트에서 전송될 수 없다. 제 8의 "Z" 비트는 시그널링 버스(95)의 비결합 도전체를 사용하여 제 10 비트에서 전송된다.

데이터 블록(10)의 비트 수(64비트) 및 시그널링 버스(95)의 시그널링 도전체의 수(8)는 단지 예시적인 값이며, 임의 크기의 데이터 블록 및 버스 내에서 임의의 수의 시그널링 도전체가 고려된다. 더 나아가, 일부 전자 시스템에서, 데이터 블록은 가변적일 수 있으며, 데이터 블록의 데이터 부분을 전송하기에 전에 "헤더"가 전송되며, 이 헤더는 전송될 블록의 크기와 관련된 정보를 포함하고 있다. 헤더는 설명을 목적으로 데이터 블록의 일부분으로서 여겨질 것이다.

도 3은 구동 시퀀서(11)의 상세한 블록도를 갖는 칩(1)을 도시한다. 구동 멀티플렉서(20)는 제 1 데이터 블록(10)의 8 바이트 각각에 결합되고 구동 멀티플렉서(20)의 출력에 대한 제 1 데이터 블록(10)의 8 바이트 중 임의의 바이트를 선택할 수 있다. 구동 멀티플렉서(20)는 또한 결합선(35)에 의해 구동 비트 레지스터(27)에 결합된다. 구동 비트 제어기(23)는 9 바이트(즉, 제 1 데이터 블록(10)으로부터 8 바이트와 구동 레지스터(27)로부터의 바이트) 중 어느 바이트가 구동 멀티플렉서(20)에 의해 선택될 것인가를 결정하는 신호(30)에 의해 구동 멀티플렉서(20)에 결합된다. 선택된 바이트는 드라이버(24)의 데이터 입력부에 결합된다. 선택된 바이트는 구동 선택부(21)에 결합된다. 구동 비트 제어기(23)로부터의 신호(34)는 시그널링 버스(95) 내에서 어느 시그널링 도전체가 결합이 있는지를 구동 선택부(21)에 알려준다. 이것은 위에서 설명한 바와 같이 현재 선택된 바이트 내의 비트이며, 이 비트는 시그널링 버스(95) 내의 시그널링 도전체에 대한 결합(96) 때문에 이후의 전송을 위해 구동 비트 레지스터(27)에 저장되어야 한다. 선택된 비트는 구동 비트 제어기(23)로부터의 신호(32)에 의해 제어되는 대로 구동 비트 레지스터(27)에 결합되고 구동 비트 레지스터(27)에 저장된다. 바람직하게, 구동 비트 레지스터(27)는 시프트 레지스터이지만, 다른 실시에도 생각할 수 있다. 8 바이트 후, 구동 비트 레지스터(27)는 결합(96)으로 인해 전송될 수 없는 모든 8 비트(바이트(0-7)로부터 각각의 일비트씩)를 포함한다. 제 9 비트에서, 구동 비트 레지스터(27)의 8 바이트는 구동 비트 제어기(23)의 제어 하에서 신호(30)에 의해 구동 멀티플렉서(20)에 의해 선택된다. 이들 8 비트 중 7 비트는 또 다시 시그널링 버스(95)를 통해 전송된다. 결합(96)으로 인해 여전히 1 비트는 전송될 수 없다. 구동 비트 제어기(23)는 더 나아가 구동 비트 레지스터(27)로 하여금 구동 비트 레지스터(27) 내에서 비트의 "회전"을 수행하도록 결합선(32)을 통해 지시한다. 도 3에서, 신호(33)는 구동 비트 레지스터(27)의 제 1 단부를 구동 비트 레지스터(27)의 제 2 단부에 결합한다. 회전 동안, 구동 비트 레지스터(27) 내의 최우측 7 비트는 좌측으로 1 비트를 자리 이동하고, 최좌측 비트는 회전하여 최우측 비트가 된다. 제 10 바이트 동안, 구동 비트 레지스터(27)의 지금 회전된 콘텐츠는 또 다시 구동 비트 제어기(23)의 제어 하에서 구동 멀티플렉서(20)에 의해 선택된다. 또 다시, 7 비트가 시그널링 버스(95)를 통해 전송되고, 예를 들어 결합(96)으로 인해 1 비트는 전송되지 않는다. 그러나, 구동 비트 레지스터(27) 상에서의 회전 동작으로 인해, 제 9 비트에서 전송되지 않았던 비트는 상이한 시그널링 도전체를 통해 구동되고 제 10 바이트에서 성공적으로 전송된다. 전자 시스템이 단일 결합 시그널링 도전체 보다 많은 결합 도전체를 지원하도록 설계되는 경우, 구동 비트 레지스터(27)는 복제되어(도시되어 있지 않음) 특정 바이트에서 전송될 수 없는 부가적인 비트를 지원하며, 구동 선택부(21)는 구동 멀티플렉서(20)의 출력부로부터 부가적인 비트를 선택하고 그 부가적인 비트를 구동 비트 레지스터(27)의 복제본 내에 저장하도록 설계된다. 구동 비트 레지스터(27) 내에서의 "회전" 동작이 예를 들어 설명되었지만, 제 10 바이트 동안 비결합 시그널링 도전체로 라우팅되어 전송될 수 없는 비트를 이동시키기에 적절한, 구동 레지스터(27) 내에서 임의의 사전결정된 비트 이동이 고려될 수 있다. 또 다른 실시예(도시되어 있지 않음)에서, 구동 멀티플렉서(20)는 위에서 설명한 바와 같이 구동 비트 레지스터(27)에 결합된 제 9 입력 바이트를 구비하고 있지만, 또한 이 구동 비트 레지스터(27)의 비트에 결합된 제 10 입력 바이트를 구비하며, 구동 비트 레지스터(27)의 비트는 구동 멀티플렉서(20)에 대해 구동 비트 레지스터(27)의 제 10 바이트 결합과는 다른 사전결정된 순서로 결합된다. 구동 비트 제어기(23)는 구동 멀티플렉서(20)로 하여금 제 9 바이트 동안 제 9 입력 바이트 결합을 선택하도록 하고 제 10 바이트 동안에는 제 10 입력 바이트 결합을 선택하도록 제어한다.

도 4는 각 바이트 이전의 구동 비트 레지스터(27)의 콘텐츠를 도시한다. 비트("Z")는 결합을 갖는 시그널링 버스(95) 내의 시그널링 도전체 상에서 구동될 수 있는 데이터 비트이다. 바이트(1) 이전에, 어떠한 비트도 구동 비트 레지스터(27) 내로 시프트되지 않는다. 바이트(1) 동안, 바이트(0)의 비트("Z")는 구동 비트 레지스터(27)의 최우측 비트 자리로 이동한다. 바이트(2) 동안, 바이트(1)의 비트("Z")는 구동 비트 레지스터(27)의 최우측 자리로 이동한다. 바이트(8) 이후, (도 4에서 사전 비트(pre beat)(9)로 도시됨), 각 바이트의 비트("Z")는 구동 비트 레지스터(27)에 저장된다. 이들 8 비트는 앞서 설명한 바와 같이 제 9 바이트 동안 구동 멀티플렉서(20)에 의해 선택된다. 제 9 바이트에 이어서, 앞서 설명한 바와 같이 구동 비트 레지스터(27) 상에서 회전 동작이 수행되고, 제 10 바이트에서 선택된 데이터는 도 4에서 "사전 비트(10)"로 도시된다. 모든 "Z" 비트는 구동 비트 레지스터(27) 내에 유지되지만, 1 비트 자리 회전하게 되고, 따라서 시그널링 버스(95) 상에서 드라이버(24)에 의해 상이한 시그널링 도전체 상에서 구동되도록 라우팅될 것이다. 따라서, 제 9 바이트 상에서 전송될 수 없는 "Z" 비트는 제 10 바이트에서 성공적으로 전송된다.

도 5는 칩(5)의 확장된 블록도를 도시한다. 수신 시퀀서(51)는 시그널링 버스(95) 상에서 신호를 수신하는 수신기(60)를 포함한다. 수신 시퀀서(51)는 또한 신호(92)에 의해 앞서 설명한 진단 유닛(98)에 결합되는 수신기 비트 제어기(61)를 구비한다. 시그널링 버스(95) 내의 시그널링 도전체에 결합이 있다는 것을 진단 유닛(98)이 수신기 비트 제어기(61)에 알려준다.

분배자(63)는 신호(55)(다수의 신호를 포함할 수 있음)에 의해 내부 버스(56) 상의 수신기(60) 및 수신기 비트 제어기(61)에 결합된다. 분배자(63)는 수신기(60)에 의해 출력된 신호를 제 2 데이터 블록(50) 내의 적절한 비트에 분배할 수 있다. 결합이 없는 경우, 분배자(63)는 데이터 바이트를 내부 버스(56)로부터 (예를 들어) 각각의 8 비트 동안 제 2 데이터 블록(50)의 적절한 바이트로 이동시킨다. (위에서 설명한 바와 같이) 시그널링 도전체("Z")에 결합(96)이 있는 경우, (예를 들어) 두 개의 부가적인 비트가 필요하다. 제 9 비트 동안, 내부 버스(56)는 7개의 유효 비트와 하나의 무효 비트를 갖는다. 제 9 비트 동안, 내부 버스(56) 상의 8 비트 각각은 제 2 데이터 블록(50)의 각각의 바이트(즉, 바이트(0-7)에서 제각각의 "Z번째" 비트로 구동된다. 제 9 비트 이후, 제 2 데이터 블록(50)은 63개의 유효 비트와 하나의 무효 비트를 포함한다. 제 10 비트 동안, 내부 버스(56)는 또 다시 7개의 유효 비트와 하나의 무효 비트를 갖는다. 유효 비트 중 6개의 비트는 제 9 비트 동안 제 2 데이터 블록(50) 내로 성공적으로 기록된 단순 데이터이다. 제 7 유효 비트는 제 10 비트 동안 제 2 데이터 블록(50)의 나머지 무효 비트를 포함하는 바이트의 "Z번째" 비트로 향한다. 예를 들어, 시그널링 버스(95)의 비트(2)에 대해 결합(96)이 있는 경우, 제 10 비트에서 제 2 데이터 블록(50)에 기록된 비트는 바이트(2)의 비트(2)이지만, 이 기록에 대한 데이터는 시그널링 버스(95)의 비트(3)로부터 취하여지는데, 그 이유는 전송된 데이터는 위에서 설명한 바와 같이 구동 비트 레지스터(27) 내에서 1 비트만큼 회전되었기 때문이다.

도 6은 분배자(63)의 1 비트에 대해 분배자 함수를 수행하는 로직(63A)의 예시적인 세트를 보다 자세히 도시한다. 도시되어 있는 예에서 레지스터 비트(70)는 제 2 데이터 블록(50)의 1 비트, 즉 바이트("M")의 비트("N")이다. 레지스터 비트(70)의 데이터 입력(D)은 10 비트 미만의 임의의 비트에서 "rcvr 비트(N)", 즉 내부 버스(56)의 "N번째" 비트를 선택하는 선택기(72)에 결합된다. 제 10 비트에서, "rcvr 비트(N)(회전됨)"는 전송 이전에 구동 비트 레지스터(27)에 의해 수행된 데이터 회전을 고려하여 선택된다. 레지스터 비트(70)의 데이터 입력부(D) 상의 데이터는 입력부(C) 상의 신호에 의해 클럭 인된다. "CLK"는 도 6에 도시되어 있는 논리식에 따라 게이팅되는 시스템 클럭이다. 레지스터 비트(70)는 CLK가 활성 상태이고 "비트 M"가 어서트되는 경우 클럭을 수신할 것이다. 예를 들어, 바이트(2)의 모든 비트는 제 2 데이터 블록(50)에서 클럭 인될 것이다. 레지스터 비트(70)는 또한 시그널링 버스(95) 상의 비트("N")가 결합이 있는 경우 제 10 비트 동안 (CLK 활성 상태 동안) 클럭을 수신할 것이다. 예를 들어, 시그널링 버스(95)의 비트(2)가 결합이 있고, 레지스터 비트(70)가 제 2 데이터 블록(50)의 임의의 바이트의 비트(2)인 경우, 레지스터 비트(70)는 클럭될 것이다. 레지스터 비트(70)는 또한 이 비트가 제 2 데이터 블록(50)에 기록되어야 하는 최종 비트인 경우 제 10 비트 동안 (CLK 활성 상태인 동안) 클럭될 것이다. 계속해서, 시그널링 버스(95)의 비트(2)가 결합이 있는 경우, 레지스터 비트(70)가 바이트(2)의 비트(2)를 나타낸다면, 레지스터 비트(70)는 제 10 사이클에서 클럭을 수신할 것이다. 분배자(63)는 시그널링 버스(95) 상의 어느 비트가 결합이 있는지에 대한 정보 및 현재의 비트는 무엇인지에 대한 정보를 수신한다.

도 7은 본 발명의 또 다른 실시예를 도시한다. 이 실시예는 또한 시그널링 버스의 시그널링 도전체에 결합을 갖는 전자 시스템의 연속적인 동작을 할 수 있는 능력을 제공하고, 또한 결합 없는 동작과 결합이 있는 동작 모두 하에서 이전의 실시예와 동일한 수의 사이클을 사용한다. 이 실시예는 이하에서 설명되는 바와 같이 비트가 선택되는 방식이 다르다. 도 7의 실시예는 도 1의 진단 유닛(98)과 유사한 진단 유닛(298)을 도시하며, 이 유닛은 시그널링 버스 상에서 결합을 식별하고 그 결합 식별 정보를 제 1 전자 유닛 및 제 2 전자 유닛에 전달할 수 있다.

칩(201)(앞서와 같이, "칩"은 예시적으로 사용되고, 사실, 칩(201)은 모듈, PWB, 전자 장치 또는 임의의 다른 전자 유닛일 수 있음)은 제 1 데이터 블록(201)을 칩(205)의 제 2 데이터 블록(250)으로 전달할 필요가 있다. 구동 칩(201)에서와 같이, 수신 칩(205)은 임의의 전자 유닛을 나타내려 한다. 도 7에 도시된 예에서, 제 1 데이터 블록(201)은 64비트(0-63)를 구비하고, 제 2 데이터 블록(250)은 64비트(0-63)를 갖는다. 제 1 데이터 블록(201) 및 제 2 데이터 블록(250)은 물리적으로 레지스터 또는 레지스터들, 캐시, 시프트 레지스터 또는 임의의 다른 저장 수단 내에 상주한다. 시그널링 버스(295)는 8 비트를 갖는다. 제 1 부분(295B) 및 제 2 부분(295B')을 포함하는 시그널링 도전체는 결합(296)을 갖는 것으로 도시되어 있다. 결합(296)은 개방 회로 또는 단락 회로일 수 있으며, 그러한 유형의 결합은 시그널링 도전체의 정상적 동작을 하지 못하게 한다. 도 1의 결합(96)에서와 같이, 결합(296)은 시그널링 버스(295)의 시그널링 도전체 사이의 단락일 수 있지만, 이번 예에서는 간략성을 위해 단일 결합을 논의한다. 신호(NEN)는 시그널링 버스(295) 상에서 (삼상) 드라이버를 논리적으로 디스에이블링하는데 흔히 사용되는 "부정 인에이블" 신호이다. 비록 선택적인 사항이기는 하지만, 그것이 다른 신호와 논리적으로 어떻게 결합하여 전체 시그널링 버스(295) 상의 모든 드라이버 또는 결합을 갖는 시그널링 도전체에 결합된 단일 드라이버를 디스에이블링하는지를 설명하는 것이 도시되어 있다.

결함(296)이 없는 경우, 구동 시퀀서(211)는 내부 버스(SEL8A(0-7))를 통해 제 1 데이터 블록(201)으로부터 한번에 8 비트의 "비결함 선택 그룹"을 선택하고 이 8비트를 8 비트마다 시그널링 버스(295)를 통해 실질적으로 병렬로 구동한다. 수신 시퀀서(251)는 각 비트로부터 데이터의 8 비트를 수신하고 8 비트를 SEL8B(0-7)를 통해 제 2 데이터 블록(250) 내의 적절한 비트로 전달한다. 앞서와 같이, 구동 시퀀서(211) 및 수신 시퀀서(251)는 진단 유닛(298)에 의해 시그널링 도전체의 결함(296)에 대한 존재 및 식별을 신호(291 및 292)를 통해 제각각 통보 받는다.

결함(296)이 존재하는 경우, 구동 시퀀서(211)는 내부 버스(SEL7A(0-6))를 통해 제 1 데이터 블록(201)으로부터 한번에 (예를 들어, 비트(1-9) 동안) 7 비트의 "결함 선택 그룹"을 선택하고 이 선택된 7비트를 시그널링 버스(295)의 7개의 비결함 시그널링 도전체를 통해 전달한다. 수신 시퀀서(251)는 비트 당 7 비트를 수신하고 그들을 SEL7B(0-6)를 통해 제 2 데이터 블록(250)으로 전달한다. (예를 들어) 제 10 비트 동안, 마지막 비트, 즉 비트(63)가 선택되고 결함이 없는 시그널링 도전체 상에서 전송되고, 마지막 비트는 제 2 데이터 블록(250)의 정확한 비트에 저장된다. 도 8a 및 도 8b는 8 비트와 결함이 없는 경우 전송된 데이터를 도시하고, 10 비트와 결함이 있는 경우 각 비트 동안 전송된 비트를 도시한다.

도 9는 구동 시퀀서(211)의 예시적인 실시예를 도시한다. 비트 결함 레지스터(259)는 8 비트를 갖고, 각 비트는 시그널링 버스(295)의 시그널링 도전체에 대응한다. 시그널링 도전체가 결함이 있는 경우, 비트 결함 레지스터(259)의 대응하는 비트는 논리 "1"로 설정되고, 그렇지 않으면, 대응하는 비트는 논리 "0"로 설정된다. 따라서, BF(0)="1"라는 것은 시그널링 버스(295)의 비트(0)에 결함이 있다는 것을 의미한다. OR 게이트의 캐스캐이드는 논리 "1"를 갖는 비트 결함 레지스터(259) 내의 비트로 시작하는 논리 "1"를 생성한다. 예를 들어, BF(3)="1"인 경우, F0,F1,F2는 "0"이지만, F3,F4,F5,F6 및 BIT FAULT는 "1"이다.

BIT FAULT="1"인 경우, 결함이 존재하고, (예를 들어) 데이터 전송은 10 비트와, 제 1의 9 비트 각각의 7비트 및 제 10 비트 내의 1 비트로 구성될 것이다.

선택기(AA0-AA7)는 BIT FAULT="0"인 경우 버스(SEL8A(0-7))로부터 데이터를 선택한다. BIT FAULT="1"인 경우, 선택기(AA0-AA7)는 SEL7A(0-6)로부터 데이터를 선택하지만, 이러한 비트의 일부 또는 전부는 이제 설명하는 바와 같이 시프트될 수 있다. 선택기(A0-A5)는 모든 SEL7(0-6) 비트를 비결함 도전체에 시프트하는 메커니즘을 제공한다.

예를 들어, 시그널링 버스(295)의 시그널링 도전체 비트(0)인 BUS(0)가 결함(BUS(0)의 드라이버, 시그널링 도전체 및 수신기 회로를 포함할 수 있음)을 갖는 것으로 식별된 것으로 가정한다. BUS(0)의 드라이버는 입력(E)이 논리 "0"인 경우 이 드라이버를 디스에이블시킬 수 있는 인에이블 입력(E)을 갖는다. BUS(0)가 결함을 갖는 경우, BF(0)="1"이다. BF(0)는 NOR A0에 대한 입력이고, BF(0)="1"는 BUS(0)의 드라이버가 디스에이블되도록 보장한다. F0는 선택기(A0)를 제어하고, F0="1"는 BUS(1)의 드라이버의 데이터 입력부(D)에 선택기(AA1)를 통해 결합된 선택기(A0)에서 SEL7A(0)를 선택한다. 유사하게, SEL7A(1)는 BUS(2)의 드라이버의 입력부(D)로 라우팅되고, SEL7A(2)는 BUS(3)의 드라이버의 입력부(D)에 라우팅되며, 나머지도 이와 같은 방식으로 라우팅된다. SEL7A(6)는 SELAA(7)에 직접 라우팅되고 BUS(7) 상에서 구동된다. 이러한 방식으로, BUS(0)는 바이패스되고 SEL7A의 7 비트는 비결함 시그널링 도전체 BUS(1-7) 상에서 구동된다.

보다 간단한 제 2 예로서, BUS(4) 상에 결함이 있는 경우, SEL7A(0)는 BUS(0) 상에서 라우팅되고 구동되고, SEL7A(1)는 BUS(1) 상에 구동되며, SEL7A(2)는 BUS(2) 상에서 구동되고, SEL7A(3)는 BUS(3) 상에서 구동된다. SEL7A(4)는 BUS(5) 상에서 구동되고, SEL7A(5)는 BUS(6) 상에서 구동되며, SEL7A(6)는 BUS(7) 상에서 구동된다. BUS(4)의 드라이버는 BF(4)에 의해 디스에이블링된다. 또 다시, SEL7A의 7 비트는 비결함 시그널링 도전체 상에 라우팅된다.

시그널링 버스(295)는 NOR(A0-A7)에 대한 어서팅 신호인 NEN="1"을 어서팅하여, 모든 8개의 드라이버의 인에이블 입력 상에 논리 "0"을 보장하도록 함으로써 전체적으로 디스에이블링될 수 있다. NEN은 설계자가 시그널링 버스(295) 상의 모든 드라이버를 논리적으로 디스에이블할 수 있기를 바라는 경우 사용되는 선택 신호이다.

비록 간략성을 위해, 도시되어 있는 상세한 논리는 단일 결함 시그널링 도전체만을 지원하고 있지만, 부가적인 선택 그룹 (예를 들어, 둘 또는 셋의 결함 시그널링 도전체의 수용을 위한 제각기의 "SEL6A", "SEL5A")이 부가적인 선택기에 결합되어 "F"가 커짐에 따라 한번에 보다 적은 수의 시그널링 도전체를 라우팅할 수 있다는 것을 당업자라면 알 것이다.

도 10은 수신 시퀀서(251)의 실시예를 도시한다. 수신 비트 결함 레지스터(260)는 비트 결함 레지스터(259)와 동일한 비트 패턴을 포함하며, 각 비트는 시그널링 버스(295)의 시그널링 도전체에 대응한다. 비트 결함 레지스터(260)는 신호

(292)를 통해 진단 유닛(298)으로부터 로딩된다. 또 다시, OR 게이트의 캐스캐이드는 도시되어 있는 바와 같이 제공되어 수신 비트 결합 레지스터(260)에서 논리 "1" 비트를 포함하고 그를 뒤따르는 논리 "1"을 생성한다. 예를 들어, RBF(0)="1"인 경우, RF0, RF1, RF2, RF3, RF4, RF5, RF6 및 RECEIVE BIT FAULT는 모드 "1"이다.

수신기(B0-B7)는 제작각 BUS(0-7)를 수신하고, SEL8B(0-7)를 제작각 출력한다. 시그널링 도전체에 결합이 있는 경우, 7비트만이 전송되고(7개의 비결합 시그널링 도전체 상에서) 7비트만이 SEL8B(0-7)로부터 SEL7B(0-6)로 적절히 매핑되어야 한다. 이러한 매핑은 구동 시퀀서(211)에 의해 이루어진 매핑에 대응하고 그에 따라 7 비트를 시그널링 버스(295)의 7개의 비결합 시그널링 도전체로 안내한다.

RF0-RF7 및 선택기(B0-B6)는 이러한 매핑을 제공한다. RBF(0)="1"인 경우(시그널링 버스(295)의 시그널링 도전체 비트 "0"의 결합을 나타냄), 선택기(B0)는 SEL7B(0)로서 출력을 위해 SEL8B(1)를 선택하도록 제어된다. 유사하게, 신호(RF1, RF2, RF3, RF4, RF5, 및 RF6)를 사용하면, SEL8B(2)는 SEL7B(1) 상으로 구동되고, SEL8B(3)는 SEL7B(2) 상으로 구동되며, SEL8B(4)는 SEL7B(3) 상으로 구동되고, SEL8B(5)는 SEL7B(4) 상으로 구동되며, SEL8B(6)는 SEL7B(5) 상으로 구동되고, SEL8B(7)는 SEL7B(6) 상으로 구동된다. 유사하게, BUS(6)에 결합이 있는 경우, BUS(0-5)는 SEL7B(0-5)로 라우팅되고 BUS(7)는 SEL7B(6)로 라우팅된다.

부가적인 선택기 및 OR은 단일 결합 시그널링 도전체보다 많은 결합 도전체를 수용하도록 설계된 실시예(도시되어 있지 않음)에서 사용되며, 부가적인 선택기는 신호를, 비결합 시그널링 도전체로부터 제 2 데이터 블록(250)에 결합된 보다 소수의 신호를 갖는 시그널링 그룹으로 라우팅하는데 사용된다. 예를 들어, 위에서와 같이, 두 개의 결합 신호가 일 실시예에서(위에서 설명한 명칭부여 규정을 사용하여) 수용되는 경우, 신호의 "SEL6B" 세트 및 신호의 SEL7B 세트가 필요하다.

도 11은 수신 레지스터(250)의 정확한 비트 내로 수신되는 적절한 비트를 게이팅하는데 사용되는 상세한 논리의 실시예를 도시한다. 진단 유닛(298)으로부터의 신호(292)는 비트 번호이다. 또 다른 실시예(도시되어 있지 않음)에서, 수신 시퀀서(251)는 그 자신의 비트 카운팅을 수행한다. 그룹 디코드(278)는 비트 번호 및 수신 비트 결합(도 10으로부터의 수신 비트 결합 레지스터(260))을 사용하여 8-비트의 "en-8-비트-그룹" 워드를 생성하고, 그 중 하나의 비트는 각 비트마다 인에이블링되고, 그에 따라 시그널링 버스(295) 상에 결합이 없는 경우 특정 비트 동안 SEL8B로부터 데이터를 수신해야 하는 수신 레지스터(250)의 8 비트의 클럭킹을 제어한다. 그룹 디코드(278)는 또한 10-비트 워드, 즉 "en 7-비트 그룹"을 출력하고, 그 중 1 비트는 시그널링 버스(295)의 시그널링 도전체 상에 결합이 있는 경우 발생하며 10 비트마다 인에이블링된다. 레지스터 비트(272)의 데이터 입력(수신 레지스터(250)의 특정 비트 "X")은 선택기(270)에 결합되며, 이 선택기는 RECEIVE BIT FAULT="1"인 경우 버스 SEL7B의 비트, "M"을 선택하고, RECEIVE BIT FAULT="0"인 경우 SEL8B의 비트 "N"를 선택한다. 예를 들어, SEL7B(0)는 수신 레지스터(250)의 비트(0,6,13,55 및 64)에 결합된다. SEL7B(1)는 비트(1,7,14,56)에 결합된다. SEL8B(0)는 비트(0,7,15,56)에 결합된다.

AND 게이트(271)는 제 1 입력 상의 시스템 클럭(CLK)을 수신한다. AND(271)의 제 2 입력은 도 10에 도시되어 있는 바와 같이 생성된 RECEIVE BIT FAULT에 의해 제어되는 선택기(277)에 결합된다. 결합이 존재하는 경우, RECEIVE BIT FAULT="1"인 경우, 선택기(277)는 "EN 7-BIT GROUP(A)"을 선택할 것인데, 여기서 "A"는 10비트 워드의 비트이고, "EN 7-BIT GROUP"(274)은 레지스터 비트(272)가 존재하는 제 2 데이터 블록(250)의 특정 7-비트 그룹에 적용된다. 예를 들어, 제 2 데이터 블록(250)의 비트(0-6)는 비트(1)에 의해 전송된 7 비트가 전송되는 비트 그룹의 비트이며, EN 7-BIT GROUP의 비트(0)는 제 1 비트 동안 "1"이어서 이들 7개의 레지스터 비트에 대한 클럭을 인에이블링할 것이다. (예를 들어) 수신기 레지스터(250)의 하나의 레지스터 비트(즉, 비트(63))만이, 제 10 비트 동안의 "EN 7-BIT GROUP"이 "1"인 경우에 영향을 받는다.

위에서 설명한 바와 같이, 일 실시예에서, 부가적인 결합 시그널링 도전체가 수용된다. 예를 들어, 두 개의 결합 시그널링 도전체가 수용되는 경우, 그룹 디코드(278)는 6-비트 그룹 및 7-비트 그룹 및 8-비트 그룹을 인에이블링해야 한다. 선택기(270)는 적절한 "SEL6B" 비트에 대한 또 다른 적절한 입력을 구비해야 하고, 선택기(277)는 적절한 "EN 6-비트 GROUP" 비트에 대한 제 3 입력을 수용해야 하며, 이는 당업자라면 누구나 알 수 있다.

도 12는 시그널링 버스를 통해 데이터 블록을 제 1 전자 유닛에서 제 2 전자 유닛으로 전달하는 전송 시퀀스 방법(300)에 대한 높은 레벨의 흐름도를 도시하며, 이 시그널링 버스는 결합있는 시그널링 도전체를 가질 수 있다. 블록(301)은 방법을 시작한다. 블록(302)에서, 진단 유닛은 시그널링 버스에서 결합있는 및 결합없는 시그널링 도전체를 결정한다. 제 1 전자 유닛은 시그널링 버스를 통해, 모든 비결합 시그널링 도전체를 사용하는 전송 시퀀스를 사용하여, 또한 최소 수의 비트를 사용하여 제 1 데이터 블록을 제 2 전자 유닛으로 전달한다. 제 1 전자 유닛은 "J" 비트 데이터 블록을 "K" 비트 시그널링 버스를 통해 제 2 전자 유닛에 전송한다. "F"는 진단 유닛에 의해 식별되는 결합 시그널링 도전체의 수이다. "F"=0이면, 결합은 발견되지 않았다. 바람직하게, 본 발명에서는 "K-1"까지의 임의의 수의 결합이 고려된다. 블록(303)에서, 진단 유

닛은 제 1(구동) 전자 유닛 및 제 2(수신) 전자 유닛에 결합 상태를 설정한다. 블록(304)에서, "J" 비트 데이터 블록은 충분한 버스 싸이클(비이트)을 사용하여 시그널링 버스의 비결합 시그널링 도전체를 통해 전송되어 전송을 완료한다. 제 2 전자 유닛은 비결합 시그널링 도전체를 통해 "J" 비트 데이터 블록을 수신한다. 블록(305)에서 방법이 종료된다. 바람직하게, 결합 시그널링 도전체에 결합된 드라이버는 디스에이블링된다.

도 13은 방법(300)의 블록(304)에 대한 실시예인 방법(320)의 흐름도를 도시한다. 블록(321)은 방법을 시작한다. 블록(322)에서, 비이트 카운트는 초기화된다. 블록(323)에서, 한 바이트의 데이터가 선택된다. 선택된 비트의 수는 데이터 블록이 전송될 시그널링 버스의 총 시그널링 도전체의 수이며, "바이트"는 본 명세서에서 예로서 사용되며, 1 바이트 크기의 시그널링 버스를 가정한다. 예를 들어, 64비트 데이터 블록이 가정되지만, 본 발명은 바람직하게 64비트 데이터 블록에 제한되지는 않는다. 간단히 하기 위해, 단일 결합 시그널링 도전체를 가정하지만, 위에서 설명한 바와 같이 "K-1"까지의 임의의 결합 수를 가정한다. 블록(324)에서, 결합 시그널링 도전체를 통해 전송되기로 한 선택된 바이트의 비트는 저장된다. 바람직하게, 비트는 시프트 레지스터에 저장되고, 시프트 레지스터는 제어 신호에 응답하여 그의 비트를 회전시킬 수 있다. 블록(325)에서, 선택된 바이트는 시그널링 버스를 통해 드라이버의 데이터 입력으로 라우팅되고 구동된다. 결합 시그널링 도전체는 이 결합있는 시그널링 도전체에 결합된 드라이버의 데이터 입력에 라우팅된 비트를 전송할 수 없으며, 바람직하게, 이 드라이버는 디스에이블되어(공지된 바와 같이 삼상태로 되거나(tristated), 또는 고 임피던스 상태로 스위칭됨) 결합이 단락 회로인 경우 높은 전류가 흐르지 않도록 할 수 있다. 드라이버가 디스에이블되는 경우의 "고 임피던스"는 드라이버의 출력이 구동되는 전송 라인보다 적어도 10배 더 높은 임피던스를 가지며, 보통 수십만 또는 수백만 옴을 갖는다는 것을 의미한다. 블록(326)에서, 정상적인(비결합 시그널링 도전체) 전송에 필요한 비트의 수가 완료되었는지를 검사한다. 그렇지 않은 경우, 블록(342)에서 비이트 카운트는 증분되고 제어는 블록(323)으로 넘겨진다. 정상적인 비이트 카운트에 도달한 경우, 블록(327)은 결합이 식별되었는지를 검사한다. 결합이 없는 경우, 전송은 완료된다. 결합이 식별되면, 블록(328)은 저장된 비트의 바이트를 선택하고(이 예에서, 64비트의 데이터 블록이 8 비트 버스를 통해 전송되고, 단일 결합을 가정하여, 8개의 저장된 비트를 야기함) 이들을 시그널링 버스의 드라이버의 데이터 입력에 라우팅한다. 위에서 설명한 바와 같이, 8 비트 중 7 비트는 다른 비이트에서 전송된다. 블록(329)은 모든 비트가 상이한, 사전결정된 위치로 이동하도록 저장된 데이터의 비트를 회전시킨다. 앞서 설명한 바와 같이, 바람직하게, 저장된 비트는 모든 비트가 1자리 위치 이동하는 비트 회전을 할 수 있는 시프트 레지스터 내에 존재하며, 하나의 단부 상의 비트는 다른 단부 상의 제 1 비트 위치로 회전된다. 블록(340)에서, 저장된 비트는 또 다시 선택되고 시그널링 버스 상에서 드라이버의 데이터 입력에 라우팅되며 최종 비이트에서 구동된다. 이전의 버스에서 전송될 수 없었던 비트는 이제 상이한 드라이버로 향하고 비결합 시그널링 도전체를 통해 성공적으로 구동된다. 제 2(수신) 전자 유닛은 결합 시그널링 도전체를 인식하고, 결합 시그널링 도전체가 존재하는 경우 사용되는 전송 프로토콜을 알도록 설계되며, 전송된 비트를 제 2 전자 유닛의 메모리의 정확한 비트 위치로 이동시킬 수 있다.

도 14는 도 12의 블록(304)에 대한 제 2 실시예를 도시한다. 블록(361)은 데이터 블록을, 시그널링 버스를 통해 제 1 전자 유닛에서 제 2 전자 유닛으로 전송하는 방법으로 시작한다. 블록(362)에서, 비이트 카운트는 초기화되고, 필요한 비트의 수가 전송되는 비트의 총 수, 및 시그널링 버스에 이용가능한 비결합 시그널링 도전체의 수에 기초하여 결정된다. 블록(363)에서, 전송되는 블록으로부터의 데이터 그룹이 선택되고, 그 그룹의 크기는 시그널링 버스의 비결합 시그널링 도전체의 수와 동일하다. 블록(364)에서, 선택되는 데이터 그룹은 비결합 시그널링 도전체를 통해 제 1 전자 유닛에 의해 제 2 전자 유닛으로 전송된다. 블록(365)은 마지막 비이트가 완료되었는지를 결정하고, 완료되지 않은 경우, 블록(366)은 비이트 카운트를 증분하고 블록(363)으로 제어가 넘어간다. 마지막 비이트가 완료된 경우, 방법을 완료하는 블록(367)으로 제어가 넘어간다.

앞선 설명은 본 발명의 실시예에 관한 것이나, 본 발명의 다른 및 또 다른 실시예가 본 발명의 기본적 범주를 벗어나지 않고서 고안될 수 있고, 그들의 범주는 후속하는 청구항에 의해 결정된다.

(57) 청구의 범위

청구항 1.

0 내지 "K-1"의 시그널링 도전체가 결합이 있는 "K" 시그널링 도전체를 구비한 시그널링 버스를 통해 제 1 전자 유닛에서 제 2 전자 유닛으로 "J" 비트의 데이터 블록을 전송하는 방법에 있어서,

상기 시그널링 버스 내에서 결합있는 시그널링 도전체와 결합이 없는 시그널링 도전체를 식별하는 단계와,

상기 시그널링 버스 내에서 결합있는 시그널링 도전체와 결합이 없는 시그널링 도전체를 식별하는 상기 단계에서 얻어진 정보를 사용하여, 상기 제 1 전자 유닛 및 상기 제 2 전자 유닛에 상기 시그널링 도전체의 결합 상태를 설정하는 단계와,

상기 시그널링 버스 내의 결합있는 시그널링 도전체의 수인 "F"를 결정하는 단계와,

상기 시그널링 버스의 비결합 시그널링 도전체의 수인 "K-F"를 결정하는 단계와,

"J/K-F" 비트(beat)와 나머지가 존재하는 경우 부가적인 비트를 합친 비트를 사용하여 "K-F" 비결합 시그널링 도전체를 통해 상기 "J" 비트 데이터 블록을 전송하는 단계를

포함하는 데이터 블록 전송 방법.

청구항 2.

제 1 항에 있어서,

상기 전송 단계는 상기 "J" 비트 데이터 블록으로부터 "K" 비트의 데이터 블록을 선택하는 단계와,

상기 "K-F" 비결합 도전체를 사용하여 상기 "K" 비트 데이터 그룹 중 "K-F" 비트를 한 비트에서 전송하는 단계와,

상기 시그널링 버스에서 상기 "F" 결합있는 도전체로 인해 상기 비트에서 전송될 수 없는 "K" 비트 그룹의 "F" 비트를 저장하는 단계와,

상기 "J" 비트의 데이터 블록 중 모든 "J" 비트가 선택될 때까지 상기 세 단계를 반복하는 단계와,

상기 "K-F" 비결합 시그널링 도전체 중 하나 이상을 사용하여, 저장된 "F" 비트를 하나 이상의 부가적인 비트에서 전송하는 단계를

더 포함하는 데이터 블록 전송 방법.

청구항 3.

제 2 항에 있어서,

상기 "F" 비트를 저장하는 단계는 상기 "F" 비트 중 적어도 하나의 비트를 시프트 레지스터의 제 1 단부로 이동시키는 단계를 더 포함하는 데이터 블록 전송 방법.

청구항 4.

제 3 항에 있어서,

상기 시프트 레지스터의 비트 중 적어도 하나를 비결합 시그널링 도전체로 전송하는 단계를 더 포함하는 데이터 전송 방법.

청구항 5.

제 4 항에 있어서,

상기 시프트 레지스터 내의 특정 비트를 이동시켜 상기 특정 비트를 상기 비결함 시그널링 도전체 결합하기 위해 정렬시키는 단계를 더 포함하는 데이터 전송 방법.

청구항 6.

제 2 항에 있어서,

"J/(K-F)" 비트의 비트 당 "K-F" 비트를 상기 제 2 전자 유닛에 저장하는 단계와,

"J(K-F)"가 나머지를 야기하는 경우 나머지 비트를 추가적인 비트에 저장하는 단계를

더 포함하는 데이터 전송 방법.

청구항 7.

제 1 항에 있어서,

상기 제 1 전자 유닛 상에서 상기 "J" 비트 데이터 블록으로부터 "K-F" 비트의 비트 그룹을 선택하는 단계와,

상기 시그널링 버스에서 상기 "K-F" 비결함 시그널링 도전체를 사용하여 상기 "K-F" 비트의 비트 그룹을 상기 제 1 전자 유닛에서 상기 제 2 전자 유닛으로 전송하는 단계와,

모든 "K-F" 비트 그룹이 전송될 때까지 상기 이전 단계를 반복하는 단계와,

상기 "K-F" 비결함 시그널링 도전체의 일부 또는 전부를 사용하여, 상기 시그널링 버스의 추가적인 비트를 사용하여, 상기 제 1 전자 유닛 상의 상기 "J" 비트의 데이터 블록의 임의의 나머지 비트를 상기 제 2 전자 유닛으로 전송하는 단계를

더 포함하는 데이터 블록 전송 방법.

청구항 8.

"J" 비트의 데이터 블록을 제 1 전자 유닛에서 제 2 전자 유닛으로 전송하는 장치에 있어서,

전송용 "J" 비트를 보유하는 상기 제 1 전자 유닛 내의 제 1 데이터 블록과,

상기 "J" 비트를 갖는 제 2 데이터 블록을 보유할 수 있는 상기 제 2 전자 유닛 내의 저장부와,

상기 제 1 전자 유닛을 상기 제 2 전자 유닛에 결합하는 "K" 시그널링 도전체를 구비한, "F" 결합 시그널링 도전체와 "K-F" 비결함 시그널링 도전체를 구비한 시그널링 버스와,

상기 제 1 전자 유닛 및 상기 제 2 전자 유닛에 결합되어 상기 시그널링 버스 상에서 상기 "F" 결합 시그널링 도전체와 상기 "K-F" 비결함 시그널링 도전체를 식별하고 결합 식별 정보를 상기 제 1 전자 유닛 및 상기 제 2 전자 유닛에 저장할 수 있는 진단 유닛과,

상기 결합 식별 정보에 응답하여 "J/(K-F)" 비트에다, 나머지가 있는 경우 추가적인 비트를 더한 비트를 사용하여, 상기 "K-F" 비결함 도전체를 사용하여 상기 "J" 비트 데이터를 전송하는 제 1 전자 유닛 내의 구동 시퀀서를

포함하는 데이터 블록 전송 장치.

청구항 9.

제 8 항에 있어서,

상기 제 1 데이터 블록은 한번에 "K" 비트의 선택 그룹만큼 선택가능한 데이터 블록 전송 장치.

청구항 10.

제 8 항에 있어서,

상기 구동 시퀀서는 제 1 데이터 블록으로부터 한번에 "K-F" 비트를 선택할 수 있고, 선택된 "K-F" 비트를 상기 시그널링 버스의 "K-F"의 비결함 시그널링 도전체 상으로 구동할 수 있으며, 상기 시퀀서는 상기 "J/(K-F)"가 나머지를 갖는 경우의 부가적인 비트에 대해 "K-F" 비트보다 적은 비트를 더 선택할 수 있는 데이터 블록 전송 장치.

청구항 11.

제 10 항에 있어서,

상기 구동 시퀀서는 디스에이블링될 수 있는 드라이버를 더 포함하고, 상기 구동 시퀀서는 결합있는 시그널링 도전체에 결합된 드라이버를 디스에이블링하는 데이터 블록 전송 장치.

청구항 12.

제 10 항에 있어서,

상기 제 2 전자 유닛은 상기 시그널링 버스 및 상기 진단 유닛에 결합된 수신 시퀀서를 더 포함하되, 상기 수신 시퀀서는 상기 시그널링 버스의 상기 "K-F" 비결함 시그널링 도전체로부터 수신된 "K-F" 비트를 한번에 상기 제 2 데이터 블록 내로 저장할 수 있고, 상기 수신 시퀀서는 상기 "J/(K-F)"가 나머지를 갖는 경우 "K-F" 비트보다 적은 비트를 더 저장할 수 있는 데이터 블록 전송 장치.

청구항 13.

시그널링 버스를 통해 제 1 전자 유닛에서 제 2 전자 유닛으로 데이터 블록을 전송하는 방법에 있어서,

상기 시그널링 버스 내의 비결함 시그널링 도전체를 식별하는 단계와,

전송 시퀀스에 따라 상기 데이터 블록을 상기 제 1 전자 유닛에서 상기 제 2 전자 유닛으로 전송하되, 상기 전송 시퀀스는 상기 시그널링 버스 내의 모든 비결함 시그널링 도전체를 사용하는 단계를

포함하되, 상기 전송 시퀀스는 최소 수의 비트를 사용하여 데이터 블록의 전송을 완료하는 데이터 블록 전송 방법.

청구항 14.

제 13 항에 있어서,

상기 비결함 시그널링 도전체는 파워 온 시퀀스 동안(during a power on sequence) 식별되는 데이터 블록 전송 방법.

청구항 15.

제 13 항에 있어서,

상기 비결함 시그널링 도전체는 패리티 에러, 에러 교정 코드 에러, 또는 순환 반복 검사 에러의 결과에 따라 수행된 유선 테스트(wire test)에 의해 식별되는 데이터 블록 전송 방법.

청구항 16.

제 13 항에 있어서,

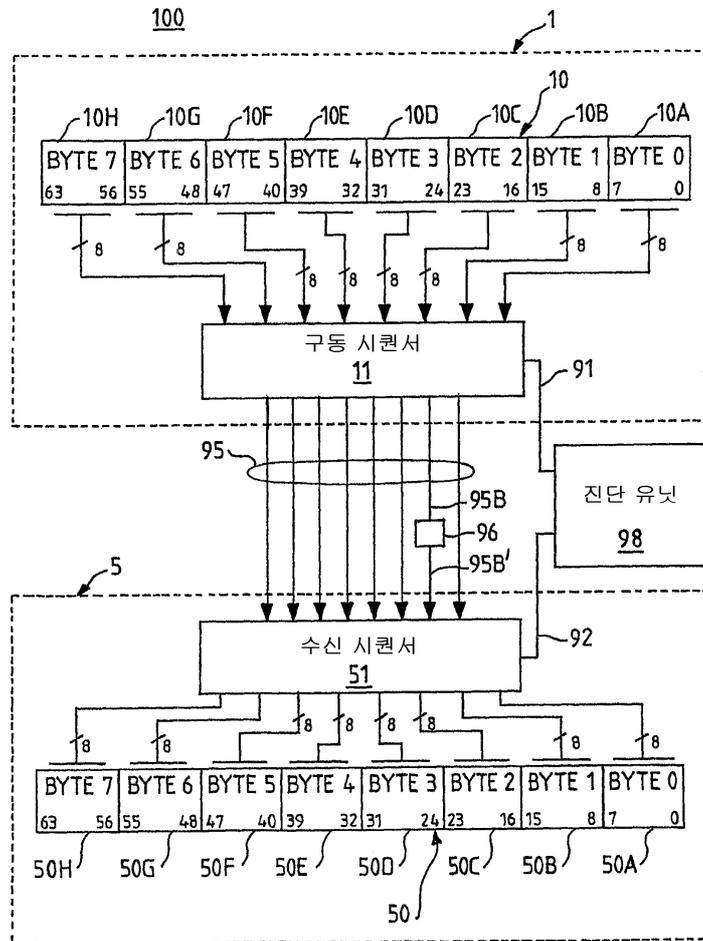
상기 시그널링 버스 내의 결함 시그널링 도전체를 식별하는 단계와,

상기 결함 시그널링 도전체에 결합된 드라이버를 높은 임피던스 상태로 스위칭하는 단계를

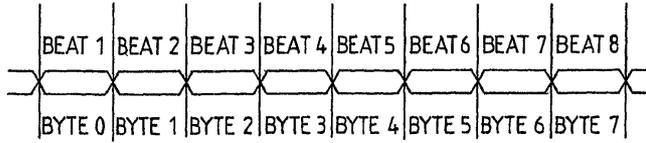
더 포함하는 데이터 블록 전송 방법.

도면

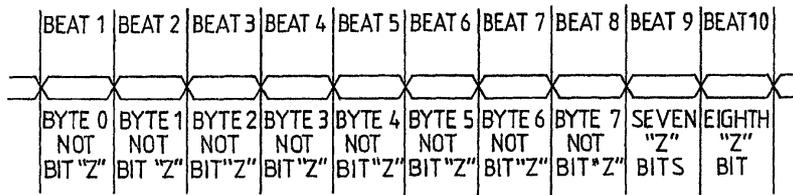
도면1



도면2

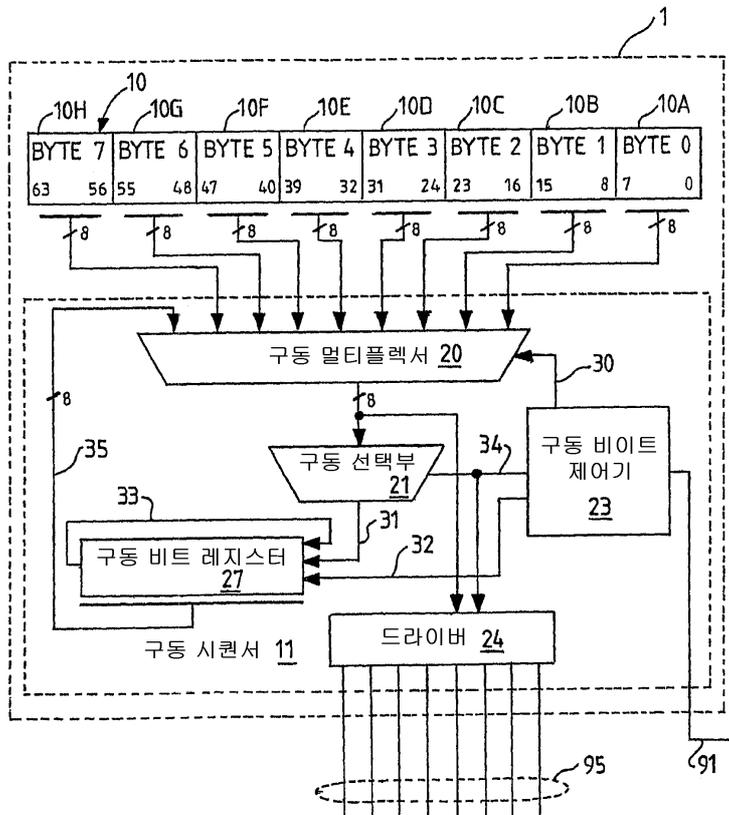


(a)

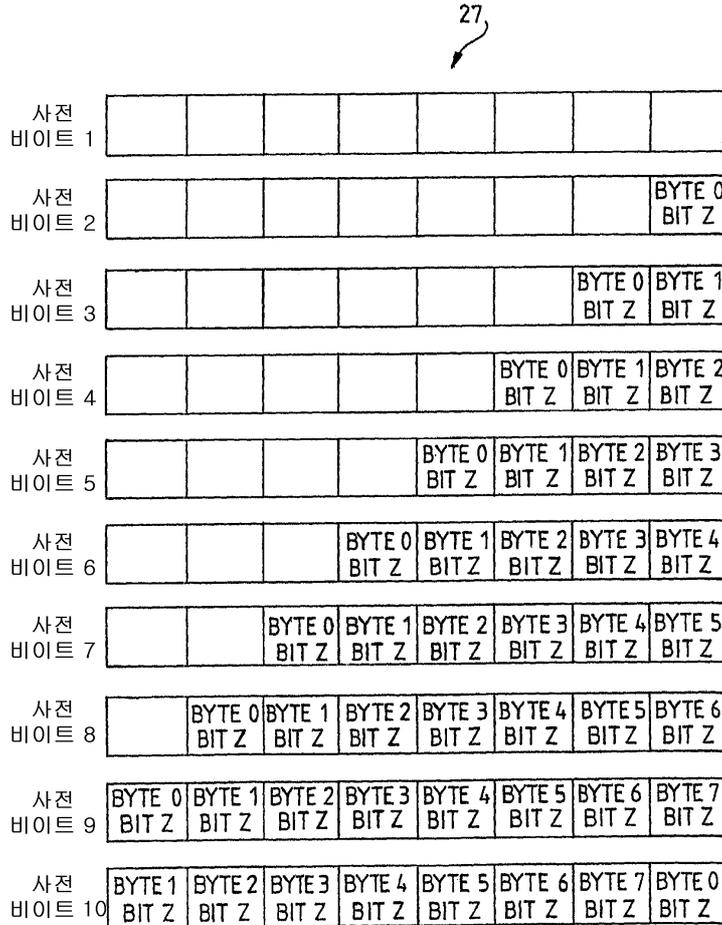


(b)

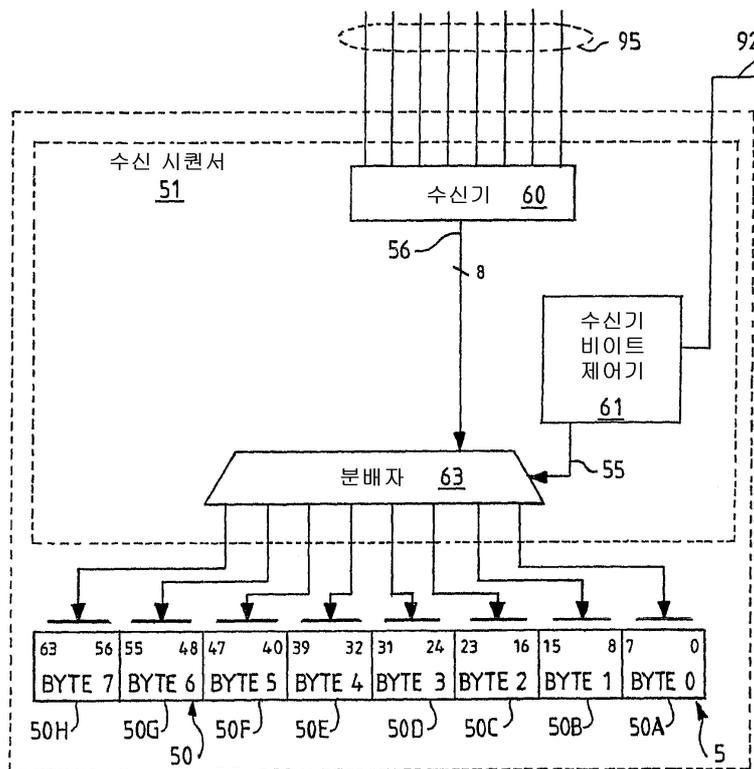
도면3



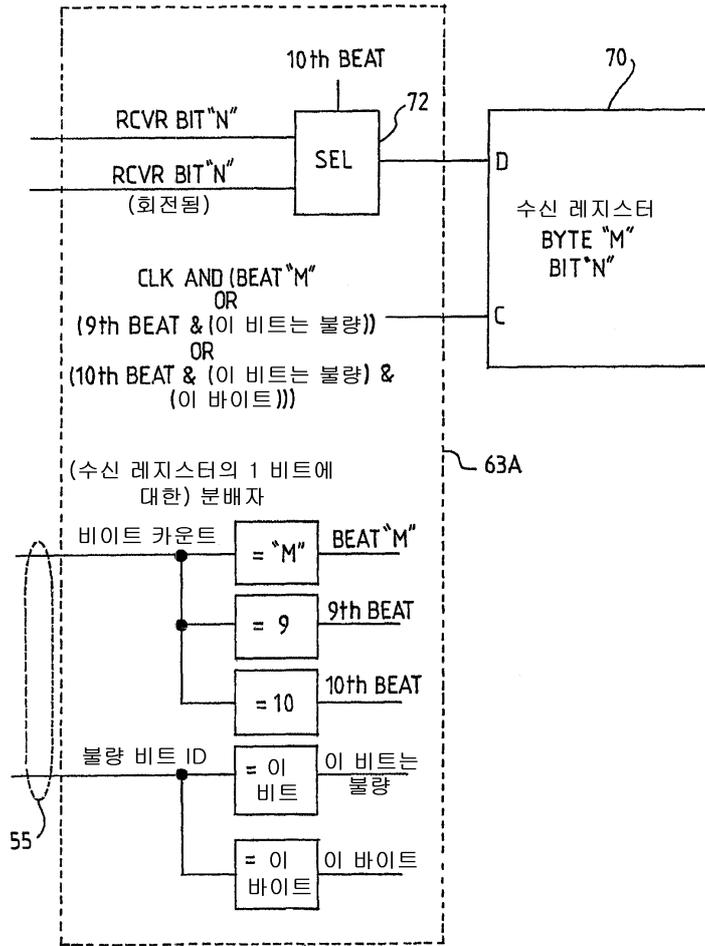
도면4



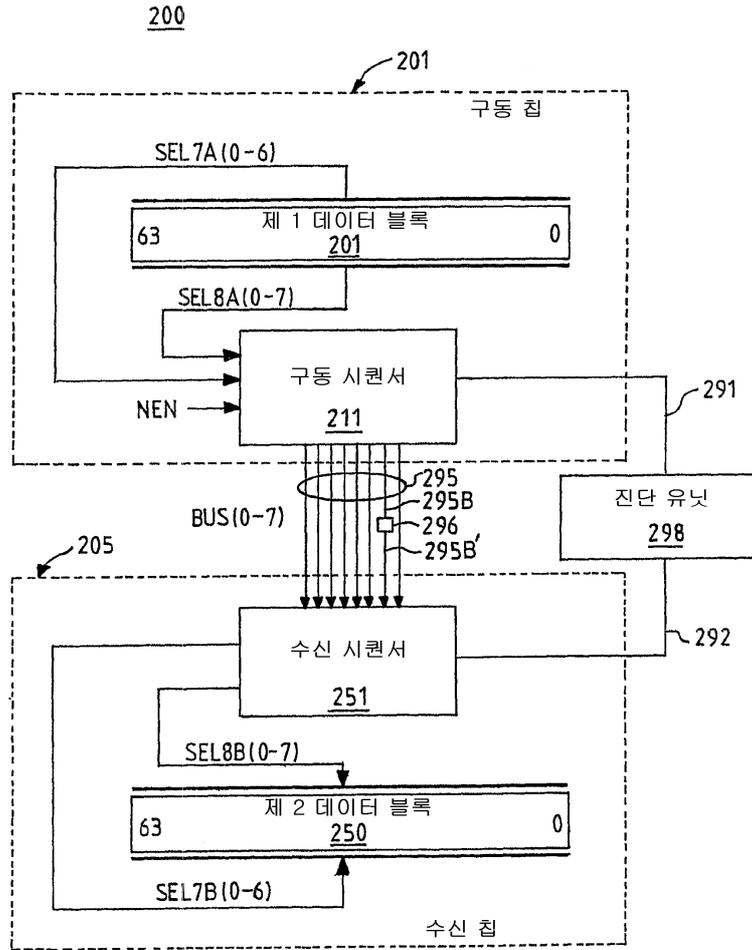
도면5



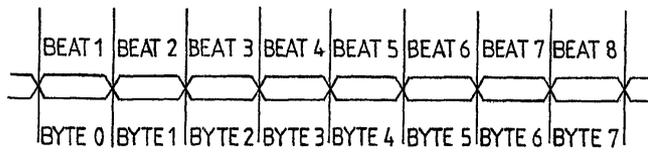
도면6



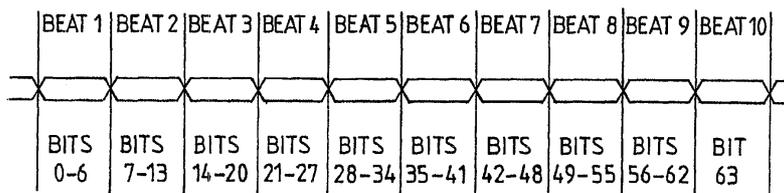
도면7



도면8

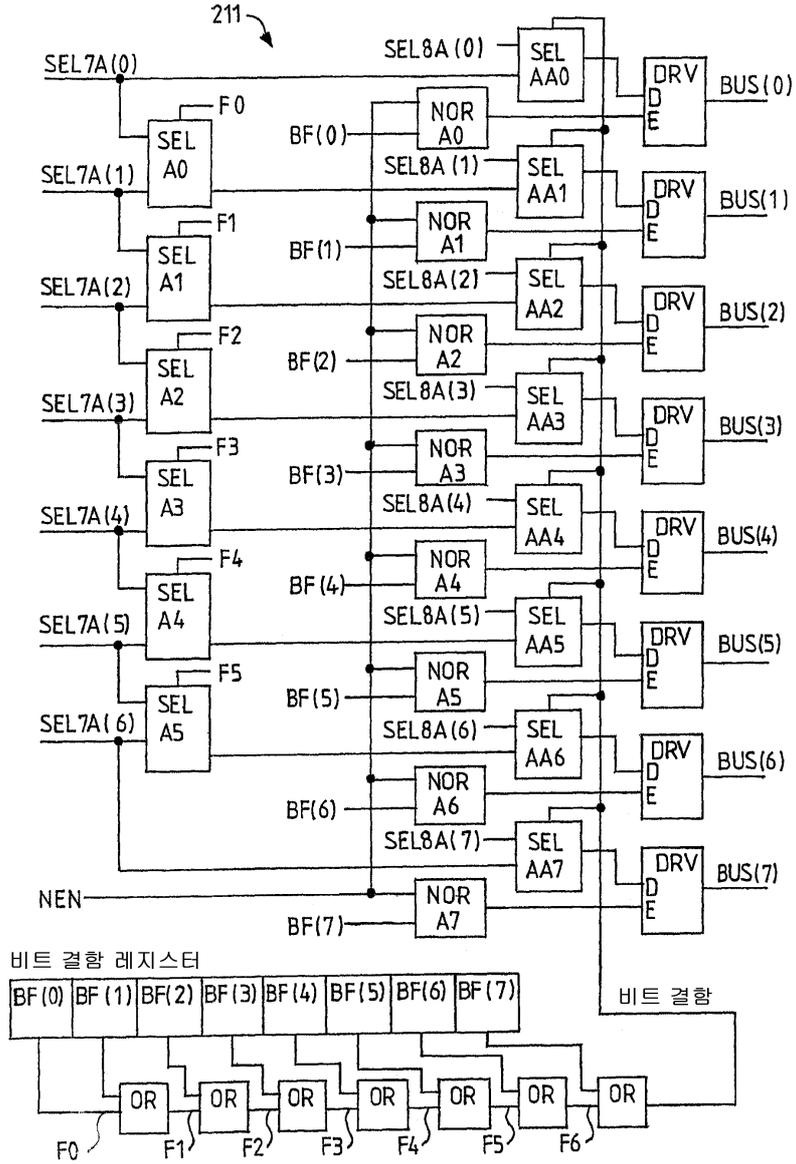


(a)

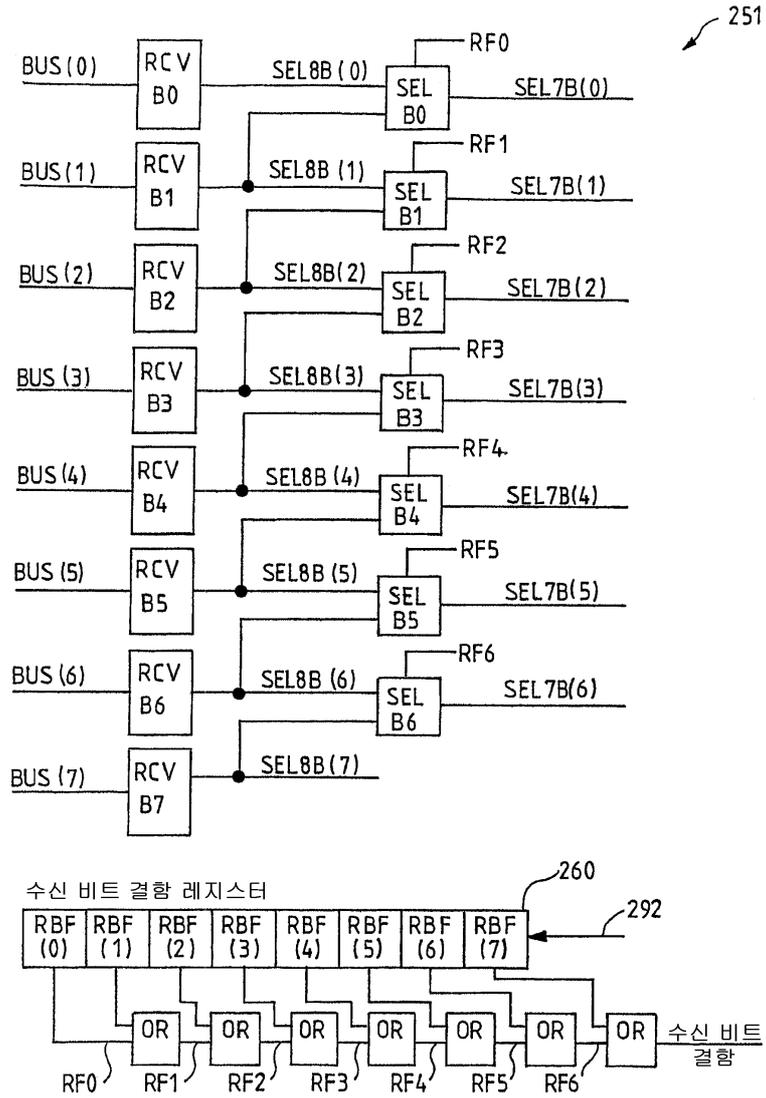


(b)

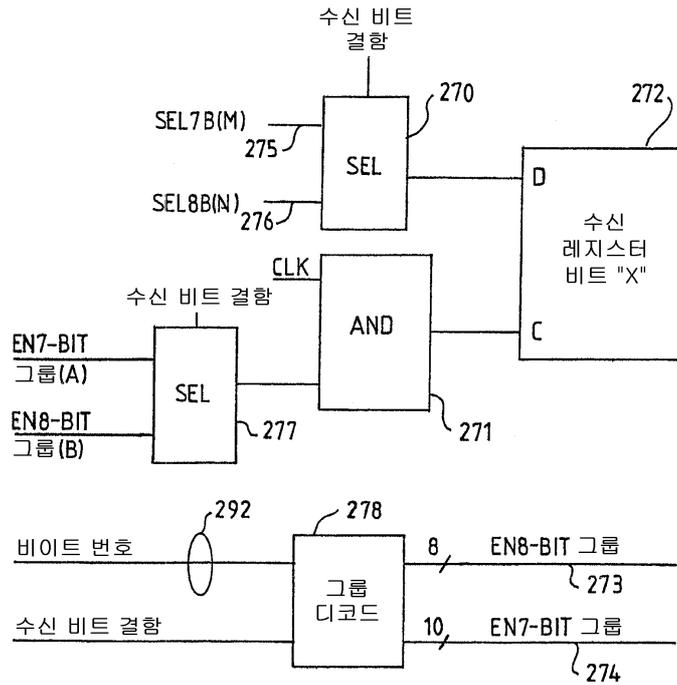
도면9



도면10

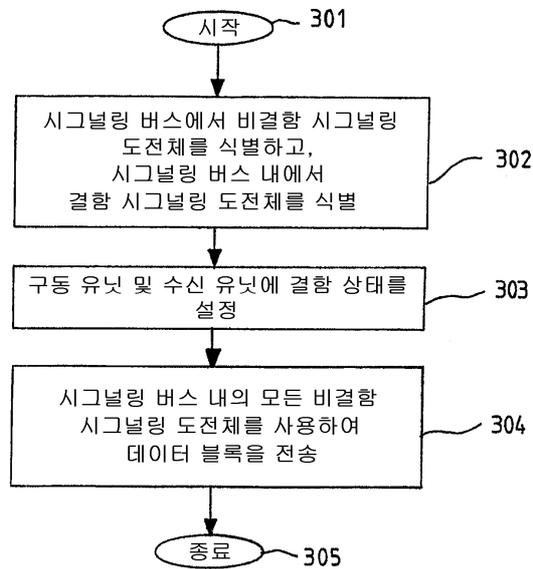


도면11

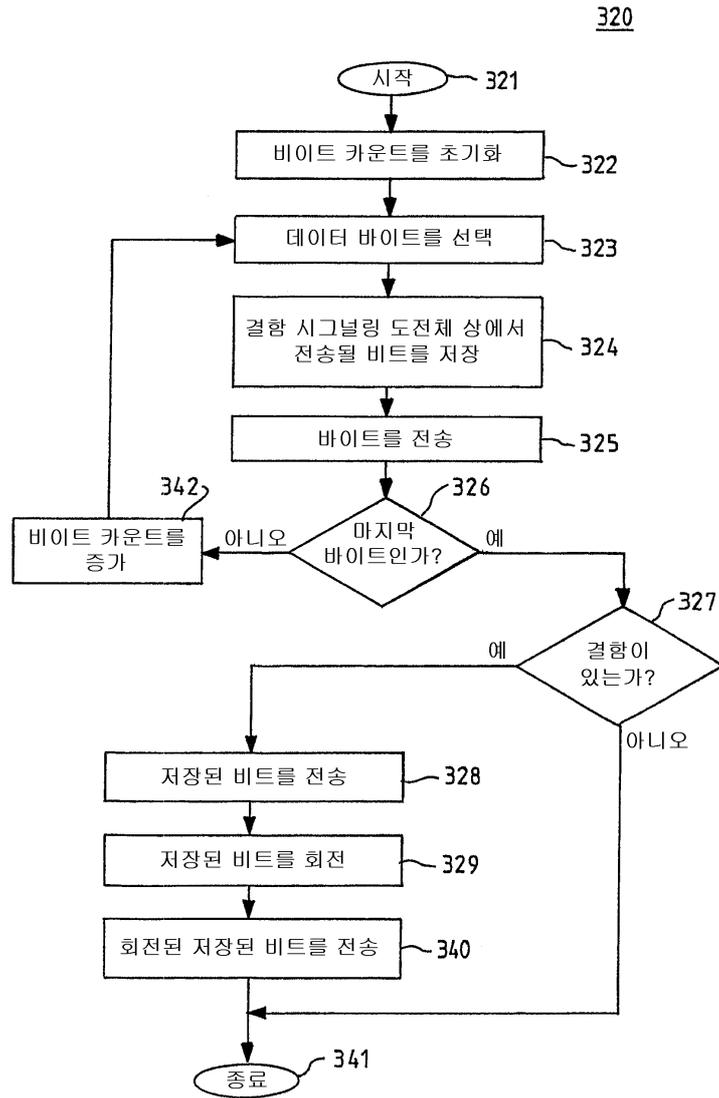


도면12

300



도면13



도면14

360

