(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. 7
H01L 21/76

(11) 공개번호 특2002 - 0003031
(43) 공개일자 2002년01월10일

(21) 출원번호 10 - 2000 - 0037417
(22) 출원일자 2000년06월30일

(71) 출원인 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136 - 1

(72) 발명자 전범진
경기도수원시권선구고색동연합대원아파트101 - 1006

(74) 대리인 특허법인 신성
최종식
정지원

심사청구 : 있음

(54) 반도체소자의 소자분리막 형성 방법

요약

본 발명은 소자분리막의 상측에 발생되는 모우트현상을 완화시키도록 한 소자분리막의 형성 방법에 관한 것으로, 패드산화막, 패드질화막의 적층구조로 이루어진 소자분리용 마스크를 이용하여 반도체기판을 선택적으로 식각하여 트렌치를 형성하는 제 1 단계; 상기 제 1 단계의 결과물상에 갭필특성이 우수한 절연막을 형성하는 제 2 단계; 상기 패드질화막이 노출될때까지 상기 절연막을 화학적기계적연마하여 상기 트렌치에 매립되는 소자분리막을 형성하는 제 3 단계; 상기 제 3 단계후, 상기 패드질화막을 제거하기 위한 세정공정을 실시하는 제 4 단계; 상기 제 4 단계후, 상기 소자분리막의 상측 모서리에서 발생되는 모우트를 포함한 전면에 폴리실리콘을 형성하는 제 5 단계; 상기 폴리실리콘을 블랭킷 식각하여 상기 모우트를 채우는 펜스형태의 폴리실리콘측벽을 형성하는 제 6 단계; 및 상기 패드산화막을 제거한 후, 상기 폴리실리콘측벽과 반도체기판의 산화속도차이를 이용하여 상기 반도체기판상에 게이트산화막을 형성하는 제 7 단계를 포함하여 이루어진다.

대표도
도 2f

색인어
소자분리막, 모우트현상

명세서

도면의 간단한 설명

도 1a내지 도 1d는 종래기술에 따른 소자분리막의 형성 방법을 도시한 도면,

도 2a내지 도 2f는 본 발명의 실시예에 따른 소자분리막의 형성 방법을 도시한 도면.

*도면의 주요 부분에 대한 부호의 설명

21 : 반도체기판 22 : 패드산화막

23 : 패드질화막 24 : 트렌치

25 : 측벽산화막 26 : 갭필산화막

27 : 폴리실리콘측벽 28 : 게이트산화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 제조 방법에 관한 것으로, 특히 모우트현상을 방지한 소자분리막의 형성 방법에 관한 것이다.

일반적으로, STI(Shallow Trench Isolation)공정에서는 트렌치(Trench)에 산화막(Oxide)을 매립하고, 패드질화막(Pad nitride)을 화학적기계적연마(Chemical Mechanical Polishing; CMP)공정의 방지막(Stopping layer)으로 하여 화학적기계적연마공정을 진행한 후 패드질화막을 제거하여 트렌치에 매립되는 필드산화막을 형성하므로써 소자를 분리시킨다.

도 1a 내지 도 1d는 종래기술에 따른 소자분리막의 형성 방법을 도시한 도면이다.

도 1a에 도시된 바와 같이, 반도체 기판(11)에 패드산화막(Pad oxide)(12)과 패드질화막(Pad Nitride)(13)을 증착한 다음, 상기 패드질화막(13) 및 패드산화막 (12)을 선택적으로 식각하여 후속 소자분리영역이 형성될 부분을 노출시킨다. 이어 상기 패터닝된 패드질화막(13) 및 패드산화막(12)을 마스크로 이용하여 상기 노출된 반도체 기판(11)을 소정깊이만큼 식각하여 트렌치(14)를 형성한다.

도 1b에 도시된 바와 같이, 상기 트렌치(14)의 측면에 산화공정을 실시하여 측면산화막(15)을 형성한 다음, 상기 트렌치(14)를 충분히 매립하도록 구조 전면에 갭필산화막(16)을 매립한다.

도 1c에 도시된 바와 같이, 상기 패드질화막(13)이 노출될때까지 상기 필드산화막을 화학적기계적연마(CMP)한다.

도 1d에 도시된 바와 같이, 소자분리막의 높이를 적당하게 조절하기 위한 세정공정, 상기 패드질화막(13)을 제거하기 위한 세정공정, 패드산화막(12)를 제거하기 위한 세정공정이 순차적으로 진행되는데, 이러한 세정공정이 진행되면서 소자분리막(16a)의 모서리부분이 과도하게 식각되어 소자분리막의 모서리부분에 인접합 활성영역의 아래부분까지 꺼지는 현상인 모우트(Moat)가 발생한다.

후속 게이트산화공정시 상기 소자분리막(16a)과 활성영역의 경계면에 발생된 모우트로 인해, 게이트산화막의 박막화(Gate oxide thinning)현상이 발생하여 GOI(Gate Oxide I) 오류발생률을 증가시킬뿐만 아니라, 활성영역과 소자분리막이 만나는 경계면에서 게이트형성시 폴리실리콘의 잔막이 발생되는 문제점이 있다. 이를 해결하기 위해 세정공정 진행시 처리시간을 감소시키고 있으나, 모우트현상을 방지하는데는 한계점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기 종래기술의 문제점을 해결하기 위해 안출한 것으로서, STI공정에서 소자분리막과 활성영역의 경계면에 발생하는 모우트현상을 완화하는데 적합한 소자분리막의 형성 방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명은 패드산화막, 패드질화막의 적층구조로 이루어진 소자분리용 마스크를 이용하여 반도체기판을 선택적으로 식각하여 트렌치를 형성하는 제 1 단계; 상기 제 1 단계의 결과물상에 갭필특성이 우수한 절연막을 형성하는 제 2 단계; 상기 패드질화막이 노출될때까지 상기 절연막을 화학적기계적연마하여 상기 트렌치에 매립되는 소자분리막을 형성하는 제 3 단계; 상기 제 3 단계후, 상기 패드질화막을 제거하기 위한 세정공정을 실시하는 제 4 단계; 상기 제 4 단계후, 상기 소자분리막의 상측 모서리에서 발생되는 모우트를 포함한 전면에 폴리실리콘을 형성하는 제 5 단계; 상기 폴리실리콘을 블랭킷식각하여 상기 모우트를 채우는 펜스형태의 폴리실리콘측벽을 형성하는 제 6 단계; 및 상기 패드산화막을 제거한 후, 상기 폴리실리콘측벽과 반도체기판의 산화속도차이를 이용하여 상기 반도체기판상에 게이트산화막을 형성하는 제 7 단계를 포함하여 이루어짐을 특징으로 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

도 2a 내지 도 2f는 본 발명의 실시예에 따른 소자분리막의 형성 방법을 도시한 도면이다.

도 2a에 도시된 바와 같이, 반도체 기판(21)에 패드산화막(Pad oxide)(22)과 패드질화막(Pad Nitride)(23)을 증착한 다음, 상기 패드질화막(23)상에 감광막을 도포하고 노광 및 현상으로 패터닝한다. 이어 상기 패터닝된 감광막(도시생략)을 마스크로 하여 상기 패드질화막(23) 및 패드산화막(22)을 선택적으로 식각하여 후속 소자분리영역이 형성될 부분을 노출시킨다.

이어 상기 패터닝된 패드질화막(23) 및 패드산화막(22)을 마스크로 이용하여 상기 노출된 반도체 기판(21)을 소정깊이만큼 식각하여 트렌치(24)를 형성한다.

도 2b에 도시된 바와 같이, 상기 트렌치(24)의 측면에 산화공정을 실시하여 측벽산화막(25)을 형성한 다음, 상기 트렌치(24)를 충분히 매립하도록 구조 전면에 TEOS(Tetra Ethyl Ortho Silicate)등의 갭필산화막(26)을 매립한다.

도 2c에 도시된 바와 같이, 상기 패드질화막(23)이 노출될때까지 상기 필드산화막을 화학적기계적연마(CMP)한다.

도 2d에 도시된 바와 같이, 소자분리막의 높이를 적당하게 조절하기 위한 세정공정, 상기 패드질화막(23)을 제거하기 위한 세정공정이 순차적으로 진행되는데, 이러한 세정공정이 진행되면서 소자분리막(26a)의 모서리부분이 과도하게 식각되어 소자분리막의 모서리부분에 인접합 활성영역의 아래부분까지 꺼지는 현상인 모우트(Moat)가 발생한다.

도 2e에 도시된 바와 같이, 상기 모우트가 발생된 소자분리막(26a)를 포함한 전면에 폴리실리콘을 증착함과 동시에 인시튜(Insitu)로 보론 또는 인을 도핑시킨 후, 상기 폴리실리콘을 블랭킷식각(Blanket Etch)하여 상기 모우트가 발생된 소자분리막(26a)의 상측 모서리를 채우는 펜스형태의 폴리실리콘측벽(Polysilicon fence)(27)을 형성한다. 이 때, 상기 폴리실리콘에 보론 또는 인과 같은 원소를 도핑하면 후속 게이트산화막 형성시, 반도체기판(21)과 폴리실리콘측벽(27)의 산화속도차이를 조절할 수 있다. 그리고, 상기 폴리실리콘의 블랭킷식각시, 탑산화막 선택비가 100:1이상인 Cl_2/O_2 가스 케미컬을 사용한 레시피를 사용하므로써 반도체기판의 손실없이 모우트지역에 폴리실리콘측벽(27)을 잔류시킨다.

이어 상기 패드산화막(22)의 세정공정을 실시한 후, 노출된 반도체기판상에 게이트산화막(28)을 형성한다. 이 때, 상기 상기 게이트산화막(28) 형성시, 산소(O_2)와 수소(H_2)의 혼합가스를 이용한 습식산화를 이용하거나, 산소를 이용한 건식산화를 이용하거나, 또는 습식산화와 건식산화를 모두 이용할 수 있으며, 상기 게이트산화막(28)은 700℃ 1100℃에서 형성된다.

상기와 같이, 상기 게이트산화막(28)형성시, {100} 반도 체기판(21)보다 산화속도가 빠른 폴리실리콘측벽(27)에 의해 모우트현상을 방지하므로 소자분리막의 토폴로지(Topology)를 평탄하게 할 수 있다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 바와 같은 본 발명의 소자분리막 형성 방법은 세정공정으로 발생된 모우트에 폴리실리콘측벽을 채우고, 반도체기판과 폴리실리콘측벽의 산화속도의 차이를 이용하여 게이트산화막을 형성하므로써, 모우트로 인한 소자분리막의 토폴로지(Topology)악화를 극복하여 소자의 오류를 방지할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

반도체소자의 제조 방법에 있어서,

패드산화막, 패드질화막의 적층구조로 이루어진 소자분리용 마스크를 이용하여 반도체기판을 선택적으로 식각하여 트렌치를 형성하는 제 1 단계;

상기 제 1 단계의 결과물상에 갭필특성이 우수한 절연막을 형성하는 제 2 단계;

상기 패드질화막이 노출될때까지 상기 절연막을 화학적기계적연마하여 상기 트렌치에 매립되는 소자분리막을 형성하는 제 3 단계;

상기 제 3 단계후, 상기 패드질화막을 제거하기 위한 세정공정을 실시하는 제 4 단계;

상기 제 4 단계후, 상기 소자분리막의 상측 모서리에서 발생되는 모우트를 포함한 전면에 폴리실리콘을 형성하는 제 5 단계;

상기 폴리실리콘을 블랭킷식각하여 상기 모우트를 채우는 펜스형태의 폴리실리콘측벽을 형성하는 제 6 단계; 및

상기 패드산화막을 제거한 후, 상기 폴리실리콘측벽과 반도체기판의 산화속도차이를 이용하여 상기 반도체기판상에 게이트산화막을 형성하는 제 7 단계

를 포함하여 이루어짐을 특징으로 하는 소자분리막의 형성 방법.

청구항 2.

제 1 항에 있어서,

상기 제 5 단계에서,

상기 폴리실리콘은 100Å 500Å의 두께로 형성되는 것을 특징으로 하는 소자분리막의 형성 방법.

청구항 3.

제 1 항에 있어서,

상기 제 6 단계는,

Cl_2/O_2 가스를 사용한 레시피로 이루어지는 것을 특징으로 하는 소자분리막의 형성 방법.

청구항 4.

제 1 항에 있어서,

상기 제 5 단계에서,

상기 폴리실리콘형성시, 인시튜로 3족 또 5족 원소를 도핑하는 것을 특징으로 하는 소자분리막의 형성 방법.

청구항 5.

제 4 항에 있어서,

상기 3족 원소는 보론을 이용하는 것을 특징으로 하는 소자분리막의 형성 방

청구항 6.

제 4 항에 있어서,

상기 5족 원소는 인을 이용하는 것을 특징으로 하는 소자분리막의 형성 방법.

청구항 7.

제 1 항에 있어서,

상기 제 7 단계에서,

상기 게이트산화막 형성시, 산소(O_2)와 수소(H_2)의 혼합가스를 이용한 습식산화를 이용하는 것을 특징으로 하는 소자분리막의 형성 방법.

청구항 8.

제 1 항에 있어서,

상기 제 7 단계에서,

상기 게이트산화막 형성시, 산소가스를 이용한 건식산화를 이용하는 것을 특징으로 하는 소자분리막의 형성 방법.

청구항 9.

제 1 항에 있어서,

상기 제 7 단계에서,

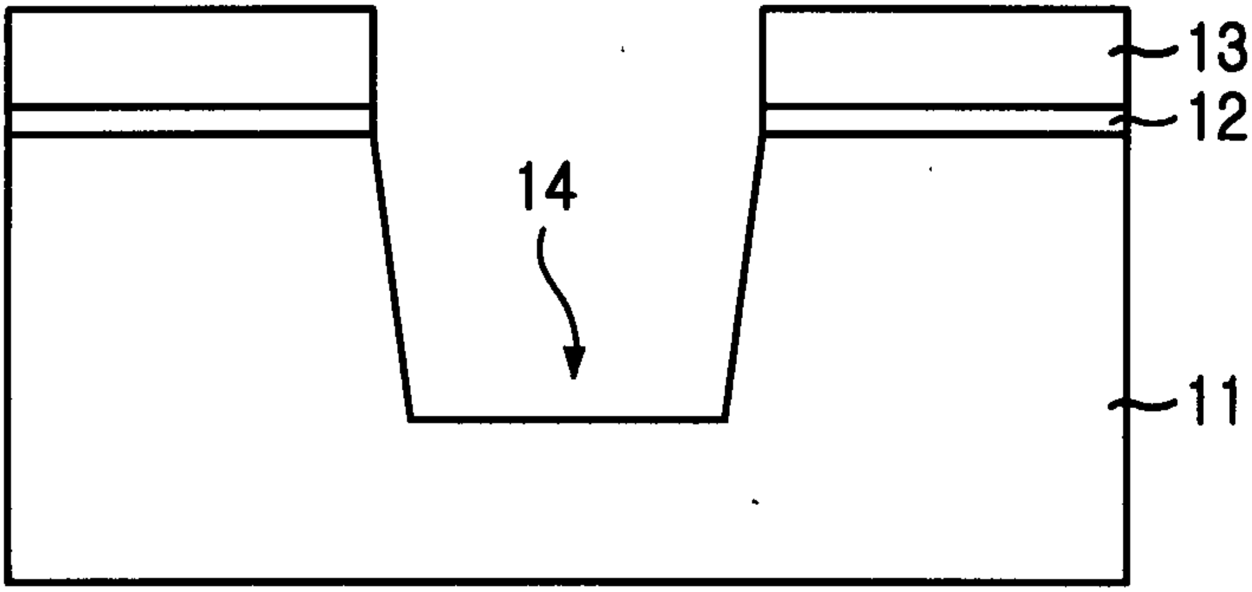
상기 게이트산화막 형성시, 습식산화와 건식산화를 모두 이용하는 것을 특징으로 하는 소자분리막의 형성 방법.

청구항 10.

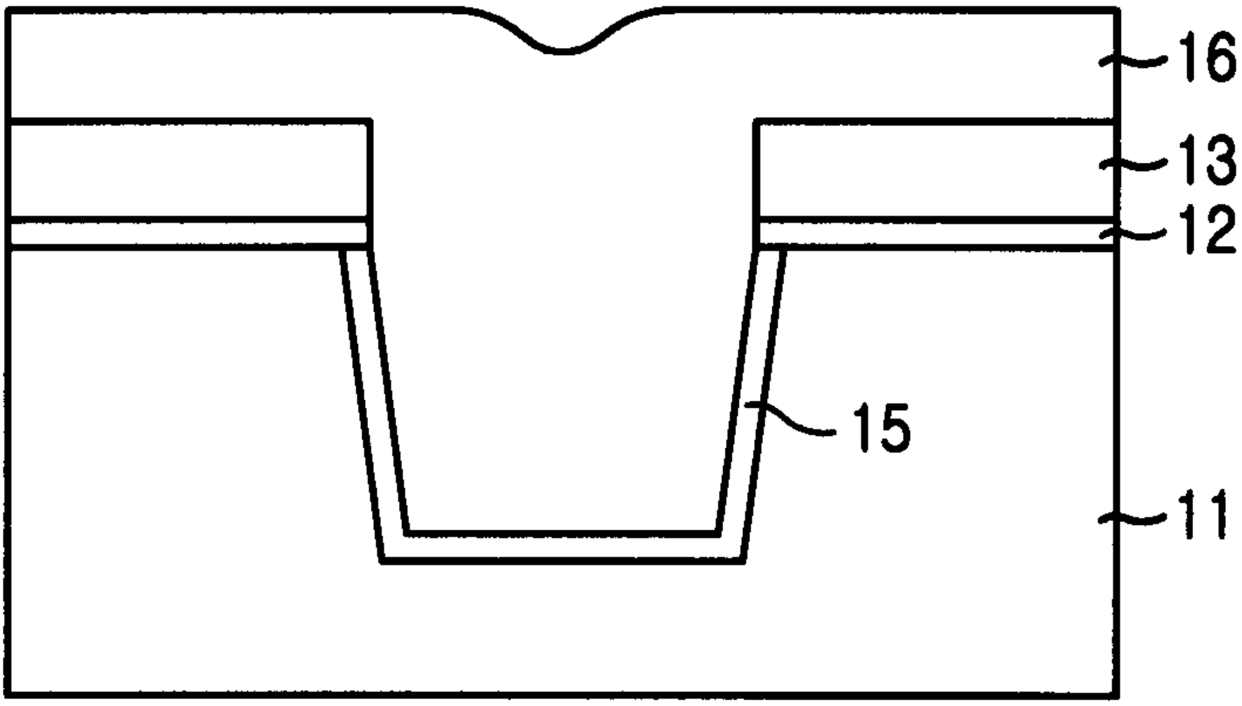
제 1 항에 있어서,

상기 제 7 단계는 700℃ 1100℃에서 이루어지는 것을 특징으로 하는 소자분리막의 형성 방법.

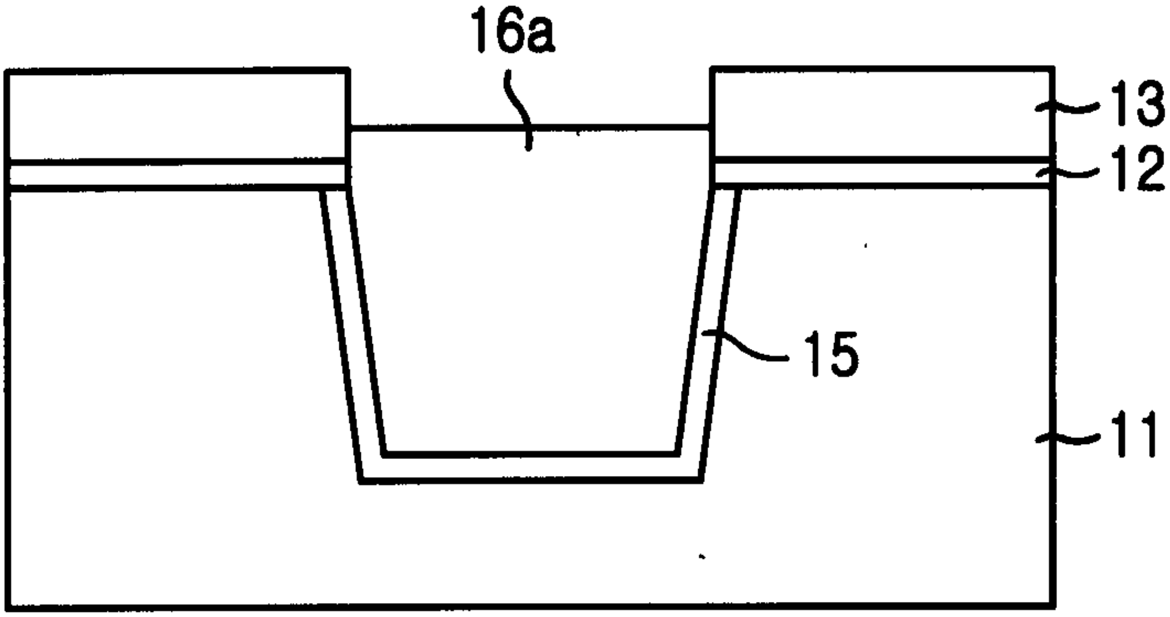
도면 1a



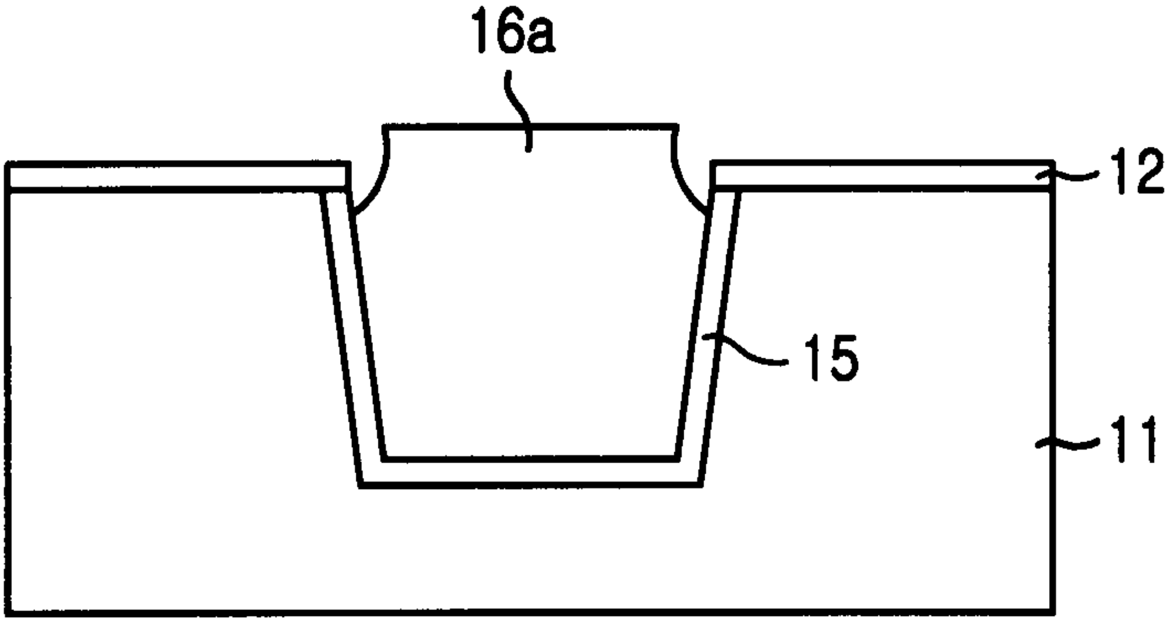
도면 1b



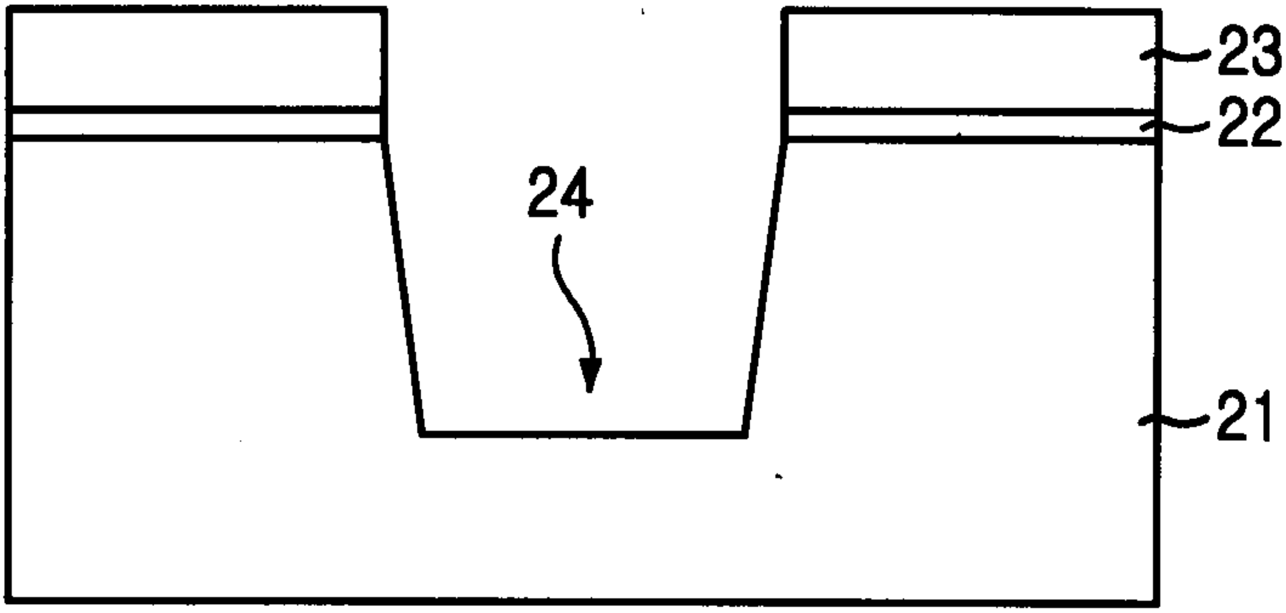
도면 1c



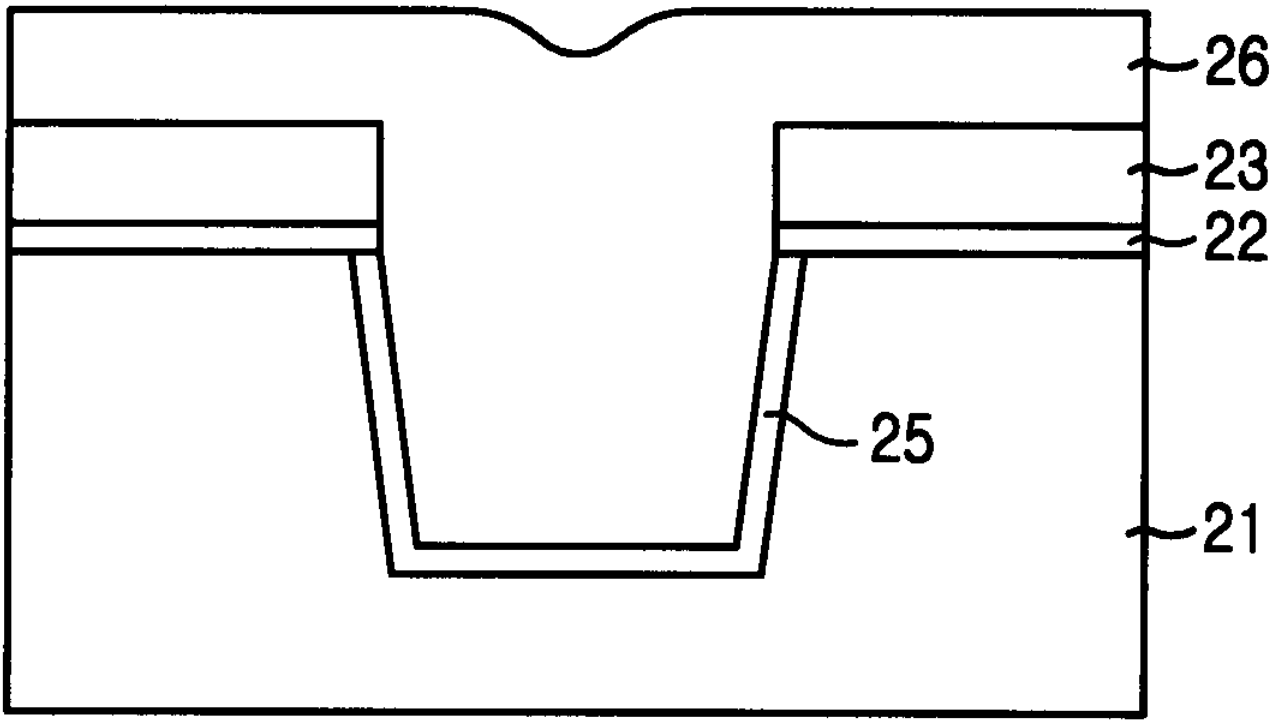
도면 1d



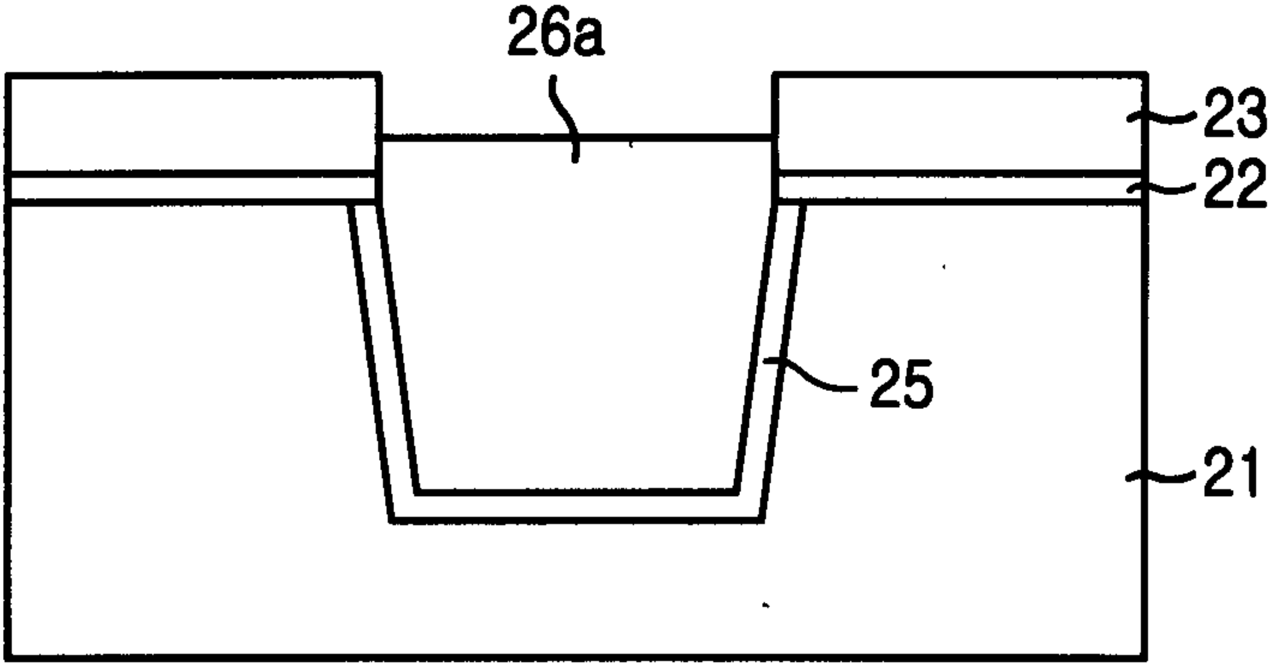
도면 2a



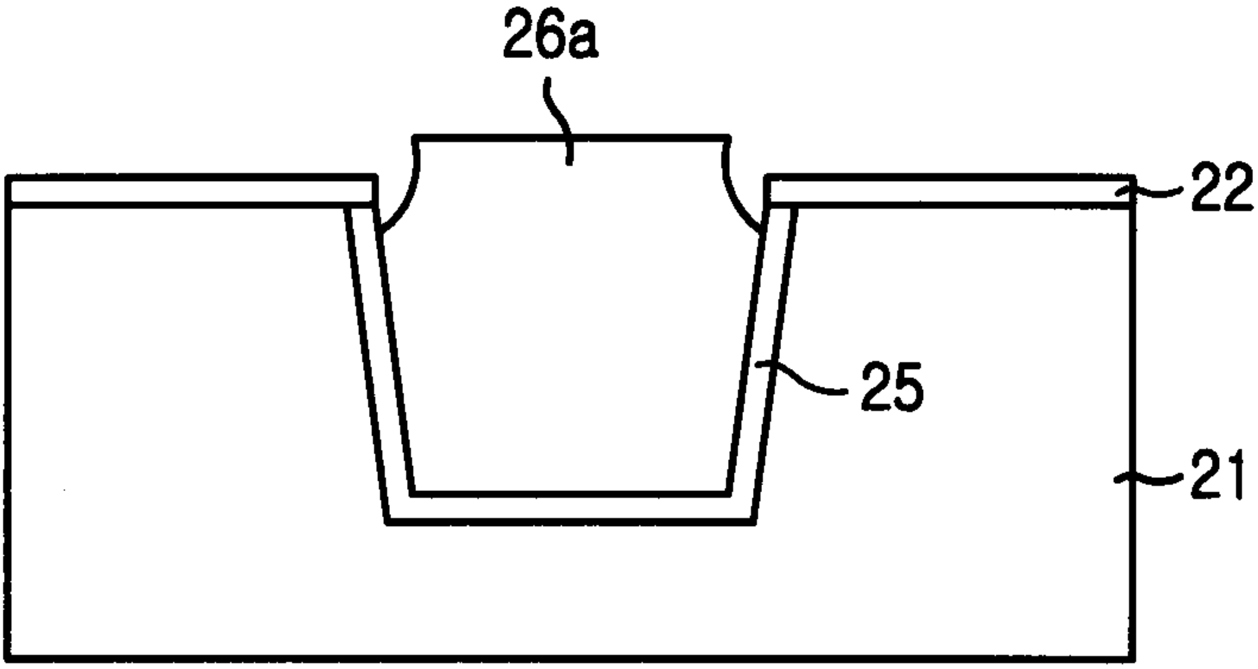
도면 2b



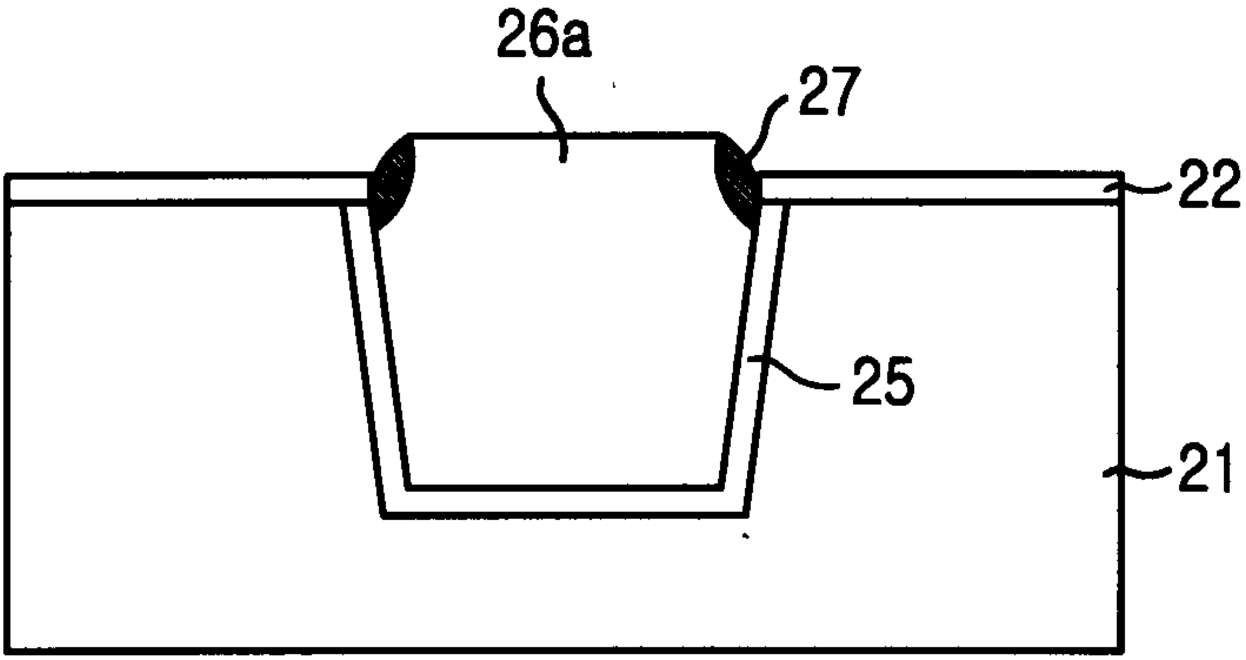
도면 2c



도면 2d



도면 2e



도면 2f