



(72) 발명자

**이곤섭**

서울특별시 강남구 선릉로85길 18, 정보아파트  
B-801호 (역삼동)

**김성제**

경기도 안산시 상록구 창말1길 41-1, 17동 101호  
(건건동, 삼풍파크타운)

**김태현**

서울특별시 노원구 동일로214길 21, 주공아파트  
414동 208호 (상계동)

## 특허청구의 범위

### 청구항 1

무 커패시터 메모리 소자에 있어서,  
반도체 기판;  
상기 반도체 기판상에 위치한 절연층;  
상기 절연층 상에 순차 형성된 제 1 층 및 제 2 층;  
상기 제 1 층 내의 일부 영역에 형성된 스토리지 영역;  
상기 스토리지 영역 상의 상기 제 2 층 내에 위치하고 상기 스토리지 영역과 밸런스 밴드 에너지를 갖는 채널 영역;  
상기 제 2 층 상의 상기 채널 영역 상에 순차적으로 형성된 게이트 절연막 및 게이트 전극; 및  
상기 채널 영역에 접촉되고 상기 게이트 전극 양측 영역에 위치하는 소스 및 드레인 전극을 포함하는 무 커패시터 메모리 소자.

### 청구항 2

게이트 전극 하측 영역에 전하를 저장하는 무 커패시터 메모리 소자에 있어서,  
반도체 기판;  
상기 반도체 기판상에 위치한 절연층;  
상기 절연층 상에 순차 형성된 제 1 층 및 제 2 층;  
상기 제 1 층 내의 적어도 일부 영역에 형성된 스토리지 영역;  
적어도 상기 스토리지 영역 상의 상기 제 2 층 내에 위치한 채널 영역;  
상기 제 2 층 상의 적어도 상기 채널 영역 상에 순차적으로 형성된 게이트 절연막 및 게이트 전극; 및  
적어도 상기 채널 영역에 접촉되고 상기 게이트 전극 양측 영역에 위치하는 소스 및 드레인 전극을 포함하고,  
상기 스토리지 영역과 상기 채널 영역을 형성하는 재료 성분이 서로 상이한 무 커패시터 메모리 소자.

### 청구항 3

청구항 2에 있어서,  
상기 스토리지 영역은 상기 채널 영역과 밸런스 밴드 에너지를 갖는 무 커패시터 메모리 소자.

### 청구항 4

청구항 1 또는 청구항 2에 있어서,  
상기 스토리지 영역은 상기 채널 영역에 형성된 채널을 구성하는 전하와 다른 극성의 전하를 저장하는 무 커패시터 메모리 소자.

### 청구항 5

청구항 1 또는 청구항 2에 있어서,  
상기 스토리지 영역에 채널이 형성되고, 상기 채널 영역은 상기 스토리지 영역에 형성된 채널을 구성하는 전하와 다른 극성의 전하를 저장하는 무 커패시터 메모리 소자.

### 청구항 6

청구항 1 또는 청구항 2에 있어서,

상기 스토리지 영역의 밴드갭이 상기 채널 영역의 밴드갭 보다 작고,

상기 스토리지 영역의 전자 친화도가 상기 채널 영역의 전자 친화도보다 작은 무 커패시터 메모리 소자.

#### 청구항 7

청구항 1 또는 청구항 2에 있어서,

상기 스토리지 영역의 밴드갭이 상기 채널 영역의 밴드갭 보다 크고,

상기 스토리지 영역의 전자 친화도가 상기 채널 영역의 전자 친화도보다 큰 무 커패시터 메모리 소자.

#### 청구항 8

청구항 1 또는 청구항 3에 있어서,

상기 스토리지 영역의 밸런스 밴드 에너지가 상기 채널 영역의 밸런스 밴드 에너지보다 높은 무 커패시터 메모리 소자.

#### 청구항 9

청구항 1 또는 청구항 3에 있어서,

상기 밸런스 밴드 에너지 차가 0.1 내지 1eV인 무 커패시터 메모리 소자.

#### 청구항 10

삭제

#### 청구항 11

청구항 1 또는 청구항 2에 있어서,

상기 소스 및 드레인 전극은 적어도 상기 게이트 전극 양측의 상기 제 2 층에 불순물 이온 주입을 통해 형성된 무 커패시터 메모리 소자.

#### 청구항 12

청구항 1 또는 청구항 2에 있어서,

상기 제 1 층은 Ge 함유 재료를 포함하고, 상기 제 2 층은 Si 함유 재료를 포함하는 무 커패시터 메모리 소자.

#### 청구항 13

청구항 1 또는 청구항 2에 있어서,

상기 제 1 층은 SiGe계 재료를 포함하고, 상기 제 2 층은 Si계 재료를 포함하는 무 커패시터 메모리 소자.

#### 청구항 14

청구항 1 또는 청구항 2에 있어서,

상기 제 1 층 및 제 2 층 중 어느 한 층은 스트레인드된 층인 무 커패시터 메모리 소자.

#### 청구항 15

청구항 1 또는 청구항 2에 있어서,

상기 절연층 상의 일부 영역에 형성된 제 1 층과, 상기 제 1 층을 포함하는 상기 절연층 전면에서 형성된 제 2 층을 구비하고, 상기 제 1 층 상측의 상기 제 2 층 상에 상기 게이트 전극이 형성되고,

상기 스토리지 영역은 상기 제 1 층이고,

상기 채널 영역은 적어도 상기 제 1 층 상측에 위치한 상기 제 2 층 내에 형성된 무 커패시터 메모리 소자.

#### 청구항 16

청구항 15에 있어서,

상기 소스 및 드레인 전극은 적어도 상기 게이트 전극 양측의 상기 제 2 층에 불순물 이온 주입을 통해 형성된 무 커패시터 메모리 소자.

#### 청구항 17

청구항 15에 있어서,

상기 제 1 층은 Ge 함유 재료를 포함하고, 상기 제 2 층은 Si 함유 재료를 포함하는 무 커패시터 메모리 소자.

#### 청구항 18

청구항 15에 있어서,

상기 제 1 층은 SiGe계 재료를 포함하고, 상기 제 2 층은 Si계 재료를 포함하는 무 커패시터 메모리 소자.

#### 청구항 19

청구항 15에 있어서,

상기 제 1 층 및 제 2 층 중 어느 한 층은 스트레인드된 층인 무 커패시터 메모리 소자.

#### 청구항 20

무 커패시터 메모리 소자에 있어서,

반도체 기관;

상기 반도체 기관상에 위치한 절연층;

상기 절연층 상의 일부 영역에 섬 또는 바 형태로 형성된 제 1 층;

상기 제 1 층의 적어도 3면을 감싸도록 형성된 제 2 층;

상기 제 2 층을 감싸도록 형성된 게이트 절연막;

상기 게이트 절연막의 측면면 영역의 적어도 일부에 형성된 게이트 전극;

상기 게이트 전극 측면 영역의 상기 제 1 층에 형성된 스토리지 영역;

상기 게이트 전극 측면 영역의 상기 제 2 층에 형성된 채널 영역을 포함하는 무 커패시터 메모리 소자.

#### 청구항 21

청구항 20에 있어서,

적어도 상기 게이트 전극 양측의 상기 제 2 층에 불순물 이온 주입을 통해 형성된 소스 및 드레인 전극을 포함하는 무 커패시터 메모리 소자.

#### 청구항 22

청구항 20에 있어서,

상기 제 1 층은 Ge 함유 재료를 포함하고, 상기 제 2 층은 Si 함유 재료를 포함하는 무 커패시터 메모리 소자.

#### 청구항 23

청구항 20에 있어서,

상기 제 1 층은 SiGe계 재료를 포함하고, 상기 제 2 층은 Si계 재료를 포함하는 무 커패시터 메모리 소자.

#### 청구항 24

청구항 20에 있어서,

상기 제 1 층 및 제 2 층 중 어느 한 층은 스트레인드된 층인 무 커패시터 메모리 소자.

#### 청구항 25

무 커패시터 메모리 소자에 있어서,

반도체 기판;

상기 반도체 기판상에 위치한 절연층;

상기 절연층 상의 일부 영역에 섬 또는 바 형태로 형성된 제 1 층;

상기 제 1 층의 적어도 3면을 감싸도록 형성된 제 2 층;

상기 제 2 층의 적어도 일부를 감싸도록 형성된 게이트 절연막 및 게이트 전극;

상기 게이트 전극에 감싸인 영역의 상기 제 1 층에 형성된 스토리지 영역;

상기 게이트 전극에 감싸인 영역의 상기 제 2 층에 형성된 채널 영역을 포함하는 무 커패시터 메모리 소자.

#### 청구항 26

청구항 25에 있어서,

적어도 상기 게이트 전극 양측의 상기 제 2 층에 불순물 이온 주입을 통해 형성된 소스 및 드레인 전극을 포함하는 무 커패시터 메모리 소자.

#### 청구항 27

청구항 25에 있어서,

상기 제 1 층은 Ge 함유 재료를 포함하고, 상기 제 2 층은 Si 함유 재료를 포함하는 무 커패시터 메모리 소자.

#### 청구항 28

청구항 25에 있어서,

상기 제 1 층은 SiGe계 재료를 포함하고, 상기 제 2 층은 Si계 재료를 포함하는 무 커패시터 메모리 소자.

#### 청구항 29

청구항 25에 있어서,

상기 제 1 층 및 제 2 층 중 어느 한 층은 스트레인드된 층인 무 커패시터 메모리 소자.

#### 청구항 30

청구항 1 또는 청구항 2에 있어서,

상기 스토리지 영역은 Ge 함유 재료를 포함하고, 상기 채널 영역은 Si 함유 재료를 포함하는 무 커패시터 메모리 소자.

#### 청구항 31

청구항 30에 있어서,

상기 스토리지 영역은 스트레인드 Ge 함유 층을 포함하고, 상기 채널 영역은 Si 함유 층을 포함하는 무 커패시터 메모리 소자.

#### 청구항 32

청구항 30에 있어서,

상기 스토리지 영역은 릴렉스드 Ge 함유 층을 포함하고, 상기 채널 영역은 스트레인드 Si 함유 층을 포함하는

무 커패시터 메모리 소자.

#### 청구항 33

청구항 1 또는 청구항 2에 있어서,

상기 스토리지 영역은 SiGe계 재료를 포함하고, 상기 채널 영역은 Si계 재료를 포함하는 무 커패시터 메모리 소자.

#### 청구항 34

청구항 33에 있어서,

상기 스토리지 영역은 스트레인드 SiGe층을 포함하고, 상기 채널 영역은 Si층을 포함하는 무 커패시터 메모리 소자.

#### 청구항 35

청구항 33에 있어서,

상기 스토리지 영역은 릴렉스드 SiGe층을 포함하고, 상기 채널 영역은 스트레인드 Si층을 포함하는 무 커패시터 메모리 소자.

#### 청구항 36

청구항 33에 있어서,

상기 SiGe계 재료의 Ge 농도는 10 내지 95 at% 인 무 커패시터 메모리 소자.

#### 청구항 37

청구항 1 또는 청구항 2에 있어서,

상기 게이트 전극을 포함하는 전체 구조상에 형성된 층간 절연막과,

상기 층간 절연막의 일부를 관통하여 상기 소스 및 드레인 전극에 각기 접속된 제 1 및 제 2 배선을 더 구비하는 무 커패시터 메모리 소자.

#### 청구항 38

청구항 1 또는 청구항 2에 있어서,

상기 소스 및 드레인 전극에 제공되는 소스 및 드레인 전압 레벨을 각각 제어하여 스토리지 영역에 차징되는 전하량을 제어하여 멀티 레벨 구동하는 무 커패시터 메모리 소자.

#### 청구항 39

청구항 38에 있어서,

상기 게이트 전극과 상기 반도체 기판에는 각각 게이트 전압과 바이어스 전압이 인가되며, 상기 게이트 전압과 바이어스 전압의 극성은 반대인 무 커패시터 메모리 소자.

#### 청구항 40

청구항 1 또는 청구항 2에 있어서,

상기 게이트 전극에 게이트 전압, 상기 소스 및 드레인 전극에 각기 소스 및 드레인 전압 그리고, 상기 반도체 기판에 바이어스 전압을 인가하되,

상기 게이트 전극에 제공되는 게이트 전압과 상기 반도체 기판에 제공되는 바이어스 전압을 제어하여 멀티 비트 구동하는 무 커패시터 메모리 소자.

#### 청구항 41

청구항 40에 있어서,

상기 게이트 전극에 상기 바이어스 전압과 극성이 다른 게이트 전압을 인가하여 제 1 비트 구동하고,

상기 게이트 전극과 상기 반도체 기판에 상기 제 1 비트 구동과 다른 극성의 게이트 전압 및 백 바이어스 전압을 인가하여 제 2 비트 구동하는 무 커패시터 메모리 소자.

#### 청구항 42

청구항 41에 있어서,

상기 제 2 비트 구동에서 상기 백 바이어스 전압의 절대값의 크기는 상기 게이트 전압의 절대값의 크기보다 큰 무 커패시터 메모리 소자.

### 명세서

#### 발명의 상세한 설명

##### 기술 분야

[0001] 본 발명은 무 커패시터 메모리 소자에 관한 것으로, 전하 저장을 위한 별도의 커패시터를 형성하지 않을 수 있는 메모리 소자에 관한 것이다.

##### 배경 기술

[0002] 일반적으로 메모리 소자는 소정의 정보를 저장 및 보관하고 필요한 시점에서 빼낼수 있는 장치를 지칭한다. 이러한 메모리 소자의 일 예로 DRAM(Dynamic Random Access Memory) 소자를 들 수 있다. DRAM은 한개의 트랜지스터와 한개의 커패시터로 구성된 복수의 단위 셀이 집적되어 있다. 즉, 단위 셀의 커패시터에 전하의 차징 유무를 기준으로 일 비트의 정보를 저장한다.

[0003] 근래 들어 동일 면적에 많은 단위 셀을 집적시켜 더 많은 정보를 저장하여 가격 경쟁력을 확보하고자 연구 중이다. 이와 같이 동일 면적에 더 많은 수의 단위 셀을 집적시키기 위해서는 단위 셀을 구성하는 트랜지스터와 커패시터의 집적 면적(즉, 크기)이 줄어들어야 한다. 하지만, 트랜지스터와 커패시터의 면적을 무한정 줄일 수 없는 단점이 있다.

[0004] 커패시터의 면적이 줄어들게 되면 이에 따라 커패시턴스가 줄어들게 된다. 따라서, 커패시터를 일정하게 유지하기 위해서는 커패시터의 높이를 늘려야 한다. 즉, 예를 들어 DRAM의 디자인 룰이 60nm인 경우 커패시터의 높이는 약 1.6 $\mu$ m가 된다. 만일 DRAM의 디자인 룰이 40nm로 줄어드는 경우 커패시터의 높이는 약 2.0 $\mu$ m로 늘어 나게 된다. 이와 같이 커패시터의 높이가 증가할 경우, 실린더 구조의 커패시터 제작을 위한 홀 형성시 종횡비가 커지기 때문에 원활한 패터닝이 어려워지는 문제가 발생한다. 또한, 인접 커패시터간의 간격이 줄어들고, 커패시터의 높이가 증가함으로 인해 커패시터의 쓰러짐 현상등으로 인해 인접한 커패시터가 전기적으로 접속되는 문제가 발생한다. 따라서, DRAM의 디자인 룰이 40nm 이하로 줄어들 경우 실린더 구조의 커패시터를 적용하기 어려운 실정이다.

#### 발명의 내용

##### 해결 하고자하는 과제

[0005] 이에 최근에는 상술한 바와 같이 디자인 룰의 감소에 따라 많은 문제를 발생시키는 DRAM 소자의 커패시터를 없애고 이를 대체할 수 있는 소자 형태에 관한 연구가 활발히 진행중이다. 그 일례로 하나의 트랜지스터로 단위 셀을 제작한 캡 리스 메모리 소자(즉, 무 커패시터 메모리 소자)가 있다. 무 커패시터 메모리 소자의 경우 종래의 커패시터 대신 트랜지스터의 실리콘 몸체에 전하를 차징한다.

[0006] 이와 같은 무 커패시터 메모리 소자는 트랜지스터의 드레인에 게이트보다 큰 전압이 인가되면 드레인의 강한 전



계로 충돌 이온화(impact ionization)가 발생하여 전자는 드레인으로 빠져나가거나 홀은 실리콘 몸체(즉, 트랜지스터의 하측 실리콘층)에 축적된다. 이러한 홀의 축적으로 인해 문턱 전압이 변화하게 되고, 이로 인해 드레인 전류가 변화하게 된다(즉, 이를 킥 효과(kink effect)라 함). 이때, 드레인 전류 변화를 읽어서 셀의 비트 정보 저장 유무를 판단한다.

[0007] 하지만, 종래의 무 커패시터 메모리 소자는 소스 및 드레인 전극이 형성된 실리콘 몸체에 홀이 축적됨으로 인해, 실리콘 몸체에 축적된 홀이 시간이 지남에 따라 소스 및 드레인으로 누설된다. 이로 인해 불충분한 홀 보유 시간을 갖게 되어 원활한 정보 저장 능력이 저하되는 문제가 있다.

[0008] 이에 본 발명은 전하(즉, 홀 또는 전자)가 축적될 몸체의 일부에 전하의 누설을 방지하는 스토리지층을 형성하여 전하 보유 시간을 늘려 정보 저장 능력을 향상시킬 수 있는 무 커패시터 메모리 소자를 제공한다.

### 과제 해결수단

[0009] 본 발명에 따른 무 커패시터 메모리 소자에 있어서, 반도체 기판과, 상기 반도체 기판상에 위치한 절연층과, 상기 절연층 상의 일부 영역에 형성된 스토리지 영역과, 상기 스토리지 영역 상에 위치하고 상기 스토리지 영역과 밸런스 밴드 에너지 차를 갖는 채널 영역과, 상기 채널 영역 상에 순차적으로 형성된 게이트 절연막 및 게이트 전극 및 상기 채널 영역에 접속되고 상기 게이트 전극 양측 영역에 위치하는 소스 및 드레인 전극을 포함하는 무 커패시터 메모리 소자를 제공한다.

[0010] 또한, 본 발명에 따른 게이트 전극 하측 영역에 전하를 저장하는 무 커패시터 메모리 소자에 있어서, 반도체 기판과, 상기 반도체 기판상에 위치한 절연층과, 상기 절연층 상의 적어도 일부 영역에 형성된 스토리지 영역과, 적어도 상기 스토리지 영역 상에 위치한 채널 영역과, 적어도 상기 채널 영역 상에 순차적으로 형성된 게이트 절연막 및 게이트 전극 및 적어도 상기 채널 영역에 접속되고 상기 게이트 전극 양측 영역에 위치하는 소스 및 드레인 전극을 포함하고, 상기 스토리지 영역과 상기 채널 영역을 형성하는 재료 성분이 서로 상이한 무 커패시터 메모리 소자를 제공한다.

[0011] 상기 스토리지 영역은 상기 채널 영역과 밸런스 밴드 에너지 차를 갖는 것이 바람직하다.

[0012] 상기 스토리지 영역은 상기 채널 영역에 형성된 채널을 구성하는 전하와 다른 극성의 전하를 저장하는 것이 효과적이다.

[0013] 상기 스토리지 영역에 채널이 형성되고, 상기 채널 영역은 상기 스토리지 영역에 형성된 채널을 구성하는 전하와 다른 극성의 전하를 저장하는 것이 바람직하다.

[0014] 상기 스토리지 영역의 밴드갭이 상기 채널 영역의 밴드갭 보다 작고, 상기 스토리지 영역의 전자 친화도가 상기 채널 영역의 전자 친화도보다 작은 것이 바람직하다.

[0015] 상기 스토리지 영역의 밴드갭이 상기 채널 영역의 밴드갭 보다 크고, 상기 스토리지 영역의 전자 친화도가 상기 채널 영역의 전자 친화도보다 클 수도 있다.

[0016] 상기 스토리지 영역의 밸런스 밴드 에너지가 상기 채널 영역의 밸런스 밴드 에너지보다 높은 것이 바람직하다.

[0017] 상기 밸런스 밴드 에너지 차가 0.1 내지 1eV인 것이 효과적이다.

[0018] 상기 절연층 상에 순차적으로 형성된 제 1 및 제 2 층을 구비하고, 상기 제 2 층상에 상기 게이트 절연막 및 상기 게이트 전극이 형성되고, 상기 스토리지 영역은 상기 제 1 층 내에 형성되고, 상기 채널 영역은 상기 제 2 층 내에 형성되는 것이 바람직하다.

[0019] 상기 소스 및 드레인 전극은 적어도 상기 게이트 전극 양측의 상기 제 2 층에 불순물 이온 주입을 통해 형성되는 것이 효과적이다.

[0020] 상기 제 1 층은 Ge 함유 재료를 포함하고, 상기 제 2 층은 Si 함유 재료를 포함하는 것이 바람직하다.

[0021] 상기 제 1 층은 SiGe계 재료를 포함하고, 상기 제 2 층은 Si계 재료를 포함하는 것이 효과적이다.

[0022] 상기 제 1 층 및 제 2 층 중 어느 한 층은 스트레인드된 층인 것이 바람직하다.

[0023] 상기 절연층 상의 일부 영역에 형성된 제 1 층과, 상기 제 1 층을 포함하는 상기 절연층 전면에 형성된 제 2 층

을 구비하고, 상기 제 1 층 상층의 상기 제 2 층 상에 상기 게이트 전극이 형성되고, 상기 스토리지 영역은 상기 제 1 층이고, 상기 채널 영역은 적어도 상기 제 1 층 상층에 위치한 상기 제 2 층 내에 형성될 수 있다.

- [0024] 상기 소스 및 드레인 전극은 적어도 상기 게이트 전극 양측의 상기 제 2 층에 불순물 이온 주입을 통해 형성되는 것이 효과적이다.
- [0025] 상기 제 1 층은 Ge 함유 재료를 포함하고, 상기 제 2 층은 Si 함유 재료를 포함하는 것이 효과적이다.
- [0026] 상기 제 1 층은 SiGe계 재료를 포함하고, 상기 제 2 층은 Si계 재료를 포함하는 것이 바람직하다.
- [0027] 상기 제 1 층 및 제 2 층 중 어느 한 층은 스트레인드된 층인 것이 바람직하다.
- [0028] 상기 절연층 상의 일부 영역에 섬 또는 바 형태로 형성된 제 1 층과, 상기 제 1 층의 적어도 3면을 감싸는 형태로 형성된 제 2 층을 구비하고, 상기 게이트 절연막은 상기 제 2 층을 감싸고, 상기 게이트 전극은 상기 제 2 층의 측면 영역의 상기 게이트 절연막 상에 형성되며, 상기 스토리지 영역은 상기 게이트 전극 측면 영역의 상기 제 1 층에 형성되고, 상기 채널 영역은 상기 게이트 전극 측면 영역의 상기 제 2 층에 형성될 수 있다.
- [0029] 상기 소스 및 드레인 전극은 적어도 상기 게이트 전극 양측의 상기 제 2 층에 불순물 이온 주입을 통해 형성되는 것이 바람직하다.
- [0030] 상기 제 1 층은 Ge 함유 재료를 포함하고, 상기 제 2 층은 Si 함유 재료를 포함하는 것이 바람직하다.
- [0031] 상기 제 1 층은 SiGe계 재료를 포함하고, 상기 제 2 층은 Si계 재료를 포함하는 것이 바람직하다.
- [0032] 상기 제 1 층 및 제 2 층 중 어느 한 층은 스트레인드된 층인 것이 효과적이다.
- [0033] 상기 절연층 상의 일부 영역에 섬 또는 바 형태로 형성된 제 1 층과, 상기 제 1 층의 적어도 3면을 감싸는 형태로 형성된 제 2 층을 구비하고, 상기 게이트 전극은 상기 제 2 층의 적어도 일부를 감싸고, 상기 스토리지 영역은 상기 게이트 전극에 감싸인 영역의 상기 제 1 층에 형성되고, 상기 채널 영역은 상기 게이트 전극에 감싸인 영역의 상기 제 2 층에 형성될 수 있다.
- [0034] 상기 소스 및 드레인 전극은 적어도 상기 게이트 전극 양측의 상기 제 2 층에 불순물 이온 주입을 통해 형성되는 것이 바람직하다.
- [0035] 상기 제 1 층은 Ge 함유 재료를 포함하고, 상기 제 2 층은 Si 함유 재료를 포함하는 것이 바람직하다.
- [0036] 상기 제 1 층은 SiGe계 재료를 포함하고, 상기 제 2 층은 Si계 재료를 포함하는 것이 바람직하다.
- [0037] 상기 제 1 층 및 제 2 층 중 어느 한 층은 스트레인드된 층인 것이 효과적이다.
- [0038] 상기 스토리지 영역은 Ge 함유 재료를 포함하고, 상기 채널 영역은 Si 함유 재료를 포함하는 것이 바람직하다.
- [0039] 상기 스토리지 영역은 스트레인드 Ge 함유 층을 포함하고, 상기 채널 영역은 Si 함유 층을 포함하는 것이 효과적이다.
- [0040] 상기 스토리지 영역은 릴렉스드 Ge 함유 층을 포함하고, 상기 채널 영역은 스트레인드 Si 함유 층을 포함하는 바람직하다.
- [0041] 상기 스토리지 영역은 SiGe계 재료를 포함하고, 상기 채널 영역은 Si계 재료를 포함하는 것이 가능하다.
- [0042] 상기 스토리지 영역은 스트레인드 SiGe층을 포함하고, 상기 채널 영역은 Si층을 포함하는 것이 바람직하다.
- [0043] 상기 스토리지 영역은 릴렉스드 SiGe층을 포함하고, 상기 채널 영역은 스트레인드 Si층을 포함하는 것이 효과적이다.
- [0044] 상기 SiGe계 재료의 Ge 농도는 10 내지 95 at% 인 것이 바람직하다.
- [0045] 상기 게이트 전극을 포함하는 전체 구조상에 형성된 층간 절연막과, 상기 층간 절연막의 일부를 관통하여 상기 소스 및 드레인 전극에 각기 접속된 제 1 및 제 2 배선을 더 구비하는 것이 가능하다.
- [0046] 상기 소스 및 드레인 전극에 제공되는 소스 및 드레인 전압 레벨을 각각 제어하여 스토리지 영역에 차징되는 전하량을 제어하여 멀티 레벨 구동하는 것이 가능하다.
- [0047] 상기 게이트 전극과 상기 반도체 기판에는 각각 게이트 전압과 바이어스 전압이 인가되며, 상기 게이트 전압과

바이어스 전압의 극성은 반대인 것이 효과적이다.

- [0048] 상기 게이트 전극에 게이트 전압, 상기 소스 및 드레인 전극에 각기 소스 및 드레인 전압 그리고, 상기 반도체 기판에 바이어스 전압을 인가하되, 상기 게이트 전극에 제공되는 게이트 전압과 상기 반도체 기판에 제공되는 바이어스 전압을 제어하여 멀티 비트 구동하는 것이 가능하다.
- [0049] 상기 게이트 전극에 상기 바이어스 전압과 극성이 다른 게이트 전압을 인가하여 제 1 비트 구동하고, 상기 게이트 전극과 상기 반도체 기판에 상기 제 1 비트 구동과 다른 극성의 게이트 전압 및 백 바이어스 전압을 인가하여 제 2 비트 구동하는 것이 바람직하다.
- [0050] 상기 제 2 비트 구동에서 상기 백 바이어스 전압의 절대값의 크기는 상기 게이트 전압의 절대값의 크기보다 큰 것이 효과적이다.

## 효 과

- [0051] 상술한 바와 같이, 본 발명은 채널 영역부 하측에 채널 영역부와 밸런스 밴드 에너지가 상이한 스토리지 영역부를 두어, 스토리지 영역부 내에 전하를 트랩하도록 하여 기존의 전하 차장을 위해 사용한 커패시터를 생략할 수 있다.
- [0052] 또한, 본 발명은 스토리지 영역부의 밸런스 밴드 에너지를 채널 영역부보다 높게 하여 스토리지 영역부에 트랩된 전하가 쉽게 빠져나가지 못하도록 하여 전하의 보유 시간을 증가시켜 정보 저장능력을 향상시킬 수 있다.
- [0053] 또한, 본 발명은 전하의 보유 시간 증대를 통해 소자의 신뢰성을 향상시킬 수 있다.
- [0054] 또한, 본 발명은 스토리지 영역부에 의한 전하 트랩으로 백바이어스에 의한 의존성을 낮출 수 있다.
- [0055] 또한, 본 발명은 소자에 인가되는 전압을 조절하여 멀티 레벨 셀을 구현할 수 있고, 단일 셀에서 복수 비트를 구현할 수 있다.

## 발명의 실시를 위한 구체적인 내용

- [0056] 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
- [0057] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 표현하였으며 도면상에서 동일 부호는 동일한 요소를 지칭하도록 하였다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 상부에 또는 위에 있다고 표현되는 경우는 각 부분이 다른 부분의 바로 상부 또는 바로 위에 있는 경우뿐만 아니라 각 부분과 다른 부분의 사이에 또 다른 부분이 있는 경우도 포함한다.
- [0058] 도 1은 본 발명의 일 실시예에 따른 무 커패시터 메모리 소자의 단면도이다. 도 2 내지 도 4 각각은 일 실시예의 제 1 내지 제 3 변형예에 따른 무 커패시터 메모리 소자의 단면도이다. 도 5는 일 실시예의 다른 예에 따른 무 커패시터 메모리 소자의 단면도이다. 도 6은 제 2 변형예에 다른 예에 따른 무 커패시터 메모리 소자의 단면도이다.
- [0059] 도 1을 참조하면, 본 실시예에 따른 무 커패시터 메모리 소자는 반도체 기판(110)과, 그 상측에 위치한 절연층(120)과, 절연층(120) 상에 순차적으로 적층된 제 1 층(130) 및 제 2 층(140)과, 상기 제 2 층(140) 상의 일부에 형성된 게이트 전극부(150)와, 상기 게이트 전극부(150) 양측의 제 1 층(130)과 제 2 층(140)에 각기 형성된 소스 및 드레인 전극부(160, 170)를 포함한다. 여기서, 제 1 층(130) 내에는 스토리지 영역(T)이 위치하며, 제 2 층(140) 내에는 채널 영역(C)이 위치한다.
- [0060] 또한, 상기 게이트 전극부(150)를 포함하는 상기 제 2 층(140) 상측에 형성된 층간 절연막(180)과, 상기 층간 절연막(180)의 일부를 관통하여 층간 절연막(180) 하측의 소스 및 드레인 전극부(160, 170)에 직접 접속된 제 1 및 제 2 배선부(190, 200)를 더 구비한다. 제 1 배선부(190)는 제 1 콘택 플러그(191)를 통해 소스 전극부(160)에 접속되고, 제 2 배선부(200)는 제 2 콘택 플러그(201)를 통해 드레인 전극부(170)에 접속된다. 이때, 제 1 및 제 2 콘택 플러그(191, 201)들은 층간 절연막(180)의 일부를 제거하여 그 하측의 소스 및 드레인 전극부

(160, 170)의 일부를 노출하는 콘택홀과, 콘택홀 내측에 충전된 도전성 물질을 포함한다. 이와 같이 본 실시예의 무 커패시터 메모리 소자는 커패시터를 사용하지 않고, 직접 배선부와 소스 및 드레인 전극부(160, 170)를 연결시킬 수 있다.

[0061] 상기 반도체 기판(110)으로 단일 원소 반도체 기판 또는 화합물 반도체 기판을 사용할 수 있다. 물론 상기 반도체 기판(110)에는 소정의 불순물이 도핑될 수 있다.

[0062] 절연층(120)으로 실리콘 산화막 층 또는 실리콘 질화막 층을 사용하는 것이 가능하다. 본 실시예에서는 실리콘 산화막을 절연층으로 사용한다. 이때, 실리콘 산화막을 반도체 기판(110)의 일부를 산화시켜 제작할 수 있다. 물론 이에 한정되지 않고, 이온 주입을 통해 절연층(120)을 제작할 수도 있다.

[0063] 게이트 전극부(150)는 제 2 층(140)의 상측 일부 영역에 형성된 게이트 절연막(151)과, 게이트 절연막(151) 상에 형성된 게이트 전극(152)과, 적어도 게이트 전극(152)의 측면에 마련된 스페이서(153)를 구비한다. 이때, 게이트 절연막(151)은 단층 또는 다층으로 제작될 수 있다. 물론 본 실시예에서는 게이트 절연막(151)으로 실리콘 산화막을 사용한다. 물론 이에 한정되지 않고 게이트 절연막(151)으로 저유전율의 절연성막을 사용할 수 있다. 게이트 전극(152)은 단층 또는 다층으로 제작할 수 있고, 본 실시예에서는 도시되지 않았지만, 게이트 전극(152)으로 불순물(예를 들어 N 타입 또는 P 타입)이 도핑된 폴리 실리콘층과 그 상측에 형성된 금속층을 포함할 수도 있다. 또한, 필요에 따라 게이트 전극(152)의 일부가 상기 제 2 층(140) 내측으로 돌출될 수도 있다. 상술한, 게이트 전극부(150)는 워드 라인(또는 게이트 라인; 미도시)을 통해 인가된 전압에 따라 제 2 층(140)에 형성되는 채널을 제어한다. 따라서, 게이트 전극부(150)의 형상은 상술한 설명에 한정되지 않고 상기 채널 제어를 위한 다양한 형상이 가능하다.

[0064] 소스 및 드레인 전극부(160, 170)는 게이트 전극부(150) 양측의 제 1 층(130)과 제 2 층(140)에 불순물 이온 주입을 통해 형성된다. 여기서, 불순물 이온으로 N 타입 또는 P 타입 이온을 사용할 있다. 본 실시예에서는 N 타입의 불순물을 주입하여 소스 및 드레인 전극부(160, 170)를 형성한다. 여기서, 이온 주입시 LDD(lightly doped drain) 이온 주입을 실시할 수도 있다. 물론 이에 한정되지 않고, 상기 게이트 전극부(150) 양측의 소스 전극부(160) 및 드레인 전극부(170)에 해당하는 영역을 제 1 층(130)과 제 2 층(140)내에 형성하지 않고, 대신 별도의 정션층(미도시)을 형성하여 소스 및 드레인 전극부(160, 170)를 형성할 수도 있다. 상술한 소스 및 드레인 전극부(160, 170)는 인가된 전압에 따라 제 2 층(140)에 형성된 채널을 따라 전자를 이동 시킨다. 따라서, 소스 및 드레인 전극부(160, 170)의 형상은 상술한 설명에 한정되지 않고 상기 채널에 전자를 이동시키기 위한 다양한 형상이 가능하다.

[0065] 본 실시예의 제 2 층(140)은 그 하부에 형성된 제 1 층(130)과의 밸런스 밴드 에너지 차를 이용하여 스토리지 영역(T)에 저장된 전하(본 실시예에서는 홀)의 이동을 막는 층으로 작용하고, 그 일부 영역에서 채널이 형성되는 층이다. 제 2 층(140) 중 게이트 전극부(150) 하부와 소스 및 드레인 전극(160, 170) 사이 영역에 위치하는 제 2 층(140)이 채널 영역(C)으로 작용한다.

[0066] 본 실시예의 제 1 층(130)은 그 상부에 형성된 제 2 층(140)과의 밸런스 밴드 에너지 차를 이용하여 그 일부 영역이 전하를 저장하는 공간으로 작용하는 층이다. 제 1 층(130) 중 게이트 전극부(150)의 하측의 제 2 층(140)하부와 소스 및 드레인 전극부(160, 170)의 사이 영역에 위치하는 제 1 층(130)이 전하를 저장하는 스토리지 영역(T)으로 작용한다. 즉, 채널 영역(C)의 하측이 스토리지 영역(T)으로 작용한다.

[0067] 상술한 바와 같이 제 1 층(130)과 제 2 층(140)간의 밸런스 밴드 에너지 차에 의해 에너지 장벽이 형성된다. 따라서, 제 1 층(130) 내부에 전하들이 에너지 장벽에 의해 쉽게 누설 또는 소멸되지 않게 된다. 이는 제 1 층(130) 내의 전하의 보유 시간을 늘릴 수 있음을 의미한다. 이때, 상기 제 1 층(130)의 밸런스 밴드 에너지가 제 2 층(140)의 밸런스 밴드 에너지보다 높은(즉, 큰) 것이 효과적이다.

[0068] 제 2 층(140)과 제 1 층(130)간의 밸런스 밴드 에너지 차는 0.1 내지 1 eV이내의 범위를 갖는 것이 바람직하다. 상기 에너지차가 0.1eV 보다 작을 경우에는 두 층간의 에너지 장벽이 낮아지게 되어 전하의 누설을 효과적으로 막지못하게 된다. 따라서, 에너지차는 0.1eV보다 큰 것이 효과적이다. 또한, 에너지차가 1eV 이상일 경우에는 에너지 장벽이 너무 크기 때문에 전하를 차장하기 위해 필요한 전압이 증가하게 되는 문제가 발생한다.

[0069] 예컨대, 제 2 층(140)으로 Si를 사용하고, 제 1 층(130)으로 Ge를 사용하는 경우를 고려하면 다음과 같다. 여기서, Si는 에너지 밴드갭이 1.1eV이고, 전자 친화도가 4.05eV이며, Ge는 에너지 밴드갭이 0.65eV이고, 전자 친화도가 3.9eV이다. 이때, Si와 Ge층이 접합되면 두 재료의 에너지 밴드 갭 차이 및 전자 친화도의 차이에 의해 두 재료 사이의 밸런스 밴드 에너지 차이(offset)가 약 0.374eV 정도 발생한다. 이러한 밸런스 밴드 에너지 차이에

의해 두 재료간에 웰 배리어(Well barrier)가 생기게 되고, 전하는 웰 배리어에 의해 가두어지게 된다.

[0070] 따라서, 제 2 층(140)과 제 1 층(130)은 에너지 밴드갭 및 전자친화도가 서로 다른 재료가 사용되는 것이 효과적이다. 제 1 층(130)의 에너지 밴드갭 및 전자 친화도가 작은 것이 더욱 효과적이다.

[0071] 여기서, Si와 Ge는 격자 상수 차이가 크므로 두 재료를 결정 결함없이 연속 성장시키는 것에 어려움이 발생할 수 있다. SiGe는 Si 보다 밴드갭 및 전자 친화도가 작고, Si와의 접합 계면 특성이 우수하다. 이에 SiGe층은 제 1 층(130)으로 우수한 특성을 갖는다. 또한, SiGe는 Ge의 함량에 따라 원하는 특성을 용이하게 제어할 수 있다.

[0072] 상술한 설명에서는 제 2 층(140)의 채널에 전자가 이동하고, 제 1 층(130)에 축적되는 전하로 홀을 사용함을 중심으로 설명하였다. 하지만 이에 한정되지 않고, 상기 제 2 층(140)의 채널에 홀이 이동하고, 제 1 층(130)에 축적되는 전하로 전자를 사용할 수 있다. 이 경우, 앞서 설명한 에너지 밴드 갭 및 전자 친화도가 서로 반대될 수 있다. 즉, 제 2 층(140)의 에너지 밴드 갭 및 전자 친화도가 제 1 층(130)의 에너지 밴드갭 및 전자 친화도 보다 클 수 있다.

[0073] 본 실시예에서는 상기 제 2 층(140)으로 실리콘(Si)층을 사용하고, 제 1 층(130)으로 실리콘게르마늄(SiGe)층을 사용한다. 여기서, 본 실시예에서는 상기 제 1 층(130)으로 스트레인트 SiGe층을 사용하는 것이 바람직하다. 이를 위해 본 실시예에서는 제 1 Si 기판을 마련하고, 제 1 Si 기판 상에 스트레인트 SiGe층을 형성한다. 이어서, 그 표면에 산화막이 형성된 제 2 Si 기판을 마련한다. 이어서, 제 1 Si 기판의 SiGe층과 제 2 Si 기판의 산화막을 본딩시킨다. 이후, SiGe층 상의 제 1 Si 기판의 일부를 벽개한다. 이를 통해 반도체 기판 상에 절연층, 스트레인트 SiGe층 및 Si층이 순차적으로 적층된 변형된 SOI 형태의 소재를 제작할 수 있다.

[0074] 상술한 바와 같이 제 2 층(140)과의 밸런스 밴드 에너지 차를 이용하여 그 내측에 전하를 저장하는 제 1 층(130)을 갖는 소자는 상술한 구성에 한정되지 않고, 다양한 변형이 가능하다.

[0075] 즉, 도 2의 제 1 변형예에 도시된 바와 같이 무 커패시터 메모리 소자는 절연층(120) 상측 일부에 섬 또는 라인 형태로 형성된 제 1 층(130)과, 상기 제 1 층(130)의 상측에 형성된 제 2 층(140)과, 상기 제 1 층(130)과 제 2 층(140)의 측면에 형성된 소스 및 드레인 전극부(160, 170) 그리고, 상기 제 2 층(140) 상측에 형성된 게이트 전극부(150)를 포함한다. 상기과 같은 형상으로 제 1 층(130)을 형성하게 되면 제 1 층(130) 전부가 스토리지 영역(T)이 될 수 있으며, 채널 영역(C)은 상기 제 2 층(140) 내에, 소스 및 드레인 전극부(160, 170) 사이에 형성될 수 있다.

[0076] 이때, 상기 제 2 층(140)과 소스 및 드레인 전극부(160, 170)은 동일한 물질층이고, 상기 제 1 층(130)은 상기 제 2 층(140)과 소스 및 드레인 전극부(160, 170) 보다 밸런스 밴드 에너지가 높은 물질층인 것이 효과적이다. 이를 통해 제 1 층(130) 내측에 홀을 가둘 수 있게 된다. 본 변형예에서는 제 2 층(140)으로 Si층을 사용하고, 제 1 층(130)으로 스트레인트 SiGe층을 사용한다. 따라서, 제 1 층(130)의 적어도 3면이 Si층으로 둘러 쌓이게 되어 홀의 보유 특성을 더욱 증진시킬 수 있다.

[0077] 이와 같은 구조의 제작을 위해 앞선 실시예에서와 같이 반도체 기판(110) 상에 절연층(120) 및 스트레인트 SiGe층과 Si층이 순차적으로 적층시킨 소재를 제작한다. 이어서, 마스크를 이용한 식각 공정을 통해 게이트 전극부(150)가 형성될 영역을 제외한 나머지 영역의 Si층과 SiGe층을 모두 제거한다. 이를 통해 게이트 전극부(150)가 형성될 영역의 절연층(120) 상에 SiGe층과 Si층이 잔류한다. 이때, 필요에 따라 SiGe층 상의 Si층을 제거할 수 있다. 물론 반도체 기판(110) 상에 절연층(120)과 스트레인트 SiGe층을 적층시킨 다음 식각 공정을 통해 게이트 전극부(150)가 형성될 영역을 제외한 영역의 스트레인트 SiGe층을 제거할 수도 있다.

[0078] 이어서, 스트레인트 SiGe층이 패터닝된 절연층(120) 상에 Si층을 성장한다. 이를 통해 Si층이 스트레인트 SiGe층을 덮도록 제작할 수 있다. 이어서, 상기 스트레인트 SiGe층 상에 게이트 전극부(150)를 형성한다. 그리고, 게이트 전극부(150) 양측의 Si층에 불순물 이온 주입을 하여 소스 및 드레인 전극부(160, 170)을 제작한다.

[0079] 물론 이에 한정되지 않고, 절연층(120)과 Si층이 적층된 반도체 기판(110)을 준비한다. 이어서, 게이트 전극부(150)가 형성될 영역의 Si층을 제거한다. 이어서, Si층이 제거된 영역의 절연층(120) 상에 SiGe층을 형성한 다음 SiGe층 상에 Si층을 형성한다. 이때, 절연층(120) 상에 SiGe층 형성을 위해 별도의 씨드층을 이용한 선택 증착을 수행할 수 있고, 나머지 영역의 Si층 상에 마스크를 도포하여 해당 영역만을 선택 증착시킬 수도 있다. 이어서, 스트레인트 SiGe층 상의 Si층 상에 게이트 전극부(150)를 형성하고, 게이트 전극부(150) 양측의 Si층에 불순물 이온을 주입하여 소스 및 드레인 전극부(160, 170)을 제작한다.

[0080] 또한, 도 3의 제 2 변형예에서와 같이 제 1 층(130)으로 응력 완화된(relaxed) SiGe층을 사용하고, 제 2 층



(140)으로 스트레인드 Si층을 사용하는 것이 가능하다.

- [0081] 이를 위해 구배 SiGe층(Graded SiGe layer)과 버퍼 SiGe층이 형성된 제 1 Si기판을 마련한다. 이어서, 그 표면에 절연층이 형성된 제 2 Si 기판을 마련한다. 이어서, 제 1 Si 기판의 버퍼 SiGe층과 제 2 Si 기판의 절연층을 본딩시키고, 버퍼 SiGe층의 일부를 기준으로 벽계하여 제 1 Si 기판과 제 2 Si 기판을 분리시킨다. 이를 통해 반도체 기판(110) 상에 절연층(120)과 버퍼 SiGe층(즉, 제 1 층(130))이 형성된다. 이어서, 버퍼 SiGe층 상에 스트레인드 Si층(즉, 제 2 층(140))을 형성한다. 상기 스트레인드 Si층 상에 게이트 전극부(150)를 형성하고, 게이트 전극부(150) 양측의 스트레인드 Si층과 버퍼 SiGe층에 불순물을 이온 주입하여 소스 및 드레인 전극부(160, 170)를 형성한다. 여기서, 채널 영역(C)은 제 2 층(140)의 소스 및 드레인 전극부(160, 170) 사이 영역에 형성될 수 있으며, 스토리지 영역(T)은 상기 채널 영역(C) 하부의 제 1 층(130) 내에 형성될 수 있다.
- [0082] 물론 이에 한정되지 않고, 절연층(120) 및 상층 Si층이 형성된 반도체 기판(110)을 마련한다. 이어서, 상층 Si층 상에 스트레인드 SiGe층을 형성한다. 이후, 산화 공정을 통해 스트레인드 SiGe층을 릴렉스드 SiGe층으로 변경시키고, 상층 Si층을 산화시켜 절연층(120)으로 형성한다. 이어서, SiGe층 상에 형성된 산화막을 제거한다. 이어서, 노출된 SiGe층 상에 스트레인드 Si층을 형성할 수도 있다.
- [0083] 또한, 도 4의 제 3 변형예에서와 같이 제 1 층(130)을 섬 또는 라인 형태로 제작하고, 그 상층에 제 2 층(140)을 형성한다. 이때, 제 1 층(130)으로 SiGe층을 사용하고, 적어도 제 1 층(130) 상층의 제 2 층(140)을 스트레인드 Si층으로 제작한다. 이를 위해 앞선 제 2 변형예와 제 3 변형예에서 설명한 바와 같은 제작 기술을 도입할 수 있다. 스트레인드 Si층을 사용함으로써 인해 제 2 층(140) 내의 전자의 이동도가 증가하게 되고, 이로 인해 메모리 마진과 전하 보유 시간이 더욱 증가할 수 있다.
- [0084] 또한, 상술한 실시예와 제 2 변형예에 한정되지 않고, 소스 및 드레인 전극부(160, 170)가 제 2 층(140) 내에 형성될 수도 있다. 즉, 도 5에 도시된 실시예의 다른 예시를 살펴보면 게이트 전극부(150) 양측의 제 2 층(140) 영역에만 이온주입을 하여 소스 및 드레인 전극부(160, 170)이 제 2 층(140) 영역 내에 형성되도록 하였다. 또한, 도 6의 도시된 제 2 변형예의 다른 예시를 살펴보면 게이트 전극(150)의 양측의 제 2 층(140)에 소스 및 드레인 전극부(160, 170)가 형성되도록 하였다. 이를 통해 소스 및 드레인 전극부(160, 170)에 의한 전하의 누설을 방지할 수 있다.
- [0085] 물론 본 실시예와 변형예에서는 제 2 층(140)과 제 1 층(130)으로 Si와 SiGe를 사용함을 중심으로 설명하였다. 제 2 층(140)이 Si계 함유 재료로 형성될 수 있고, 제 1 층(130)이 Ge계 함유 재료로 형성될 수 있다. 하지만 이에 한정되지 않고, 앞서 설명한 바와 같이 전자 친화도와 에너지 밴드갭의 차 그리고, 밸런스 밴드 갭 차를 갖는 다양한 재료가 선택될 수 있다.
- [0086] 상술한 구조의 무 커패시터 메모리 소자의 동작을 설명하면 다음과 같다.
- [0087] 도 7은 일 실시예에 따른 무 커패시터 메모리 소자의 동작을 설명하기 위한 개념도이다. 도 8 및 도 9는 일 실시예에 따른 무 커패시터 메모리 소자의 동작을 설명하기 위한 개념 단면도이다.
- [0088] 여기서, 도 8의 (a)는 쓰기 동작을 설명하기 위한 개념 단면도이고, 도 8의 (b)는 "1"의 데이터가 쓰여진 소자의 리드 동작을 설명하기 위한 개념 단면도이고, 도 9의 (a)는 소거 동작을 설명하기 위한 개념 단면도이고, 도 9의 (b)는 "0" 데이터(즉, 소거 데이터)가 쓰여진 소자의 리드 동작을 설명하기 위한 개념 단면도이다.
- [0089] 일반적인 메모리 소자의 단위 셀에서의 전압 전류는 도 7에 도시된 N1 그래프와 같이 전압이 증가할 수록 전류가 일정하게 증가하다 수렴(saturation)된다. 하지만, 본 실시예에서 설명한 무 커패시터 메모리 소자는 킥크 효과에 의해 도 7의 N2 그래프와 같이 전압이 증가하는 경우 그 전류가 다시 증가하는 구간이 발생한다. 이는 채널 영역(C) 하층에 위치한 제 1 층(130)에 전하(즉, 홀)이 축적되기 때문이다. 그리고, 이와 같이 제 1 층(130)에 전하가 축적된 경우 도 7의 N3 그래프와 같이 전압이 감소되더라도 전류의 흐름이 초기와 다른 흐름을 나타낸다. 따라서, 제 1 층(130)의 홀 축적 유무에 따라 전류 흐름이 변화되고, 이러한 전류의 흐름차를 이용하여 소자에 쓰여진 정보를 판단한다.
- [0090] 이때, 상기 소자에 "1"에 해당하는 데이터를 쓰기 위해 드레인 전극부(170)에 킥크 효과를 일으키는 전압 이상의 쓰기 전압을 제공하고, 소자에 "0"에 해당하는 데이터로 소거하기 위해 드레인 전극부(170)에 소거 전압을 제공한다. 그리고, 소자에 쓰여진 데이터를 판별하기 위해 상기 킥크 전압과 소거 전압 사이의 리드 전압을 인가한다.
- [0091] 예를 들어, 도 8 및 도 9에 도시된 바와 같이 쓰기 전압으로 3V의 전압을 사용하고, 소거 전압으로 -1V의 전압

을 사용하고, 리드 전압으로 1.5V를 사용하는 경우를 생각하면 다음과 같다.

- [0092] 먼저 쓰기 동작을 하기 위해 도 8의 (a)에 도시된 바와 같이 게이트 전극부(150)에 2V의 전압을 인가하고, 소스 전극부(160)에 접지 전압(GND)을 제공하고, 드레인 전극부(170)에 3V를 인가하였다. 이때, 도 8의 (a)에 도시된 바와 같이 제 1 층(130)에 홀들이 쌓이게 된다. 그리고, 제 1 층(130)에 쌓인 홀들은 제 1 층(130)과 제 2 층(140) 간의 에너지차에 의해 제 1 층(130) 내에 트랩된다. 이어서, 소거 동작을 하기 위해 도 9의 (a)에 도시된 바와 같이 게이트 전극부(150)에 2V의 전압을 인가하고, 소스 전극부(160)에 접지 전압(GND)을 제공하고, 드레인 전극부(170)에 -1V를 인가하였다. 이때, 도 9의 (a)에 도시된 바와 같이 제 1 층(130)에는 홀이 쌓이지 않게 된다.
- [0093] 그리고, 리드 동작을 하기 위해 도 8의 (b) 및 도 9의 (b)에 도시된 바와 같이 게이트 전극부(150)에 2V의 전압을 인가하고, 소스 전극부(160)에 접지 전압(GND)을 제공하고, 드레인 전극부(170)에 1.5V를 인가하였다. 이때, 도 8의 (b)에 도시된 바와 같이 제 1 층(130)에 홀이 트랩된 경우(즉, "1" 데이터가 쓰여진 경우)에는 도 7에 도시된 "1" 데이터가 쓰여진 상태의 전류가 흐르게 된다. 반면에 도 9의 (b)에 도시된 바와 같이 제 1 층(130)에 홀이 트랩되지 않은 경우(즉, "0" 데이터가 쓰여진 경우)에는 도 7에 도시된 "0" 데이터가 쓰여진 상태의 전류가 흐르게 된다. 이는 앞서 언급한 바와 같이 제 1 층(130)에 홀이 트랩되어 있는 경우에는 소자의 문턱 전압에 변화가 발생하여 더 많은 전류가 흐르게 되기 때문이다.
- [0094] 이와 같이 제 1 층(130) 내의 홀은 제 1 층(130)과 제 2 층(140) 간의 에너지 밴드 차에 의해 트랩되어 있다. 따라서, 제 1 층(130) 내의 홀 보유 시간이 종래의 제 1 층(130)을 형성하지 않는 경우에 비하여 크게 증대시킬 수 있다. 그리고, 제 1 층(130)은 풀 디플리션(Full Depletion)과 파셜 디플리션(Partial depletion) 구조 모두에 적용이 가능하다. 그리고, 본 실시예에서는 소자의 반도체 기판에 백바이어스를 인가시켜 홀 보유 시간을 더욱 늘릴 수 있다. 즉, 인가된 백바이어스가 홀을 잡아주게 되어 제 1 층(130) 내의 홀 보유 시간을 증대시킬 수 있다. 또한 기존의 제 1 층(130)을 사용하지 않는 풀 디플리션 구조보다 더 작은 백바이어스 전압을 인가하는 것이 가능하다.
- [0095] 그리고, 본 실시예에 따른 무 커패시터 메모리 소자는 소스 전극부(160) 및 드레인 전극부(170)에 인가되는 전압에 따라 멀티 레벨 구동이 가능하다.
- [0096] 도 10은 일 실시예에 따른 무 커패시터 메모리 소자의 멀티 레벨 동작을 설명하기 위한 개념 단면도이다.
- [0097] 도 10을 참조하면, 게이트 전극부(150)에 인가되는 게이트 전압(VG)과 백바이어스 전압(VB)을 일정하게 유지한 상태에서 소스 전극부(160)에 인가되는 소스 전압(VS) 및 드레인 전극부(170)에 인가되는 드레인 전압(VD)을 제어함으로써 멀티 레벨 구동이 가능하게 된다. 이는 본 실시예의 제 1 층(130)에 차징되는 전하의 양이 종래의 Si층 만을 사용한 경우에 비하여 100배 이상 많기 때문에 이를 통해 소스 전압을 통해 제 1 층(130)에 차징되는 전하량을 제어함으로써 멀티 레벨의 구동이 가능하게 된다(도 12 참조).
- [0098] 예를 들어, 게이트 전극부(150)에 2V의 게이트 전압(VG)을 인가하고, 소스 전극부(160)에 접지 전압(GND = 0V)을 제공하고, 드레인 전극부(170)에 -1V의 드레인 전압(VD)을 인가하고, 백바이어스(VB)로 -2V를 인가할 경우 제 1 레벨의 드레인 전류(D0)가 흐르게 된다. 그리고, 게이트 전극부(150)에 2V의 게이트 전압(VG)을 인가하고, 백바이어스(VB)로 -2V를 인가하고, 소스 전극부(160)에 0V의 소스 전압(VS)을 제공하고, 드레인 전극부(170)에 3V의 드레인 전압(VD)을 인가할 경우 제 1 레벨과 다른 제 2 레벨의 드레인 전류(D1)가 흐른다. 또한, 게이트 전극부(150)에 2V의 게이트 전압(VG)을 인가하고, 백바이어스(VB)로 -2V를 인가하고, 소스 전극부(160)에 0.5V의 소스 전압(VS)을 제공하고, 드레인 전극부(170)에 3V의 드레인 전압(VD)을 인가할 경우 제 1 및 제 2 레벨과 다른 제 3 레벨의 드레인 전류(D2)가 흐른다. 또한, 게이트 전극부(150)에 2V의 게이트 전압(VG)을 인가하고, 백바이어스(VB)로 -2V를 인가하고, 소스 전극부(160)에 1V의 소스 전압(VS)을 제공하고, 드레인 전극부(170)에 3V의 드레인 전압(VD)을 인가할 경우 제 1 내지 제 3 레벨과 다른 제 4 레벨의 드레인 전류(D3)가 흐른다. 즉, 드레인 전압을 고정시키고 소스 전압을 0V로 부터 서서히 상승시키면 차징되는 전하의 양이 줄어들며, 소스 전압 보다 높은 드레인 전압을 인가할 경우, 스토리지 영역에 차징된 전하가 소거됨으로, 소스 및 드레인 전압의 변화에 따라 다른 크기의 드레인 전류가 흐를 수 있다.
- [0099] 이를 표로 정리하면 하기 표 1과 같다.

**표 1**

상태	VG	VD	VS	VB
D0	2V	-1V	0V	-2V

D1	2V	3V	0V	-2V
D2	2V	3V	0.5V	-2V
D3	2V	3V	1V	-2V

- [0101] 상기 설명에서는 소스 전압(VS)으로 0V, 0.5V 및 1V의 전압을 사용하였다. 하지만 이에 한정되지 않고, 이보다 많은 레벨의 전압을 소스 전압으로 사용할 수 있다. 그리고, 드레인 전압으로 -1V와 3V를 사용하였지만, 드레인 전압으로 소스 전압보다 낮은 레벨의 제 1 드레인 전압을 사용하거나 소스 전압 보다 높은 레벨의 전압을 사용하는 것이 가능하다.
- [0102] 또한, 본 실시예에 따른 무 커패시터 메모리 소자는 멀티 비트의 구현이 가능하다.
- [0103] 도 11은 일 실시예에 따른 무 커패시터 메모리 소자의 멀티 비트 동작을 설명하기 위한 개념 단면도이다.
- [0104] 도 11을 참조하면, 게이트 전압(VG)과 백바이어스 전압(VB)을 변화시켜 제 1 비트 동작과 제 2 비트 동작을 수행할 수 있다. 그리고, 각 비트 동작에서 드레인 전압(VD)을 변화시켜 그 출력 상태를 변화시킬 수 있다.
- [0105] 예를 들어, 게이트 전극부(150)에 2V의 게이트 전압(VG)을 인가하고, 소스 전극부(160)에 접지 전압(GND)을 소스 전압(VS)으로 제공하고, 백바이어스로 -2V를 제공한 상태에서 드레인 전극부(170)에 3V와 -1V를 각기 드레인 전압(VD)으로 인가하여 제 1 비트의 동작을 수행한다(도 11의 (a) 참조).
- [0106] 또한, 게이트 전극부(150)에 -2V의 게이트 전압(VG)을 인가하고, 소스 전극부(160)에 접지 전압(GND)을 제공하고, 백바이어스(VB)로 20V를 제공한 상태에서 드레인 전극부(170)에 3V와 -1V를 각기 드레인 전압(VD)로 인가하여 제 2 비트의 동작을 수행할 수 있게 된다(도 11의 (b) 참조).
- [0107] 즉, 상기 게이트 전극의 게이트 전압으로 상기 바이어스 전압과 다른 극성의 전압을 인가하여 제 1 비트의 동작을 수행하고, 상기 게이트 전극과 상기 반도체 기판에 상기 제 1 비트 동작과 다른 극성의 게이트 전압 및 바이어스 전압을 인가하여 제 2 비트의 동작을 수행할 수 있게 된다. 여기서, 제 2 비트 동작시 바이어스 전압의 절대값이 상기 게이트 전압의 절대값보다 큰 것이 바람직하다.
- [0108] 상술한 실시예와 변형예에서 설명한 바와 같이 본 발명의 무 커패시터(cap-less) 메모리 소자는 적어도 게이트 전극부(150) 하층의 제 2 층(140) 아래에 채널층과의 밸런스 밴드 에너지 차에 의해 전하(즉, 홀)를 저장하는 제 1 층(130)을 형성한다. 이를 통해 전하의 보유량은 물론 보유 시간을 증대시킬 수 있다.
- [0109] 도 12는 일 실시예에 따른 채널층과 스토리지층 간의 밸런스 밴드 에너지 차와 이에 따른 홀 농도를 나타낸 그래프이다.
- [0110] 도 12의 A1 선은 본 실시예와 같이 제 2 층(140)으로 Si층을 사용하고, 제 1 층(130)으로 SiGe층을 사용한 경우의 밸런스 밴드 에너지 변화를 나타낸 그래프이고, 도 12의 B1 선은 제 2 층(140)과 제 1 층(130)을 구분하지 않고, 단일의 Si층으로 제작한 경우의 밸런스 밴드 에너지 변화를 나타낸 비교예의 그래프이다. 또한, 도 12의 A2 선은 제 2 층(140)으로 Si층을 사용하고, 제 1 층(130)으로 SiGe층을 사용한 경우의 홀 농도 분포를 나타낸 그래프이고, 도 12의 B2 선은 단일의 Si층내의 홀 농도를 분포를 나타낸 그래프이다.
- [0111] 도 12에 도시된 바와 같이 B1 선의 경우 에너지 장벽이 형성되지 않았다. 하지만, 밸런스 밴드 A1 선의 경우 에너지가 서로 다른 Si층(즉, 제 2 층(140))과 SiGe층(즉, 제 1 층(130))사이에 에너지 장벽이 형성됨을 볼 수 있다. 이로 인해 단일의 Si층 만을 갖는 경우(도 12의 B2 선 참조) 보다 Si층과 SiGe층을 갖는 경우(도 12의 A2 선 참조) 홀 농도가 더 높음(약 100배 이상)을 알 수 있다. 이는 앞서 언급한 바와 같이 Si층과 SiGe층 사이에 에너지 장벽이 형성되어 SiGe층 내의 홀들이 쉽게 빠져나가지 못하기 때문이다.
- [0112] 본 실시예에서는 이와 같은 에너지 장벽의 크기(즉, 제 2 층(140)과 제 1 층(130) 간의 밸런스 밴드 에너지 차)를 제 1 층(130) 내의 Ge 농도를 조절하여 제어할 수 있다.
- [0113] 도 13은 일 실시예의 스토리지층 내의 Ge 농도에 따른 밸런스 밴드 에너지 차를 나타낸 그래프이다.
- [0114] 도 13의 C1 선은 SiGe층(즉, 제 1 층(130))을 형성하지 않고 전체를 Si층으로 형성한 경우의 밸런스 밴드 에너지를 나타낸 비교예의 그래프이다. 도 13의 C2 선은 SiGe층(즉, 제 1 층(130)) 내의 Ge 농도가 30 at%인 경우의 밸런스 밴드 에너지를 나타낸 그래프이고, C3 선은 Ge의 농도가 60at%인 경우의 밸런스 밴드 에너지를 나타낸 그래프이고, C4 선은 Ge의 농도가 90at%인 경우의 밸런스 밴드 에너지를 나타낸 그래프이다.
- [0115] 도 13의 그래프에서와 같이 제 1 층(130) 내의 Ge 농도가 증가할수록 제 1 층(130)과 제 2 층(140) 간의 에너지



차가 크게 나타남을 알 수 있다. 에너지 차가 클수록 더 많은 량의 홀을 가둘 수 있게 되어 소자의 리텐션(retention) 특성이 향상된다. 또한, 메모리 마진을 향상시킬 뿐만 아니라 GIDL(Gate-Induced Drain Leakage)에 의한 리텐션 타임 감소를 억제할 수 있다. 여기서, 제 1 층(130) 내의 Ge 농도는 95 at% 이하로 유지하는 것이 바람직하다. 물론 상기 Ge 농도는 90 at% 이하를 유지하는 것이 좋다. 또한, 제 1 층(130) 내의 Ge 농도는 10 at% 이상으로 유지하는 것이 바람직하다. Ge 농도가 이보다 낮을 경우에는 제 1 층(130)과 제 2 층(140) 간의 밸런스 밴드 에너지 차가 작게 되어 홀을 원활하게 가두지 못하는 문제가 발생한다. 물론 Ge 농도는 20 at% 이상으로 유지하는 것이 좋다. 여기서, Ge 농도에 따라 제 1 층(130)과 제 2 층(140) 간의 계면 특성이 변화하게 된다. 따라서, 상기 범위 내로 유지하는 것이 좋다. 하지만, 제 1 층(130) 내의 Ge 농도가 100at% 일 경우도 가능하다.

[0116] 도 14는 일 실시예와 변형예들에 따른 메모리 마진을 설명하기 위한 그래프이고, 도 15는 일 실시예와 변형예들에 따른 홀 보유 시간을 설명하기 위한 그래프이다.

[0117] 도 14 및 도 15의 그래프에서의 비교예는 제 1 층(130)을 형성하지 않은 구조를 지칭한 것이다. 실시예와 제 1 내지 제 3 변형예는 앞선 도 1 내지 도 4에서 설명한 구조를 지칭한 것이다. 여기서, 상기 실시예와 제 1 내지 제 3 변형예에서는 제 1 층(130) 내의 Ge 농도를 50at%로 설정하여 메모리 마진과 홀의 보유 시간을 측정한 것이다. 도 14는 백바이어스에 따른 메모리 마진과 홀의 보유 시간을 측정한 것이고, 도 15는 백바이어스로 약 -5V를 사용할 때의 메모리 마진과 홀 보유 시간을 측정한 것이다. 이때, 트랜지스터의 W/L은 1/1 $\mu$ m이다. 그리고, 이는 상온(약 25도)에서 측정한 값이다.

[0118] 여기서, 도 14를 참조하면 제 1 층(130)을 형성하지 않는 비교예에 비해 제 1 층(130)이 형성된 실시예와 제 1 내지 제 3 변형예의 메모리 마진이 증대됨을 알 수 있다. 즉, 제 3 변형예는 약 2.6배의 메모리 마진을 가짐을 알 수 있다.

[0119] 또한, 도 15를 참조하면, 제 1 층(130)을 형성하지 않는 비교예에 비해 제 1 층(130)이 형성된 실시예와 제 1 내지 제 3 변형예의 홀 보유 시간이 증대됨을 알 수 있다. 즉, 제 3 변형예는 589msec로 비교예에 비하여 약 2배의 홀 보유 시간을 가짐을 알 수 있다.

[0120] 또한, 도 14를 참조하면, 소자에 인가된 백바이어스 전압이 음의 방향으로 증가할수록 메모리 마진과 셀 보유 시간이 증가함을 알 수 있다. 특히 실시예와 제 2 변형예의 경우 백바이어스 전압에 크게 의존되지 않음을 알 수 있다.

[0121] 이와 같이 본 발명의 무 커패시터 메모리 소자는 제 1 층(130)을 통해 홀을 트랩시킴으로 인해 홀 보유 시간을 증대시키고, 메모리 마진을 향상시킬 수 있다.

[0122] 또한, 본 실시예의 무 커패시터 메모리 소자는 제 1 층(130)의 Ge 농도에 따라 메모리 마진과 밸런스 밴드 에너지 차 그리고, 전하의 보유 시간이 변화될 수 있다.

[0123] 도 16은 제 3 변형예에 따른 스토리지층 내의 Ge 농도에 따른 메모리 마진과 밸런스 밴드 에너지 차를 나타낸 그래프이고, 도 17은 제 3 변형예에 따른 스토리지층 내의 Ge 농도에 따른 전하 보유 시간을 나타낸 그래프이다.

[0124] 이때, 도 16 및 도 17에서는 Si를 약 50nm두께로 하고, SiGe를 약 40nm두께로 제작한 상태에서 각기 SiGe층 내의 Ge 농도를 0 at%에서 80at%까지 증가시켜 이에 따른 메모리 마진과 전하 보유 시간을 측정한 그래프이다. 측정시 백바이어스 전압을 -5V 인가하였다.

[0125] 도 16의 원형 점(D1)은 Ge 농도에 따른 메모리 마진을 나타낸 값이다. 원형 점을 살펴보면 Ge의 농도가 증가할수록 메모리 마진이 증대됨을 알 수 있다. 여기서, Ge 농도가 0at%일 경우보다 80at%로 증대시켰을 경우 메모리 마진이 약 4배 증가함을 알 수 있다. 또한, 도 16의 D2 선은 Ge 농도에 따른 Si층과 SiGe층 간의 밸런스 밴드 에너지 차를 나타낸 그래프이다. D2 선을 살펴보면 Ge의 농도가 증가할수록 두 층간의 밸런스 밴드 에너지 차가 증가함을 알 수 있다. 또한, 도 17의 D3 선은 25도의 온도에서 Ge농도에 따른 전하 보유 시간을 측정한 것이고, D4 선은 85도에서의 Ge농도에 따른 전하 보유 시간을 측정한 그래프이다. 상기 D3 및 D4 선을 살펴보면 Ge의 농도가 증가할수록 전하 보유 시간이 증가함을 알 수 있다. 그리고, 25도의 온도에서 Ge의 농도가 약 70 at% 이상일 경우에는 전하 보유 시간이 1초 이상이 됨을 알 수 있다. 즉, Ge의 농도가 0at%의 경우에는 전하 보유 시간이 약 285msec 였지만, Ge의 농도가 80at%에서는 전하 보유 시간이 1228msec로 약 4배 증가함을 알 수 있다.

[0126] 본 실시예의 무 커패시터 메모리 소자는 리드 전압에서 백바이어스 의존성을 낮출 수 있다.

- [0127] 도 18은 일 실시예에 따른 무 커패시터 메모리 소자의 드레인 전압 전류변화를 나타낸 그래프이고, 도 19는 비교예에 따른 무 커패시터 메모리 소자의 드레인 전압 전류변화를 나타낸 그래프이다.
- [0128] 도 18 및 도 19는 각기 백바이어스 전압을 0V, -1V, -2V, -3V, -4V 및 -5V를 인가하여 측정된 드레인 전압-전류 변화를 나타낸 그래프로, 도 18 및 도 19의 VB0은 백바이어스 전압으로 0V를 인가한것이고, VB1은 -1V, VB2는 -2V, VB3은 -3V, VB4는 -4V 및 VB5는 -5V를 인가한 상태의 전압 전류 변화를 나타낸 그래프이다. 도 18은 본 발명의 실시예에 따른 구조에서 제 1 층(130) 내의 Ge 농도를 30at%로 하였고, 제 2 층(140)의 두께를 20nm로 하고, 제 1 층(130)의 두께를 70nm로 하였다. 도 19의 비교예는 제 1 층(130)이 형성되지 않고, 약 90nm 두께의 Si 층만을 형성한 무 커패시터의 메모리 소자의 전압 전류 변화를 측정한 것이다.
- [0129] 도 19의 비교예에서는 백바이어스 전압에 따라 동일 전압시 전류의 변화량이 약 12 $\mu$ A 였지만, 도 18의 본 발명의 실시예에서는 백바이어스 전압에 따라 동일 전압시 전류의 변화량이 9 $\mu$ A로 변형예에 비하여 2/3배 줄어들었다. 본 실시예의 무 커패시터 메모리 소자가 변형예에 비하여 백바이어스 전압에 대한 의존도가 낮음을 알 수 있다.
- [0130] 또한, 제 2 및 제 3 변형예에 따른 무 커패시터 메모리 소자의 경우 제 1 층(130) 상측의 제 2 층(140)으로 스트레인드 Si층을 사용함으로써 인해 채널 영역(C)의 전자 이동도를 증대시킬 수 있다.
- [0131] 또한, 본 실시예에 따른 무 커패시터 메모리 소자의 구조는 상술한 실시예와 제 1 내지 제 3 변형예에 한정되지 않고, 다양한 변형이 가능하다.
- [0132] 도 20 내지 도 23은 제 4 내지 제 7 변형예에 따른 무 커패시터 메모리 소자의 도면이다.
- [0133] 제 4 변형예에 따른 무 커패시터 메모리 소자는 도 20에 도시된 바와 같이 기판(110) 상에 절연층(120), 제 1 층(130) 및 제 2 층(140)이 순차적으로 적층된다. 그리고, 제 2 층(140)의 일부 영역이 리세스되고, 리세스된 영역 상측에 게이트 전극부(150)가 형성된다. 그리고, 리세스된 영역 양측 상부(즉, 게이트 전극부(150) 양측)에 소스 및 드레인 전극부(160, 170)가 형성된다. 이와 같이 게이트 전극부(150)의 일부가 제 2 층(140)의 내측으로 돌출 연장될 수 있다. 또한, 소스 및 드레인 전극부(160)가 제 2 층(140) 상측 영역에 위치할 수도 있다.
- [0134] 또한, 제 5 변형예에 따른 무 커패시터 메모리 소자는 도 21에 도시된 바와 같이 절연층(120)의 일부를 제거하여 제 1 층(130)과 반도체 기판(110)을 연결하는 연결층(131)을 더 구비한다. 이와 같은 연결층(131)을 통해 제 1 층(130)을 반도체 기판(110)으로 부터 성장시켜 절연층(120) 상측에 제 1 층(130)을 형성할 수 있다. 이를 위해, 반도체 기판(110)의 상측에 절연층(120)을 형성한다. 이어서, 절연층(120)의 일부를 식각하여 반도체 기판(110)의 일부를 노출하는 홈을 형성한다. 이어서, 증착 공정을 통해 제 1 층(130)을 형성하되, 홈 내측에 먼저 연결층(131)을 형성하고, 계속적 증착을 실시하여 제 1 층(130)을 형성한다. 이를 통해 별도의 본딩이나 벽개 공정을 수행하지 않고, 절연층(120) 상에 SiGe를 포함하는 제 1 층(130)을 형성할 수 있다.
- [0135] 또한, 제 6 변형예에 따른 무 커패시터 메모리 소자는 도 22에 도시된 바와 같이 절연층(120)의 상측 일부 영역에 바 또는 섬 형태의 제 1 층(130)을 형성한다. 그리고, 제 1 층(130)의 적어도 3면을 감싸는 제 2 층(140)과, 제 2 층(140)을 감싸는 게이트 절연막(151)을 형성한다. 이어서, 절연층(120)과 게이트 절연막(151)에 접하도록 제 2 층(140)의 측벽면 영역에 게이트 전극(152)을 형성한다. 이어서, 게이트 전극(152) 양측의 제 2 층(140) 및 제 1 층(130) 내에 이온 주입을 통해 소스 및 드레인 전극층(160, 170)을 형성한다. 이를 통해 소자의 구조를 간략화 할 수 있고, 소자의 높이를 줄일 수 있다. 또한, 제 1 층(130)을 제 2 층(140)으로 감싸아 제 1 층(130) 내의 전하 저장 능력을 증대시킬 수 있다.
- [0136] 또한, 제 7 변형예에 따른 무 커패시터 메모리 소자는 도 23에 도시된 바와 같이 절연층(120) 상측 일부 영역에 바 또는 섬 형태의 제 1 층(130)을 형성하고, 제 1 층(130)을 감싸는 제 2 층(140)을 형성한다. 제 2 층(140)의 일부 영역에 제 2 층(140)의 적어도 3면을 감싸는 게이트 절연막(151)과 게이트 전극(152)을 순차적으로 형성한다. 그리고, 게이트 전극(152) 양측의 제 2 층(140) 및 제 1 층(130)에 이온주입을 실시하여 소스 및 드레인 전극부(160, 170)을 형성한다. 이와 같이 게이트 전극(152)으로 제 2 층(140)을 감싸는 형상으로 제작하여 채널의 길이 및 단면적을 확장시킬 수 있다.
- [0137] 본 발명을 첨부 도면과 기술된 바람직한 실시예를 참조하여 설명하였으나, 본 발명은 그에 한정되지 않으며, 후술되는 특허청구범위에 의해 한정된다. 따라서, 본 기술분야의 통상의 지식을 가진 자라면 후술되는 특허청구범위의 기술적 사상에서 벗어나지 않는 범위 내에서 본 발명을 다양하게 변형 및 수정할 수 있다.

## 도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 무 커패시터 메모리 소자의 단면도.

도 2 내지 도 4 각각은 일 실시예의 제 1 내지 제 3 변형예에 따른 무 커패시터 메모리 소자의 단면도.

도 5는 일 실시예의 다른 예에 따른 무 커패시터 메모리 소자의 단면도.

도 6은 제 2 변형예에 다른 예에 따른 무 커패시터 메모리 소자의 단면도.

도 7은 일 실시예에 따른 무 커패시터 메모리 소자의 동작을 설명하기 위한 개념도.

도 8 및 도 9는 일 실시예에 따른 무 커패시터 메모리 소자의 동작을 설명하기 위한 개념 단면도.

도 10은 일 실시예에 따른 채널층과 스토리지층 간의 밸런스 밴드 에너지 차와 이에 따른 홀 농도를 나타낸 그래프.

도 11은 일 실시예의 스토리지층 내의 Ge 농도에 따른 밸런스 밴드 에너지 차를 나타낸 그래프.

도 12 및 도 13은 일 실시예와 변형예들에 따른 메모리 마진을 설명하기 위한 그래프.

도 14 및 도 15는 일 실시예와 변형예들에 따른 홀 보유 시간을 설명하기 위한 그래프.

도 16은 제 3 변형예에 따른 스토리지층 내의 Ge 농도에 따른 메모리 마진과 밸런스 밴드 에너지 차를 나타낸 그래프.

도 17은 제 3 변형예에 따른 스토리지층 내의 Ge 농도에 따른 전하 보유 시간을 나타낸 그래프.

도 18은 일 실시예에 따른 무 커패시터 메모리 소자의 드레인 전압 전류변화를 나타낸 그래프.

도 19은 비교예에 따른 무 커패시터 메모리 소자의 드레인 전압 전류변화를 나타낸 그래프.

도 20 내지 도 23은 제 4 내지 제 7 변형예에 따른 무 커패시터 메모리 소자의 도면.

### <도면의 주요 부분에 대한 부호의 설명>

110 : 반도체 기관                      120 : 절연층

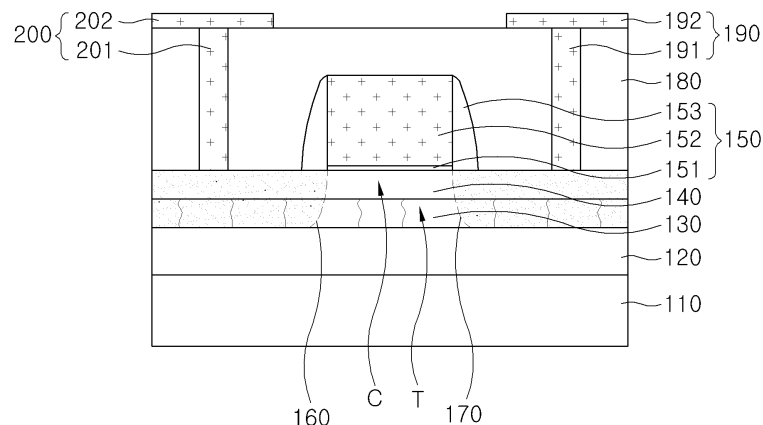
130 : 스토리지층                      140 : 채널층

150 : 게이트 전극부                      160 : 소스 전극부

170 : 드레인 전극부

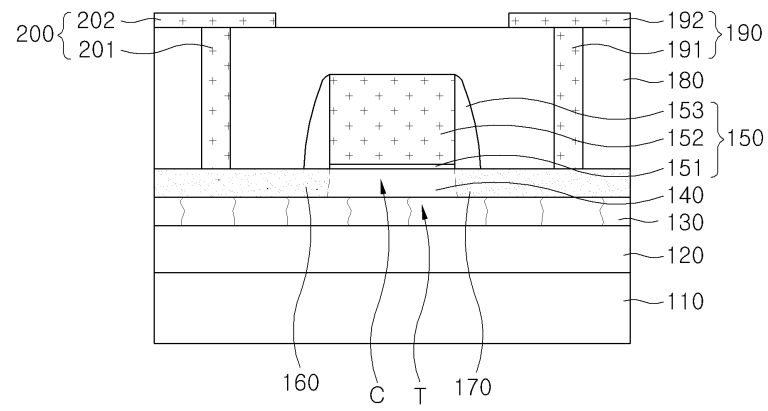
도면

도면1

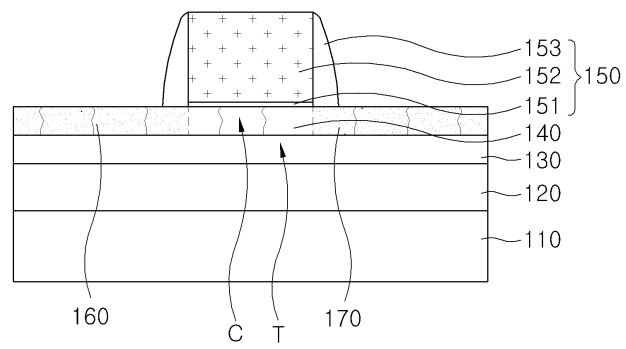




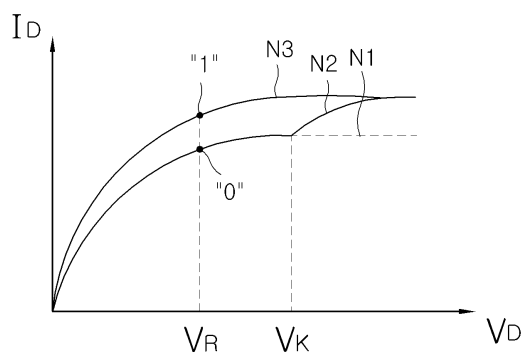
도면5



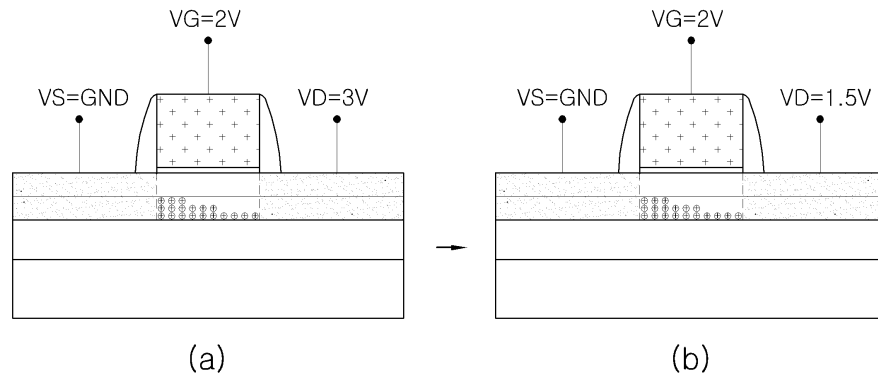
도면6



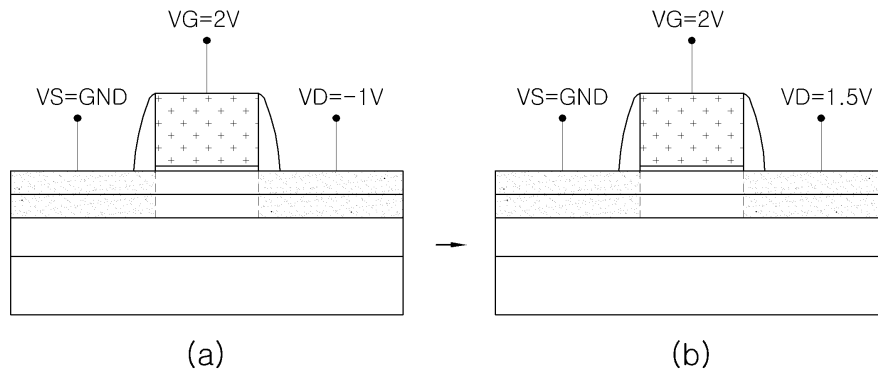
도면7



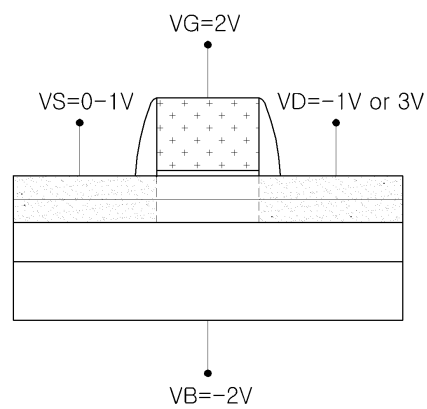
도면8



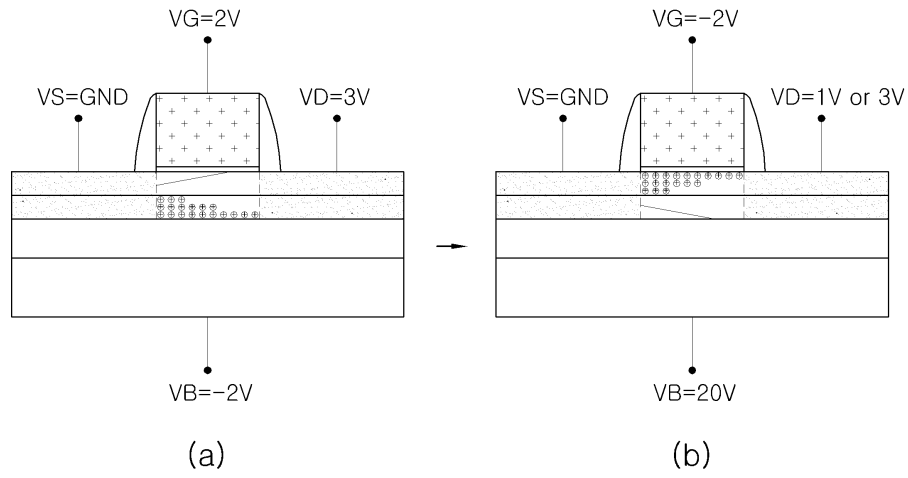
도면9



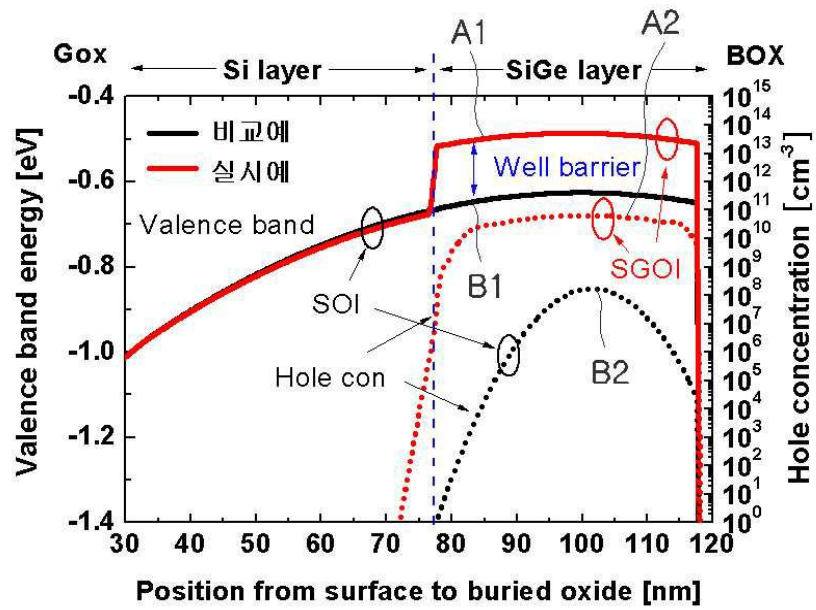
도면10



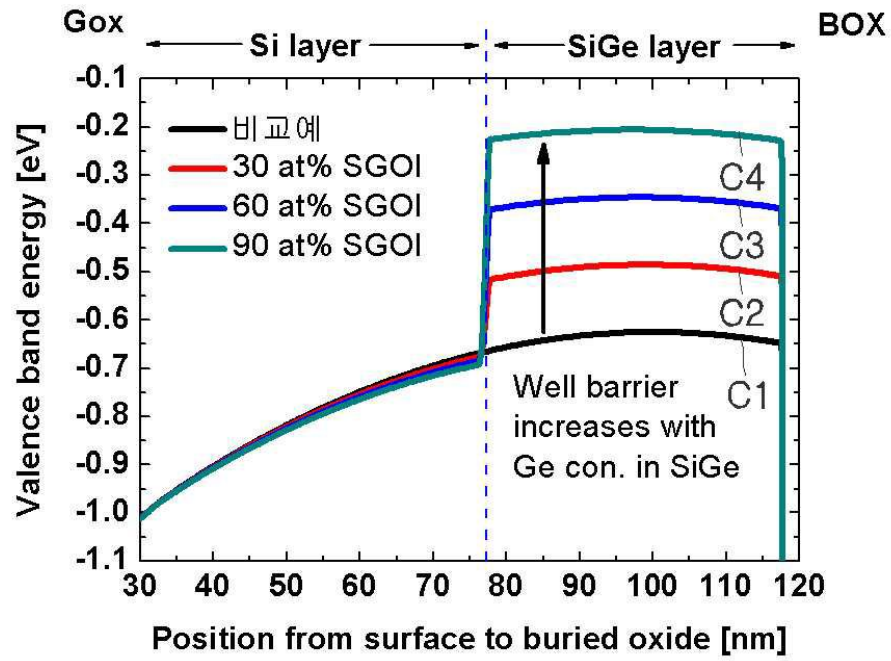
도면11



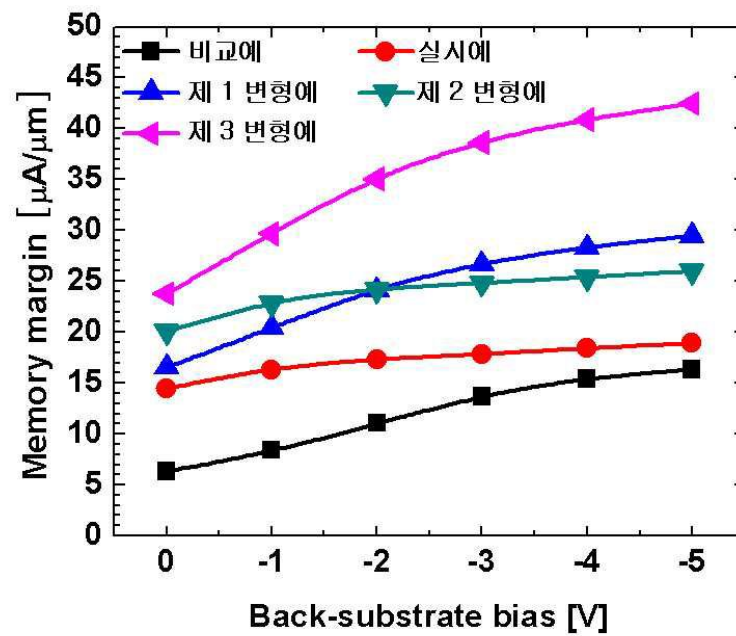
도면12



도면13

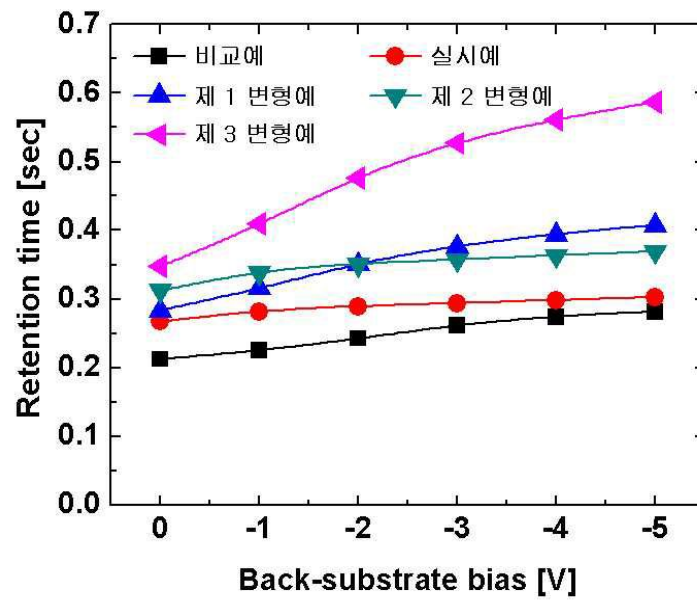


도면14

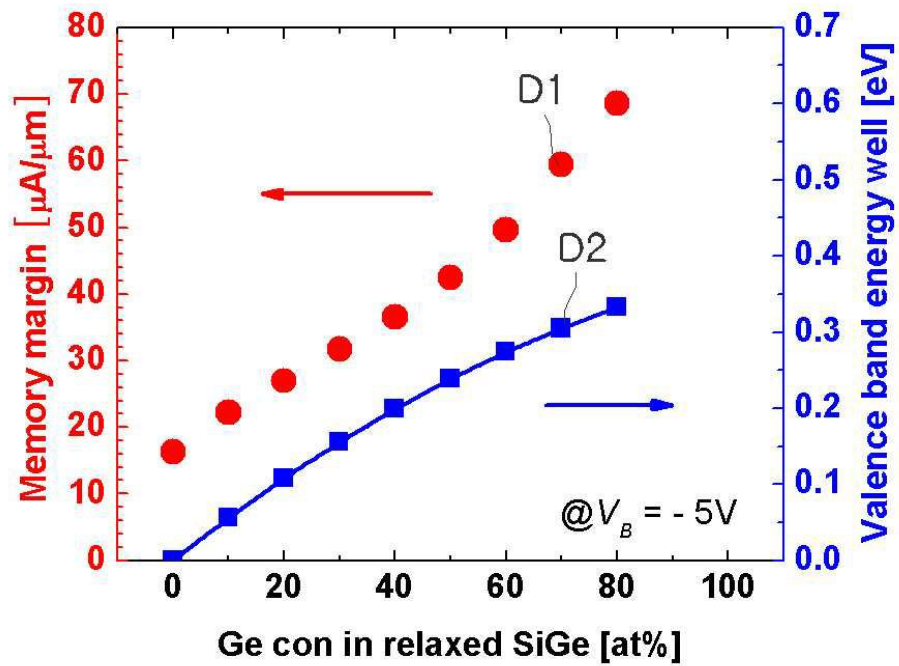




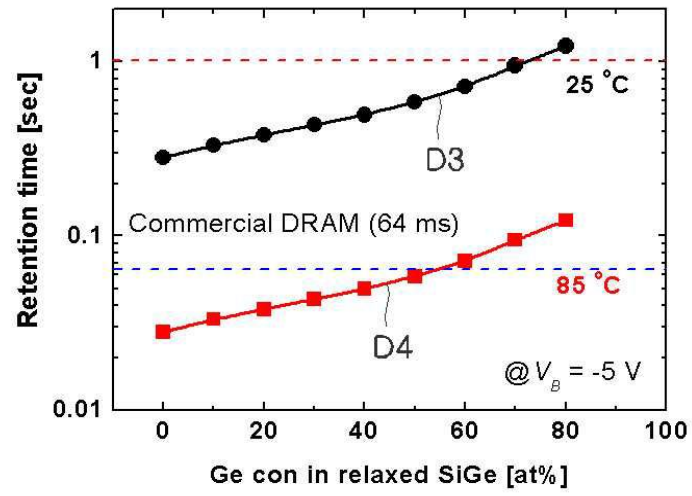
도면15



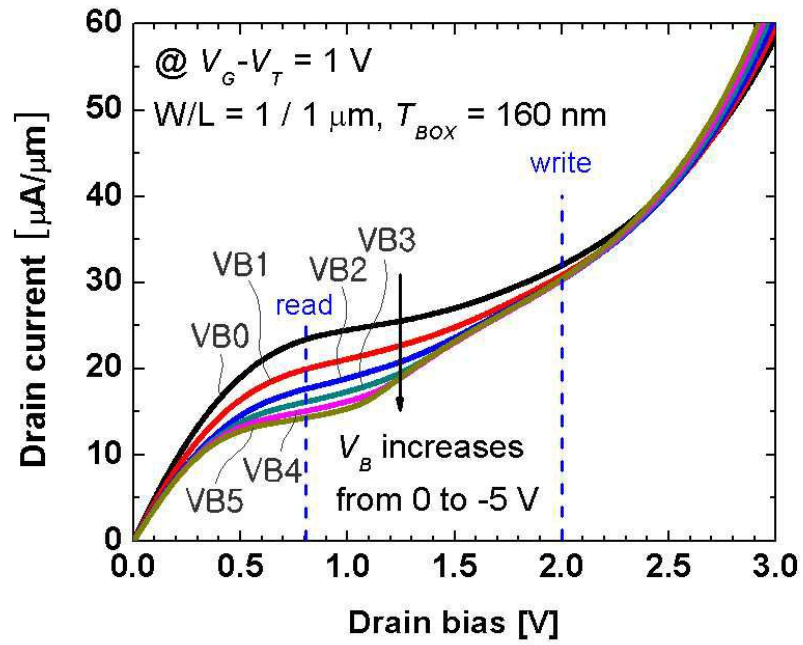
도면16



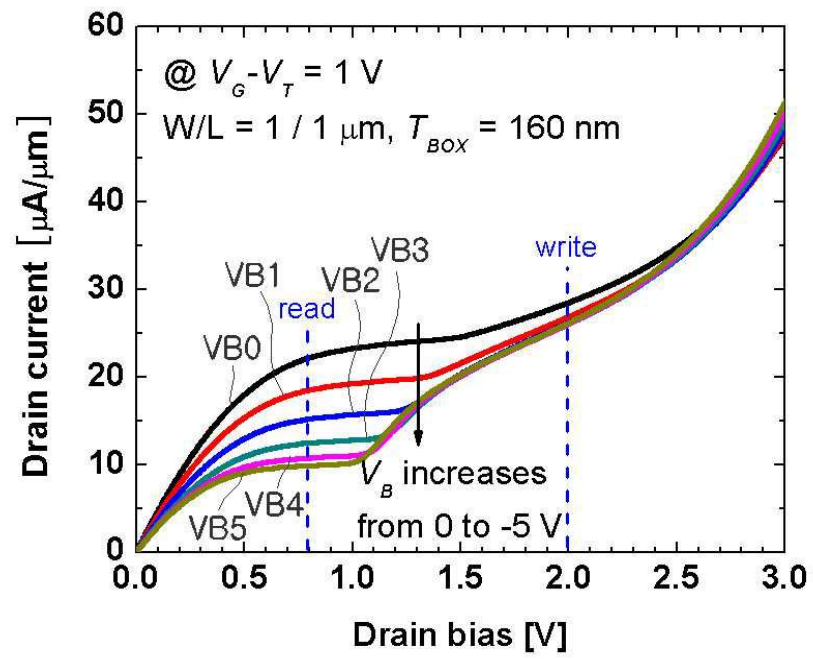
도면17



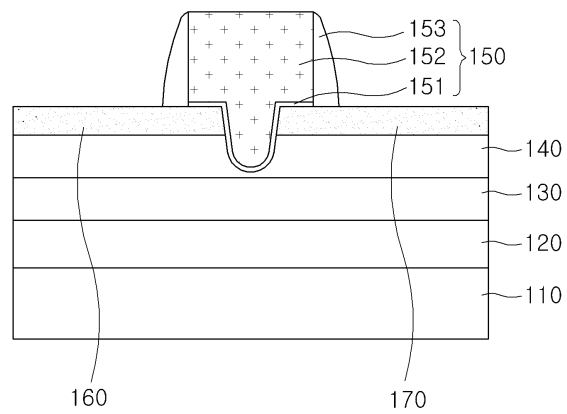
도면18



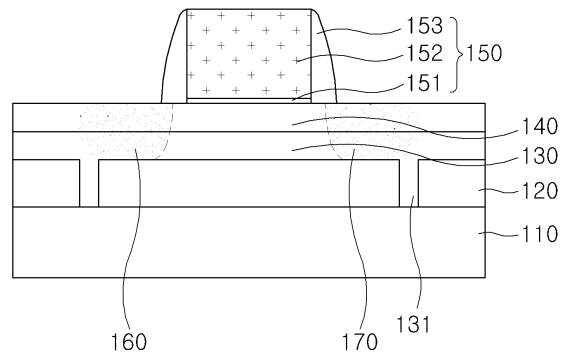
도면19



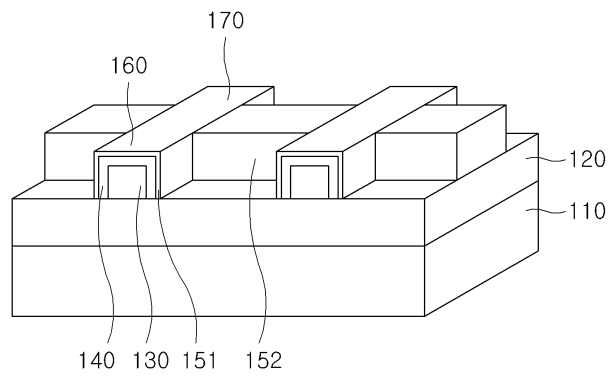
도면20



도면21



도면22



도면23

