

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-287196

(P2006-287196A)

(43) 公開日 平成18年10月19日(2006.10.19)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 F 17/00 (2006.01)	HO 1 F 17/00 B	5 E 0 7 0
HO 3 H 7/075 (2006.01)	HO 3 H 7/075 Z	5 J 0 2 4

審査請求 未請求 請求項の数 41 O L 外国語出願 (全 17 頁)

(21) 出願番号 特願2006-12578 (P2006-12578)
 (22) 出願日 平成18年1月20日 (2006.1.20)
 (31) 優先権主張番号 60/645,507
 (32) 優先日 平成17年1月20日 (2005.1.20)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 11/334,051
 (32) 優先日 平成18年1月18日 (2006.1.18)
 (33) 優先権主張国 米国 (US)

(71) 出願人 500047848
 エイブイエックス コーポレーション
 アメリカ合衆国 29578-0867
 サウスカロライナ州 マートル ビーチ
 エイブイエックス ドライブ 2200
 ピー. オー. ボックス 867
 (74) 代理人 100077481
 弁理士 谷 義一
 (74) 代理人 100088915
 弁理士 阿部 和夫
 (72) 発明者 ゲオルゲ コロニー
 アメリカ合衆国 29588 サウスカ
 ライナ州 マートル ビーチ ブランディ
 ー ミル プールバード 410

最終頁に続く

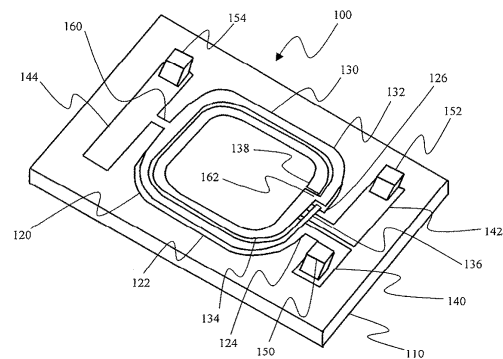
(54) 【発明の名称】 高QプレーナインダクタおよびIPD応用例

(57) 【要約】

【課題】 高いクオリティ (Q) ファクターを有するプレーナインダクタを生産するための方法および装置を提供すること。

【解決手段】 このインダクタは、第1の比較的広いコイルターンと、第1のコイルターンによって占有されたものと異なる平面内で変位された少なくとも1対の比較的狭い方の第2のコイルターンとを準備することによって形成される。そのようなコイルターンの構成により、コイルターンの間で高い値の相互結合が生じ、高いクオリティ (Q) ファクターを有するインダクタが得られる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

上部表面と下部表面とを有する基板と、

前記基板の 1 つの前記表面に対して第 1 の平面内で構成された、第 1 の所定の数のターンを有する第 1 のコイルと、

前記基板の 1 つの前記表面に対して第 2 の平面内で構成された、第 2 の所定の数のターンを有する第 2 のコイルであって、前記基板の 1 つの前記表面に直角方向に前記第 1 のコイルと縦に位置合わせされる第 2 のコイルとを備えるプレーニングダクタであって、

前記第 1 の所定の数のターンが、前記第 2 の所定の数のターンによって占有された平坦エリアに実質的に等しい平坦エリアを占有することを特徴とするプレーニングダクタ。 10

【請求項 2】

前記第 2 の所定の数のターンの数は、前記第 1 の所定の数のターンの数の 2 倍であることを特徴とする請求項 1 に記載のプレーニングダクタ。

【請求項 3】

前記第 1 のコイルは、第 1 の所定の幅を有する導電要素に対応する少なくとも 1 つのターンを有し、

前記第 2 のコイルは複数のターンを有し、前記複数のターンのそれぞれは、前記第 1 の所定の幅の個々の部分に対応する個々の幅を有する個々の平坦導体に対応することを特徴とする請求項 1 に記載のプレーニングダクタ。

【請求項 4】 20

前記個々の部分が等しいことを特徴とする請求項 3 に記載のプレーニングダクタ。

【請求項 5】

前記複数のターンは、少なくとも 1 つのその中央ターンが、前記第 1 の所定の幅の所定の部分に対応する幅を有して、また前記複数のターンの残りの部分が、前記第 1 の所定の幅の、徐々に小さくなる所定の部分に対応する幅を有して、構成されることを特徴とする請求項 3 に記載のプレーニングダクタ。

【請求項 6】

前記第 2 のコイルが、前記第 1 のコイルの上方で、前記第 1 のコイルとの共通表面に直角方向に縦に位置合わせされることを特徴とする請求項 1 に記載のプレーニングダクタ。

【請求項 7】 30

前記基板は、セラミック材料を含むことを特徴とする請求項 1 に記載のプレーニングダクタ。

【請求項 8】

前記基板は、ガラス、ガラス - セラミック、石英、高抵抗 Si 材料のうち 1 つを含むことを特徴とする請求項 1 に記載のプレーニングダクタ。

【請求項 9】

前記基板は、プリント回路板を含むことを特徴とする請求項 1 に記載のプレーニングダクタ。

【請求項 10】

前記第 1 および第 2 のコイル双方の開始部分および終了部分に関連付けられた終端部と 40

、
前記第 2 のコイルの中間部分に関連付けられた少なくとも 1 つの接続点とをさらに備え、

前記第 1 のコイルと前記第 2 のコイルが、前記終端部により直列で電氣的に接続され、インダクタ中央タップが、前記接続点により提供されることを特徴とする請求項 1 に記載のプレーニングダクタ。

【請求項 11】

上部表面と下部表面とを有する基板と、

前記基板によって支持されたコンデンサおよび抵抗のうち 1 つを含む少なくとも 1 つの受動デバイスと、

少なくとも1つのプレーインダクタであって、前記基板の1つの前記表面に対して第1の平面内で支持された、第1の所定の数のターンを有する第1のコイルと、前記基板の1つの前記表面に対して第2の平面内で支持された、第2の所定の数のターンを有する第2のコイルとを備え、前記第2のコイルが、前記基板の1つの前記表面に直角方向に前記第1のコイルと縦に位置合わせされるプレーインダクタとを備える集積受動デバイスであって、

前記第1の所定の数のターンが、前記第2の平面内で前記第2の所定の数のターンによって占有されたエリアに実質的に等しい前記第1の平面内でのエリアを占有することを特徴とする集積受動デバイス。

【請求項12】

10

前記第1のコイルは、第1の所定の幅を有する導電要素に対応する少なくとも1つのターンを有し、

前記第2のコイルは複数のターンを有し、前記複数のターンのそれぞれは、前記第1の所定の幅の個々の部分に対応する個々の幅を有する個々の平坦導体に対応することを特徴とする請求項11に記載の集積受動デバイス。

【請求項13】

前記複数のターンは、少なくとも1つのその中央ターンが、前記第1の所定の幅の所定の部分に対応する幅を有して、また前記複数のターンの残りの部分が、前記第1の所定の幅の、徐々に小さくなる所定の部分に対応する幅を有して、構成されることを特徴とする請求項12に記載の集積受動デバイス。

20

【請求項14】

前記第2のコイルが、前記第1のコイルの上方で、前記第1のコイルとの共通表面に直角方向に縦に位置合わせされることを特徴とする請求項12に記載の集積受動デバイス。

【請求項15】

前記第2の所定の数のターンの数は、前記第1の所定の数のターンの数の2倍であることを特徴とする請求項11に記載の集積受動デバイス。

【請求項16】

前記第1および第2のコイル双方の開始部分および終了部分に関連付けられた終端部と、

前記第2のコイルの中間部分に関連付けられた少なくとも1つの接続点とをさらに備え

30

、前記第1のコイルと前記第2のコイルが、前記終端部により直列で電氣的に接続され、インダクタ中央タップが、前記接続点により提供されることを特徴とする請求項11に記載の集積受動デバイス。

【請求項17】

前記少なくとも1つの受動デバイスを前記少なくとも1つのプレーインダクタに結合し、共振回路、フィルタ、整合ネットワークのうちの1つを含む電気回路を選択的に形成するように構成された、前記基板によって支持された少なくとも1つの導電要素をさらに備えることを特徴とする請求項11に記載の集積受動デバイス。

【請求項18】

40

前記基板は、セラミック材料を含むことを特徴とする請求項11に記載の集積受動デバイス。

【請求項19】

前記基板は、プリント回路板を含むことを特徴とする請求項11に記載の集積受動デバイス。

【請求項20】

上部表面と下部表面とを有する基板と、

前記基板によって支持された複数のコンデンサと、

前記基板によって支持された複数のインダクタとを備える楕円帯域通過フィルタであって、

50

前記複数のインダクタの少なくとも1つがプレーナインダクタであり、前記プレーナインダクタが、前記基板の1つの前記表面に対して第1の平面内で支持された、第1の所定の数のターンを有する第1のコイルと、前記基板の1つの前記表面に対して第2の平面内で支持された、第2の所定の数のターンを有する第2のコイルとを備え、前記第2のコイルが、前記基板の1つの前記表面に直角方向に前記第1のコイルと縦に位置合わせされ、前記第1の所定の数のターンが、前記第2の平面内で前記第2の所定の数のターンによって占有されたエリアに実質的に等しい前記第1の平面内でのエリアを占有することを特徴とする楕円帯域通過フィルタ。

【請求項21】

前記第1のコイルは、第1の所定の幅を有する導電要素に対応する少なくとも1つのターンを有し、

前記第2のコイルは複数のターンを有し、前記複数のターンのそれぞれは、前記第1の所定の幅の個々の部分に対応する個々の幅を有する個々の平坦導体に対応することを特徴とする請求項20に記載の楕円帯域通過フィルタ。

【請求項22】

前記複数のターンは、少なくとも1つのその中央ターンが、前記第1の所定の幅の所定の部分に対応する幅を有して、また前記複数のターンの残りの部分が、前記第1の所定の幅の、徐々に小さくなる所定の部分に対応する幅を有して、構成されることを特徴とする請求項20に記載の楕円帯域通過フィルタ。

【請求項23】

上部表面と下部表面とを有する基板を準備するステップと、

前記基板の1つの前記表面に対して第1の平面内で構成された、第1の所定の数のターンを有する第1のコイルを形成するステップと、

前記基板の1つの前記表面に対して第2の平面内で構成された、第2の所定の数のターンを有する第2のコイルを形成するステップであって、前記第2のコイルが、前記基板の1つの前記表面に直角方向に前記第1のコイルと縦に位置合わせされるステップと、を含み、

前記第1の所定の数のターンは、位置する前記第2の所定の数のターンによって占有された平坦エリアに実質的に等しい平坦エリアを占有するように位置することを特徴とする高Qを有するプレーナインダクタを生産するための方法。

【請求項24】

前記第2の所定の数のターンの数は、前記第1の所定の数のターンの数の2倍であることを特徴とする請求項23に記載の高Qを有するプレーナインダクタを生産するための方法。

【請求項25】

前記第1のコイルは、第1の所定の幅を有する導電要素に対応する少なくとも1つのターンを有し、

前記第2のコイルは複数のターンを有し、前記複数のターンのそれぞれは、前記第1の所定の幅の個々の部分に対応する個々の幅を有する個々の平坦導体に対応することを特徴とする請求項23に記載の高Qを有するプレーナインダクタを生産するための方法。

【請求項26】

前記個々の部分が等しいことを特徴とする請求項25に記載の高Qを有するプレーナインダクタを生産するための方法。

【請求項27】

前記複数のターンは、少なくとも1つのその中央ターンが、前記第1の所定の幅の所定の部分に対応する幅を有して、また前記複数のターンの残りの部分が、前記第1の所定の幅の、徐々に小さくなる所定の部分に対応する幅を有して、構成されることを特徴とする請求項25に記載の高Qを有するプレーナインダクタを生産するための方法。

【請求項28】

前記第2のコイルが、前記第1のコイルの上方で、前記第1のコイルとの共通表面に直

角方向に縦に位置合わせされることを特徴とする請求項 2 3 に記載の高 Q を有するプレーナインダクタを生産するための方法。

【請求項 2 9】

前記基板は、セラミック材料を含むことを特徴とする請求項 2 3 に記載の高 Q を有するプレーナインダクタを生産するための方法。

【請求項 3 0】

前記基板は、プリント回路板を含むことを特徴とする請求項 2 3 に記載の高 Q を有するプレーナインダクタを生産するための方法。

【請求項 3 1】

前記第 1 および第 2 のコイル双方の開始部分および終了部分に関連付けられた終端部を準備するステップであって、前記終端部が、前記第 1 のコイルと前記第 2 のコイルを直列で電氣的に接続するステップと、

前記接続点でインダクタ中央タップを提供するために、前記第 2 のコイルの中間部分に関連付けられた少なくとも 1 つの接続点を準備するステップとをさらに含むことを特徴とする請求項 2 3 に記載の高 Q を有するプレーナインダクタを生産するための方法。

【請求項 3 2】

上部表面と下部表面とを有する基板を準備するステップと、

コンデンサおよび抵抗のうち 1 つを備える、前記基板によって支持された少なくとも 1 つの受動デバイスを準備するステップと、

高 Q を有する少なくとも 1 つのプレーナインダクタを形成するステップであって、前記プレーナインダクタが、前記基板の 1 つの前記表面に対して第 1 の平面内で支持された、第 1 の所定の数のターンを有する第 1 のコイルと、前記基板の 1 つの前記表面に対して第 2 の平面内で支持された、第 2 の所定の数のターンを有する第 2 のコイルとを備え、前記第 2 のコイルが、前記基板の 1 つの前記表面に直角方向に前記第 1 のコイルと縦に位置合わせされるステップと、を含み、

前記第 1 の所定の数のターンが、前記第 2 の平面内で位置する前記第 2 の所定の数のターンによって占有されたエリアに実質的に等しい前記第 1 の平面内でのエリアを占有するように位置することを特徴とする集積受動デバイスを形成するための方法。

【請求項 3 3】

前記第 1 のコイルは、第 1 の所定の幅を有する導電要素に対応する少なくとも 1 つのターンを有し、

前記第 2 のコイルは複数のターンを有し、前記複数のターンのそれぞれは、前記第 1 の所定の幅の個々の部分に対応する個々の幅を有する個々の平坦導体に対応することを特徴とする請求項 3 2 に記載の集積受動デバイスを形成するための方法。

【請求項 3 4】

前記複数のターンは、少なくとも 1 つのその中央ターンが、前記第 1 の所定の幅の所定の部分に対応する幅を有して、また前記複数のターンの残りの部分が、前記第 1 の所定の幅の、徐々に小さくなる所定の部分に対応する幅を有して、構成されることを特徴とする請求項 3 3 に記載の集積受動デバイスを形成するための方法。

【請求項 3 5】

前記第 2 のコイルが、前記第 1 のコイルの上方で、前記第 1 のコイルとの共通表面に直角方向に縦に位置合わせされるように位置することを特徴とする請求項 3 3 に記載の集積受動デバイスを形成するための方法。

【請求項 3 6】

前記第 2 の所定の数のターンの数は、前記第 1 の所定の数のターンの数の 2 倍であることを特徴とする請求項 3 2 に記載の集積受動デバイスを形成するための方法。

【請求項 3 7】

前記第 1 および第 2 のコイル双方の開始部分および終了部分に関連付けられた終端部を準備するステップであって、前記終端部が、前記第 1 のコイルと前記第 2 のコイルを直列で電氣的に接続するステップと、

10

20

30

40

50

前記接続点でインダクタ中央タップを提供するために、前記第2のコイルの中間部分に関連付けられた少なくとも1つの接続点を準備するステップとをさらに含むことを特徴とする請求項32に記載の集積受動デバイスを形成するための方法。

【請求項38】

前記少なくとも1つの受動デバイスを前記少なくとも1つのプレーナインダクタに結合し、共振回路、フィルタ、整合ネットワークのうちの1つを含む電気回路を選択的に形成するように構成された、前記基板によって支持された少なくとも1つの導電要素を準備するステップとをさらに含むことを特徴とする請求項32に記載の集積受動デバイスを形成するための方法。

【請求項39】

前記基板は、セラミック材料を含むことを特徴とする請求項32に記載の集積受動デバイスを形成するための方法。

【請求項40】

前記基板は、プリント回路板を含むことを特徴とする請求項32に記載の集積受動デバイスを形成するための方法。

【請求項41】

前記基板によって支持された複数のコンデンサを準備するステップと、前記少なくとも1つのプレーナインダクタに加えて、前記基板によって支持された複数のインダクタを準備するステップとをさらに含み、前記コンデンサと前記インダクタのすべてが楕円帯域通過フィルタを形成するように選択的に構成されることによって楕円帯域通過フィルタを提供することをさらに含むことを特徴とする請求項32に記載の集積受動デバイスを形成するための方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示技術は、高Qプレーナインダクタの提供、および集積受動デバイス(IPDs)におけるそれらの応用例に関する。本技術は、薄膜集積受動デバイスまたはプリント回路配線板集積受動デバイスの設計に対して、また小型の集積無線周波数(RF)デバイスの設計に対して特定の適用可能性を有する。

【背景技術】

【0002】

多数の現代の電子構成部品は、モノリシックデバイスとしてパッケージされ、単一のチップパッケージ内に単一の構成部品または複数の構成部品を備えることができる。そのようなモノリシックデバイスの1つの特定の例は、多層コンデンサまたはコンデンサアレイである。他のモノリシック電子構成部品は、複数の受動構成部品を単一のチップ構造内に一体化するデバイスに対応する。そのような集積受動構成部品は、抵抗、コンデンサ、インダクタ、および/または、多層構成で形成されモノリシック電子デバイスとしてパッケージされる他の受動構成部品の選択された組合せを提供することができる。

【0003】

集積受動デバイスまたは集積受動構成部品(IPDsまたはIPCs)の継続的な開発が、最近、縮小サイズ電子デバイスの設計において、より重要なものになっている。IPDsの領域における最近の開発は、2つの主な開発ブランチの後に続いている。第1の開発ブランチは、一意に定義された機能を有することなしにチップ内で一体化された複数の受動構成部品を含むことに対処している。この開発ブランチに沿った開発の非限定の例には、4重コンデンサアレイ、複数の抵抗ネットワーク、複数のバリスタアレイが含まれる。第2の開発ブランチは、明確な機能を実施するためにチップ内に一体化された複数の受動構成部品を含むことに対処している。この開発ブランチに沿った開発の非限定の例には、抵抗性分圧器、D/A変換用R-2R回路、ならびに、フィルタ、整合ネットワーク、および特定用途向け集積回路(ASICs)に関連付けられた複雑な電力処理/フィードバック回路を含む、より複雑なデバイスが含まれる。

10

20

30

40

50

【 0 0 0 4 】

2つの前述の開発経路のどちらかに関連する構成部品として使用することができる縮小サイズ誘導構成部品の設計に伴う1つの設計挑戦課題は、高いクオリティファクターを達成することである。当業者には理解されるように、この文脈におけるクオリティファクターは、概して、ある要素またはデバイスを使用して経験される損失の度合いに関する。誘導構成部品に関連する高いクオリティファクター、すなわち高Qは、一部には、インダクタを形成するターンすべての間の強い結合に依存する。そのような強い結合を達成することは、特にインダクタがプレーナデバイスとして構成され得るとき、または構成されなければならないとき、集積受動デバイスを実装する際に問題となる可能性がある。

【 0 0 0 5 】

様々な構成部品の構成と、対応する方法が、Stengelの米国特許（特許文献1参照）、Grzegorekらの米国特許（特許文献2参照）、Liouの米国特許（特許文献3参照）、Liouの米国特許（特許文献4参照）、Mizoguchiらの米国特許（特許文献5参照）、Chaudhryらの米国特許（特許文献6参照）、Andohらの米国特許（特許文献7参照）、Bengらの米国特許（特許文献8参照）、Kyriazidouの米国特許（特許文献9参照）、Gillespieらの米国特許（特許文献10参照）、Kyriazidouらの米国特許（特許文献11参照）、Linらの米国特許（特許文献12参照）を含めて発行済み米国特許から、また非特許文献1、非特許文献2、非特許文献3、非特許文献4、非特許文献5、非特許文献6、非特許文献7を含めて諸出版物から既知である。これによって、前述の米国特許すべての開示を参照により本明細書に完全に組み込む。

【 0 0 0 6 】

誘導デバイスを実施する様々なものが、集積受動デバイスに関連して使用するために開発されているが、本技術による、以下で提示される所望の特性のすべてを全体的に包含する設計は出現していない。

【 0 0 0 7 】

【特許文献1】米国特許第5,451,914号明細書

【特許文献2】米国特許第5,760,456号明細書

【特許文献3】米国特許第6,420,773 B1号明細書

【特許文献4】米国特許第6,559,751 B2号明細書

【特許文献5】米国特許第6,593,841 B1号明細書

【特許文献6】米国特許第6,639,298 B2号明細書

【特許文献7】米国特許第6,664,882 B2号明細書

【特許文献8】米国特許第6,714,112 B2号明細書

【特許文献9】米国特許第6,759,937 B2号明細書

【特許文献10】米国特許第6,798,039 B1号明細書

【特許文献11】米国特許第6,809,623 B2号明細書

【特許文献12】米国特許第6,825,749 B1号明細書

【非特許文献1】"Fully-Integrated Low Phase Noise Bipolar Differential VCOs at 2.9 and 4.4 GHz" by Ali M. Niknejad and Robert G. Meyer of University of California, Berkeley and Joo Leong Tham of Conexant Systems

【非特許文献2】"Comparative Investigation on Various On-Chip Center-Tapped Interleaved Transformers" by Shu-Jun Pan, Wen-Yan Yin, and Le-Wei Li, Dec. 27, 2003

【非特許文献3】Published Abstract entitled: "Spiral Inductors Integrated in MCM-D using the Design Space Concept" by Pieters et al., 1998

【非特許文献4】"Processing and Microwave Characterization of Multilevel Interconnects Using Benzocyclobutene Dielectric" by Chinoy et al., IEEE Transactions on Components, Hybrids, and Manufacturing Technology, Vol. 16, No. 7, Nov. 1993

【非特許文献5】"Processing and Electrical Characterization of Multilayer Metallization for Microwave Applications" by Chinoy, ICEMCM 1995

【非特許文献6】"Integrated Microwave Filters in MCM-D" by Pieters et al., IEEE

10

20

30

40

50

Multi-Chip Module Conference, Santa Cruz, CA, Feb. 6-7, 1996

【非特許文献7】"Integration of Passive Components for Microwave Filters in MCM-D" by Pieters et al., 6th International Conference and Exhibition on Multichip Modules, Denver, CO, April 2-4, 1997

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明対象は、前述の問題の諸態様、および集積受動デバイス (IPDs) と関連技術に関連して使用可能な誘導構成部品の様々な特徴に関する他の諸態様を理解し対処する。したがって、大まかに言えば、本開示技術のいくつかの実施形態の一目的は、集積受動デバイスの実装に関連する可能性があるいくつかの構成部品について、構成部品設計を改善することである。

10

【0009】

より具体的には、本開示技術のいくつかの実施形態の一目的は、いくつかの構成部品についてサイズを縮小し、同時に、そのような構成部品について動作特性を改善することである。より具体的には、本開示技術のいくつかの実施形態の一目的は、誘導デバイスの物理サイズを縮小することである。本技術のさらにより具体的な目的は、高いクオリティ (Q) ファクターならびに縮小されたサイズを有する誘導デバイスを提供することに関する。

【0010】

集積受動デバイス (IPDs) は、以前、表面実装技術 (SMT) 形態で供給されていたが、本開示技術による開発は、薄膜、ボールグリッドアレイ (BGA) 終端型 IPDs、ならびに表面実装技術 (SMT) IPDs の生産に向かっている。同様に、本技術は、プリント回路配線板実装に適用可能である。そのような本開示技術に従って、共振回路、フィルタ、整合ネットワークを含めて諸機能を提供する、無線周波数 (RF) IPDs が開発されている。そのような開発に照らして、本技術のいくつかの実施形態の他の目的は、集中素子 RF / マイクロ波回路のための実施可能技術として使用することができる薄膜高 Q プレーナインダクタを提供することである。

20

【課題を解決するための手段】

【0011】

様々な例示的な本実施形態では、本発明対象は、基板と第1および第2のコイルとを備えるプレーナインダクタを含むことができる。そのような本構成では、そのような基板は、好ましくは上部表面と下部表面とを有し、プレーナインダクタはさらに、そのような基板の1つの表面に対して第1の平面内で構成された、第1の所定の数のターンを有する第1のコイルと、そのような基板の1つの表面に対して第2の平面内で構成された、第2の所定の数のターンを有する第2のコイルとを有し、そのような第2のコイルが、そのような基板の1つの表面に直角方向に第1のコイルと縦に位置合わせされる。そのような例示的な本実施形態では、第1の所定の数のターンは、前記第2の所定の数のターンによって占有された平坦エリアに実質的に等しい平坦エリアを占有する。

30

【0012】

前述の例示的な実施形態のいくつかの追加の実施形態では、第2の所定の数のターンの数は、第1の所定の数のターンの数の2倍とすることができる。さらに、そのような例示的な構成のいくつかの実施形態では、第1のコイルは、有利には、第1の所定の幅を有する導電要素に対応する少なくとも1つのターンを備え、第2のコイルは複数のターンを有することができ、そのような複数のターンのそれぞれは、第1の所定の幅の個々の部分に対応する個々の幅を有する個々の平坦導体に対応する。

40

【0013】

前述の例示的な実施形態のいくつかにおいて、基板は、プリント回路板を含むことができる。

【0014】

50

他の例示的な本実施形態では、上部表面と下部表面とを有する基板と、そのような基板によって支持された、コンデンサおよび抵抗のうち1つを含む少なくとも1つの受動デバイスと、少なくとも1つのプレーニングダクタであって、そのような基板の1つの表面に対して第1の平面内で支持された、第1の所定の数のターンを有する第1のコイルと、そのような基板の1つの表面に対して第2の平面内で支持された、第2の所定の数のターンを有する第2のコイルとを備え、第2のコイルが、そのような基板の1つの表面に直角方向に第1のコイルと縦に位置合わせされるプレーニングダクタとを含めて、本発明対象に従って集積受動デバイスを提供することができる。そのような例示的な本実施形態では、第1の所定の数のターンは、第2の平面内で第2の所定の数のターンによって占有されたエリアに実質的に等しい第1の平面内でのエリアを占有することが好ましい。

10

【0015】

本主題によるそのような例示的な集積受動デバイスでは、終端部を、第1のコイルと第2のコイル双方の開始部分および終了部分に関連付けることができ、少なくとも1つの接続点が、そのような第2のコイルの中間部分に関連付けられ、第1のコイルと第2のコイルは、そのような終端部により直列で電氣的に接続され、インダクタ中央タップが、そのような接続点により提供される。

【0016】

さらに、本発明対象によるそのような例示的な集積受動デバイスでは、そのような例示的なデバイスは、少なくとも1つの受動デバイスを少なくとも1つのプレーニングダクタに結合し、共振回路、フィルタ、整合ネットワークのうち1つを含む電気回路を選択的に形成するように構成された、そのような基板によって支持された少なくとも1つの導電要素を備えることができる。

20

【0017】

さらに他の本例示的な実施形態は、上部表面と下部表面とを有する基板と、そのような基板によって支持された複数のコンデンサと、前記基板によって支持された複数のインダクタとを備える楕円帯域通過フィルタを包含することができる。そのような構成では、好ましくは、複数のインダクタの少なくとも1つがプレーニングダクタであり、そのプレーニングダクタは、基板の1つの表面に対して第1の平面内で支持された、第1の所定の数のターンを有する第1のコイルと、そのような基板の1つの表面に対して第2の平面内で支持された、第2の所定の数のターンを有する第2のコイルとを備え、そのような第2のコイルが、そのような基板の1つの表面に直角方向に第1のコイルと縦に位置合わせされ、第1の所定の数のターンが、第2の平面内でそのような第2の所定の数のターンによって占有されたエリアに実質的に等しいそのような第1の平面内でのエリアを占有する。

30

【0018】

さらに、本技術は、これと共に開示され、かつ/または論じられる、得られるデバイスおよび構造、ならびに対応する必要とされる方法に等しく適用されることを理解されたい。

【0019】

たとえば、本方法は、高Qを有するプレーニングダクタを生産するための方法であって、上部表面と下部表面とを有する基板を準備するステップと、基板の1つの表面に対して第1の平面内で構成された、第1の所定の数のターンを有する第1のコイルを形成するステップと、基板の1つの表面に対して第2の平面内で構成された、第2の所定の数のターンを有する第2のコイルを形成するステップであって、そのような第2のコイルが、基板の1つのそのような表面に直角方向に第1のコイルと縦に位置合わせされるステップとを含む方法を含む。前述の例示的な方法によれば、好ましくは、第1の所定の数のターンは、位置するそのような第2の所定の数のターンによって占有された平坦エリアに実質的に等しい平坦エリアを占有するように位置する。

40

【0020】

追加の例示的な本方法は、集積受動デバイスを形成するための方法において、上部表面と下部表面とを有する基板を準備するステップと、コンデンサおよび抵抗のうち1つを備

50

える、そのような基板によって支持された少なくとも1つの受動デバイスを準備するステップと、高Qを有する少なくとも1つのプレーナインダクタを形成するステップとを含む方法を含む。そのような方法では、そのようなプレーナインダクタは、好ましくは、そのような基板の1つの表面に対して第1の平面内で支持された、第1の所定の数のターンを有する第1のコイルと、基板の1つの表面に対して第2の平面内で支持された、第2の所定の数のターンを有する第2のコイルとを備え、第2のコイルが、そのような基板の1つの表面に直角方向に第1のコイルと縦に位置合わせされ、第1の所定の数のターンが、第2の平面内で位置するそのような第2の所定の数のターンによって占有されたエリアに実質的に等しい第1の平面内でのエリアを占有するように位置する。

【0021】

本発明対象の追加の目的および利点は、本明細書における詳細な説明で述べられ、当業者には、そこから明らかになる。また、特に例示された、また参照された、また論じられている本明細書の特徴および/またはステップに対する修正および変形は、それに対する本参照により、その精神および範囲から逸脱することなしに、開示技術の様々な実施形態および使用において実施することができることを、当業者ならさらに理解されたい。そのような変形は、それだけには限らないが、示されている、または参照されている、または論じられているものについての均等な手段、ステップ、特徴、または材料の置換と、様々な部分、特徴、またはステップなどの機能的、動作的、または位置的逆転とを含むことができる。

【0022】

さらに、本技術の異なる実施形態、ならびに異なる現在好ましい実施形態は、(明示的に図に示されていない、または詳細な説明に述べられていないそのステップ、特徴、または構成の組合せを含めて)本開示ステップ、特徴、もしくは要素、またはそれらの均等物の様々な組合せ、または構成を含むことができる。

【0023】

当業者を対象とする本発明対象の完全な、また実施可能な説明は、その最良の形態を含めて、添付の図を参照する本明細書に述べられている。

【0024】

本明細書および添付の図面全体にわたって繰り返し使用される符号は、本発明対象の同じ、または類似の特徴、要素、またはステップを表すことが意図されている。

【発明を実施するための最良の形態】

【0025】

「発明の開示」セクションで論じたように、本発明対象は、特に集積受動デバイス(IPDs)と関連技術および方法に関連して使用可能な誘導構成部品のいくつかの態様に関する。より具体的には、本発明対象は、高Qを提供するように設計された改良型プレーナインダクタ構成部品、および対応する方法に関する。同様に、本発明対象は、単独で使用可能な構成部品を提供するように設計されたそのような改良型プレーナ高Qインダクタ構成部品技術に、または集積受動デバイスの実装に関連する他の構成部品に関する。

【0026】

開示技術の諸態様の、選択された諸組合せは、本発明対象の複数の異なる実施形態に対応する。本明細書で提示されている、また論じられている例示的な実施形態のそれぞれが本発明対象の限定を暗示すべきでないことに留意されたい。一実施形態の一部として例示されている、または述べられている特徴またはステップは、別の実施形態の諸態様と組み合わせ使用し、さらに他の実施形態を生み出すことができる。さらに、いくつかの特徴は、同じまたは同様の機能を実行する、明示的に述べられていない同様のデバイスまたは特徴と交換することができる。

【0027】

次に、本プレーナインダクタを含む例示的な現在好ましい実施形態を詳細に参照する。次に図面を参照すると、図1は、本技術に従って構築されたプレーナインダクタ100の例示的な実施形態の概して上部の、ある程度傾斜した図を概略的に示す。本技術によれば

10

20

30

40

50

、プレーインダクタ100は、基板110上に支持された2段コイルとして形成することができる。そのような2段コイルの第1段120は、単一の、比較的広いコイルターン122に対応する。2段コイルの第2段130は、この実施形態において、第1のターン122の頂部上に物理的に配置された、また(図1に示されていない)絶縁材料の層によってそこから分離された1対のターン132、134に対応する2巻き螺旋に対応する。本発明対象の広い態様として必要とはされないが、2巻き螺旋に対応するそのような1対のターン132、134の内部ターンは、インダクタ内に集まる電流を収容するために、本開示に従って外部ターンより広いものとすることができる。また、本発明対象のいくつかの実施形態では、1対より多いターンが、そのような第2段130上で使用され得る。さらに、第1段120はまた、第2段130に対応する、複数の対応する狭いターンを有する1つより多くの広いターンに対応することができる。また、第1段と第2段の相対的な関係は交換することができる、すなわち、第2段を実際に第1段より下にすることができ、逆も同様であることを銘記されたい。

10

【0028】

さらに図1に示されているように、代表的な終端パッド140は、単一の比較的広いコイルターン122の第1の端部124に結合することができる。当業者には理解されるように、コイルターン122の第2の端部126は、(図1に示されていない)導電ビアによって、概して第1段コイルと同じ経路に従う例示的な、より狭い導体の第2段螺旋コイルの第1の端部136に結合され得る。第2段螺旋コイルは、第1段コイルの経路を横切るため、いくつかの特徴が指摘され得る。ある特徴は、(以下でさらに述べる)タップ接続160に対応し、別の特徴は、交差エリア162に対応する。2層コイルの第2の層について比較的狭い方の導体を使用することにより、また例示されている交差エリア162を使用することにより、2つの完全なターンは、第1のコイル層120の単一のターン122によって占有されたものと実質的に同じサイズのエリアに提供され得る。

20

【0029】

第2段螺旋コイルは交差エリア162を越えて続くため、ターン132、134を有する第2段コイルは、第2の端部138に到達し、次いで第2の端部138は、当業者には理解されるように、(図1に示されていない)ビアによって、例示的な端子パッド142に接続された導電トレースに結合され得る。例示的な構成では、そのようなコイルターンは、厚さ20 μm の銅(Cu)層に対応することができ、一方、図1に示されていない絶縁材料の層は、厚さ5 μm のベンゾシクロブテン(BCB)の層に対応することができる。

30

【0030】

そのような具体的な諸例は例示にすぎず、コイルターン材料も絶縁材料も、他の容易に入手可能な、好適な材料に対応することができること、また、上記の例示的な寸法は、本発明対象による所与の実施形態の状況により変えられる可能性があることを、はっきりと銘記されたい。銅(Cu)の代わりに、またはそれに加えて使用することができる導電材料の具体的な非限定の諸例には、金(Au)、銀(Ag)、アルミニウム(Al)が含まれる。同様に、BCB絶縁材料の代わりに、またはそれに加えて、絶縁材料の他の非限定の例には、ポリイミド(PI)、エポキシ樹脂(FR-3、FR-4、FR-5)、ピストリアジン(bis-triazine)樹脂(BT)、シアン酸エステル樹脂、パリレン(Parylene)、SiO₂、Si₃N₄、テフロン(登録商標)(Teflon)、フロロポリマー、アルミナ、ケイ酸アルミナマグネシウム(magnesium alumina silicates)が含まれる。

40

【0031】

前述のように、例示的な2段コイルの第2段130に対応する2つの螺旋ターン132、134は、本発明対象によれば、例示的な本2段コイルの第1のコイル層120に対応する単一のターン122より物理的、相対的に狭いものである。単一の、より広いターン122と縦に位置合わせされた、そのような少なくとも2つのらせん状の比較的狭い方のターン132、134の配置は、例示的な複合プレーインダクタの例示的なターン(1

50

2 2、1 3 2、1 3 4) のすべての強力な相互の結合を生じさせ、その結果、従来の構成から得られるものよりプレーナインダクタについてのクオリティ(Q)ファクターが増大することになる。

【0032】

図1をさらに参照すると、例示的なプレーナインダクタ100を付加的な構成部品に結合するために、例示的な終端パッド140、142、144は設けられ得る。そのような結合は、それぞれインダクタデバイスのボールグリッドアレイ(BGA)終端として使用される、はんだボール150、152、154によってなどで行われ得る。別法として、表面実装技術を使用する諸実施形態が、BGAをベースとする手法の代わりに実施され得る。例示的なプレーナインダクタ100は、中央タップ接続160および前述の例示的な終端パッド144による中央タップ型デバイスとして提供され得る。

10

【0033】

次に図2を参照すると、図1の例示的なプレーナインダクタの一部分の例示的な横断面図が示されている。本技術によるプレーナインダクタは、ガラスまたはガラス-セラミック材料の基板210上に構築され得る。最終デバイスが使用される環境の厳密な要件に応じて、他の材料が基板材料として使用されることが可能であることは、当業者には明らかとなるはずである。たとえば、セラミックまたは非セラミック材料が使用され得る。いくつかの追加の具体的な諸例には、石英および高抵抗Si、ならびに、本明細書の残りの部分で述べられるさらに追加の具体的な諸例が含まれることになる。

【0034】

また、開示されている本高Qプレーナインダクタ技術は、プリント配線板の積層または多層セラミックパッケージにおける組み込み原理として使用されることが可能であることは、当業者には明らかとなるはずである。

20

【0035】

例示的な実施形態では、基板210は、厚さ0.5mmのガラスまたはガラス-セラミック層に対応することができ、そのような本プレーナインダクタの構築は、20 μ mの銅(Cu)220を、TiW(600)/Cu(0.5 μ m)のシード層を覆うフォトレジストマスク内に電気メッキすることによって開始され得る。このシード層は、メッキ後にエッチング除去される。銅(Cu)の第2の層230は、2つの銅層間の絶縁層として設けられた感光性BCBの層240を覆ってめっきすることができる。BCB層240は、典型的には、厚さ約10 μ mとすることができる。代替の絶縁層材料、たとえばSi₃N₄は、例示的なBCB材料の代わりに使用され得る。当業者には理解されるように、2つの銅層220と230とを接続するために、(図2に示されていない)バイアがBCB層240内にパターン形成され得る。BCBの付加的な層が、その構造の平坦化と最終不動態化のための層242として適用され得る。この構造は、必要に応じて、はんだボール250などを提供するボール配置技術を使用して、ボールグリッドアレイ(BGA)で終端され得る。はんだボール250は、共晶のすず-鉛(SnPb)を含むことができるが、望むなら、無鉛(Pb)とされ得る。

30

【0036】

次に図3を参照すると、本発明対象による例示的なフィルタ300が、その概して上部の、ある程度傾斜した概略図で示されていて、それは図1を参照して前述したような、複数の代表的なプレーナインダクタ330、332、334を採用している。帯域通過フィルタおよび帯域消去フィルタ、ならびに他のフィルタタイプやそれらの組合せを含めて、様々なフィルタが、本プレーナインダクタ技術を使用して設計され得るため、図3に示されている例示的なフィルタ300は代表的なものにすぎず、どの特定のタイプのフィルタをも具体的に示すことは意図されていないことを銘記されたい。

40

【0037】

図3に示されているように、例示的なフィルタ300は、(それだけには限らないが)絶縁基板310上に例示的なコンデンサ要素340、342、344に沿って載置された複数の例示的なプレーナインダクタ330、332、334を含めて、無線周波数(RF

50

) フィルタに対応することができる。一例示的な構成では、そのような絶縁基板 310 は、ガラス基板に対応することができるが、特定の設計の考慮すべき点を満たすための必要に応じて、当然ながら、非限定の諸例として、Si、Al₂O₃、ガラス-セラミックウエハ、石英、高抵抗Si、酸化マグネシウム、サファイア、カプトン(Kapton)、ポリイミド膜、テフロン(登録商標)シート、フロロポリマラミネート、FR-4ラミネート、BTラミネート、またはシアン酸エステルラミネートを含めて、任意の数の他の材料が、基板 310 ならびに図 1 に示されている基板 110 用に使用され得る。

【0038】

この時点で、本開示の原理考察は、上述したものなど、表面材料上にプレーナインダクタを設けることに関するが、本技術は、そのように限定されず、したがって、等価な機能を有するプリント回路配線板に適用され得ることに留意されたい。フィルタ 300 に対する入力/出力接続は、図 1 を参照して前述したように、ボールグリッドアレイ(BGA)の一部など、はんだボール 350、352 により実施され得る。図 3 の例示的なはんだボール 350、352、ならびに図 1 の 150、152、154 で表されているものは、任意の具体的に生産されるデバイスの意図される用途に適切である場合、無鉛となるように選択され得る。当然ながら、非限定の諸例として、はんだペーストスクリーン印刷、はんだめっき、はんだジェット、金ボールバンプ、そして銅スタブバンプを含めて、代替の方法がはんだボールプロセスの代わりに使用され得る。さらに、本技術は、ボールグリッドアレイ(BGA)形式に限定されず、表面実装(SMT)形式で適用され、その結果、単一の受動構成部品、すなわち発明者らの本文脈においてはプレーナインダクタが BGA または SMT として設けられ、終端され得ることに留意されたい。

【0039】

小型の集積無線周波数(RF)デバイスの設計では、本開示による構成部品間の寄生結合が重要な役割を果たす。当業者には理解されるように、そのような様々な構成部品の値および配置は、所望のフィルタ伝達関数に合うように調整され得る。さらに、共振回路間の接地トレース 360 は、所望のフィルタパラメータを達成する上で重要な役割を有する。

【0040】

本技術の一般的な例として、プレーナインダクタは、本明細書で開示されている設計原理を使用して構築されている。2.4 mm × 2.1 mm チップ上に作製されたプレーナインダクタは、60 を超える測定 Q と共に 18 nH のインダクタンス値を生み出すことが判明している。

【0041】

図 4 a および図 4 b に関して、本技術に従って設けられたプレーナインダクタを使用して構築され得る集積プレーナデバイス(IPD)の例示的な構成が示されている。図 4 a および図 4 b は、それぞれ、本技術による 1 つ以上の構成部品の組込みに従って構築され得る例示的な楕円帯域通過フィルタ実施例に対応する例示的な集積プレーナデバイス(IPD)の、おおまかなレイアウト概略図 400、および代表的な回路図 410 を示す。図 4 a の中央上部に位置して顕著にわかるように、インダクタ L3 は、そのようなフィルタの一部として示されている。インダクタ L3 は、図 1 および図 2 に関連して前述した本技術に従って構築され得る。そのような例示的な構成では、インダクタ L3 は、7 nH インダクタに対応する。本技術に従ってインダクタ L3 を構築することは、「Q」を著しく増大し、したがって、従来のプレーナインダクタ構築方法を使用して得ることが可能なものよりも回路動作パラメータを改善する機会を提供する。

【0042】

さらに、図 4 a および図 4 b によって表されたそのような例示的な構成では、付加的な例示的なインダクタ L1 および L2 が、そのような例示的な特定の構成に含まれ、それぞれ 1.13 nH に対応するインダクタ値が備えられることが可能になる。同様に、例示的なコンデンサ C1、C2、C3、C4、C5 のそれぞれは、そのような例示的な実施形態に従って設けられ、それらは例示的な指定されたキャパシタンス値を有することが可能に

なる。たとえば、図 4 b によって示されているように、C 1 および C 4 は、それぞれ 9 . 9 p F の値を備えることができ、一方、C 2 および C 5 は、それぞれ 3 . 1 p F の値を備えることができ、また一方、コンデンサ C 3 は、0 . 4 p F 値を備える。

【 0 0 4 3 】

本発明対象について、その具体的な諸実施形態を参照して詳しく述べたが、当業者なら、前述を理解したとき、そのような諸実施形態に対する変更もしくは追加、その変形、および/またはその均等物のために本技術を容易に適合させることができることは理解されよう。たとえば、第 1 および第 2 のコイル段の位置は、逆転させることができる。さらに、いくつかの、またはすべての端子パッドは、コイルターンによって画定されたエリア内で位置決めされるように構成することができる。さらに、本発明対象は、本プレーナインダクタに関して個々の構成部品として生産されようと、より複雑な集積デバイスまたは組合せの一部として一体化されようと、当業者に周知の特定の実施形態設計技法の実施および(市販のソフトウェアなど)設計支援と共に使用可能であるものとする。たとえば、RF 帯域通過フィルタのための等価の、または代表的な回路解析や、整合ネットワークのモデル化を利用する設計手順を、本発明対象と共に実施することができる。したがって、本開示の範囲は、限定するためのものではなく、例示のためのものであり、本開示は、当業者には容易に明らかとなるように、本発明対象に対するそのような修正、変形、および/または追加を含むことを排除しない。

10

【 図面の簡単な説明 】

【 0 0 4 4 】

20

【 図 1 】本技術による例示的なプレーナインダクタの概して上部の、ある程度傾斜した概略図である。

【 図 2 】図 1 の一部の例示的なプレーナインダクタ実施形態の横断面図である。

【 図 3 】本技術に従って構築された複数のプレーナインダクタを用いる例示的なフィルタの概して上部の、ある程度傾斜した概略図である。

【 図 4 a 】本技術に従って構築された 1 つ以上のプレーナインダクタを用いることができる例示的な楕円帯域通過フィルタのレイアウト概略図である。

【 図 4 b 】本技術に従って構築された 1 つ以上のプレーナインダクタを用いることができる例示的な楕円帯域通過フィルタの代表的な回路図である。

【 符号の説明 】

30

【 0 0 4 5 】

1 0 0 プレーナインダクタ

1 1 0 基板

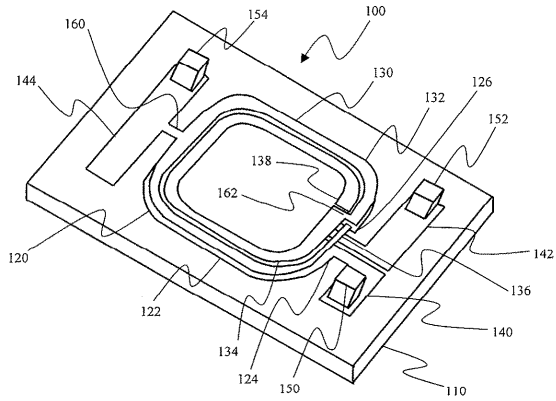
1 2 0 第 1 段

1 2 2 第 1 のターン

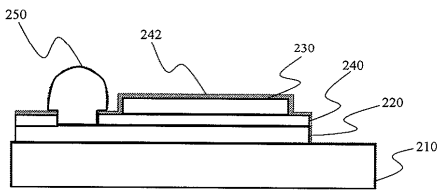
1 3 0 第 2 段

1 3 2、1 3 4 ターン

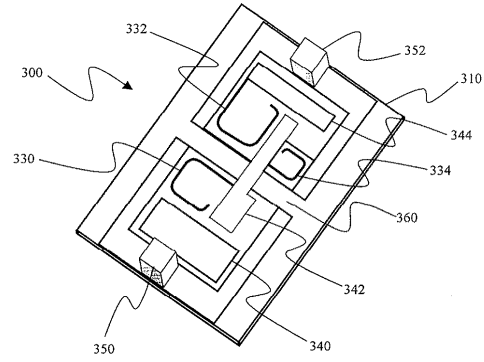
【 図 1 】



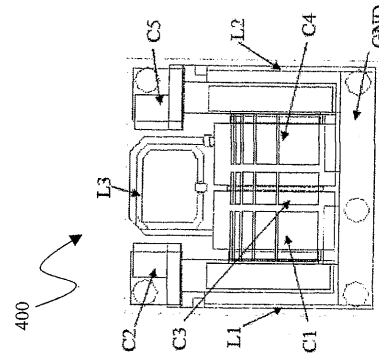
【 図 2 】



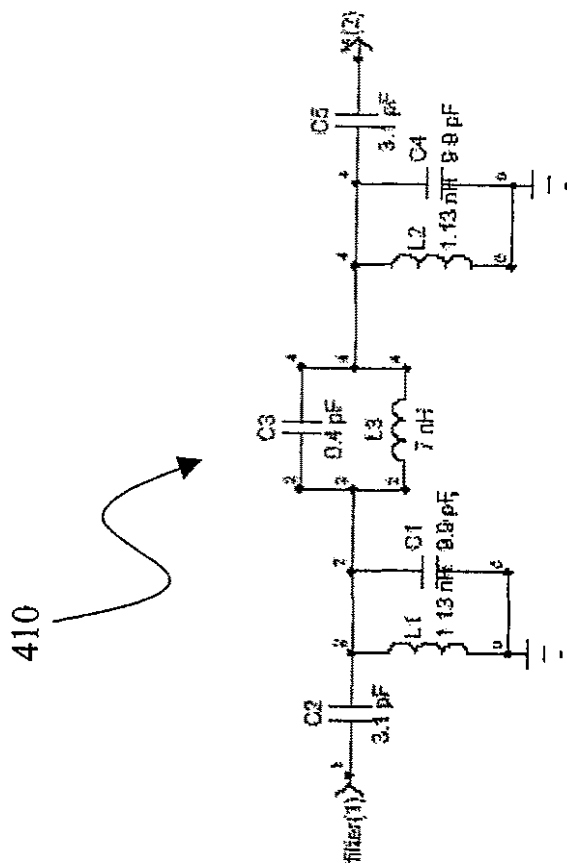
【 図 3 】



【 図 4 a 】



【 図 4 b 】



フロントページの続き

(72)発明者 ロバート ヘイスタンド ザ セカンド

アメリカ合衆国 2 9 5 8 8 サウスカロライナ州 マートル ビーチ プランプトン ドライブ
3 6 1 1

Fターム(参考) 5E070 AA01 AA05 AB03 CB01 CB11

5J024 AA01 BA01 CA03 CA04 DA04 DA29 DA32 DA35 EA03

【外国語明細書】

2006287196000001.pdf