

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3655113号
(P3655113)

(45) 発行日 平成17年6月2日(2005.6.2)

(24) 登録日 平成17年3月11日(2005.3.11)

(51) Int. Cl.⁷

F I

H O 1 L 21/8242

H O 1 L 27/10 6 2 1 C

H O 1 L 27/108

H O 1 L 27/10 6 5 1

請求項の数 5 (全 10 頁)

<p>(21) 出願番号 特願平10-373876 (22) 出願日 平成10年12月28日(1998.12.28) (65) 公開番号 特開2000-196039(P2000-196039A) (43) 公開日 平成12年7月14日(2000.7.14) 審査請求日 平成13年7月19日(2001.7.19) 審判番号 不服2003-1062(P2003-1062/J1) 審判請求日 平成15年1月16日(2003.1.16)</p>	<p>(73) 特許権者 000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号 (74) 代理人 100065248 弁理士 野河 信太郎 (72) 発明者 大西 茂夫 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内 (72) 発明者 竹中 伸之 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内 (72) 発明者 井口 勝次 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内</p>
--	---

最終頁に続く

(54) 【発明の名称】 半導体記憶装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

(A) 半導体基板の上に層間絶縁膜を形成し、該層間絶縁膜にコンタクトホールを形成し、さらに該コンタクトホール内にプラグを形成し、

(B) 該プラグを含む前記層間絶縁膜上に第1絶縁膜を形成し、前記プラグ上の第1絶縁膜に溝を形成してプラグの表面を露出させ、

(C) 該溝を含む前記第1絶縁膜上に第1導電膜を形成し、該第1導電膜を化学的機械的研磨法によってエッチバックすることにより前記溝内に下部電極を形成し、

(D) 該下部電極を含む第1絶縁膜上に第2絶縁膜を形成し、前記下部電極上の第2絶縁膜に溝を形成して下部電極の表面を露出させ、

(E) 該溝の側壁に TiO_2 又は TaO_2 からなる絶縁膜サイドウォールスペーサを形成し、

(F) 前記溝及び絶縁膜サイドウォールスペーサを含む前記第2絶縁膜上に高誘電体膜又は強誘電体膜及び第2導電膜をこの順で形成し、

(G) 前記高誘電体膜又は強誘電体膜及び第2導電膜を化学的機械的研磨法によって同時にエッチバックすることによりキャパシタ絶縁膜及び上部電極を形成することからなる半導体記憶装置の製造方法。

【請求項2】

下部電極及び上部電極が、Pt、Ru、Ir、 IrO_2 /Ru又は IrO_2 /Irにより形成されてなる請求項1に記載の半導体記憶装置の製造方法。

【請求項3】

高誘電体膜が $(Ba, Sr)TiO_3$ 、強誘電体膜が $PbTi_xZr_{1-x}O_3$ 又は $SrBi_2Ta_2O_9$ である請求項1に記載の半導体記憶装置の製造方法。

【請求項4】

プラグの下層又は上層に、バリアメタルを形成する請求項1に記載の半導体記憶装置の製造方法。

【請求項5】

バリアメタルが、 TiN 又は $TaSiN$ である請求項4に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

10

【0001】

【発明の属する技術分野】

この発明は半導体装置の製造方法に関し、より詳細には、強誘電体メモリ及びDRAMを高集積化するために、CMP法を用いた電極形成により微細化キャパシタを形成する半導体装置の製造方法に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】

従来の1トランジスタ・1キャパシタ（又は2トランジスタ・2キャパシタ）構造を有する強誘電体メモリセルは、図3に示すように、トランジスタTr上に絶縁膜30を介して平面型キャパシタCpが形成された構造が採られており、トランジスタTrとキャパシタCpとが完全に分離されている。よって、絶縁膜30上にキャパシタCpを形成した後、キャパシタCpとトランジスタTrとを局所配線31で接続している。しかし、図3に示すような構造では、メモリセルの占有面積が大きくなり、高集積化には向いていない。

20

そこで、図4に示すように、MOSFETのソース領域32上にポリシリコン又はタンゲステン等からなるコンタクトプラグ33を形成し、このコンタクトプラグ33上にスタック型キャパシタCpを形成する強誘電体メモリセルやDRAM等が提案されている。

【0003】

図4に示すようなスタック型キャパシタは、通常、下記の手法により形成されている。すなわち、トランジスタ、トランジスタ上に層間絶縁膜、層間絶縁膜にコンタクトホール、コンタクトホール内にコンタクトプラグが形成された半導体基板において、コンタクトプラグ上にIr、 IrO_2/Ir 、Pt、Ru、 RuO_2/Ru 等の導電膜を堆積し、ドライエッチング法により、導電膜をパターンニングし、下部電極（ノード電極）を形成する。続いて、強誘電体膜（PZT、SbT等）又は高誘電体膜（BST等）を堆積し、さらに、上部電極材料としてのIr、 IrO_2 、Pt、Ru、 RuO_2 等の導電膜を堆積し、ドライエッチング法により、導電膜及び強誘電体膜（又は高誘電体膜）をパターンニングし、共通プレート（又はドライブ線）を形成する。

30

【0004】

しかし、上部電極又は下部電極に用いるPt、Ir、 IrO_2 等の導電膜は、通常ドライエッチングで使用するハロゲン化ガスとの反応性が低く、また、反応生成物の揮発性も低い

40

ためエッチレートが低く、微細加工が難しい。しかも、サブミクロン以下のパターンでは、マイクロローディング効果の影響も大きく、反応生成物の導電膜への付着又パーティクルの発生等の問題がある。

そのため、この種のメモリを高集積化するのに、Pt、Ir等の不活性金属の微細加工技術の確立が不可欠になっている。そこで、強酸又は強アルカリ性の電解液を含むスラリーを用いた化学的機械研磨法（CMP法）によりエッチバックする方法が、特開平9-148537号公報及び特開平7-22518号公報等に提案されている。

【0005】

例えば、特開平9-148537号公報によれば、図5に示したように、トランジスタ、

50

トランジスタ上に層間絶縁膜 40、層間絶縁膜 40 にコンタクトホール、コンタクトホール内にコンタクトプラグ 41 が形成された半導体基板において、コンタクトプラグ 41 上に SiO_2 膜 42 を形成する。その後、コンタクトプラグ 41 上であって、この SiO_2 膜 42 にマスクを用いて開口部を形成し、この開口部内に下部電極 43 / 強誘電体 44 / 上部電極 45 / TEOS 膜 46 を順次堆積する。続いて、これら膜を同時に CMP 研磨することにより、 SiO_2 膜 42 に形成した開口部内に凹形状の孤立キャパシタ Cp を形成するとともに、この孤立キャパシタ表面の凹部に TEOS 膜 46 を埋設する。さらに、この孤立キャパシタ Cp の凹部の TEOS 膜 46 に、マスクを用いてドライエッチングによりコンタクトホールを開口した後、このコンタクトホールを含むキャパシタ上に、金属膜を形成し、この金属膜をマスクを用いてパターニングして共通プレート電極 47 を形成する。

10

【0006】

しかし、このような工程では、コンタクトプラグ 41 上の SiO_2 膜 42 に開口部を形成するためのマスク、TEOS 膜 46 にコンタクトホールを開口するためのマスク、共通プレート電極 47 にパターニングするためのマスクと、3枚のマスクが必要となるとともに、 SiO_2 膜 42 の開口部内にキャパシタを形成する際の CMP 工程及び TEOS 膜 46 にコンタクトホールを形成するためのドライエッチ工程が必要となる。また、形成されたキャパシタ上にコンタクトホールを形成する必要がある、微細化がさらに進んだ場合に、コンタクトホールの形成自体が困難となるという問題も有している。

【0007】

また、特開平 7 - 22518 号公報によれば、図 6 に示したように、トランジスタ、層間絶縁膜 50、層間絶縁膜 50 にコンタクトホール、コンタクトホール内にコンタクトプラグ 51 が形成された半導体基板において、コンタクトプラグ 51 上に SiO_2 膜 52 を形成する。その後、コンタクトプラグ 51 上であって、この SiO_2 膜 52 にマスクを用いて開口部を形成し、この開口部上に導電膜を堆積し、CMP 工程により、コンタクトプラグ 51 と接続された孤立の蓄積電極 53 を形成する。次いで、蓄積電極 53 上に強誘電体膜 54 及び SiO_2 膜 55 を順次堆積し、その後、 SiO_2 膜 55 であって、蓄積電極 53 上に、マスクを用いてドライブ線に対応する溝を形成し、導電膜を堆積する。続いて、この導電膜を CMP 研磨することにより、孤立したドライブ線 56 を形成する。

20

しかし、この工程では、メモリアレイ周辺の回路部上において強誘電体膜を加工する際、強誘電体膜上にドライエッチングによるプラズマダメージが導入され、強誘電体特性が劣化するという問題がある。

30

【0008】

【課題を解決するための手段】

本発明によれば、(A) 半導体基板上に層間絶縁膜を形成し、該層間絶縁膜にコンタクトホールを形成し、さらに該コンタクトホール内にプラグを形成し、

(B) 該プラグを含む前記層間絶縁膜上に第 1 絶縁膜を形成し、前記プラグ上の第 1 絶縁膜に溝を形成してプラグの表面を露出させ、

(C) 該溝を含む前記第 1 絶縁膜上に第 1 導電膜を形成し、該第 1 導電膜を化学的機械的研磨法によってエッチバックすることにより前記溝内に下部電極を形成し、

40

(D) 該下部電極を含む第 1 絶縁膜上に第 2 絶縁膜を形成し、前記下部電極上の第 2 絶縁膜に溝を形成して下部電極の表面を露出させ、

(E) 該溝の側壁に TiO_2 又は TaO_2 からなる絶縁膜サイドウォールスペーサを形成し、

(F) 前記溝及び絶縁膜サイドウォールスペーサを含む前記第 2 絶縁膜上に高誘電体膜又は強誘電体膜及び第 2 導電膜をこの順で形成し、

(G) 前記高誘電体膜又は強誘電体膜及び第 2 導電膜を化学的機械的研磨法によって同時にエッチバックすることによりキャパシタ絶縁膜及び上部電極を形成することからなる半導体記憶装置の製造方法が提供される。

【0010】

50

【発明の実施の形態】

本発明の参考例となる半導体装置の製造方法によれば、まず、(a)半導体基板上に層間絶縁膜を形成し、該層間絶縁膜にコンタクトホールを形成し、さらに該コンタクトホール内にプラグを形成する。

【0011】

本発明で使用することができる半導体基板は、通常半導体装置を形成するために使用される基板であれば特に限定されるものではなく、シリコン、ゲルマニウム等の半導体、GaAs、InGaAs等の化合物半導体等からなる基板を使用することができる。なかでも、シリコン基板が好ましい。この半導体基板は、ロコス法やトレンチ素子分離法による素子分離膜が形成されていてもよいし、トランジスタ、キャパシタ又は抵抗等の素子、配線、絶縁膜等が単独又は組み合わせられて形成されていてもよい。

10

【0012】

この半導体基板上に、層間絶縁膜を形成する。この際の層間絶縁膜は、絶縁性を有する膜であれば、その材料は特に限定されるものではなく、例えば、シリコン酸化膜、シリコン窒化膜、PSG、BPSG等の単層又は多層からなる絶縁膜が挙げられる。これらの絶縁膜は、例えば、CVD法等の公知の方法にしたがって形成することができる。層間絶縁膜の膜厚は、通常層間絶縁膜として機能する膜厚であればよく、例えば、700~3000nm程度が挙げられる。

この層間絶縁膜にコンタクトホールを形成する。コンタクトホールの形成方法は、特に限定されるものではなく、例えば、フォトリソグラフィ及びエッチング工程によって形成することができる。コンタクトホールの大きさは、層間絶縁膜の下層と上層との電気的な接続を確保できる大きさであれば特に限定されない。

20

【0013】

このコンタクトホール内にプラグを形成する。プラグは導電性材料によってその表面を平坦に形成することが好ましい。例えば、チタン、タンタル、タングステン等の高融点金属、ポリシリコンの単層膜又は積層膜が挙げられる。また、プラグの下層又は上層に、他の導電材料との密着性を確保等のために、TiN、TaSiN等からなるバリアメタルが形成されていてもよい。これらプラグ、バリアメタル等は、公知の方法、例えば、スパッタリング法、真空蒸着法等と、エッチバック、好ましくはCMP法によるエッチバックとを組み合わせることにより形成することができる。

30

【0014】

次いで、(b)プラグを含む層間絶縁膜上に第1絶縁膜を形成し、プラグ上の第1絶縁膜に溝を形成する。

第1絶縁膜は、通常、プラグを含む層間絶縁膜上の全面に形成することが好ましい。第1絶縁膜は、絶縁性を有する膜であれば、その材料は特に限定されるものではなく、例えば、シリコン酸化膜、シリコン窒化膜、TiO₂、TaO₂等の単層又は多層からなる絶縁膜が挙げられる。なお、プラグ上に形成される後述する下部電極との密着性を高めるために、TiO₂/SiO₂の積層膜が好ましい。これらの絶縁膜は、例えば、CVD法等の公知の方法にしたがって形成することができる。また、第1絶縁膜の膜厚は、例えば、2000~3000nm程度が挙げられる。

40

【0015】

この第1絶縁膜に溝を形成する。この溝は、プラグ上であって、その底部がプラグにまで至っており、プラグ全体を被覆し、さらにプラグの外周部にまで広げて形成することが好ましい。つまり、この溝の大きさにより、後工程で形成する下部電極の大きさがほぼ決定されることになる。溝は、公知の方法、例えばフォトリソグラフィ及びエッチング工程によって形成することができる。なお、第1絶縁膜に溝を形成した後、上述した他の第1絶縁膜材料によって第1絶縁膜の側壁にサイドウォールスペーサを形成してもよい。

【0016】

さらに、(c)溝を含む第1絶縁膜上に第1導電膜を形成し、第1導電膜を化学的機械的研磨法によってエッチバックすることにより下部電極を形成する。

50

【0017】

第1導電膜は、通常、溝を含む第1絶縁膜上全面に形成することが好ましい。第1導電膜は、通常の電極材料で形成するのであれば特に限定されるものではないが、なかでも、Pt、Ru、Ir、 IrO_2/Ru 又は IrO_2/Ir の単層膜や積層膜が好ましい。この第1導電膜は、先の工程で形成した溝の深さよりも薄い膜厚、例えば、500～2000程度の膜厚で形成することが好ましい。第1導電膜は、公知の方法、例えばCVD法、MOCVD法、スパッタリング法、メッキ法、エレクトロプレート法により形成することができ、なかでも、被覆特性の観点から、MOCVD法及びエレクトロプレート法が好ましい。具体的には、MOCVD法の場合には、比較的蒸気圧の高いPt、Ir等の有機金属錯体を原料に用いて、熱分解する方法が挙げられ、エレクトロプレート法の場合には、 H_2 [PtCl₄]、 H_2 [Pt(NO₂)]、 H_2 [Pt(CN)₄]、 $\text{Ir}_2(\text{SO}_4)_3$ 、 $\text{M} \cdot \text{Ir}(\text{SO}_4)_2 \cdot 12\text{H}_2\text{O}$ 等の電解液を電気分解する方法が挙げられる。なお、エレクトロプレート法の場合は、同じ金属で構成されるシード層が必要であるため、あらかじめ、第1導電膜とする金属膜を、シード層として、スパッタリング法、イオンメタルプラズマ法等により成膜する。

10

【0018】

第1導電膜を化学的機械的研磨法によってエッチバックすることにより溝内にのみ下部電極を形成する。つまり、溝内以外の第1絶縁膜上に存在する第1導電膜をエッチング除去する。ここで、化学的機械的研磨法は、 CeO_2 、 ZrO_2 、 Al_2O_3 等の研磨剤に、第1導電膜を構成する金属を溶解させる溶液を混ぜ合わせたスラリーを150～200sccm程度の供給量で、回転プレート上の被エッチング部に塗布することにより供給し、CMP法により研磨する方法である。第1導電膜を構成する金属を溶解させる溶液としては、例えば、Ptの場合には王水、Irの場合には水酸化ナトリウム又はカリウム/ KNO_3 等の溶液を挙げることができる。なお、第1導電膜の膜厚が、溝の深さよりも薄い場合には、下部電極は溝内にのみ凹部形状に形成することができる。また、第1導電膜の膜厚が、溝の深さとほぼ同等又は溝の深さよりも厚い場合には、下部電極は溝内に、表面が第1絶縁膜と面一に、平坦な形状に形成することができる。

20

【0019】

さらに、(d)下部電極を含む第1絶縁膜上に高誘電体膜又は強誘電体膜及び第2導電膜をこの順で形成する。高誘電体膜又は強誘電体膜及び第2導電膜は、下部電極を含む第1絶縁膜上全面に形成することが好ましい。ここで、高誘電体膜又は強誘電体膜は、キャパシタ絶縁膜として機能するものであり、例えば、高誘電体膜としては(Ba, Sr)TiO₃が挙げられ、強誘電体膜としては $\text{PbTi}_x\text{Zr}_{1-x}\text{O}_3$ ($0 < x < 1$)又は $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 等が挙げられる。これらの膜の膜厚は、例えば、500～2000程度が挙げられる。これらの膜は、公知の方法、例えばMOCVD法、スパッタリング法、MOD法、ゾルゲル法等により形成することができる。なお、これら膜を成膜した後は、例えば、400～800程度の温度範囲、酸素、酸素/窒素、酸素/アルゴン雰囲気中等で30秒間～数時間程度アニール処理を施すことが好ましい。

30

【0020】

第2導電膜は、上述した第1導電膜と同様の材料で、同様の膜厚で、同様の成膜方法で形成することができる。なお、第1導電膜と第2導電膜とは必ずしも同じ材料、同じ膜厚で形成する必要はなく、半導体装置の特性、その下層又は上層に配置される素子や絶縁膜等に応じて、適宜調整することができる。

40

【0021】

続いて、(e)高誘電体膜又は強誘電体膜及び第2導電膜を同時にパターンニングすることによって、キャパシタ絶縁膜及び上部電極を形成する。

高誘電体膜又は強誘電体膜及び第2導電膜は、フォトリソグラフィ及びエッチング工程により、溝と同じ大きさ又は溝よりも大きくパターンニングしてもよい。これにより、溝内のみ配置する下部電極と、キャパシタ絶縁膜及び上部電極によるキャパシタを形成することができる。

50

なお、下部電極は、ノード電極として、上部電極は共通プレート電極又はドライブラインとして機能するように形成することができる。

【0022】

一方、本発明の半導体装置の製造方法によれば、工程(A)~(C)において、上述した工程(a)~(c)と同様に下部電極を形成する。なお、ここで形成される下部電極は、溝内であって、表面が第1絶縁膜と面一に、平坦な形状に形成することが好ましい。

【0023】

次いで、(D)下部電極を含む第1絶縁膜上に第2絶縁膜を形成し、下部電極上の第2絶縁膜に溝を形成する。

第2絶縁膜としては、第1絶縁膜と同様の材料を同様の方法で形成することができる。第2絶縁膜の膜厚は、後の工程で形成する上部電極等の膜厚を決定するものであるため、上部電極等の膜厚に対応させた膜厚で形成することが好ましい。例えば、2000~5000程度が挙げられる。

【0024】

下部電極上の第2絶縁膜に溝を形成する。ここで、溝は、工程(b)における第1絶縁膜に溝を形成する方法と同様の方法により形成することができる。溝の大きさは特に限定されるものではないが、下部電極を覆い、さらにその外周部にまで広がるような大きさで形成することが好ましい。

【0025】

さらに、(E)溝の側壁に絶縁膜サイドウォールスペーサを形成する。この際の絶縁膜サイドウォールスペーサは、上述した第1絶縁膜と同様の材料、好ましくは、 TiO_2 又は TaO_2 膜を、膜厚200~1000程度で形成し、RIE法によりエッチバックすることによって形成することができる。この絶縁膜サイドウォールスペーサにより、シリコン酸化膜と後工程で形成する高誘電体膜又は強誘電体膜との接触によるこれら膜の劣化を防止することができる。

【0026】

次いで、(F)溝及び絶縁膜サイドウォールスペーサを含む第2絶縁膜上に高誘電体膜又は強誘電体膜及び第2導電膜をこの順で形成する。高誘電体膜又は強誘電体膜及び第2導電膜は、通常第2絶縁膜上全面に形成することが好ましい。なお、これら膜の形成は、上述した工程(d)における膜と同様の材料、方法により形成することができる。

【0027】

続いて、(G)高誘電体膜又は強誘電体膜及び第2導電膜を化学的機械的研磨法によって同時にエッチバックすることによりキャパシタ絶縁膜及び上部電極を形成する。なお、この際のエッチバックは、工程(c)におけるエッチバックと同様の方法で行うことができる。これにより、上部電極が、溝内に、表面が第2絶縁膜と面一に、平坦な形状に形成することができる。

【0028】

以下に、この発明の半導体装置の製造方法について、図面に基いて説明する。なお、これらの実施例によってはこの発明は限定されない。

【0029】

参考例

まず、図1(a)に示したように、トランジスタが形成されたシリコン基板1上に膜厚1~1.5 μm 程度の SiO_2 膜2、膜厚500程度の SiN 膜3による層間絶縁膜を形成する。この層間絶縁膜にコンタクトホールを形成し、例えば、膜厚1000~3000程度のドーブドポリシリコン膜を堆積し、RIE法にてエッチバックしてドーブドポリシリコン膜をコンタクトホール内に埋め込んで、プラグ4を形成する。次に、プラグ4上に TiN 、 $TaSiN$ 膜等を堆積し、CMP工程によりエッチバックすることにより、表面が平坦なバリアメタル5を形成する。

【0030】

続いて、図1(b)に示したように、膜厚2000~3000程度の SiO_2 膜6及び

10

20

30

40

50

膜厚200~1000程度のTiO₂膜7からなる第1絶縁膜を堆積し、プラグ4上であって、キャパシタの蓄積電極に対応する部分に開口を形成する。なお、第1絶縁膜をTiO₂/SiO₂の2層膜とした場合には、後工程で強誘電体膜を堆積する際に、第1絶縁膜と強誘電体膜との密着性を維持することができる。

【0031】

さらに、図1(c)に示したように、開口を含む第1絶縁膜上に、膜厚500~2000程度のPt膜8aを形成する。ここで、Pt膜8aは、比較的蒸気圧の高いPtの有機金属錯体を原料に用いて、熱分解法により成膜した。

【0032】

続いて、図1(d)に示したように、CMP法により、開口外に存在するPt膜8aを研磨し、開口内のみ凹形状の下部電極となるノード電極8を形成する。ここで、CMP法は、CeO₂、ZrO₂、Al₂O₃等の研磨剤にPtを溶解させる王水等の溶液を混ぜ合わせたスラリーを用いて、化学的に機械研磨する方法である。

10

【0033】

次に、図1(e)に示したように、ノード電極8上に、例えば、MOCVD法により、膜厚500~2000で、強誘電体膜としてPZT膜9を形成し、700程度の温度で、10分間程度アニール処理を施す。その後、例えば、MOCVD法により、膜厚500~2000程度のIr膜10を形成し、ノード電極8が形成された開口よりも広い幅でキャパシタ絶縁膜を形成するとともにドライラインを形成するか、メモリセルアレイの外部でプレート電極を形成する。このような方法によれば、キャパシタの上部電極となるプレート電極上にコンタクトホールを形成し、さらにドライラインを形成する必要がなくなり、製造工程を簡略化できる。

20

【0034】

実施例

まず、図2(a)に示したように、参考例と同様にシリコン基板1上に層間絶縁膜、コンタクトホール、プラグ4及びバリアメタル5を形成する。

続いて、図2(b)に示したように、膜厚1000~3000程度の層間SiO₂膜6及び膜厚200~1000程度の層間TiO₂膜7からなる第1絶縁膜を堆積し、プラグ4上であって、キャパシタの蓄積電極に対応する部分に開口を形成する。さらに、開口を含む第1絶縁膜上に、膜厚500~2000程度のPt膜18aを形成する。ここで、Pt膜18aは、比較的蒸気圧の高いPtの有機金属錯体を原料に用いて、熱分解するMOCVD法により成膜した。

30

続いて、図2(c)に示したように、CMP法により、開口外に存在するPt膜18aをCMP法によって研磨し、開口内を埋め込む形状の下部電極となるノード電極18を形成する。

【0035】

次に、図2(d)に示したように、ノード電極18を含むTiO₂膜7上に、SiO₂膜16からなる第2絶縁膜を形成し、ノード電極18上であって、キャパシタのドライブ線に対応する部分に開口を形成する。この開口上に膜厚200~1000程度のTiO₂膜17を堆積し、エッチバックすることにより、SiO₂膜16側壁にTiO₂膜17によるサイドウォールスペーサを形成する。

40

【0036】

さらに、図2(e)に示したように、開口を含むTiO₂膜17上に、例えば、MOCVD法により、膜厚500~2000で、強誘電体膜としてPZT膜19aを形成し、700程度の温度で、10分間程度、アニール処理を施す。その後、例えば、MOCVD法により、膜厚500~2000程度のIr膜20aを形成する。

【0037】

続いて、図2(f)に示したように、上記のCMP法と同様の方法により、開口外に存在するPZT膜19a及びIr膜20aをCMP法により研磨し、開口内を埋め込む形状の強誘電体膜19及びドライライン20を形成する。

50

このような方法によれば、コンタクトプラグ4上の第1絶縁膜に開口部を形成するためのマスク、ノード電極18上の第2絶縁膜に開口部を形成するためのマスクと2枚のマスクを使用するのみでよく、製造工程を簡略化できる。しかも、ドライエッチングは行わないため、強誘電体膜へのプラズマダメージを低減することができる。

【0038】

【発明の効果】

本発明によれば、1トランジスタ・1キャパシタ構造のDRAM又は強誘電体メモリデバイスにおけるキャパシタ形成工程において、 SiO_2 膜に形成された溝部に下部電極、あるいは下部電極、キャパシタ絶縁膜、上部電極のいずれもを形成し、CMP法でパターンニングするため、製造プロセスを複雑化させることなく、かつ強誘電体にエッチングダメージを与えることなく、高集積化に対応した微細キャパシタを形成することが可能となり、高集積、微細化に対応できる半導体装置を製造することができる。

10

【図面の簡単な説明】

【図1】 本発明の半導体装置の製造方法の参考例を示す要部の概略断面工程図である。

【図2】 本発明の半導体装置の製造方法の実施例を示す要部の概略断面工程図である。

【図3】 従来の平面型キャパシタを有する強誘電体メモリセル構造を示す要部の概略断面図である。

【図4】 従来のスタック型キャパシタを有する強誘電体メモリセル構造を示す要部の概略断面図である。

【図5】 従来の強誘電体メモリセルの製造工程を説明するための要部の概略断面図である。

20

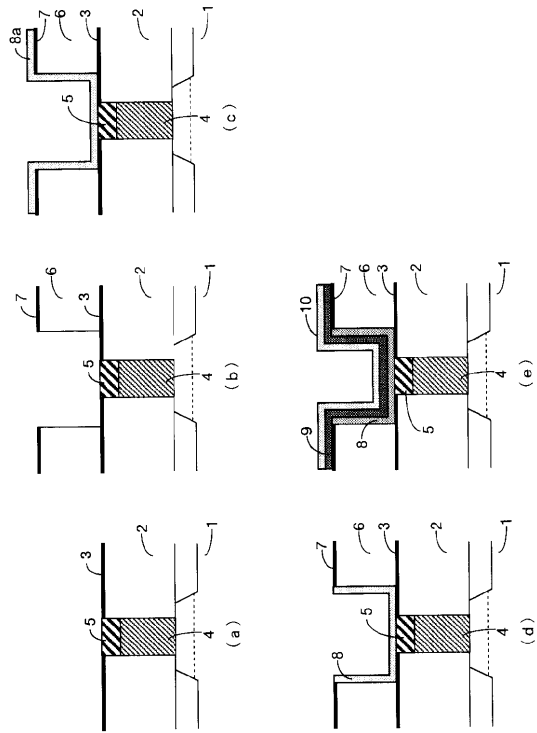
【図6】 従来の別の強誘電体メモリセルの製造工程を説明するための要部の概略断面図である。

【符号の説明】

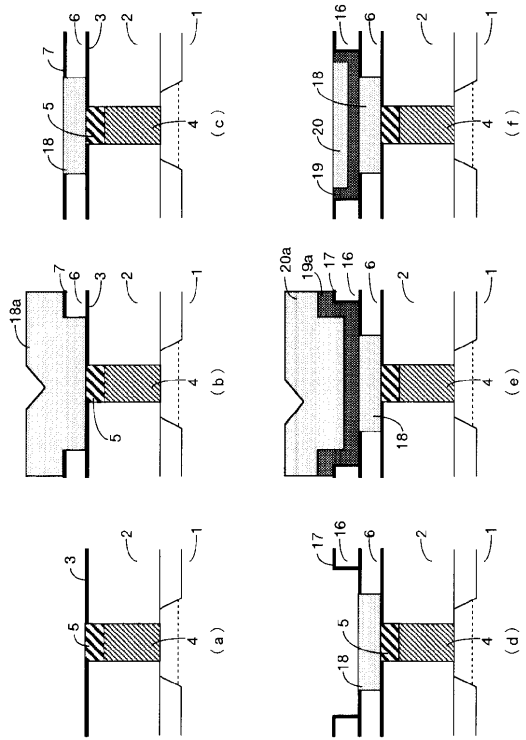
- 1 シリコン基板(半導体基板)
- 2 SiO_2 膜(層間絶縁膜)
- 3 SiN 膜(層間絶縁膜)
- 4 プラグ
- 5 バリアメタル
- 6、16 SiO_2 膜(第1絶縁膜)
- 7、17 TiO_2 膜(第1絶縁膜)
- 8a、18a Pt膜
- 8 ノード電極(下部電極)
- 9、19a PZT膜
- 10、20a Ir膜
- 16 SiO_2 膜(第2絶縁膜)
- 17 TiO_2 膜(絶縁膜サイドウォールスペーサ)
- 19 強誘電体膜
- 20 ドライブライン(上部電極)

30

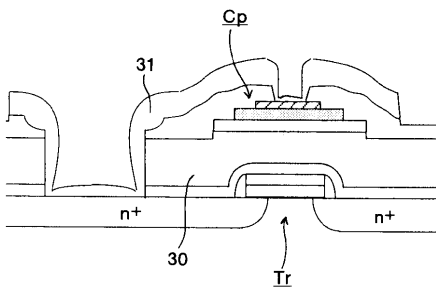
【 図 1 】



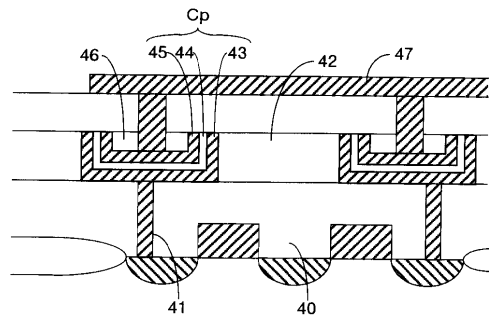
【 図 2 】



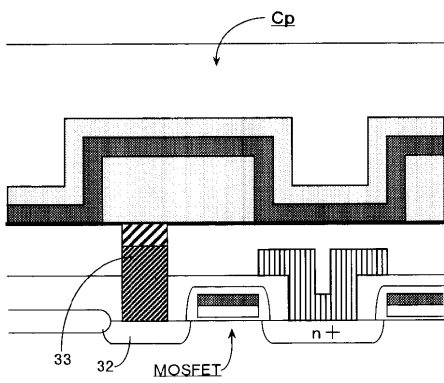
【 図 3 】



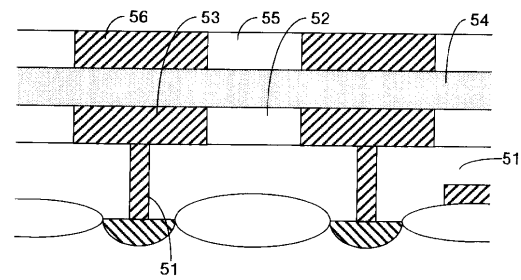
【 図 5 】



【 図 4 】



【 図 6 】



フロントページの続き

合議体

審判長 松本 邦夫

審判官 瀧内 健夫

審判官 岡 和久

- (56)参考文献 特開平10 - 50956 (JP, A)
特開平10 - 313105 (JP, A)
特開平11 - 40768 (JP, A)
特開平11 - 251549 (JP, A)

- (58)調査した分野(Int.Cl.⁷, DB名)

H01L 21/8242

H01L 27/105

H01L 27/108