

特許協力条約に基づいて公開された国際出願

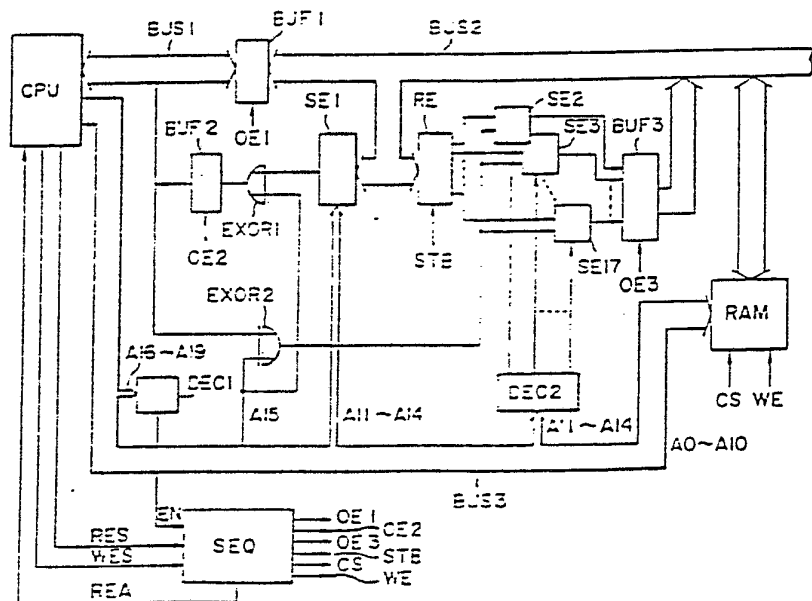
(51) 國際特許分類 ³ : G05B 19/02	A1	(11) 國際公開番号 WO 82/ 01598 (43) 國際公開日 1982年5月13日 (13. 05. 82)
(21) 國際出願番号 PCT / JP81 / 00307 (22) 國際出願日 1981年10月28日 (28. 10. 81) (31) 優先權主張番号 特願昭55-152875 (32) 優先日 1980年10月30日 (30. 10. 80) (33) 優先權主張国 JP (71) 出願人 (米国を除くすべての指定国について) 富士通ファナック株式会社 (FUJITSU FANUC LIMITED) [JP / JP] 〒191 東京都日野市旭が丘3丁目5番地1 Tokyo, (JP) (72) 発明者 ; および (75) 発明者 / 出願人 (米国についてののみ) 磯部 信一 (ISOBE, Shinichi) [JP / JP] 〒191 東京都日野市日野台1丁目1番地1 Tokyo, (JP) 日野台ハイツ516 Tokyo, (JP) 米倉 幹夫 (YONEKURA, Mikio) [JP / JP] 〒191 東京都日野市多摩平3丁目27番地 富士通ファナック日野寮 Tokyo, (JP) (74) 代理人 弁理士 玉蟲久五郎 (TAMAMUSHI, Kyugoro) 〒171 東京都豊島区南長崎2丁目5番2号 Tokyo, (JP) (81) 指定国 CH (欧州特許), DE (欧州特許), FR (欧州特許), GB (欧州特許), US.		
添付公開書類 国際調査報告書		

(54) Title: NUMERICAL CONTROL UNIT

(54) 発明の名称 数値制御装置

(57) Abstract

A numerical control unit which is able to perform a bit-operation by executing instructions provided for a usual microprocessor so as to shorten a processing time. A read-cycle is provided with a selector (SE1) to output the data of a special bit in the data read out from a random access memory (RAM) or an input device onto a special bit line in the data bus (BUS1) of a processor (CPU), which makes it possible to read out bit by bit, and a write-cycle is provided with a memory means (RE) for temporarily storing the data of the address designated by the random access memory (RAM) or the output device, and selectors (SE2 to SE17) for applying the data output from the special bit-line of the data bus (BUS1) of the processor



(CPU) onto a special bit of the designated address of the random access memory (RAM) or the output device and simultaneously for applying the data stored in the memory means (RE) onto other bits, which makes it possible to write-in bit by bit.

(57) 要約

本発明は、数値制御装置に於いて、一般のマイクロプロセッサに備わっている命令を実行することにより、ビットオペレーションを行うことができるようにし、処理時間を短縮できるようにしたものである。

リードサイクルに於いて、ランダムアクセスメモリ(RAM)或は入力装置から読出されたデータのうち、特定ビットのデータをプロセッサ(CPU)のデータバス(BUS1)のうちの特定ビット線に出力するセクタ(SE1)を設け1ビット単位の読出しを可能にする。ライトサイクルに於いて、ランダムアクセスメモリ(RAM)或は出力装置の指定されたアドレスのデータを一時記憶する記憶手段(RE)及びプロセッサ(CPU)のデータバス(BUS1)の特定ビット線に出力されたデータをランダムアクセスメモリ(RAM)或は出力装置の指定されたアドレスの特定ビットに加えると共に、他のビットには記憶手段(RE)の記憶データを加えるセクタ(SE2~SE17)を設け、1ビット単位の書込みを可能にする。

情報としての用途のみ

PCTに基づいて公開される国際出願のパブリック第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	KP	朝鮮民主主義人民共和国
AU	オーストラリア	LI	リヒテンシュタイン
BR	ブラジル	LU	ルクセンブルグ
CF	中央アフリカ共和国	MC	モナコ
CG	コンゴ	MG	マダガスカル
CH	スイス	MY	マラウイ
CM	カメルーン	NL	オランダ
DE	西ドイツ	NO	ノルウェー
DK	デンマーク	RO	ルーマニア
FI	フィンランド	SE	スウェーデン
FR	フランス	SN	セネガル
GA	ガボン	SU	ソヴィエト連邦
GB	イギリス	TD	チャド
HU	ハンガリー	TC	トーゴ
JP	日本	US	米国

(1)

明 細 書
数 値 制 御 装 置
技 術 分 野

本発明は、通常のマイクロプロセッサに備わっている命令を実行することにより、ビットオペレーションの実行を可能にし、処理時間を短縮できるようにした数値制御装置に関するものである。

背 景 技 術

数値制御装置、とりわけプログラマブルコントローラに於いては、ビット単位の論理演算、転送（以下ビットオペレーションと称す）を行なうことが必要であるが、プログラマブルコントローラに用いられているマイクロプロセッサは、通常、バイト或はワード単位の命令しかなく、ビットオペレーションを行なう為には複数個の命令が必要であつた。従つて、従来の数値制御装置に於いては、処理時間の短縮を行なうことは困難であつた。

発 明 の 開 示

本発明は前述の如き欠点を改善したものであり、その目的は、一般のマイクロプロセッサに備わっている命令を実行させることにより、ビットオペレーションを行なうことを可能にし、処理時間の短縮を図ることにある。本発明は、リードサイクルに於いて、ランダムアクセスメモリ或は入力装置からのデータのうちの特定ビットのデータをプロセッサのデータバスの特定ビット線に出力する第1のセレク



(2)

タ、ライトサイクルに於いて、ランダムアクセスメモリ或は出力装置の指定されたアドレスのデータを一時記憶する記憶手段、及びプロセッサのデータバスの特定ビット線に出力されたデータをランダムアクセスメモリ或は出力装置の特定ビットに加えると共に、他のビットには記憶手段の記憶データを加える第2のセクタを備えたものであるから、通常のマイクロプロセッサに備わっている命令を実行することにより、ビットオペレーションを行なうことが可能となる。

図面の簡単な説明

第1図は本発明の一実施例のブロック線図、第2図(A)～(M)は第1図の動作説明図、第3図はアドレスフォーマットを示した図、第4図、第5図はそれぞれ異なる本発明の実施例のブロック線図である。

発明を実施する為の最良の形態

本発明をより詳細に説明するために、以下実施例について詳細に説明する。

CPUはプロセッサ、BUS1、BUS2はデータバス、BUS3はアドレスバス、BUF1～BUF3はバッファ、DEC1～DEC4はデコーダ、EXOR1、EXOR2は入力が異なっている場合は出力を“1”、同じ場合は“0”とする排他的論理和ゲート、REはレジスタ、BUS1～BUS3はアドレスバス、SE1は16ビットの中から1ビットを選択するセクタ、SE2～SE17は2ビットの中から1ビットを選択するセクタ、SEQはシー



(3)

ケンサであり、又第2図(A)～(N)は第1図の動作説明図である。又、第3図はアドレスフォーマットを示した図であり、その上位4ビットA19～A16が特定のビットパターン(本実施例に於いては“0”, “1”, “0”, “0”とする)の時のみ、ビットオペレーションが行なわれるものであり、又、下位11ビットA0～A10はメモリRAMのアドレスを指定し、アドレスビットA11～A14は下位11ビットでアドレスを指定したデータ16ビットのうちの特定ビットを指定するものであり、アドレスビットを指定するものであり、アドレスビットA15はアドレスビットA0～A14によつて指定されたデータを反転するか否かを示すものである。

先ず、プロセッサCPUが、メモリRAMの特定アドレスの特定ビットを讀出す必要がある命令を実行する時(以下リードサイクルと称す。)の動作を説明する。第2図(A)に示すように、時刻 t_1 に於いて、アドレスバスBUS3に、その上位4ビットが“0”, “1”, “0”, “0”のビットパターンを有するアドレスが出力されると、デコーダDEC1はこれを解読し、エネーブル信号ENを同図(F)に示すように“1”とする。エネーブル信号ENが“1”となると、シーケンサSEQはレディ信号REAを同図(B)に示すように“0”にすると共に、アウトプットエネーブル信号OE1を“0”とし、バッファBUF1をデイスエネーブル状態にする。プロセッサCPUは同図(C)に示すように、リードストローブRESを“1”とし、これにより、シーケンサSEQは同図(K)に示すように、メモリRAM



(4)

に加えるチップセレクト信号 CS を "1" とする。

メモリ RAM は、チップセレクト信号 CS が "1"、ライト信号 WE が "0" の時はアドレスビット A0 ~ A10 によつて指定されたアドレスに記憶されているデータを読み出し、チップセレクト信号 CS 及びライト信号 WE が共に "1" の時はデータの書込みを行ない、チップセレクト信号 CS が "0" の時は出力がハイインピーダンスになるものである。従つて、同図 (K) に示すように、チップセレクト信号 CS が "1" となると、メモリ RAM は同図 (M) に示すように、データバス BUS2 にアドレスビット A0 ~ A10 で指定されたアドレスに記憶されているデータを出力し、このデータはセクタ SE1 に加えられる。セクタ SE1 はその内部にアドレスビット A11 ~ A14 を解読するデコーダ (図示せず) を有しており、解読結果に基づいて、データバス BUS2 の何れか 1 ビットを選択し、排他的論理和ゲート EXOR を介してバッファ BUF2 に加えるものである。従つて、バッファ BUF2 には、アドレスビット A0 ~ A10 によつて指定されたアドレスのなかのアドレスビット A11 ~ A14 で指定された特定ビットが加えられることになる。そして、バッファ BUF2 はシーケンサ SEQ から加えられるアウトプットエネーブル信号 OE2 が同図 (H) に示すように "1" となると、同図 (N) に示すタイミングでデータを読み出し、このデータは同図 (B) に示すタイミングでデータバス BUS1 の特定ビット、本実施例ではビット 15 に出力される。そして、シーケンサ SEQ は同図 (E) に



(5)

示すようにレディー信号 REA を "1" にし、プロセッサ CPU はこれによつてデータを読取り、例えば内部に設けられているアキムレータ（図示せず）に記憶させる。この場合、データバス BUS 2 のビット 15 以外はフローティング状態である為、ビット 15 のみが有効なものとして扱われる。プロセッサ CPU はデータ読取り終了後、リードストローブ RES を "0" にする。そして、アドレスが同図 (A) に示すように t_2 に於いて、その上位 4 ビット A19~A16 のビットパターンが "0", "1", "0", "0" でないものに変化すると、デコーダ DEC1 はエネーブル信号 EN を "0" とし、シーケンサ SEQ の動作を停止させ、リードサイクルを終了させる。尚、排他的論理和ゲート EXOR1 には、アドレスビット A15 が加えられており、アドレスビット A15 が "1" の時は、セクタ SE1 から出力されるデータを反転してバッファ BUF2 に加え、アドレスビット A15 が "0" の時は、セクタ SE1 の出力データをそのままバッファ BUF2 に加えるものである。

次に、メモリ RAM の特定アドレスの特定ビットにデータを書込む場合（以下ライトサイクルと称す）の動作を説明する。第 2 図 (A) に示すように、時刻 t_3 に於いて、その上位 4 ビット A19~A16 が "0", "1", "0", "0" のビットパターンを有するアドレスが出力されると、デコーダ DEC1 は前述したと同様にエネーブル信号 EN を同図 (F) に示すように "1" とし、シーケンサ SEQ の動作を開始させ、これにより、シーケンサ SEQ はレディー信号 REA を同図 (E) に示す



(6)

ように“0”とすると共にアウトプットエネーブル信号 OE1 を“0”とし、バッファ BUF1 をデイスエネーブル状態にする。プロセッサ CPU は、メモリ RAM の特定アドレスの特定ビットに書込むデータを同図(B)に示すように、データバス BUS1 のビット 15 に出力し、排他的論理和ゲート EXOR を介してセクタ SE2 ～ SE17 に加えると共に、ライトストロープ WRS を同図(D)に示すように“1”とする。これにより、シーケンサ SEQ は同図(E)に示すように、メモリ RAM に加えるチップセレクト信号 CS を“1”とする。この時、同図(I)に示すライト信号 WE は“0”であるので、メモリ RAM は同図(M)に示すように、アドレスビット A0 ～ A10 で指定されたアドレスに記憶されているデータをデータバス BUS2 に出力し、レジスタ RE に加える。

レジスタ RE は、シーケンサ SEQ からの同図(J)に示すストロープ信号 STB が“1”となつたタイミングでメモリ RAM から読出されたデータをセットし、16 個のセクタ SE2 ～ SE17 に加えるものである。セクタ SE2 ～ SE17 は、レジスタ RE から出力されるデータか、排他的論理和ゲート EXOR2 を介して加えられるデータの何れか一方のデータを選択し、バッファ BUF3 に加えるものであり、この場合、ビットポジションを指定するアドレスビット A11 ～ A14 を解読するデコーダ DEC2 によつて指定された 1 つのセクタのみが、排他的論理和ゲート EXOR2 を介して加えられるデータをバッファ BUF3 に加え、他のセクタはレジス



(7)

タ RE の出力データをバッファ BUF3 に加えるものである。そしてバッファ BUF3 はシーケンサ SEQ からの同図 (I) に示すアウトプットエネーブル信号 OE3 が "1" になると、セクタ SE2 ~ SE17 からのデータを同図 (M) に示すように出力する。尚、ストロブ信号 STB が "0" になつてから、アウトプットエネーブル信号 OE3 が "1" となる間に、同図 (L) に示すライト信号 WE が "1" となるので、バッファ BUF3 からデータが出力された時点に於いては、メモリ RAM は書込みを行なう状態になつている。

従つて、アウトプットエネーブル信号 OE3 が "1" となり、バッファ BUF3 からデータが出力されると、このデータは、アドレスビット A0 ~ A10 で指定されたアドレスに書込まれる。この場合、バッファ BUF3 から出力されるデータは、メモリ RAM から読出したデータのうちの、アドレスビット A11 ~ A14 で指定したビットのデータのみを、プロセッサ CPU が、データバス BUS1 のビット 15 に出力したデータと入替えたものであるから、アドレスビット A0 ~ A10 で指定したアドレスのうちのアドレスビット A11 ~ 14 で指定した特定ビットのみのデータを書換えたことになる。

この後、シーケンサ SEQ は同図 (E) に示すようにレディー信号 REA を "1" とし、これにより、プロセッサ CPU は同図 (D) に示すようにライトストロブ WRS を "0" とする。ライトストロブ WRS が "0" となると、これに伴つて、アウトプットエネーブル信号 OE3、チップセレクト信号 CS、及



(8)

びライト信号 WE が同図 (I), (K), (L) に示すように "0" となる。そして、同図 (A) に示すようにアドレスが、時刻 t_4 に於いて、その上位 4 ビット A19~A16 のビットパターンが "0", "1", "0", "0" でないものに変化すると、デコーダ DE1 はエネルギー信号 EN を "0" とし、シーケンサ SEQ の動作を停止させ、ライトサイクルを終了させる。尚、排他的論理和ゲート EXOR2 には、排他的論理和ゲート EXOR1 と同様にアドレスビット A15 が加えられており、アドレスビット A15 が "1" の時はセクタ SE2 ~ SE17 に加えるデータを反転し、"0" の時は反転を行なわないものである。

上述したように、1 つの命令で、メモリ RAM の特定アドレスの特定ビットに書込まれているデータを読出したり、メモリ RAM の特定ビットにデータを書込むことができるので、処理速度の高速化を図ることができる。

尚、上述の実施例に於いてはランダムアクセスメモリ RAM を用いたが、例えば第 4 図に示す出力装置を用いた場合も前述したと同様のライトサイクルで、1 ビット単位のデータの書込みを行なうことができる。

第 4 図に於いて、D0 ~ D31 はドライバ、FF0 ~ FF31 はフリップフロップ、AND1 ~ AND5 はアンドゲート、INV はインバータ、DEC3 は第 1 図に示したアドレスバス BUS3 が接続されているデコーダ、S0 ~ S15 は第 1 図に示したデータバス BUS2 に接続される信号線、T0 ~ T31 はリレー等（図示せず）に接続される信号線である。



(9)

この出力装置は1つのドライバと1つのフリップフロップが対になって構成されている出力素子を複数個用いて構成したものであり、ドライバD0～D15、フリップフロップFF0～FF15から成る出力素子の群にはアドレス#0が与えられており、ドライバD16～D31、フリップフロップFF16～FF31から成る出力素子の群にはアドレス#1が与えられている。尚、同図に於いては2つの群のみしか示していないが、更に多くの群が設けられており、そのそれぞれにアドレスが与えられているものである。

フリップフロップFF0～FF15, FF16～FF31はそれぞれアンドゲートAND1, AND2を介して加えられるライト信号WEが“1”から“0”に変化した時、データバスBUS2からのデータをセットするものであり、ドライバD0～D15, D16～D31はそれぞれアンドゲートAND3, AND4を介して加えられるチップセレクト信号CSが“1”の時のみ、フリップフロップFF0～FF15, FF16～FF31のデータをデータバスBUS2に出力するものであり、又、デコーダDEC3はアドレスビットA0～A10を解読し、アドレスビットA0～A10が示すアドレス内のフリップフロップ、及びデコーダにライト信号WE、チップセレクト信号CSを加えるアンドゲートAND1～AND4をオンとするものであるから、前述したと同様にして、指定されたアドレス内の特定のフリップフロップのみのデータを書換えることができる。

又、第5図に示す入力装置を用いた場合も、前述したと



00

同様のリードサイクルで、1ビット単位のデータの読出しを行なうことができる。第5図に於いてD0'～D31'はドライバ、AND1'，AND2'はアンドゲート、DEC4は第1図に示したアドレスバスBUS3の下位11ビットA0～A10をデコードするデコーダ、S0'～S15'は第1図に示したデータバスBUS2に接続される信号線、T0'～T31'はリレーの接点等（図示せず）に接続されている信号線である。

この入力装置は16個のドライバを1つの群とし、ドライバD0'～D15'から成る群にはアドレス*0を与え、ドライバD16'～D31'から成る群にはアドレス*1を与えると言うように、各群にアドレスを与えているものである。尚、同図に於いては、2つの群のみしか示していないが、更に多くの群が設けられており、そのそれぞれにアドレスが与えられているものである。ドライバD0'～D15'，D16'～D31'はそれぞれ、アンドゲートAND1'，AND2'を介して第1図に示したシーケンサSEQから加えられるチップセレクト信号CSが*1'になつた時のみ、信号線T0'～T15'，T16'～T31'を介して接続されているリレー等（図示せず）の状態を第1図に示したデータバスBUS2に出力するものであり、又、デコーダDEC4はアドレスビットA0～A10を解読し、アドレスビットA0～A10で指定されたアドレス内のドライバにチップセレクト信号CSを加えるアンドゲートAND1'，AND2'をオンとするものであるから、前述したと同様のリードサイクルで、1ビット単位の読出しを行なう



(11)

ことができる。

以上説明したように、本発明は、リードサイクルに於いて、ランダムアクセスメモリ或は入力装置から読出されたデータをプロセッサのデータバス BUS 1 の特定ビット線に出力するセクタ SE1、ライトサイクルに於いて、ランダムアクセスメモリ或は出力装置の指定されたアドレスのデータを一時記憶するレジスタ RE 等の記憶手段、及び前記プロセッサのデータバスの特定ビット線に出力されたデータをランダムアクセスメモリ或は出力装置の指定されたアドレスの特定ビットに加えるセクタ SE2 ～ SE17 を備えているものであるから、通常のマイクロプロセッサに備わっている命令を実行させることにより、ビットオペレーションを行なうことが可能となり、従つて、数値制御の為の処理時間の短縮を図ることができる利点がある。

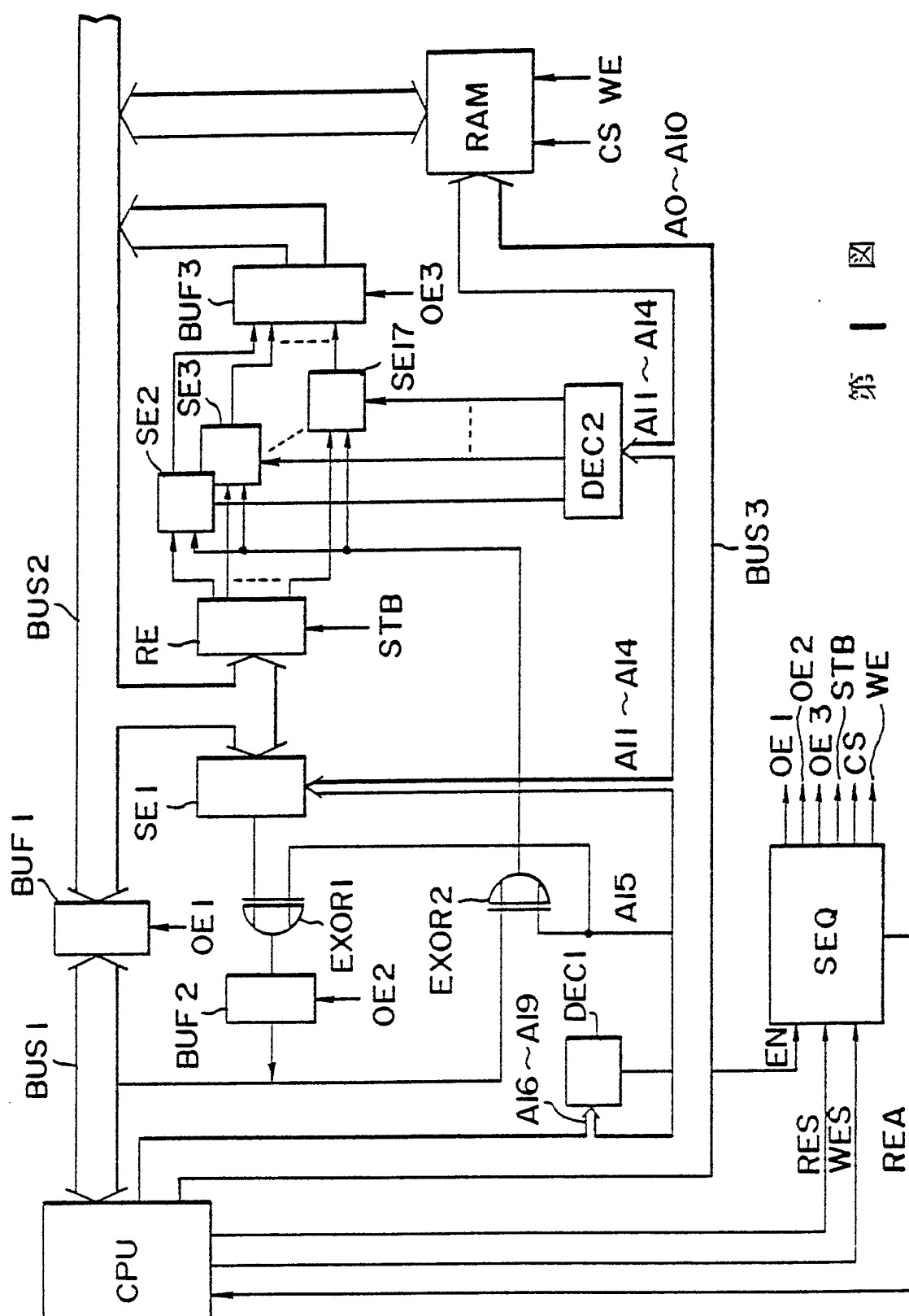


02

請 求 の 範 囲

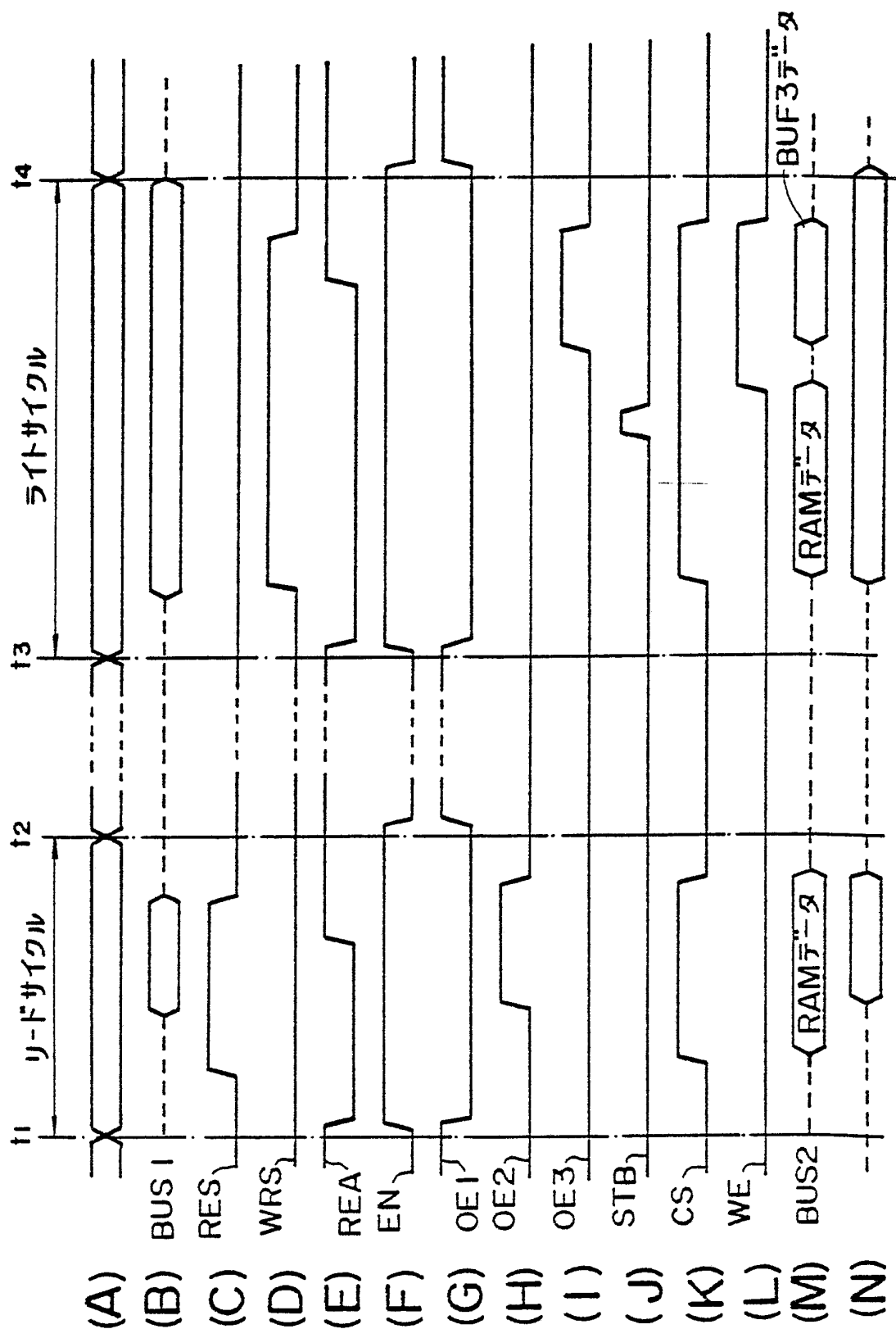
リードサイクルに於いて、ランダムアクセスメモリ或は入力装置から読出されたデータのうちの特定ビットのみのデータをプロセッサのデータバスの特定ビット線に出力する第1のセレクト、ライトサイクルに於いて前記ランダムアクセスメモリ或は出力装置の指定されたアドレスのデータを一時記憶する記憶手段、及び前記プロセッサのデータバスの特定ビット線に出力されたデータを前記ランダムアクセスメモリ或は出力装置の指定されたアドレスの特定ビットに加えると共に、他のビットには前記記憶手段の記憶データを加える第2のセレクトを備えたことを特徴とする数値制御装置。





2

第 2 図



3

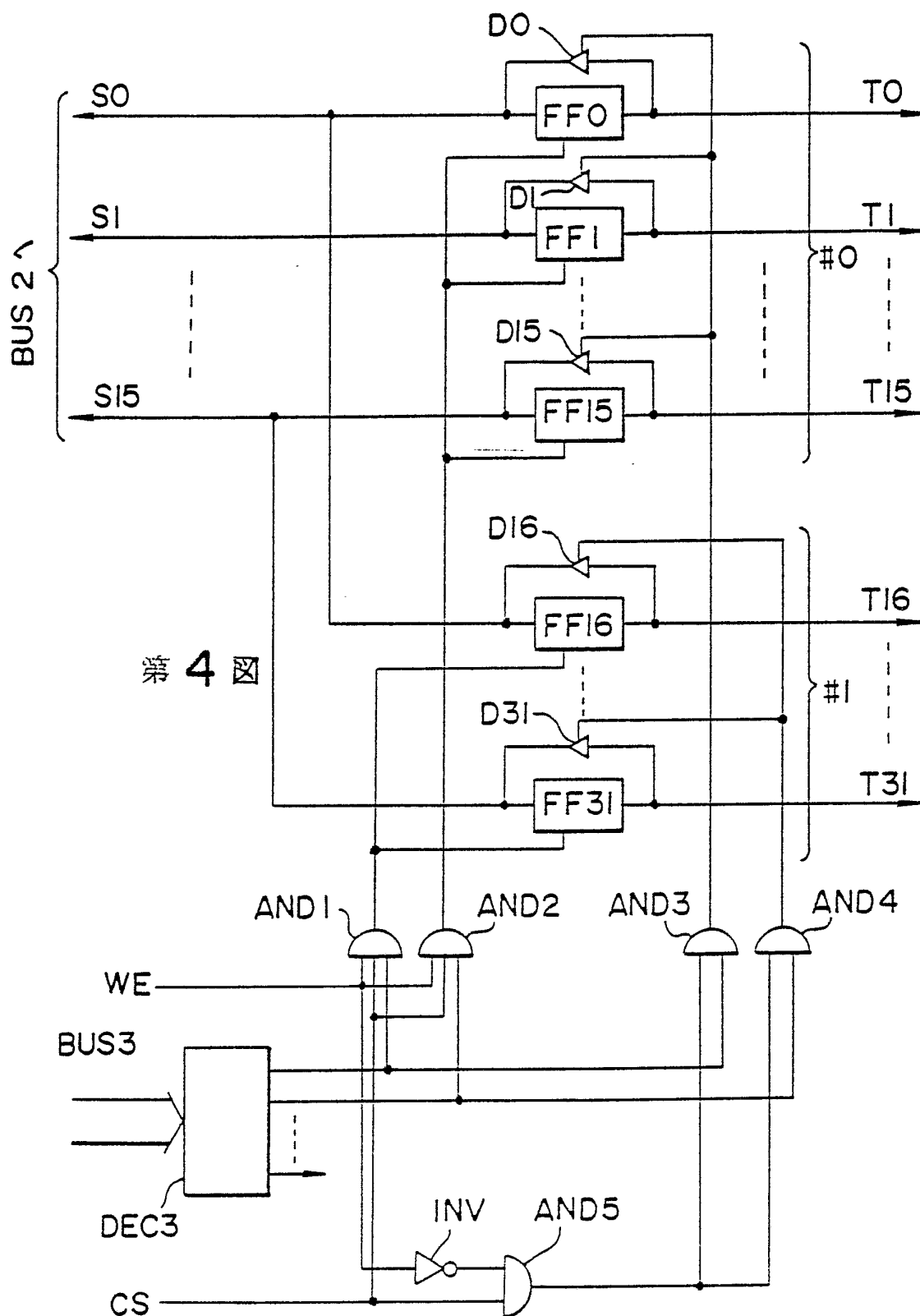
第 3 図

A18	A16	A14	A12	A10	A8	A6	A4	A2	A0										
A19	{	A17	{	A15	{	A13	{	A11	{	A9	{	A7	{	A5	{	A3	{	A1	{
0	1	0	0																
ビット指定				RAM のアドレス を指定															

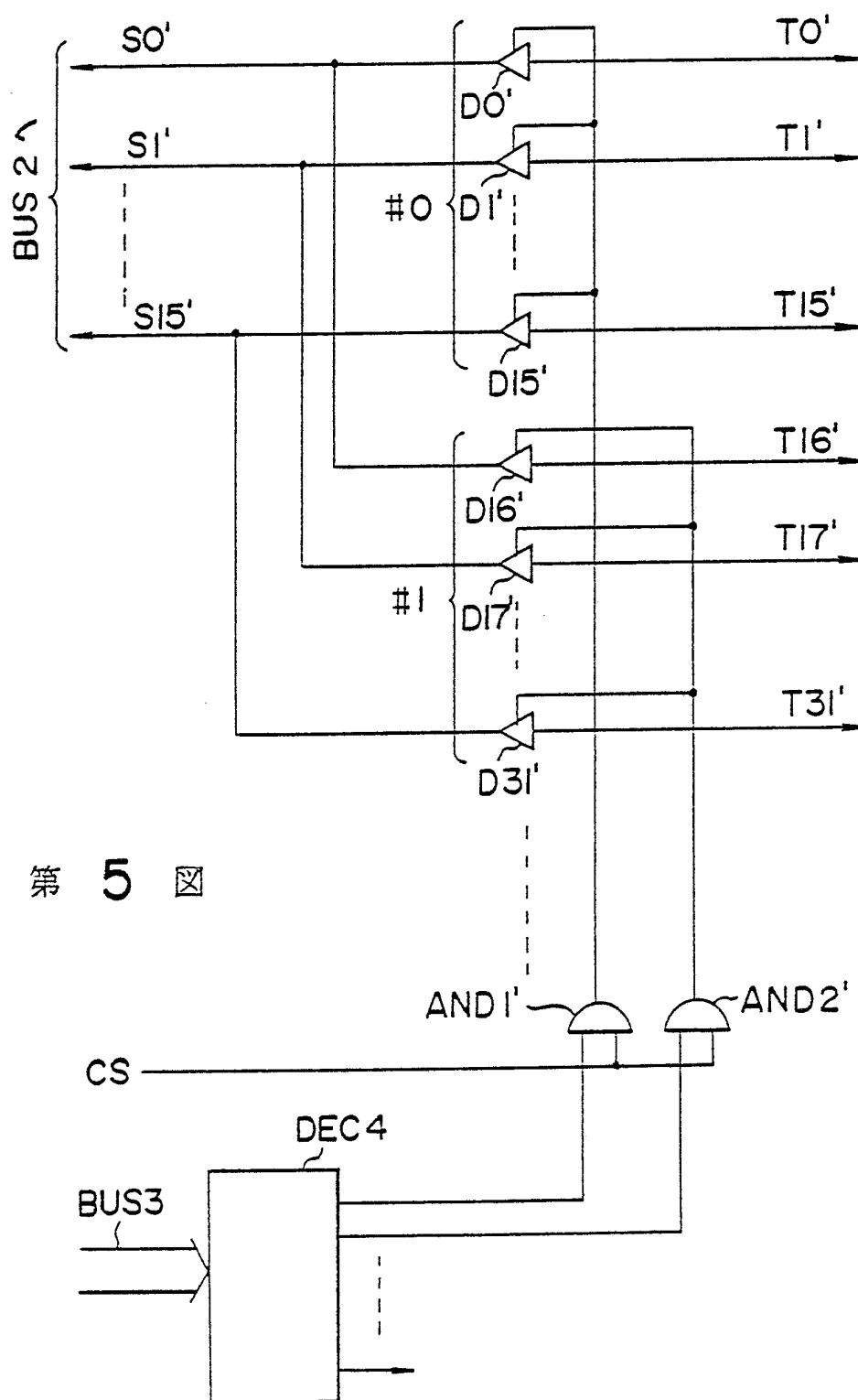
"1" データを反転する

"0" データを反転しない

4



5



第 5 図

INTERNATIONAL SEARCH REPORT

International Application No PCT/JP81/00307

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) ³ According to International Patent Classification (IPC) or to both National Classification and IPC Int. Cl. ³ G05B19/02										
II. FIELDS SEARCHED Minimum Documentation Searched ⁴ <table style="width: 100%; border: none;"> <tr> <td style="width: 30%; border: none;">Classification System</td> <td style="border: none;">Classification Symbols</td> </tr> <tr> <td style="border: none;">Int. Cl.³</td> <td style="border: none;">G05B15/00, G05B19/00</td> </tr> </table> Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched ⁵ <table style="width: 100%; border: none;"> <tr> <td style="width: 50%; border: none;">Jitsuyo Shinan Koho</td> <td style="border: none;">1926 - 1981</td> </tr> <tr> <td style="border: none;">Kokai Jitsuyo Shinan Koho</td> <td style="border: none;">1971 - 1981</td> </tr> </table>			Classification System	Classification Symbols	Int. Cl. ³	G05B15/00, G05B19/00	Jitsuyo Shinan Koho	1926 - 1981	Kokai Jitsuyo Shinan Koho	1971 - 1981
Classification System	Classification Symbols									
Int. Cl. ³	G05B15/00, G05B19/00									
Jitsuyo Shinan Koho	1926 - 1981									
Kokai Jitsuyo Shinan Koho	1971 - 1981									
III. DOCUMENTS CONSIDERED TO BE RELEVANT ¹⁴ <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%; font-size: x-small;">Category ⁶</th> <th style="width: 70%; font-size: x-small;">Citation of Document, ¹⁶ with indication, where appropriate, of the relevant passages ¹⁷</th> <th style="width: 20%; font-size: x-small;">Relevant to Claim No. ¹⁸</th> </tr> </thead> <tbody> <tr> <td style="text-align: center; vertical-align: top; padding: 10px;">X</td> <td style="padding: 10px;">JP, A, 55-95109 (Westinghouse Electric Corporation) 1980-7-19, Page 11, column 41 to page 13, column 48</td> <td></td> </tr> </tbody> </table>			Category ⁶	Citation of Document, ¹⁶ with indication, where appropriate, of the relevant passages ¹⁷	Relevant to Claim No. ¹⁸	X	JP, A, 55-95109 (Westinghouse Electric Corporation) 1980-7-19, Page 11, column 41 to page 13, column 48			
Category ⁶	Citation of Document, ¹⁶ with indication, where appropriate, of the relevant passages ¹⁷	Relevant to Claim No. ¹⁸								
X	JP, A, 55-95109 (Westinghouse Electric Corporation) 1980-7-19, Page 11, column 41 to page 13, column 48									
* Special categories of cited documents: ¹⁵ "A" document defining the general state of the art "E" earlier document but published on or after the international filing date "L" document cited for special reason other than those referred to in the other categories "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but on or after the priority date claimed "T" later document published on or after the international filing date or priority date and not in conflict with the application, but cited to understand the principle or theory underlying the invention "X" document of particular relevance										
IV. CERTIFICATION <table style="width: 100%; border: none;"> <tr> <td style="width: 50%; border: none;">Date of the Actual Completion of the International Search ²</td> <td style="border: none;">Date of Mailing of this International Search Report ²</td> </tr> <tr> <td style="border: none;">December 7, 1981 (07.12.81)</td> <td style="border: none;">December 21, 1981 (21.12.81)</td> </tr> <tr> <td style="border: none;">International Searching Authority ¹</td> <td style="border: none;">Signature of Authorized Officer ²⁰</td> </tr> <tr> <td style="border: none;">Japanese Patent Office</td> <td></td> </tr> </table>			Date of the Actual Completion of the International Search ²	Date of Mailing of this International Search Report ²	December 7, 1981 (07.12.81)	December 21, 1981 (21.12.81)	International Searching Authority ¹	Signature of Authorized Officer ²⁰	Japanese Patent Office	
Date of the Actual Completion of the International Search ²	Date of Mailing of this International Search Report ²									
December 7, 1981 (07.12.81)	December 21, 1981 (21.12.81)									
International Searching Authority ¹	Signature of Authorized Officer ²⁰									
Japanese Patent Office										

国際調査報告

国際出願番号 PCT/JP 81/00307

I. 発明の属する分野の分類		
国際特許分類 (IPC)		
Int cl ³ G 0 5 B 1 9 / 0 2		
II. 国際調査を行った分野		
調 査 を 行 っ た 最 小 限 資 料		
分類体系	分類記号	
Int cl ³	G 0 5 B 1 5 / 0 0, G 0 5 B 1 9 / 0 0	
最小限資料以外の資料で調査を行ったもの		
日本国実用新案公報 1926-1981年 日本国公開実用新案公報 1971-1981年		
III. 関連する技術に関する文献		
引用文献の カテゴリー *	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
X	JP, A, 55-95109 (ウエスチングハウス・エレクト リック・コーポレーション) 1980-7-19, 第11頁 第41欄~第13頁第48欄	
*引用文献のカテゴリー 「A」 一般的技術水準を示す文献 「E」 先行文献ではあるが国際出願日以 後に公表されたもの 「L」 他のカテゴリーに該当しない文献 「O」 口頭による開示、使用、展示等に 言及する文献 「P」 国際出願日前でかつ優先権の主張の基礎となる出願の日 以後に公表された文献 「T」 国際出願日又は優先日以後に公表された文献であって出 願と矛盾するものではなく、発明の原理又は理論の理解 のために引用するもの 「X」 特に関連のある文献		
IV. 認 証		
国際調査を完了した日	07.12.81 56.12.7	国際調査報告の発送日 21.12.81
国際調査機関 日本国特許庁 (ISA/JP)	権限のある職員 特許庁審査官 早 堀 宏 理	5 日 7 1 6 4