



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I763542 B

(45) 公告日：中華民國 111 (2022) 年 05 月 01 日

(21) 申請案號：110121937

(22) 申請日：中華民國 110 (2021) 年 06 月 16 日

(51) Int. Cl. : **H04L29/08 (2006.01)**

(71) 申請人：英業達股份有限公司 (中華民國) INVENTEC CORPORATION (TW)

臺北市士林區後港街 66 號

(72) 發明人：劉葉 LIU, YE (CN)

(74) 代理人：李長銘

(56) 參考文獻：

TW M568993U

CN 1815929A

US 2008/0304223A1

審查人員：黃偉倫

申請專利範圍項數：7 項 圖式數：2 共 18 頁

(54) 名稱

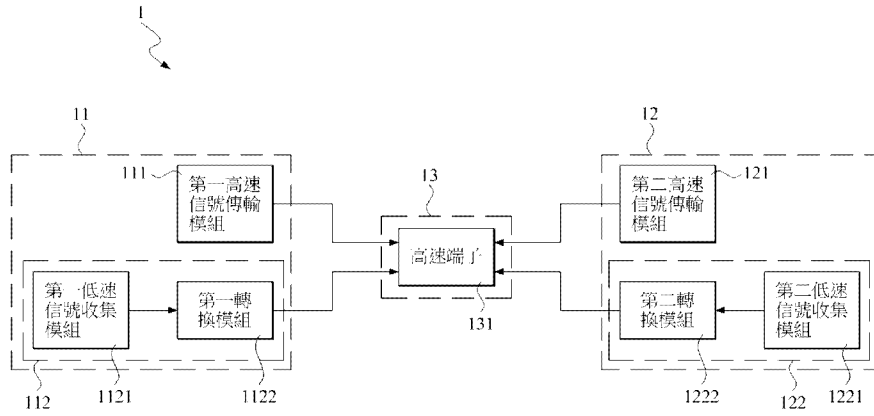
板對板橋接信號傳輸系統

(57) 摘要

一種板對板橋接信號傳輸系統，應用於一伺服器系統，並包含一組高速連接器、一第一電路板與一第二電路板。第一電路板用以將 M 個第一低速信號轉換成 N 個第一類高速信號，並利用高速連接器的 K 個高速端子傳輸 N 個第一類高速信號與 P 個第一高速信號。第二電路板用以將 M 個第二低速信號轉換成 N 個第二類高速信號，並利用高速連接器的 K 個高速端子傳輸 N 個第二類高速信號與 P 個第二高速信號，其中，P 加上 M 係大於 K，且 P 加上 N 係小於等於 K。

A board-to-board connecting system is disclosed in the present invention. The board-to-board connecting system includes a first circuit board, a second circuit board, and a high-speed connector. The first circuit board is utilized to translate M first low-speed signals to N first similar high-speed signals and use K high-speed pins of the high-speed connector to transmit the first similar high-speed signals and P first high-speed signals. The second circuit board is utilized to translate M second low-speed signals to N second similar high-speed signals and use K high-speed pins of the high-speed connector to transmit the second similar high-speed signals and P second high-speed signals, wherein P plus M is bigger than K, and P plus N is not bigger than K.

指定代表圖：



第二圖

符號簡單說明：

1:板對板橋接信號傳輸系統

11:第一電路板

111:第一高速信號傳輸模組

112:第一複雜可程式化邏輯裝置

1121:第一低速信號收集模組

1122:第一轉換模組

12:第二電路板

121:第二高速信號傳輸模組

122:第二複雜可程式化邏輯裝置

1221:第二低速信號收集模組

1222:第二轉換模組

13:高速連接器

131:高速端子



I763542

## 【發明摘要】

【中文發明名稱】板對板橋接信號傳輸系統

【英文發明名稱】BOARD-TO-BOARD CONNECTING SYSTEM

## 【中文】

一種板對板橋接信號傳輸系統，應用於一伺服器系統，並包含一組高速連接器、一第一電路板與一第二電路板。第一電路板用以將M個第一低速信號轉換成N個第一類高速信號，並利用高速連接器的K個高速端子傳輸N個第一類高速信號與P個第一高速信號。第二電路板用以將M個第二低速信號轉換成N個第二類高速信號，並利用高速連接器的K個高速端子傳輸N個第二類高速信號與P個第二高速信號，其中，P加上M係大於K，且P加上N係小於等於K。

## 【英文】

A board-to-board connecting system is disclosed in the present invention. The board-to-board connecting system includes a first circuit board, a second circuit board, and a high-speed connector. The first circuit board is utilized to translate M first low-speed signals to N first similar high-speed signals and use K high-speed pins of the high-speed connector to transmit the first similar high-speed signals and P first high-speed signals.

The second circuit board is utilized to translate  $M$  second low-speed signals to  $N$  second similar high-speed signals and use  $K$  high-speed pins of the high-speed connector to transmit the second similar high-speed signals and  $P$  second high-speed signals, wherein  $P$  plus  $M$  is bigger than  $K$ , and  $P$  plus  $N$  is not bigger than  $K$ .

【指定代表圖】第（二）圖。

【代表圖之符號簡單說明】

1:板對板橋接信號傳輸系統

11:第一電路板

111:第一高速信號傳輸模組

112:第一複雜可程式化邏輯裝置

1121:第一低速信號收集模組

1122:第一轉換模組

12:第二電路板

121:第二高速信號傳輸模組

122:第二複雜可程式化邏輯裝置

1221:第二低速信號收集模組

1222:第二轉換模組

13:高速連接器

131:高速端子

## 【發明說明書】

【中文發明名稱】板對板橋接信號傳輸系統

【英文發明名稱】BOARD-TO-BOARD CONNECTING SYSTEM

【技術領域】

【0001】 本發明係有關於一種系統，尤其是指一種板對板橋接信號傳輸系統。

【先前技術】

【0002】 隨著科技的發展，大數據、物聯網、雲端服務、5G等技術興起，伴隨而來的就是資料量的大幅成長，因此，伺服器的需求與技術也大幅成長。

【0003】 請參閱第一圖，第一圖係顯示先前技術之板對板對接傳輸系統之方塊圖。如圖所示，一種板對板對接傳輸系統PA1包含一第一電路板PA11、一第二電路板PA12與一組高速連接器PA13，其中，高速連接器PA13電性連接第一電路板PA11與第二電路板PA12。

【0004】 第一電路板PA11包含一第一高速信號傳輸模組PA111與一第一低速信號傳輸模組PA112。第二電路板PA12包含一第二高速信號傳輸模組PA121與一第二低速信號傳輸模組PA122。其中，第一高速信號傳輸模組PA111與第二高速信號傳輸模組PA121利用高速端子PA131a傳輸彼此的第一高速信號與第二高速信號；第一

低速信號傳輸模組 PA112 與第二低速信號傳輸模組 PA122 利用高速端子 PA132a 傳輸彼此的第一低速信號與第二低速信號。雖然第一低速信號與第二低速信號屬於低速信號，但是不可能因為低速信號而採用低速連接器的低速端子，因為採用低速端子將無法傳輸第一高速信號與第二高速信號。因此，高速連接器 PA13 中會有一組高速端子專門負責傳輸高速信號，如圖中的高速端子 PA131a，而另一組高速端子則是專門負責傳輸低速信號，如圖中的高速端子 PA132a。

【0005】 而所有高速端子 PA131a、PA132a 的數量需要大於等於高速信號與低速信號的數量總和。舉例來說，第一高速信號與第二高速信號的數量為  $N$  對 (pair)，也就是  $2N$ ，第一低速信號與第二低速信號的數量為  $M$ ，則高速端子 PA131a、PA132a 的數量就要大於等於  $2N$  加  $M$ 。

【0006】 伺服器的技術成長，對於高速連接器的利用率也就越來越高，導致部分情況下的板對板的信號傳輸的高速端子資源不夠用，也就是業界常說的 PIN 的數量不夠。在先前技術中，當高速端子資源不夠用，則會採用高速端子 PA131a、PA132a 數量更多的高速連接器 PA13。然而，當高速連接器 PA13 的高速端子 PA131a、PA132a 的數量越多，其價格也會越高，占用的空間也會越大，甚至會影響到第一電路板 PA11 與第二電路板 PA12 的設計與空間設置。因此，先前技術存在改善的空間。

**【發明內容】**

**【0007】** 有鑒於在先前技術中，應用於伺服器的高速連接器的高速端子的數量越多，所造成的價格昂貴、占用空間及其衍生出的種種問題。本發明之一主要目的係提供一種板對板橋接信號傳輸系統，用以解決先前技術中的至少一個問題。

**【0008】** 本發明為解決先前技術之問題，所採用之必要技術手段為提供一種一種板對板橋接信號傳輸系統，係應用於一伺服器系統，包含一組高速連接器、一第一電路板與一第二電路板。高速連接器係具有  $K$  個高速端子。第一電路板係電性連接高速連接器，包含一第一複雜可程式化邏輯裝置與一第一高速信號傳輸模組。第一複雜可程式化邏輯裝置利用一通訊協議將  $M$  個第一低速信號轉換成  $N$  個第一類高速信號，並利用該  $K$  個高速端子傳輸該  $N$  個第一類高速信號。第一高速信號傳輸模組電性連接該組高速連接器，並利用該  $K$  個高速端子傳送  $P$  個第一高速信號。第二電路板係電性連接該組高速連接器，包含一第二複雜可程式化邏輯裝置與一第二高速信號傳輸模組。第二複雜可程式化邏輯裝置係利用該通訊協議將  $M$  個第二低速信號轉換成  $N$  個第二類高速信號，並利用該  $K$  個高速端子傳輸該  $N$  個第二類高速信號。第二高速信號傳輸模組電性連接該組高速連接器，用以利用該  $K$  個高速端子傳送  $P$  個第二高速信號；其中， $P$  加上  $M$  係大於  $K$ ，且  $P$  加上  $N$  係小於等於  $K$ 。

**【0009】** 在上述必要技術手段的基礎下，本發明所

衍生之一附屬技術手段為使板對板橋接信號傳輸系統中之第一複雜可程式化邏輯裝置，係包含一第一低速信號收集模組與一第一轉換模組。第一低速信號收集模組用以收集該  $M$  個第一低速信號。第一轉換模組係電性連接該第一低速信號收集模組，並利用該通訊協議將該  $M$  個第一低速信號對應地轉換成該  $N$  個第一類高速信號。

**【0010】** 在上述必要技術手段的基礎下，本發明所衍生之一附屬技術手段為使板對板橋接信號傳輸系統中之第二複雜可程式化邏輯裝置，係包含一第二低速信號收集模組與一第二轉換模組。第二低速信號收集模組用以收集該  $M$  個第二低速信號。第二轉換模組係電性連接該第二低速信號收集模組，並利用該通訊協議將該  $M$  個第二低速信號對應地轉換成該  $N$  個第二類高速信號。

**【0011】** 在上述必要技術手段的基礎下，本發明所衍生之一附屬技術手段為使板對板橋接信號傳輸系統中之第一類高速信號，係 I2C 信號。

**【0012】** 在上述必要技術手段的基礎下，本發明所衍生之一附屬技術手段為使板對板橋接信號傳輸系統中之第二類高速信號，係 I2C 信號。

**【0013】** 在上述必要技術手段的基礎下，本發明所衍生之一附屬技術手段為使板對板橋接信號傳輸系統中之第一低速信號，係邊帶（sideband）信號。

**【0014】** 在上述必要技術手段的基礎下，本發明所衍生之一附屬技術手段為使板對板橋接信號傳輸系統中之第二低速信號，係邊帶（sideband）信號。

**【0015】** 綜上所述，本發明將低速信號轉換成類高速信號後，相較於先前技術，可以達到更好的功效。在相同的高速端子的數量下，本發明可以傳輸比先前技術更多的信號數量，進而提升傳輸效率；在信號數量相同的情況下，本發明可以採用數量較少的高速端子的高速連接器，進而達到降低成本與節省空間的功效。

### **【圖式簡單說明】**

#### **【0016】**

第一圖係顯示先前技術之板對板對接傳輸系統之方塊圖；以及

第二圖係顯示本發明較佳實施例所提供之板對板橋接信號傳輸系統之方塊圖。

### **【實施方式】**

**【0017】** 下面將結合示意圖對本發明的具體實施方式進行更詳細的描述。根據下列描述和申請專利範圍，本發明的優點和特徵將更清楚。需說明的是，圖式均採用非常簡化的形式且均使用非精準的比例，僅用以方便、明晰地輔助說明本發明實施例的目的。

**【0018】** 請參閱第二圖，第二圖係顯示本發明較佳實施例所提供之板對板橋接信號傳輸系統之方塊圖。如圖所示，一種板對板橋接信號傳輸系統1包含一第一電路板11、一第二電路板12與一組高速連接器13，並應用於一伺服器系統。

【0019】 第一電路板11電性連接高速連接器13，並包含一第一高速信號傳輸模組111與一第一複雜可程式化邏輯裝置（Complex Programmable Logic Device；CPLD）112。

【0020】 第二電路板12電性連接高速連接器13，並包含一第二高速信號傳輸模組121與一第二複雜可程式化邏輯裝置（Complex Programmable Logic Device；CPLD）122。

【0021】 高速連接器13具有高速端子131，其數量有K個。可以將本實施中的高速端子131視為先前技術中專門用來傳輸高速信號的高速端子PA131a。

【0022】 第一高速信號傳輸模組111會接收並傳輸第一電路板11上的P個第一高速信號。其中，第一高速信號與先前技術中的第一高速信號相同。

【0023】 在本實施例中，第一複雜可程式化邏輯裝置112包含一第一低速信號收集模組1121與一第一轉換模組1122。

【0024】 第一低速信號收集模組1121，用以收集M個第一低速信號。在本實施例中，第一低速信號係邊帶（sideband）信號。

【0025】 第一轉換模組1122電性連接第一低速信號收集模組1121，並將第一低速信號收集模組1121所收集到的M個第一低速信號轉換成N個第一類高速信號。在本實施例中，第一轉換模組1122是利用一通訊協議將M個第一低速信號轉換成N個第一類高速信號，而第一類

高速信號為 I2C ( Inter-Integrated Circuit ) 信號。

【0026】 在本實施例中，第二複雜可程式化邏輯裝置 122 包含一第二低速信號收集模組 1221 與一第二轉換模組 1222。

【0027】 第二高速信號傳輸模組 121 會接收並傳輸第二電路板 12 上的 P 個第二高速信號。其中，第二高速信號與先前技術中的第二高速信號相同。

【0028】 第二轉換模組 1222 電性連接第二低速信號收集模組 1221，並將第二低速信號收集模組 1221 所收集到的 M 個第二低速信號轉換成 N 個第二類高速信號。在本實施例中，第二轉換模組 1222 是利用通訊協議將 M 個第二低速信號轉換成 N 個第二類高速信號，而第二類高速信號為 I2C ( Inter-Integrated Circuit ) 信號。

【0029】 更詳細的說明，第一高速信號的數量 P 加上第一低速信號的數量 M 會大於高速端子 131 的數量 K。在先前技術中，便會因為高速端子 PA131a、PA132a 的數量不足，而需要更換高速端子 PA131a、PA132a 數量較多的高速連接器 PA13。但是，在本發明中，利用第一轉換模組 1122 將 M 個第一低速信號轉換成 N 個第一類高速信號後，P 加上 N 將會小於等於 K，便可以利用高速端子 131 傳輸上述第一高速信號與第一類高速信號。同理，第二電路板 12 的部分亦相同，故不多加贅述。

【0030】 以下將舉例實際數字比較本發明與先前技術：若第一高速信號與第二高速信號的數量為 22 個，第一低速信號與第二低速信號的數量為 10 個，則先前技

術採用的該組高速連接器 PA13 的高速端子 PA131a、PA132a 的總數量就需要至少 32 個。若以 8 pin 的高速連接器來說，則該組高速連接器 PA13 就至少要包含四台高速連接器。而本發明可以將第一低速信號與第二低速信號轉換成第一類高速信號與第二類高速信號，轉換出來的數量勢必會小於 10 個，因此，本發明的該組高速連接器 13 的高速端子 131 的數量勢必不會超過 32 個。較佳者，本發明可以將第一低速信號與第二低速信號的數量壓低成 2 個。此時，高速端子 131 的數量僅需要 24 個，若以 8 pin 的高速連接器來說，則本發明的該組高速連接器 13 便僅需要包含三台高速連接器，故可以利用減少高速端子數量，達到降低成本以及減少占用空間的功效。

**【0031】** 而利用第一複雜可程式化邏輯裝置 112 與第二複雜可程式化邏輯裝置 122 的差分信號進行類高速信號之間的傳輸，就可以盡可能的降低延時操作。

**【0032】** 此外，第一複雜可程式化邏輯裝置 112 與第二複雜可程式化邏輯裝置 122 屬於積體電路（Integrated Circuit；IC），也可以供使用者利用韌體更新來適應不同的使用者需求與功能。

**【0033】** 綜上所述，本發明將低速信號轉換成類高速信號後，相較於先前技術，可以達到更好的功效。在相同的高速端子的數量下，本發明可以傳輸比先前技術更多的信號數量，進而提升傳輸效率；在信號數量相同的情況下，本發明可以採用數量較少的高速端子的高速連接器，進而達到降低成本與節省空間的功效。

【0034】 藉由以上較佳具體實施例之詳述，係希望能更加清楚描述本發明之特徵與精神，而並非以上述所揭露的較佳具體實施例來對本發明之範疇加以限制。相反地，其目的是希望能涵蓋各種改變及具相等性的安排於本發明所欲申請之專利範圍的範疇內。

【符號說明】

【0035】

PA1:板對板對接傳輸系統

PA11:第一電路板

PA111:第一高速信號傳輸模組

PA112:第一低速信號傳輸模組

PA12:第二電路板

PA121:第二高速信號傳輸模組

PA122:第二低速信號傳輸模組

PA13:高速連接器

PA131a,PA132a:高速端子

1:板對板橋接信號傳輸系統

11:第一電路板

111:第一高速信號傳輸模組

112:第一複雜可程式化邏輯裝置

1121:第一低速信號收集模組

1122:第一轉換模組

12:第二電路板

121:第二高速信號傳輸模組

122:第二複雜可程式化邏輯裝置

1221:第二低速信號收集模組

1222:第二轉換模組

13:高速連接器

131:高速端子

## 【發明申請專利範圍】

【請求項 1】 一種板對板橋接信號傳輸系統，係應用於一伺服器系統，包含：

一組高速連接器，係具有  $K$  個高速端子；

一第一電路板，係電性連接該組高速連接器，包含：

一第一複雜可程式化邏輯裝置，係利用一通訊協議將  $M$  個第一低速信號轉換成  $N$  個第一類高速信號，並利用該  $K$  個高速端子傳輸該  $N$  個第一類高速信號；以及

一第一高速信號傳輸模組，係電性連接該組高速連接器，並利用該  $K$  個高速端子傳送  $P$  個第一高速信號；以及

一第二電路板，係電性連接該組高速連接器，包含：

一第二複雜可程式化邏輯裝置，係利用該通訊協議將  $M$  個第二低速信號轉換成  $N$  個第二類高速信號，並利用該  $K$  個高速端子傳輸該  $N$  個第二類高速信號；以及

一第二高速信號傳輸模組，係電性連接該組高速連接器，用以利用該  $K$  個高速端子傳送  $P$  個第二高速信號；

其中， $P$  加上  $M$  係大於  $K$ ，且  $P$  加上  $N$  係小於等於  $K$ 。

【請求項 2】 如請求項 1 所述之板對板橋接信號傳輸系統，其中，該第一複雜可程式化邏輯裝置係包含：

一第一低速信號收集模組，用以收集該  $M$  個第一低速

信號；以及

一第一轉換模組，係電性連接該第一低速信號收集模組，並利用該通訊協議將該  $M$  個第一低速信號對應地轉換成該  $N$  個第一類高速信號。

**【請求項3】** 如請求項 1 所述之板對板橋接信號傳輸系統，其中，該第二複雜可程式化邏輯裝置係包含：

一第二低速信號收集模組，用以收集該  $M$  個第二低速信號；以及

一第二轉換模組，係電性連接該第二低速信號收集模組，並利用該通訊協議將該  $M$  個第二低速信號對應地轉換成該  $N$  個第二類高速信號。

**【請求項4】** 如請求項 1 所述之板對板橋接信號傳輸系統，其中，該  $N$  個第一類高速信號係 I2C 信號。

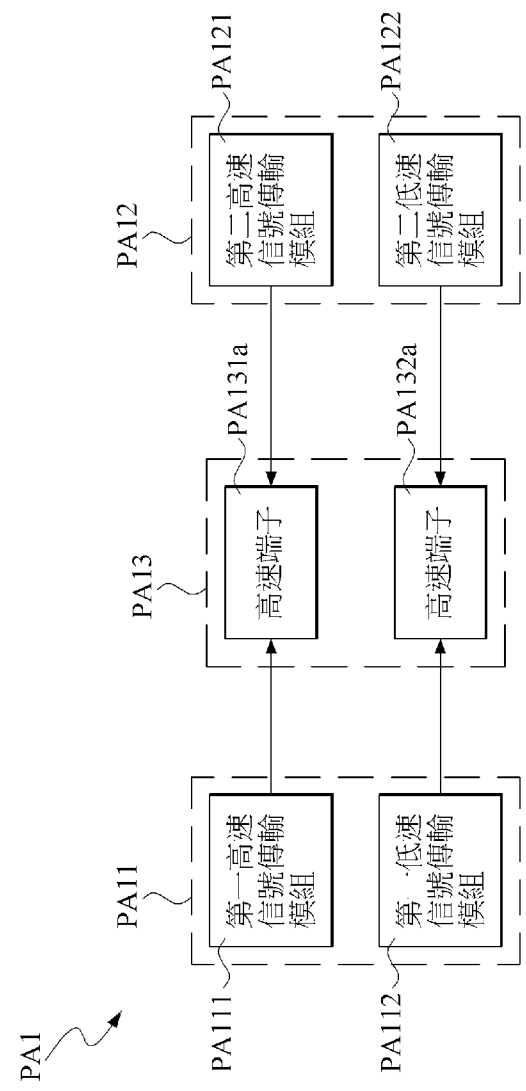
**【請求項5】** 如請求項 1 所述之板對板橋接信號傳輸系統，其中，該  $N$  個第二類高速信號係 I2C 信號。

**【請求項6】** 如請求項 1 所述之板對板橋接信號傳輸系統，其中，該  $M$  個第一低速信號係邊帶（sideband）信號。

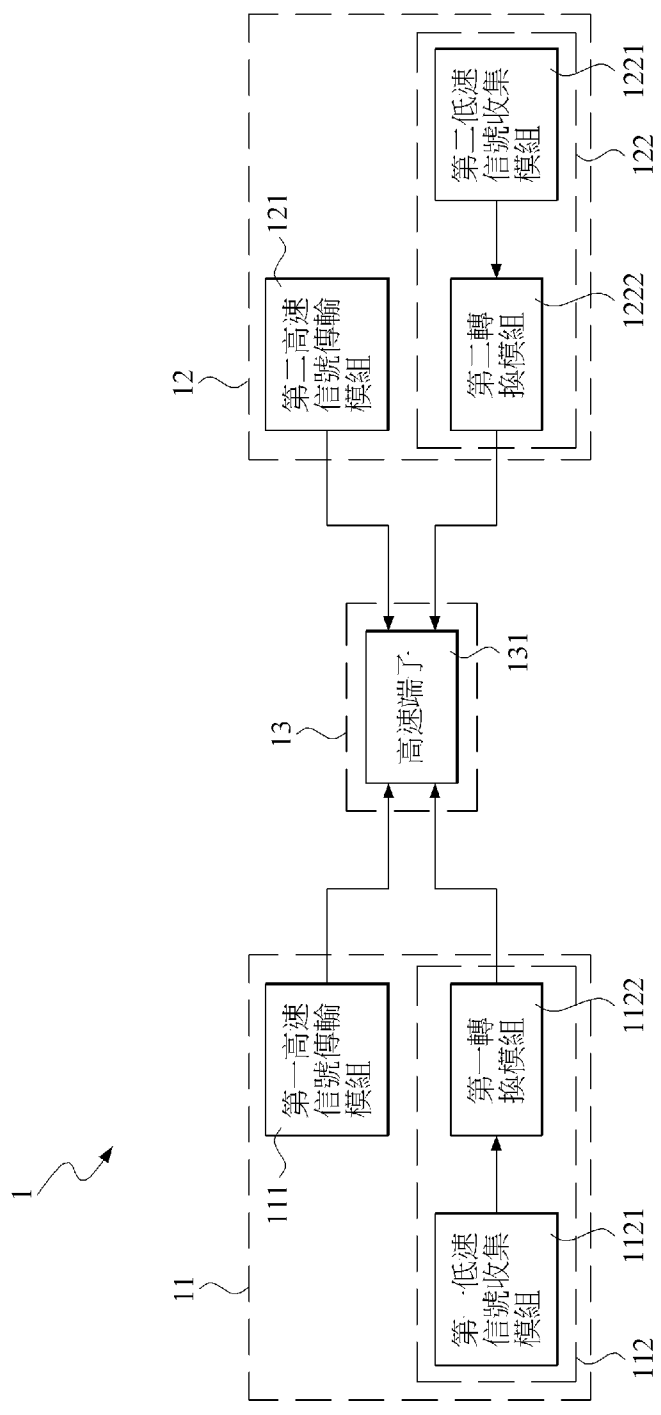
**【請求項7】** 如請求項 1 所述之板對板橋接信號傳輸系統，其中，該  $M$  個第二低速信號係邊帶（sideband）

信號。

【發明圖式】



第一圖(先前技術)



第二圖