



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

226 846

(11)

(61)

(23) Výstavní priorita
(22) Přihlášeno 09 02 83
(21) PV 878-83

(51) Int. Cl.³ G 06 F 9/30

(40) Zveřejněno 26 08 83
(45) Vydáno 01 09 85

(75)

Autor vynálezu ŠMÍD JIŘÍ ing., PRAHA

(54) Čítač herních nul

1

Předmětem vynálezu je čítač herních nul, zakódovaných v dekadickém, eventuálně hexadecimálním tvaru, obsažených ve výsledku operace ve slabikové operační jednotce procesorů samočinných počítačů.

Určení počtu dekadických, eventuálně hexadecimálních nul zleva před prvním nenulevým znakem bývá obvykle prováděno pomocí posuvu výsledku doleva při současném testování nulovosti čtyř nejvyšších binárních řádů. Nevýhodou tohoto postupu je skutečnost, že se provádí až po ukončení celé operace na hotovém výsledku a vyžaduje také další operační čas.

Tyto nevýhody odstraňuje čítač herních nul podle vynálezu, který je uspořádán tak, že horní výstup slabikové operační jednotky je připojen na vstup horního dekodéru nulovosti a dolní výstup slabikové operační jednotky je připojen na vstup dolního dekodéru nulovosti. Výstup horního dekodéru nulovosti je připojen na horní vstup ovládacího dekodéru a výstup dolního dekodéru nulovosti je připojen na dolní vstup ovládacího dekodéru, na jehož synchronizační vstup je připojen synchronizační vstup celého zapojení. Nastavovací výstup ovládacího dekodéru je prepojen na druhý vstup obvodu logického součtu a na nastavovací vstup paměti nejnižšího řádu čítače horních nul. Nulovací výstup ovládacího dekodéru je připojen na první vstup obvodu logického součtu a na nulovací vstup paměti nejnižšího řádu čítače horních nul. Výstup obvodu logického součtu je

připojen na nulovací vstup registru vyšších řádů čítače horních nul. Hodinový výstup ovládacího dekodéru je připojen na hodinový vstup paměti nejnižšího řádu čítače horních nul a na hodinový vstup registru vyšších řádů čítače horních nul. Výstup paměti nejnižšího řádu čítače horních nul je připojen na řádově nejnižší vstup prvního operandu sčítačky a zároveň je řádově nejnižším výstupem celého zapojení. Výstup registru vyšších řádů čítače horních nul je napojen na řádově vyšší vstup prvního operandu sčítačky a je také řádově vyšším výstupem celého zapojení. Výstup generátoru konstanty je připojen na vstup druhého operandu sčítačky. Řádově nejnižší výstup sčítačky je připojen na datový vstup paměti nejnižšího řádu čítače horních nul a řádově vyšší výstup sčítačky je připojen na datový vstup registru vyšších řádů čítače horních nul.

Výhody použití čítače horních nul při dekadických operacích, eventuálně při operacích se znaky v hexadecimálním vyjádření spočívají v tom, že čítání se uskutečňuje bezprostředně při provedení operace na části pole proměnné délky, bez dodatečné časové ztráty.

Jedno z možných provedení vynálezu je znázorněno na připojeném výkrese.

Horní výstup 100 slabikové operační jednotky 10 je připojen na vstup horního dekodéru 11 nulovosti a dolní výstup 101 slabikové operační jednotky 10 je připojen na vstup dolního dekodéru 12 nulovosti. Výstup 111 horního dekodéru 11 nulovosti je připojen na horní vstup ovládacího dekodéru 13 a výstup 121 dolního dekodéru 12 nulovosti je připojen na dolní vstup ovládacího dekodéru 13, na jehož synchronizační vstup 130 je připojen synchronizační vstup 1 celého zapojení. Nastavovací výstup 131 ovládacího dekodéru 13 je připojen na druhý vstup obvodu 14 logického součtu a na nastavovací vstup paměti 17 nejnižšího řádu čítače horních nul. Nulovací výstup 132 ovládacího dekodéru 13 je připojen na první vstup obvodu 14 logického součtu a na nulovací vstup paměti 17 nejnižšího řádu čítače horních nul. Výstup 141 obvodu 14 logického součtu je připojen na nulovací vstup registru 18 vyšších řádů čítače horních nul. Hodinový výstup 133 ovládacího dekodéru 13 je připojen na hodinový vstup paměti 17 nejnižšího řádu čítače horních nul a na hodinový vstup registru 18 vyšších řádů čítače horních nul. Výstup 171 paměti 17 nejnižšího řádu čítače horních nul je připojen na řádově nejnižší vstup prvního operandu sčítačky 15 a zároveň je řádově nejnižším výstupem 2 celého zapojení. Výstup 181 registru 18 vyšších řádů čítače horních nul je napojen na řádově vyšší vstup prvního operandu sčítačky 15 a je také řádově vyšším výstupem 3 celého zapojení. Výstup 161 generátoru 16 konstanty je připojen na vstup druhého operandu sčítačky 15. Řádově nejnižší výstup 151 sčítačky 15 je připojen na datový vstup paměti 17 nejnižšího řádu čítače horních nul a řádově vyšší výstup 152 sčítačky 15 je připojen na datový vstup registru 18 vyšších řádů čítače horních nul.

Čítač řádově horních nul slouží v procesoru samočinného počítáče v návaznosti na slabikovou operační jednotku ke zjišťování počtu dekadických eventuálně hexadecimálních nul zleva před nemulovou číslicí při práci s polem dat proměnné délky. Čítání se uskutečňuje bezprostředně při provádění operací na částech pole dat o šířce jedné slabiky.

Výstup ze slabikové operační jednotky o šířce jedné slabiky, to jest 8 bitů

obsahuje dva znaky, tj. číslice, po čtyřech bitech v dekadickém eventuálně hexadecimálním tvaru. Řádově vyšší číslice vystupuje z horního výstupu 100 a řádově nižší číslice z dolního výstupu 101 slabikové operační jednotky 10. Nulovost obou číslic je zjišťována v horním a dolním dekodéru 11, 12 nulovostí. Informace o nulovosti jsou zpracovány v ovládacím dekodéru 13, který pracuje podle následujícího předpisu.

H = řádově vyšší číslice

D = řádově nižší číslice

1. Je-li $H \neq \emptyset$ je NULOVACÍ VÝSTUP 132 = 1
2. Je-li $H = \emptyset$ a $D \neq \emptyset$, je NASTAVOVACÍ VÝSTUP 131 = 1
3. Je-li $H = \emptyset$ a $D = \emptyset$, je HODINOVÝ VÝSTUP 133 = 1

Jednotlivé výstupy 131, 132, 133 ovládacího dekodéru 13 jsou časovány synchronizačním vstupem 130.

Činnost čítače horních nul v jednotlivých případech je tato:

1. Paměť 17 nejnižšího řádu se přímým působením nulovacího vstupu nastaví do 0 a také registr 18 vyšších řádů čítače nul se nastaví působením nulovacího vstupu 181 do nul. Na výstupu čítače horních nul bude stav 00. . . 00.
2. Paměť 17 nejnižšího řádu se přímým působením nastavovacího vstupu nastaví do stavu 1, registr 18 vyšších řádů se přes logický součet 14 nastaví do nul. Na výstupu čítače horních nul bude stav 00. . . 01.
3. Výstupy z jednotlivých řádů paměti čítače horních nul se přivedou na vstup prvního operandu sčítačky, přičemž na vstup druhého operandu přichází binární konstanta 00 . . 10 . Sčítačka tak provede přičtení čísla 2 k původnímu obsahu čítače horních nul. Výsledek je pomocí hodinových vstupů zaznamenán do paměti 17 nejnižšího řádu a do registru 18 vyšších řádů čítače horních nul. Výstupy 2 a 3 čítače horních nul jsou při další činnosti procesoru zpracovány v aritmetických obvodech.

Využití vynálezu se předpokládá především v procesorech samočinných počítačů.

P Ř E D M Ě T V Y N Á L E Z U

Čítač horních nul, vyznačující se tím, že horní výstup (100) slabikové operační jednotky (10) je připojen na vstup dolního dekodéru (12) nulovosti, přičemž výstup (111) horního dekodéru (11) nulovosti je připojen na horní vstup ovládacího dekodéru (13) a výstup (181) dolního dekodéru (12) nulovosti je připojen na dolní vstup ovládacího dekodéru (13), na jehož synchronizační vstup (130) je připojen synchronizační vstup (1) celého zapojení, zatím co nastavovací výstup (131) ovládacího dekodéru (13) je propojen na druhý vstup obvodu (14) logického součtu a na nastavovací vstup paměti (17) nejnižšího řádu čítače horních nul a nulovací výstup (132) ovládacího dekodéru (13) je připojen na první vstup obvodu (14) logického součtu a na nulovací vstup paměti (17) nejnižšího řádu čítače horních nul, přičemž výstup (141) obvodu (14)

logického součtu je připojen na nulovací vstup registru (18) vyšších řádů čítače horních nul, přitom hodinový výstup (133) ovládacího dekodéru (13) je připojen na hodinový vstup paměti (17) nejnížšího řádu čítače horních nul a na hodinový vstup registru (18) vyšších řádů čítače horních nul, přičemž výstup (171) paměti (17) nejnížšího řádu čítače horních nul je připojen na řádově nejnížší vstup prvního operandu sčítačky (15) a je zároveň řádově nejnížším výstupem (2) celého zapojení, zatím co výstup (181) registru (18) vyšších řádů čítače horních nul je napojen na řádově vyšší vstup prvního operandu sčítačky (15) a je také řádově vyšším výstupem (3) celého zapojení a přitom výstup (161) generátoru (16) konstanty je připojen na vstup druhého operandu sčítačky (15), zatím co řádově nejnížší výstup (151) sčítačky (15) je připojen na datový vstup paměti (17) nejnížšího řádu čítače horních nul, přičemž řádově vyšší výstup (152) sčítačky (15) je připojen na datový vstup registru (18) vyšších řádů čítače horních nul.

1 výkres

