



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

256686

(11) (B1)

(51) Int. Cl.⁴

G 06 F 13/00

(22) Přihlášeno 14 01 86

(21) PV 300-86.0

(40) Zveřejněno 17 09 87

(45) Vydáno 16 01 89

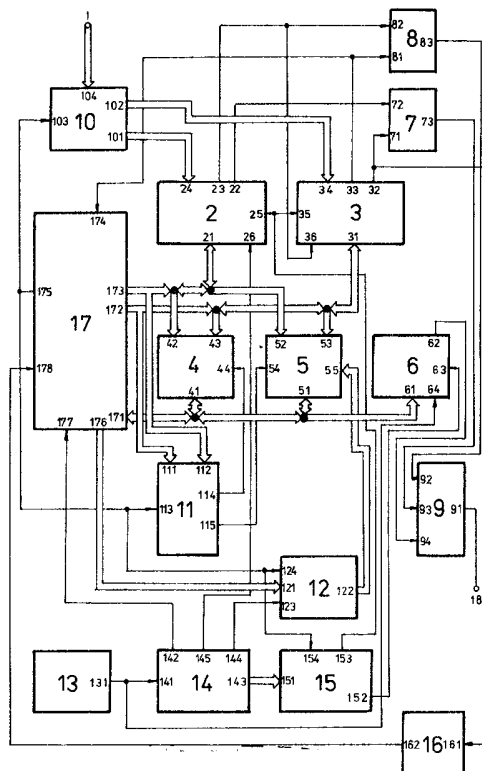
(75)

Autor vynálezu

SMUTNÝ EDUARD ing., MERCL JAN, PRAHA

(54) Zapojení jednoduchého osobního mikropočítače pro mládež

Zapojení sestává z hromadné vstupní svorky, horizontálního časovače, vertikálního časovače, paměti ROM, paměti RAM, posuvného registru, bloku hradla OR, bloku monostabilních obvodů, bloku generace TV signálu, bloku řízení časovačů, bloku dekodéru adres, bloku generátoru řídicích signálů, oscilátoru, děliče frekvence, dekodéru, bloku generace žádosti o DMA, mikroprocesoru a výstupní svorky, vzájemně propojených podle obrázku. Zapojení nevyžaduje žádné speciální obvody, celkový počet obvodů je minimální, zapojení je jednoduché, neklade velké nároky na rychlost součástek. Mikropočítač má velké časové rezervy, což se odráží v jeho spolehlivosti a nízkém příkonu. Mikropočítač je určen pro výuku na školách a pro zájmovou činnost a má grafické zobrazení.



256686

Vynález řeší zapojení jednoduchého osobního mikropočítače pro mládež.

Zapojení jednoduchého osobního mikropočítače je komplikováno tím, že součástí jeho obvodů musí být jak vlastní mikroprocesor, tak i obvody pro zobrazení grafické informace na zobrazovací jednotce, např. televizním přijímači nebo monitoru. V podstatě lze problematiku řešit třemi způsoby.

První způsob spočívá v rozdělení paměti RAM tak, že samostatná paměť RAM je u procesoru a samostatná paměť RAM je u zobrazovací části. Procesor pak musí mít přístup do obou pamětí RAM a komplikují se obvody pro přepínání adres a dat mezi procesorem a zobrazovací částí. Pro jednoduchý počítač je nutné paměťmi RAM šetřit a proto toto řešení není vhodné.

Druhý způsob spočívá ve společné paměti RAM pro procesor i pro zobrazovací část. V tomto případě musí být v počítači opět obvody pro přepínání adres a dat mezi procesorem a zobrazovací částí a synchronizační obvody pro přístup procesoru k paměti RAM. Pro účinnou spolupráci zobrazovací části a procesoru je nutné mít k dispozici rychlé paměti RAM a rychlý procesor, což klade vyšší nároky na řídicí logiku a tolerance součástek a odběr zařízení. Vyšší energetická náročnost ovlivňuje i požadavky na chlazení počítače.

Třetí známý způsob spočívá v použití přímého přístupu do paměti. Pro přímý přístup do paměti je však třeba použít řadič DMA například obvod typu 8257, ale ten nemá dostatečnou rychlost pro grafické zobrazení vyšších hustot, neboť jeho maximální rychlost přenosu je 500 kbyte.s^{-1} . Případné použití speciálních obvodů - řadičů pro grafické displeje - je u jednoduchých osobních počítačů neekonomické. Takové řadiče totiž mají buď nadbytečné parametry např. NEC 7220 nebo potřebují příliš mnoho přídavných obvodů např. MOTOROLA 6845.

Popsané nevýhody jsou odstraněny zapojením jednoduchého osobního mikropočítače pro mládež podle tohoto vynálezu. Zapojení sestává z hromadné vstupní svorky, horizontálního časovače, vertikálního časovače, paměti ROM, paměti RAM, posuvného registru, bloku hradla OR, bloku monostabilních obvodů, bloku generace TV signálu, bloku řízení časovačů, bloku dekodéru adres, bloku generátoru řídicích signálů, oscilátoru, děliče frekvence, dekodéru, bloku generace žádosti o DMA, mikroprocesoru a výstupní svorky. Jeho podstatou je, že hromadná vstupní svorka je spojena s hromadným druhým vstupem bloku řízení časovačů. Hromadný první výstup bloku řízení časovačů je spojen s hromadným druhým vstupem horizontálního časovače. Hromadný druhý výstup bloku řízení časovačů je spojen s hromadným druhým vstupem vertikálního časovače. První výstup horizontálního časovače je spojen s druhým vstupem bloku hradla OR.

Druhý výstup horizontálního časovače je spojen s druhým vstupem bloku monostabilních obvodů a současně se čtvrtým vstupem vertikálního časovače. První výstup vertikálního časovače je spojen s prvním vstupem bloku hradla OR a současně se vstupem bloku generace žádosti o DMA. Druhý výstup vertikálního časovače je spojen s prvním vstupem bloku monostabilních obvodů a současně s druhým vstupem mikroprocesoru. Výstup bloku generace žádosti o DMA je spojen se čtvrtým vstupem mikroprocesoru. Výstup bloku hradla OR je spojen s druhým vstupem bloku generace TV signálu. Výstup bloku monostabilních obvodů je spojen s prvním vstupem bloku generace TV signálu. Výstup oscilátoru je spojen se vstupem děliče frekvence a současně se třetím vstupem posuvného registru. První výstup děliče frekvence je spojen se třetím vstupem mikroprocesoru. Hromadný druhý výstup děliče frekvence je spojen s hromadným prvním vstupem dekodéru. Třetí výstup děliče frekvence je spojen s druhým vstupem bloku generátoru řídicích signálů.

Čtvrtý výstup děliče frekvence je spojen se čtvrtým vstupem horizontálního časovače. První výstup dekodéru je spojen s druhým vstupem posuvného registru. Druhý výstup dekodéru je spojen se třetím vstupem horizontálního časovače a současně se třetím vstupem vertikálního časovače.

Výstup posuvného registru je spojen se třetím vstupem bloku generace TV signálu. Hromad-

ný obousměrný první vstup mikroprocesoru je spojen s hromadným obousměrným prvním vstupem paměti ROM a současně s hromadným obousměrným prvním vstupem paměti RAM a s hromadným prvním vstupem posuvného registru. Hromadný první výstup mikroprocesoru je spojen s hromadným prvním vstupem bloku dekodéru adres a současně s hromadným třetím vstupem paměti ROM, s hromadným třetím vstupem paměti RAM a s hromadným obousměrným prvním vstupem vertikálního časovače. Hromadný druhý výstup mikroprocesoru je spojen s hromadným druhým vstupem bloku dekodéru adres a současně s hromadným druhým vstupem paměti ROM, s hromadným druhým vstupem paměti RAM a s hromadným obousměrným prvním vstupem horizontálního časovače. Třetí výstup mikroprocesoru je spojen s prvním vstupem bloku řízení časovačů a současně se třetím vstupem bloku dekodéru adres, se třetím vstupem bloku generátoru řídicích signálů a se druhým vstupem dekodéru. Hromadný čtvrtý výstup mikroprocesoru je spojen s hromadným prvním vstupem bloku generátoru řídicích signálů. Hromadný výstup bloku generátoru řídicích signálů je spojen s hromadným pátým vstupem paměti RAM. První výstup bloku dekodéru adres je spojen se čtvrtým vstupem paměti ROM. Druhý výstup bloku dekodéru adres je spojen se čtvrtým vstupem paměti RAM. Výstup bloku generace TV signálu je spojen s výstupní svorkou.

Zapojení jednoduchého osobního mikropočítače pro mládež podle tohoto vynálezu využívá pro realizaci časové základny jeho zobrazovací části zapojení podle československého AO 257 662 "Zapojení časové základny rastrového displeje". Tato časová základna nepotřebuje žádné přidavné obvody pro přepínání adres mezi procesorem a zobrazovací částí. Dále je využit při zobrazební přímý přístup do paměti tzv. DMA přenos. V tomto zapojení je sice využita rychlost mikroprocesoru pouze z 25 %, ale výsledné zapojení je jednoduché a mikropočítač má rychlost dostatečnou pro použití ve výuce na školách a pro zájmovou činnost. Celé zapojení nevyžaduje žádné speciální obvody a celkový počet obvodů je minimální. Zapojení neklade žádné velké nároky na rychlost součástí a proto má mikropočítač velké časové rezervy, což pozitivně ovlivňuje jeho spolehlivost a snižuje příkon celého mikropočítače. Navíc je v tomto zapojení zajištěna programovatelnost časových parametrů synchronizačních impulsů a zatmívacích impulsů, takže je možné zvýšit rychlost procesoru až na maximum naprogramováním zobrazení pouze omezeného počtu řádků. Počet zobrazovaných řádků, počet bodů zobrazených v jednom řádku i poloha obrázků na stínítku zobrazovací jednotky jsou volitelné při programování funkce časové základny a všechny tyto parametry je možno měnit dynamicky pomocí programu. V zapojení není také nutné mít dvě paměti RAM, což je výhodné při použití nových dynamických pamětí, např. 64K.1 bit.

Celkové jednoduchosti zapojení je dosaženo přímým spojením adresového hromadného druhého výstupu A_H mikroprocesoru s datovým hromadným obousměrným prvním vstupem horizontálního časovače, s adresovým hromadným druhým vstupem paměti ROM a s adresovým hromadným druhým vstupem paměti RAM i přímým spojením adresového hromadného prvního výstupu A_L mikroprocesoru s datovým hromadným obousměrným prvním vstupem vertikálního časovače, s adresovým hromadným třetím vstupem paměti ROM a s adresovým hromadným třetím vstupem paměti RAM. Tímto přímým spojením s dodržením možnosti naprogramovat oba časovače pomocí adres namísto obvyklých dat je dosaženo neobvyklé jednoduchosti jak co do počtu součástek, tak také co do jednoduchosti motivu plošného spoje. Zapojením obou časovačů je dosažena sdružená funkce časové základny a DMA řadiče, čímž je ušetřeno asi dvacet integrovaných obvodů. Celé toto zapojení je z hlediska jednoduchosti lepší než při použití moderních speciálních VLSI obvodů. Použité časovače typu 8253 jsou velice levné a běžně dostupné obvody. Jejich aplikaci jako čítačů s výstupy, jež je možno využít pro adresování nebo indikaci, je navíc univerzálně použitelná i pro jiné účely, než pro adresaci dat paměti RAM při zobrazování grafické informace v osobním mikropočítači.

Konkrétní příklad zapojení jednoduchého osobního mikropočítače pro mládež podle tohoto vynálezu v malém osobním mikropočítači ONDRA je znázorněn na přiloženém výkresu v blokovém schématu.

Zapojení sestává z hromadné vstupní svorky 1, horizontálního časovače 2, vertikálního časovače 3, paměti 4 ROM, paměti 5 RAM, posuvného registru 6, bloku 7 hradla OR, bloku 8 monostabilních obvodů, bloku 9 generace TV signálu, bloku 10 řízení časovačů, bloku 11 deko-

děru adres, bloku 12 generátoru řídicích signálů, oscilátoru 13, děliče 14 frekvence, dekodéru 15, bloku 16 generace žádosti o DMA, mikroprocesoru 17 a výstupní svorky 18.

Hromadná vstupní svorka 1 je spojena s hromadným druhým vstupem 104 bloku 10 řízení časovačů. Hromadný první výstup 101 bloku 10 řízení časovačů je spojen s hromadným druhým vstupem 24 horizontálního časovače 2. Hromadný druhý výstup 102 bloku 10 řízení časovačů je spojen s hromadným druhým vstupem 34 vertikálního časovače 3. První výstup 22 horizontálního časovače 2 je spojen s druhým vstupem 72 bloku 7 hradla OR. Druhý výstup 23 horizontálního časovače 2 je spojen s druhým vstupem 82 bloku 8 monostabilních obvodů a současně se čtvrtým vstupem 36 vertikálního časovače 3. První výstup 32 vertikálního časovače 3 je spojen s prvním vstupem 71 bloku 7 hradla OR a současně se vstupem 161 bloku 16 generace žádosti o DMA.

Druhý výstup 33 vertikálního časovače 3 je spojen s prvním vstupem 81 bloku 8 monostabilních obvodů a současně s druhým vstupem 174 mikroprocesoru 17. Výstup 162 bloku 16 generace žádosti o DMA je spojen se čtvrtým vstupem 178 mikroprocesoru 17. Výstup 73 bloku 7 hradla OR je spojen se druhým vstupem 93 bloku 9 generace TV signálu. Výstup 83 bloku 8 monostabilních obvodů je spojen s prvním vstupem 92 bloku 9 generace TV signálu. Výstup 131 oscilátoru 13 je spojen se vstupem 141 děliče 14 frekvence a současně se třetím vstupem 64 posuvného registru 6.

První výstup 142 děliče 14 frekvence je spojen se třetím vstupem 177 mikroprocesoru 17. Hromadný druhý výstup 143 děliče 14 frekvence je spojen s hromadným prvním vstupem 151 dekodéru 15. Třetí výstup 144 děliče 14 frekvence je spojen s druhým vstupem 123 bloku 12 generátoru řídicích signálů. Čtvrtý výstup 145 děliče 14 frekvence je spojen se čtvrtým vstupem 26 horizontálního časovače 2. První výstup 152 dekodéru 15 je spojen se druhým vstupem 63 posuvného registru 6.

Druhý výstup 153 dekodéru 15 je spojen se třetím vstupem 25 horizontálního časovače 2 a současně se třetím vstupem 35 vertikálního časovače 3. Výstup 62 posuvného registru 6 je spojen se třetím vstupem 94 bloku 9 generace TV signálu. Hromadný obousměrný první vstup 171 mikroprocesoru 17 je spojen s hromadným obousměrným prvním vstupem 41 paměti 4 ROM a současně s hromadným obousměrným prvním vstupem 51 paměti 5 RAM a s hromadným prvním vstupem 61 posuvného registru 6. Hromadný první výstup 172 mikroprocesoru 17 je spojen s hromadným prvním vstupem 111 bloku 11 dekodéru adres a současně s hromadným třetím vstupem 43 paměti 4 ROM, s hromadným třetím vstupem 53 paměti 5 RAM a s hromadným obousměrným prvním vstupem 31 vertikálního časovače 3. Hromadný druhý výstup 173 mikroprocesoru 17 je spojen s hromadným vstupem 112 bloku 11 dekodéru adres a současně s hromadným druhým vstupem 42 paměti 4 ROM, s hromadným druhým vstupem 52 paměti 5 RAM a s hromadným obousměrným prvním vstupem 21 horizontálního časovače 2. Třetí výstup 175 mikroprocesoru 17 je spojen s prvním vstupem 103 bloku 10 řízení časovačů a současně se třetím vstupem 113 bloku 11 dekodéru adres, se třetím vstupem 124 bloku 12 generátoru řídicích signálů a se druhým vstupem 154 dekodéru 15. Hromadný čtvrtý výstup 176 mikroprocesoru 17 je spojen s hromadným prvním vstupem 121 bloku 12 generátoru řídicích signálů. Hromadný výstup 122 bloku 12 generátoru řídicích signálů je spojen s hromadným pátým vstupem 55 paměti 5 RAM. První výstup 114 bloku 11 dekodéru adres je spojen se čtvrtým vstupem 44 paměti 4 ROM. Druhý výstup 115 bloku 11 dekodéru adres je spojen se čtvrtým vstupem 54 paměti 5 RAM. Výstup 91 bloku 9 generace TV signálu je spojen s výstupní svorkou 18.

Základem zapojení jednoduchého osobního mikropočítače pro mládež je mikroprocesor 17, přičemž na jeho typu nezáleží. Použitý mikroprocesor 17 musí být pouze schopen na základě žádosti zapůjčit sběrnici dat a adres pro přenos dat z paměti 5 RAM.

Základní frekvence pro řízení chodu mikropočítače se vyrábí v oscilátoru 13. Výstup 131 oscilátoru 13 je veden na třetí vstup 64 posuvného registru 6 a po tomto spoji se přenáší hodinová frekvence posuvného registru 6. Z výstupu 131 oscilátoru 13 je frekvence vedena také do vstupu 141 děliče 14 frekvence. Dělič 14 frekvence dělí například číslem $N = 8$. Hromadný druhý výstup 143 děliče 14 frekvence je přiveden na hromadný první vstup 151 dekodéru 15.

Dekodér 15 dekoduje dva z osmi stavů děliče 14 frekvence. Na prvním výstupu 152 dekodéru 15 je při aktivním stavu druhého vstupu 154 dekodéru 15 potvrzení DMA z mikroprocesoru 17 signál T7, který je veden do druhého vstupu 63 posuvného registru 6. Tento signál řídí naplnění dat do posuvného registru 6 při zobrazení. Na druhém výstupu 153 dekodéru 15 je při aktivním stavu druhého vstupu 154 dekodéru 15 - potvrzení DMA z mikroprocesoru 17 - signál T0, který řídí čtení adres paměti z horizontálního časovače 2 pomocí třetího vstupu 25 RD horizontálního časovače 2 a čtení adres paměti z vertikálního časovače 3 pomocí třetího vstupu 35 RD vertikálního časovače 3. První a druhý výstup 152, 153 dekodéru 15 jsou aktivní pouze při zobrazení; to probíhá při aktivním stavu třetího vstupu 175 mikroprocesoru 17.

První výstup 142 děliče 14 frekvence je veden na třetí vstup 177 mikroprocesoru 17. Tento signál tvoří hodiny mikroprocesoru 17. Ze čtvrtého vstupu 145 děliče 14 frekvence vede na čtvrtý vstup 26 horizontálního časovače 2 hodinová frekvence. Pro grafické zobrazení 320x240 bodů na televizním přijímači je tato frekvence 1 MHz a rychlost přenosu mezi pamětí 5 RAM a posuvným registrem 6 je při zobrazení 1 Mbyte.s⁻¹. Třetí výstup 144 děliče 14 frekvence vede na druhý vstup 123 bloku 12 generátoru řídicích signálů. V bloku 12 generátoru řídicích signálů se ze signálu vedeného na jeho druhý vstup 123 vytváří při aktivním stavu třetího vstupu 124 bloku 12 generátoru řídicích signálů - potvrzení DMA z mikroprocesoru 17 požadavek na čtení dat z paměti 5 RAM při zobrazení a je veden z hromadného vstupu 122 bloku 12 generátoru řídicích signálů na hromadný pátý vstup 55 paměti 5 RAM. Blok 12 generátoru řídicích signálů pracuje i tehdy, neprobíhá-li zobrazení, tj. tehdy, není-li potvrzení DMA z mikroprocesoru 17. Potom je třetí vstup 124 bloku 12 generátoru řídicích signálů neaktivní a mikroprocesor 17 vydává na hromadném čtvrtém výstupu 176 mikroprocesoru 17 řídicí signály pro čtení, refreš a zápis do paměti 5 RAM a blok 12 generátoru řídicích signálů tyto signály, přicházející na hromadný první vstup 121 bloku 12 generátoru řídicích signálů, upravuje a předává je hromadným výstupem 122 bloku 12 generátoru řídicích signálů na hromadný pátý vstup 55 paměti 5 RAM.

Mikroprocesor 17 vydává řídicí signály na hromadném čtvrtém výstupu 176 mikroprocesoru 17. Protože ne všechny řídicí signály mají přímý význam pro popis funkce zapojení jednoduchého osobního mikropočítače pro mládež, nejsou všechny podrobně popisovány. Rovněž tak nejsou uváděny porty, připojení klávesnice, tiskárny a magnetofonu a další obecně známé části. Mikroprocesor 17 vydává na hromadném prvním výstupu 172 A_L mikroprocesoru 17 spodní polovinu adresy - A_L = spodních 8 bitů a na hromadném druhém výstupu 173 A_H horní polovinu adresy - A_H = horních 8 bitů. Adresy jsou vedeny do hromadného druhého a hromadného třetího vstupu 42, 43 paměti 4 ROM a do hromadného druhého a hromadného třetího vstupu 52, 53 paměti 5 RAM. Hromadný obousměrný první vstup 171 mikroprocesoru 17 je datový a je obousměrný: při čtení přenáší data do mikroprocesoru 17 z paměti 4 ROM hromadným obousměrným prvním vstupem 41 paměti 5 RAM hromadným obousměrným prvním vstupem 51 paměti 5 RAM, při zápisu přenáší data z mikroprocesoru 17 do paměti 5 RAM hromadným obousměrným prvním vstupem 51 paměti 5 RAM. Hromadný obousměrný první vstup 171, hromadný první výstup 172, hromadný druhý výstup 173 a hromadný čtvrtý výstup 176 mikroprocesoru 17 jsou však aktivní pouze tehdy, když mikroprocesor 17 pracuje.

Pomocí čtvrtého vstupu 178 mikroprocesoru 17 může okolí požádat mikroprocesor 17 o zapůjčení hromadného druhého vstupu 173 A_H, hromadného prvního vstupu 172 A_L, hromadného obousměrného prvního vstupu 171 DATA a hromadného čtvrtého vstupu 176 RS mikroprocesoru 17. Rozhodne-li se mikroprocesor 17 vyhovět, na základě žádosti přivedené na čtvrtý vstup 178 mikroprocesoru 17 odpojí hromadný druhý výstup 173, hromadný první výstup 172, hromadný obousměrný první vstup 171 a hromadný čtvrtý výstup 176 mikroprocesoru 17 a uvede je do tzv. třetího stavu. Potom vydá potvrzení o zapůjčení - tzv. potvrzení DMA - na třetím výstupu 175 mikroprocesoru 17. Žádost o zapůjčení generuje blok 16 generace žádosti o DMA. Na vstup 161 bloku 16 generace žádosti o DMA je přiveden první výstup 32 vertikálního časovače 3. Tento signál je vlastně vertikálním zatmívacím impulsem. Jakmile se má zobrazovat na zobrazovací jednotce, přejde vstup 161 bloku 16 generace žádosti o DMA do aktivního stavu a blok 16 generace žádosti o DMA vygeneruje na výstupu 162 bloku 16 generace žádosti o DMA žádost o zapůjčení, která je pak přivedena na čtvrtý vstup 178 mikroprocesoru 17.

Mikroprocesor 17 potvrdí zapůjčení aktivací třetího výstupu 175 A_K mikroprocesoru 17. Třetí výstup 175 mikroprocesoru 17 odblokuje funkci dekodéru 15 pomocí druhého vstupu 154 dekodéru 15 a dále přepne funkci bloku 12 generátoru řídicích signálů pomocí třetího vstupu 124 bloku 12 generátoru řídicích signálů. Reakce bloku 12 generátoru řídicích signálů a dekodéru 15 již byla popsána výše.

Třetí výstup 175 mikroprocesoru 17 je veden také do bloku 11 dekodéru adres na třetí vstup 113 bloku 11 dekodéru adres. Blok 11 dekodéru adres dekoduje horní adresy mikroprocesoru 17, přicházející na hromadný druhý vstup 112 bloku 11 dekodéru adres, a dolní adresy mikroprocesoru 17, přicházející na hromadný první vstup 111 bloku 11 dekodéru adres (obvykle postačí dekodovat jen část nejvyšších adresových bitů horní adresy). Není-li aktivní třetí vstup 113 bloku 11 dekodéru adres, pak blok 11 dekodéru adres vybírá buď paměť 4 ROM aktivací prvního výstupu 114 bloku 11 dekodéru adres, vedeného na čtvrtý vstup 44 paměti 4 ROM, nebo paměť 5 RAM aktivací druhého výstupu 115 bloku 11 dekodéru adres, vedeného na čtvrtý vstup 54 paměti 5 RAM. Při potvrzení DMA je třetí vstup 113 bloku 11 dekodéru adres aktivní a blok 11 dekodéru adres pracuje tak, že vybírá bez ohledu na stav hromadného prvního a hromadného druhého vstupu 111, 112 bloku 11 dekodéru adres pouze předem danou část paměti 5 RAM aktivací druhého výstupu 115 bloku 11 dekodéru adres, vedeného na čtvrtý vstup 54 paměti 5 RAM. Tím je dáno, že paměť pro zobrazení je částí paměti 5 RAM a při zobrazování je tato část vybrána bez ohledu na stavy hromadného druhého výstupu 173 a hromadného prvního výstupu 172 mikroprocesoru 17.

Blok 10 řízení časovačů je ovládán pomocí hromadného druhého vstupu 104 bloku 10 řízení časovačů z hromadné vstupní svorky 1 signály z portů. Blok 10 řízení časovačů zajišťuje naprogramování horizontálního časovače 2 a vertikálního časovače 3 pomocí programu po zapnutí mikropočítače nebo při změně parametrů zobrazení - časy synchronizace a zatmívání. Programování obou časovačů 2, 3 probíhá takto: Hromadný obousměrný první vstup 21 horizontálního časovače 2 je připojen k hromadnému druhému výstupu 173 A_H mikroprocesoru 17 a hromadný obousměrný první vstup 31 vertikálního časovače 3 je připojen k hromadnému prvnímu výstupu 172 A_L mikroprocesoru 17. Řídicí hromadný druhý vstup 24 horizontálního časovače 2 je ovládán hromadným prvním výstupem 101 bloku 10 řízení časovačů a řídicí hromadný druhý vstup 34 vertikálního časovače 3 je ovládán hromadným druhým výstupem 102 bloku 10 řízení časovačů. Je tudíž nutné naprogramovat horizontální časovač 2 a vertikální časovač 3 pomocí adres mikroprocesoru 17, což je ve spojení s blokem 10 řízení časovačů možné.

Po naprogramování již přecházejí oba časovače 2, 3 plně do jejich funkce. Horizontální časovač 2 vydává na druhém výstupu 23 horizontálního časovače 2 horizontální synchronizaci, vedenou na druhý vstup 82 bloku 8 monostabilních obvodů a současně na čtvrtý vstup 36 vertikálního časovače 3, kde slouží jako hodiny pro vertikální část časové základny. První výstup 22 horizontálního časovače 2 vydává horizontální zatemňovací impuls a ten je veden na druhý vstup 72 bloku 7 hradla OR. Druhý výstup 33 vertikálního časovače 3 je veden na první vstup 81 bloku 8 monostabilních obvodů a současně na druhý vstup 174 mikroprocesoru 17, kde má význam žádosti o přerušení. První výstup 32 vertikálního časovače 3 vydává vertikální zatemňovací impuls a ten je veden na první vstup 71 bloku 7 hradla OR. Jak již bylo uvedeno, tento impuls ovládá i vstup 161 bloku 16 generace žádosti o DMA.

Blok 8 monostabilních obvodů upravuje synchronizační impulsy z prvního a druhého vstupu 81, 82 bloku 8 monostabilních obvodů na potřebnou šířku impulsů a sčítá je. Sečtené synchronizační impulsy z výstupu 83 bloku 8 monostabilních obvodů jsou vedeny jako synchronizační směs do prvního vstupu 92 bloku 9 generace TV signálu.

Blok 7 hradla OR sčítá zatmívací impulsy z horizontálního časovače 2 a zatmívací impulsy z vertikálního časovače 3. Výstup 73 bloku 7 hradla OR představuje zatmívací signál videa a je veden na druhý vstup 93 bloku 9 generace TV signálu. Na třetí vstup 94 bloku 9 generace TV signálu vede výstup 62 posuvného registru 6. Posuvný registr 6 je při zobrazování plněn daty, přicházejícími na hromadný první vstup 61 posuvného registru 6.

Data přicházejí z hromadného obousměrného prvního vstupu 51 paměti 5 RAM, která je adresována z datového hromadného obousměrného prvního vstupu 21 horizontálního časovače 2 a z datového hromadného obousměrného prvního vstupu 31 vertikálního časovače 3. V posuvném registru 6 jsou data převedena na sériový tvar a na výstupu 62 posuvného registru 6 je videosignál pro řízení jasu zobrazovací jednotky.

Blok 9 generace TV signálu vytváří ze synchronizačních impulsů na prvním vstupu 92 bloku 9 generace TV signálu, ze zatmívacích impulsů na druhém vstupu 93 bloku 9 generace TV signálu a z videosignálu na třetím vstupu 94 bloku 9 generace TV signálu televizní přijímač na výstupu 91 bloku 9 generace TV signálu, spojeném s výstupní svorkou 18.

P R Ě D M Ě T V Y N Á L E Z U

Zapojení jednoduchého osobního mikropočítače pro mládež, sestávající z hromadné vstupní svorky, horizontálního časovače, vertikálního časovače, paměti ROM, paměti RAM, posuvného registru, bloku hradla OR, bloku monostabilních obvodů, bloku generace TV signálu, bloku řízení časovačů, bloku dekodéru adres, bloku generátoru řídicích signálů, oscilátoru, děliče frekvence, dekodéru, bloku generace žádosti o DMA, mikroprocesoru a výstupní svorky, vyznačené tím, že hromadná vstupní svorka (1) je spojena s hromadným druhým vstupem (104) bloku (10) řízení časovačů, hromadný první výstup (101) bloku (10) řízení časovačů je spojen s hromadným druhým vstupem (24) horizontálního časovače (2), hromadný druhý výstup (102) bloku (10) řízení časovačů je spojen s hromadným druhým vstupem (34) vertikálního časovače (3), první výstup (22) horizontálního časovače (2) je spojen s druhým vstupem (72) bloku (7) hradla OR, druhý výstup (23) horizontálního časovače (2) je spojen s druhým vstupem (82) bloku (8) monostabilních obvodů a současně se čtvrtým vstupem (36) vertikálního časovače (3), první výstup (32) vertikálního časovače (3) je spojen s prvním vstupem (71) bloku (7) hradla OR a současně se vstupem (161) bloku (16) generace žádosti o DMA, druhý výstup (33) vertikálního časovače (3) je spojen s prvním vstupem (81) bloku (8) monostabilních obvodů a současně s druhým vstupem (174) mikroprocesoru (17), výstup (162) bloku (16) generace žádosti o DMA je spojen se čtvrtým vstupem (178) mikroprocesoru (17), výstup (73) bloku (7) hradla OR je spojen se druhým vstupem (93) bloku (9) generace TV signálu, výstup (83) bloku (8) monostabilních obvodů je spojen s prvním vstupem (92) bloku (9) generace TV signálu, výstup (131) oscilátoru (13) je spojen se vstupem (141) děliče (14) frekvence a současně se třetím vstupem (64) posuvného registru (6), první výstup (142) děliče (14) frekvence je spojen se třetím vstupem (177) mikroprocesoru (17), hromadný druhý výstup (143) děliče (14) frekvence je spojen s hromadným prvním vstupem (151) dekodéru (15), třetí výstup (144) děliče (14) frekvence je spojen s druhým vstupem (123) bloku (12) generátoru řídicích signálů, čtvrtý výstup (145) děliče (14) frekvence je spojen se čtvrtým vstupem (26) horizontálního časovače (2), první výstup (152) dekodéru (15) je spojen se druhým vstupem (63) posuvného registru (6), druhý výstup (153) dekodéru (15) je spojen se třetím vstupem (25) horizontálního časovače (2) a současně se třetím vstupem (35) vertikálního časovače (3), výstup (62) posuvného registru (6) je spojen se třetím vstupem (94) bloku (9) generace TV signálu, hromadný obousměrný první vstup (171) mikroprocesoru (17) je spojen s hromadným obousměrným prvním vstupem (41) paměti (4) ROM a současně s hromadným obousměrným prvním vstupem (51) paměti (5) RAM a s hromadným prvním vstupem (61) posuvného registru (6), hromadný první výstup (172) mikroprocesoru (17) je spojen s hromadným prvním vstupem (111) bloku (11) dekodéru adres a současně s hromadným třetím vstupem (43) paměti (4) ROM, s hromadným třetím vstupem (53) paměti (5) RAM a s hromadným obousměrným prvním vstupem (31) vertikálního časovače (3), hromadný druhý výstup (173) mikroprocesoru (17) je spojen s hromadným druhým vstupem (112) bloku (11) dekodéru adres a současně s hromadným druhým vstupem (42) paměti (4) ROM, s hromadným druhým vstupem (52) paměti (5) RAM a s hromadným obousměrným prvním vstupem (21) horizontálního časovače (2), třetí výstup (175) mikroprocesoru (17) je spojen s prvním vstupem (103) bloku (10) řízení časovačů a současně se třetím vstupem (113) bloku (11) dekodéru adres, se třetím vstupem (124) bloku (12) generátoru řídicích signálů a se druhým vstupem (154) dekodéru (15), hromadný

Čtvrtý výstup (176) mikroprocesoru (17) je spojen s hromadným prvním vstupem (121) bloku (12) generátoru řídících signálů, hromadný výstup (122) bloku (12) generátoru řídících signálů je spojen s hromadným pátým vstupem (55) paměti (5) RAM, první výstup (114) bloku (11) dekodéru adres je spojen se čtvrtým vstupem (44) paměti (4) ROM, druhý výstup (115) bloku (11) dekodéru adres je spojen se čtvrtým vstupem (54) paměti (5) RAM a výstup (91) bloku (9) generace TV signálu je spojen s výstupní svorkou (18).

1 výkres

256686

