

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年6月23日(2005.6.23)

【公開番号】特開2003-115488(P2003-115488A)

【公開日】平成15年4月18日(2003.4.18)

【出願番号】特願2001-307318(P2001-307318)

【国際特許分類第7版】

H 01 L 21/3205

H 01 L 21/304

【F I】

H 01 L 21/88 M

H 01 L 21/304 6 2 2 D

H 01 L 21/304 6 2 2 X

H 01 L 21/88 K

H 01 L 21/88 R

【手続補正書】

【提出日】平成16年9月29日(2004.9.29)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

(a) 半導体基板上に形成した絶縁膜に凹パターンを形成した後、前記凹パターンの内部を含む前記半導体基板の全面にバリアメタル層を形成し、さらに前記凹パターンを埋め込む銅膜を形成する工程と、

(b) 砥粒フリースラリを用いたCMP法で前記銅膜を研磨し、前記バリアメタル層で前記銅膜の研磨を止める工程と、

(c) 直前混合された砥粒フリースラリとシリカスラリとを用いたCMP法で前記銅膜の研磨残りを除去する工程と、

(d) シリカスラリを用いたCMP法で前記凹パターン以外の領域の前記バリアメタル層を除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】

半導体基板上にタンゲステン膜または銅膜を主導体層とするプラグに接続して、銅膜を主導体層とするシングルダマシン配線を形成する半導体装置の製造方法であって、

(a) 前記プラグの上層に絶縁膜を形成した後、前記絶縁膜の所定の領域に配線溝を形成する工程と、

(b) 前記配線溝の内部を含む前記半導体基板の全面にバリアメタル層を形成し、さらに前記配線溝を埋め込む銅膜を形成する工程と、

(c) 砥粒フリースラリを用いたCMP法で前記銅膜を研磨し、前記バリアメタル層で前記銅膜の研磨を止める工程と、

(d) 直前混合された砥粒フリースラリとシリカスラリとを用いたCMP法で前記銅膜の研磨残りを除去する工程と、

(e) シリカスラリを用いたCMP法で前記配線溝以外の領域の前記バリアメタル層を除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】

半導体基板上に銅膜を主導体層とするデュアルダマシン配線を形成する半導体装置の製

造方法であつて、

- (a) 前記半導体基板上に形成された絶縁膜の所定の領域に接続孔および配線溝を形成する工程と、
- (b) 前記接続孔および配線溝の内部を含む前記半導体基板の全面にバリアメタル層を形成し、さらに前記接続孔および配線溝を埋め込む銅膜を形成する工程と、
- (c) 砥粒フリースラリを用いたC M P法で前記銅膜を研磨し、前記バリアメタル層で前記銅膜の研磨を止める工程と、
- (d) 直前混合された砥粒フリースラリとシリカスラリとを用いたC M P法で前記銅膜の研磨残りを除去する工程と、
- (e) シリカスラリを用いたC M P法で前記接続孔および配線溝以外の領域の前記バリアメタル層を除去する工程とを有することを特徴とする半導体装置の製造方法。