



Patent dodatkowy
do patentu nr _____

Zgłoszono: 24.02.75 (P. 178278)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 23.10.76

Opis patentowy opublikowano: 30.04.1979

CZYTELNIA

Urzędu Patentowego
Polskiej Rzeczypospolitej Ludowej

Int. Cl.² H03K 13/02

Twórca wynalazku: Jacek Gronowski

Uprawniony z patentu: Przemysłowy Instytut Telekomunikacji, War-
szawa (Polska)

Układ konwertera cyfrowo-analogowego

1

Przedmiotem wynalazku jest układ konwertera cyfrowo-analogowego o zwiększonej odporności na zmiany napięć zasilających.

W układach konwerterów cyfrowo-analogowych występują zagadnienia wytwarzania wzorcowych napięć odniesienia oraz odporności na zmiany napięć zasilających. Znane konwertery cyfrowo-analogowe zawierają w swej konstrukcji źródło napięcia wzorcowego, zespół kluczy analogowych oraz wzmacniacz wyjściowy.

Wysoka dokładność przetwarzania cyfrowo-analogowego wymaga stosowania precyzyjnych układów elektronicznych, w których poważnym problemem jest wpływ zmian napięć zasilających. Dla zasilania znanych konwerterów konieczne jest konstruowanie specjalnych zasilaczy stabilizowanych, których rozmiary ze względu na wymaganą dokładność i stabilność są bardzo duże. Znane konwertery cyfrowo-analogowe wykorzystują trzy napięcia zasilające o tolerancjach 0,5—2% każde.

Istota wynalazku polega na połączeniu układu wytwarzającego napięcie wzorcowe, łącznie z tranzystorowym układem kompensacji oraz układem kluczy analogowych tylko z jednym biegunem napięcia zasilającego jako poziomem odniesienia, zaś układu drabinki rezystorowej z masą układu, stanowiącego drugi poziom odniesienia, z którym drugostronnie jest połączony układ wytwarzający napięcie wzorcowe wraz z tranzystorowym układem kompensacji.

2

Jedno z wyjść układu wytwarzającego napięcie wzorcowe jest połączone z bazą tranzystora układu kompensacji, która z kolei jest połączona z wejściem układu kluczy analogowych, z którego 5 dostarczane są skompensowane temperaturowo prądy wzorcowe do drabinki rezystorowej, natomiast emiter tranzystora układu kompensacji jest połączony z wejściem odwracającym wzmacniacza układu napięcia wzorcowego.

10 Układ konwertera cyfrowo-analogowego według wynalazku jest uwidoczniony przykładowo na załączonym rysunku, na którym fig. 1 przedstawia zasadniczy układ konwertera, zaś na fig. 2 — 15 układ konwertera z układem przesuwania poziomu odniesienia i scalonym wzmacniaczem zawartym w układzie regulatora napięcia.

20 W układzie konwertera cyfrowo-analogowego według wynalazku scalony regulator napięcia 1, tranzystorowy układ kompensacji, w którym znajduje się tranzystor T1 z rezystorem R1 oraz układ kluczy analogowych 2 połączone są z jednej strony 25 tylko z jednym biegunem napięcia zasilania — U_z tworzącym jeden poziom odniesienia, podczas gdy z drugiej strony drabinka rezystorowa 3 jest połączona z masą całego układu tworzącą drugi poziom odniesienia, z którym jest połączony drugim zaciskiem zasilania scalony regulator napięcia 1 oraz kolektor tranzystora T1, układu kompensacji, natomiast emiter tego tranzystora jest połączony 30 z wejściem odwracającym wzmacniacza znajdują-

cego się w regulatorze 1. Wyjście tego wzmacniacza jest połączone poprzez rezystor **R5** z dodatkowym wejściem tego regulatora i bazę tranzystora **T1**, która z kolei jest połączona z układem kluczy analogowych 2, dostarczając do tego układu napięcie odniesienia. Wyjście układu kluczy analogowych 2 jest połączone z wejściem drabinki rezystorowej 3, do której z układu kluczy analogowych 2 dostarcza się wzorcowe prądy do skompensowaniu termicznych zmian napięcia U_{EB} tranzystorów zawartych w układzie tych kluczy przez zmianę napięcia doprowadzanego z bazy tranzystora **T1**. Wyjście układu drabinki 3 stanowi wyjście układu konwertera.

W celu zwiększenia poziomu sygnałów wyjściowych pomiędzy jedno z wyjść drabinki rezystorowej 3 a biegun napięcia $-U_z$ włączony jest układ przesuwania poziomu odniesienia fig. 2, składający się z pierwszego tranzystora **T2** i rezystora **R2** połączonych wspólnym punktem z wejściem nieodwracającym wzmacniacza zawartego w drugim scalonym regulatorze napięcia 4, którego jeden zacisk jest połączony z ujemnym biegunem napięcia zasilania $-U_z$, podczas gdy jego drugi zacisk połączony jest z dodatnim biegunem źródła zasilania $+U_z$, zaś wyjście wzmacniacza drugiego scalonego regulatora napięcia 4 jest połączone z wyjściem układu, do którego to wyjścia jest dołączone wyjście drabinki 3 poprzez rezystor **R4** oraz wejście odwracające tego wzmacniacza, które jest ponadto połączone z kolektorem drugiego tranzystora **T3** układu przesuwania poziomu napięcia poprzez rezystory **R3** i **R4**.

Przez połączenie wyjścia układu źródła napięcia odniesienia z jego wejściem poprzez złącze emiter-baza tranzystora **T1** układu kompensacji o parametrach takich samych jak tranzystory stosowane w układzie kluczy 2 uzyskuje się napięcie wzorcowe uwzględniające zmiany napięcia U_{EB} tranzystorów pod wpływem temperatury otoczenia i dzięki temu prądy wytwarzane w układzie kluczy analogowych 2 nie zmieniają swej wartości pod wpływem zmiany temperatury otoczenia. Wyjście konwertera stanowi wyjście drabinki rezystorowej 3 połączonej swymi wejściami z wyjściami układu kluczy analogowych 2 dostarczającymi poprzednio omówione prądy. Ponieważ wytwarzane w układzie kluczy analogowych 2 prądy nie zależą od napięcia występującego na zaciskach wyjściowych drabinki rezystorowej 3, napięcie wyjściowe konwertera zależy tylko od prądów dostarczanych z układu kluczy analogowych 2, natomiast nie zależy od wahań napięcia występujących pomiędzy przewodami zasilania.

Zastrzeżenia patentowe

1. Układ konwertera cyfrowo-analogowego składającego się ze źródła napięcia odniesienia, zespołu kluczy analogowych i drabinki rezystorowej **znamienny tym**, że scalony regulator napięcia (1), tranzystorowy układ kompensacji, w którym znajduje się tranzystor (**T1**) z rezystorem (**R1**) oraz układ kluczy analogowych (2) połączone są z jednej strony tylko z jednym biegunem napięcia zasilania ($-U_z$) tworzącym jeden poziom odniesienia, podczas gdy drabinka rezystorowa (3) jest połączona z masą całego układu tworzącą drugi poziom odniesienia, z którym jest połączony drugim zaciskiem scalony regulator napięcia (1) oraz kolektor tranzystora (**T1**) układu kompensacyjnego natomiast emiter tego tranzystora jest połączony z wejściem odwracającym wzmacniacza znajdującego się w scalonym regulatorze napięcia (1), zaś wyjście tego wzmacniacza połączone jest poprzez rezystor (**R5**) z jego dodatkowym wejściem i bazą tranzystora (**T1**) układu kompensacji, która z kolei jest połączona z układem kluczy analogowych (2), dostarczając do tego układu napięcie odniesienia, przy czym wyjście układu kluczy analogowych (2) jest połączone z wejściem drabinki rezystorowej (3), do której z układu kluczy analogowych (2) po skompensowaniu termicznych zmian napięcia U_{EB} tranzystorów zawartych w układzie tych kluczy przez zmianę napięcia doprowadzanego z bazy tranzystora (**T1**) układu kompensacji dostarcza do tej drabinki wzorcowych prądów, wyjście której to drabinki stanowi wyjście układu konwertera.

2. Układ, według zastrz. 1, **znamienny tym**, że pomiędzy jedno z wyjść drabinki rezystorowej (3), a jeden biegun napięcia ($-U_z$) włączony jest układ przesuwania poziomu odniesienia składający się z pierwszego tranzystora (**T2**) i rezystora (**R2**) połączonych wspólnym punktem z wejściem nieodwracającym wzmacniacza zawartego w drugim scalonym regulatorze napięcia (4), którego jeden zacisk jest połączony z ujemnym biegunem napięcia zasilania ($-U_z$), podczas gdy jego drugi zacisk połączony jest z dodatnim biegunem źródła zasilania ($+U_z$), zaś wyjście wzmacniacza drugiego scalonego regulatora napięcia (4) jest połączone z wyjściem układu, do którego to wyjścia jest połączone wyjście drabinki rezystorowej (3) poprzez rezystor (**R4**) oraz wejście odwracające wzmacniacza drugiego scalonego regulatora napięcia (4), które jest jednocześnie połączone z kolektorem drugiego tranzystora (**T3**) układu przesuwania poziomu napięcia odniesienia poprzez rezystory (**R3**) i (**R4**).

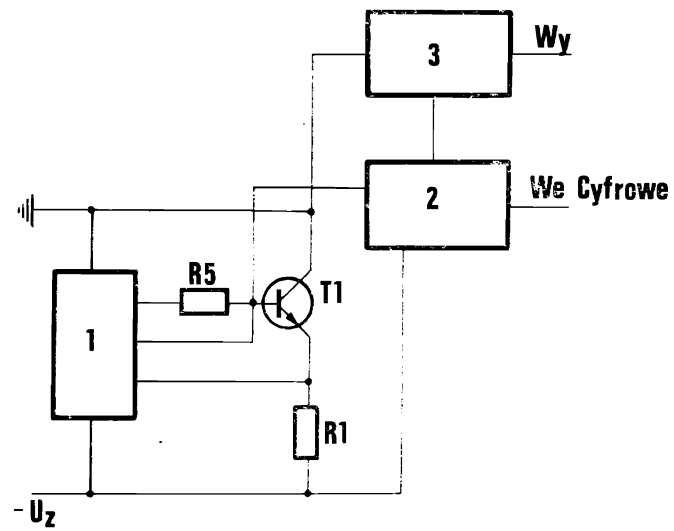


Fig. 1

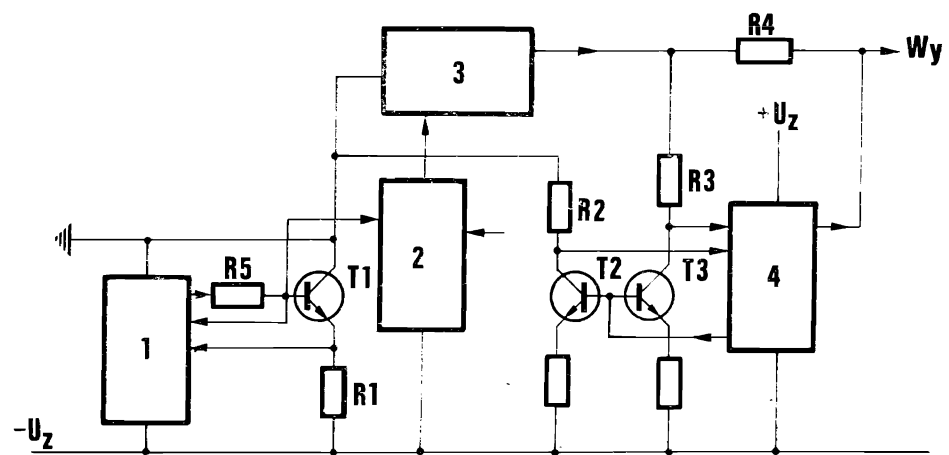


Fig. 2