



República Federativa do Brasil
Ministério da Economia
Instituto Nacional da Propriedade Industrial

(11) BR 112014011806-0 B1



(22) Data do Depósito: 16/11/2012

(45) Data de Concessão: 26/01/2021

(54) Título: MEMÓRIA CONFIGURADA PARA PROVER ACESSO DE LEITURA/GRAVAÇÃO SIMULTÂNEA PARA MÚLTIPLOS BANCOS

(51) Int.Cl.: G06F 13/16.

(30) Prioridade Unionista: 16/11/2011 US 13/297,771.

(73) Titular(es): QUALCOMM INCORPORATED.

(72) Inventor(es): ESIN TERZIOGLU; DONGKYU PARK.

(86) Pedido PCT: PCT US2012065658 de 16/11/2012

(87) Publicação PCT: WO 2013/075013 de 23/05/2013

(85) Data do Início da Fase Nacional: 16/05/2014

(57) Resumo: MEMÓRIA CONFIGURADA PARA PROVER ACESSO DE LEITURA / GRAVAÇÃO SIMULTÂNEA PARA MÚLTIPLOS BANCOS. A memória inclui, pelo menos, primeiro e segundo bancos de elementos de memória de única porta, um primeiro controlador local adaptado para enviar instruções de leitura e gravação para o primeiro banco de memória, e um segundo controlador local adaptado para enviar instruções de leitura e gravação para o segundo banco de memória. Um controlador global está configurado para receber os primeiro e segundo endereços de memória e uma primeira indicação de uma operação a ser realizada no primeiro endereço de memória e uma segunda indicação de uma operação a ser realizada no segundo endereço de memória e para instruir o primeiro controlador local a executar a primeira operação indicada no primeiro endereço de memória e para instruir o segundo controlador local a executar a segunda operação indicada no segundo endereço de memória ao mesmo tempo.

**"MEMÓRIA CONFIGURADA PARA PROVER ACESSO DE LEITURA /
GRAVAÇÃO SIMULTÂNEA PARA MÚLTIPLOS BANCOS"**

Campo de Divulgação

[0001] O presente pedido de patente refere-se a uma memória de computador que permite acesso de leitura e gravação simultânea a diferentes bancos de uma memória de multibanco e um método de prover tal acesso, e, mais especificamente, a uma memória de computador que permite acesso de leitura e gravação simultânea a diferentes bancos de uma memória de multibanco enviando uma instrução que inclui uma localização de memória e uma indicação de uma operação a ser realizada na localização de memória e em direção a um método de prover tal acesso.

Fundamentos

[0002] Memória de única porta convencional geralmente inclui um único conjunto de endereços e um único controle. Por conseguinte, apenas pode ser acessada por um dispositivo de cada vez - uma única operação de leitura ou de uma única operação de gravação pode ser realizada, mas ambos os tipos de operação não podem ser realizados ao mesmo tempo.

[0003] Quando é desejável prover acesso de leitura e gravação simultânea a uma memória, pode ser utilizada uma memória de duas portas ou multiporta. Por exemplo, um acesso de leitura pode ser feito por meio de uma porta da memória, enquanto um acesso de gravação é feito através da outra porta. Memórias de duas portas ou multiporta convencionais, no entanto, geralmente incluem mais transistores do que as memórias de única porta e, portanto, ocupam mais espaço em um chip de memória de única porta. Quando não é necessário o acesso do mesmo local (ou quando ele pode ser proibido), memórias separadas podem ser usadas; no entanto, existe também uma área de grande

penalidade associada com o uso de memórias separadas uma vez que muitos dos circuitos periféricos para uma das memórias são duplicados para a outra memória. A necessidade de acesso de leitura e gravação simultânea deve, portanto, ser equilibrada contra a penalidade de espaço incorrida, e as memórias dual ou multiporta são geralmente selecionadas apenas quando a necessidade de acesso simultâneo supera a área e penalidades de fuga que lhe estão associadas. Por isso, seria desejável prover uma memória tendo de leitura e gravação simultâneas que melhore a memória dual ou multiportas convencional.

SUMÁRIO

[0004] Uma modalidade exemplar da presente invenção compreende um método que inclui prover uma memória de multibanco tendo pelo menos primeiro e segundo bancos de memória, em que cada um dos primeiro e segundo bancos de memória incluem uma pluralidade de elementos de memória de única porta, e prover primeiro e segundo controladores locais para controlar as operações de leitura e gravação para os primeiro e segundo bancos de memória. O método também inclui prover um controlador global para enviar instruções de leitura e gravação para os primeiro e segundo controladores locais e enviar uma instrução de leitura para o primeiro controlador local e enviar uma instrução de gravação para o segundo controlador local ao mesmo tempo.

[0005] Outra modalidade inclui uma memória tendo, pelo menos primeiro e segundo bancos de elementos de memória de única porta, um primeiro controlador local adaptado para enviar instruções de leitura e gravação para o primeiro banco de memória, um segundo controlador local adaptado para enviar instruções de leitura e gravação para o segundo banco de memória, e um controlador global em comunicação com o primeiro e o segundo controladores

locais. O controlador global está configurado para receber os primeiro e segundo endereços de memória e uma primeira indicação de uma operação a ser realizada no primeiro endereço de memória e uma segunda indicação de uma operação a ser realizada no segundo endereço de memória e para instruir o primeiro controlador local a executar a primeira operação indicada no primeiro endereço de memória e para instruir o segundo controlador local a executar a segunda operação indicada no segundo endereço de memória ao mesmo tempo.

[0006] Uma outra modalidade compreende um método que inclui prover uma memória de multibanco tendo pelo menos primeiro e segundo bancos de memória, prover pelo menos primeiro e segundo controladores locais adaptados para controlar as operações de leitura e gravação nos pelo menos primeiro e segundo bancos de memória, e prover um controlador global em comunicação com, pelo menos os primeiro e segundo controladores locais. O método também inclui prover o controlador global com uma primeira instrução que compreende um primeiro endereço de memória e uma primeira operação a ser realizada pelo primeiro endereço de memória e uma segunda instrução compreendendo um segundo endereço de memória e uma segunda operação a ser realizada no segundo endereço de memória. O controlador global instrui o primeiro controlador local a realizar a primeira operação no primeiro endereço de memória e o segundo controlador local a realizar a segunda operação no segundo endereço de memória.

[0007] Ainda uma outra modalidade compreende um dispositivo que inclui uma memória de multibanco tendo, pelo menos primeiro e segundo bancos de memória e, pelo menos primeiro e segundo controladores locais adaptados para controlar as operações de leitura e gravação nos pelo

menos primeiro e segundo bancos de memória. O dispositivo também inclui um controlador global em comunicação com, pelo menos os primeiro e segundo controladores locais, e o controlador global está configurado para receber uma primeira instrução que compreende um primeiro endereço de memória e uma primeira operação a ser realizada pelo primeiro endereço de memória e uma segunda instrução compreendendo um segundo endereço de memória e uma segunda operação a ser realizada no segundo endereço de memória. O controlador global também está configurado para instruir o primeiro controlador local a realizar a primeira operação no primeiro endereço de memória e para instruir o segundo controlador local a realizar a segunda operação no segundo endereço de memória.

[0008] Uma outra modalidade compreende uma memória tendo um arranjo de elemento de memória, um arranjo de controlador local adaptado para enviar instruções de leitura e gravação para o arranjo de elemento de memória, e uma disposição de controlador global em comunicação com o dispositivo de controlador local. O arranjo de controlador global é configurado para receber os primeiro e segundo endereços de memória e uma primeira indicação de uma operação a ser realizada em um primeiro endereços de memória e uma segunda indicação de uma operação a ser realizada em um segundo endereço de memória e para instruir o arranjo de controlador local a realizar a primeira operação indicada no primeiro endereço de memória e a segunda operação indicada no segundo endereço de memória ao mesmo tempo.

[0009] Uma outra modalidade compreende um método que inclui as etapas de prover uma memória de multibanco tendo pelo menos primeiro e segundo bancos de memória, cada um dos primeiro e segundo bancos de memória compreendendo

uma pluralidade de elementos de memória de única porta, e as etapas para prover primeiro e segundo controladores locais para controlar as operações de leitura e gravação para os pelo menos primeiro e segundo bancos de memória. O método também inclui as etapas de prover um controlador global para o envio de instruções de leitura e gravação para os primeiro e segundo controladores locais e as etapas de enviar uma instrução de leitura para o primeiro controlador local e enviar uma instrução de gravação para o segundo controlador local ao mesmo tempo.

BREVE DESCRIÇÃO DOS DESENHOS

[0010] Os desenhos anexos são apresentados para auxiliar na descrição de modalidades da invenção e são providos apenas para ilustração de modalidades e não como limitação das mesmas.

[0011] A figura 1 é um diagrama esquemático que ilustra um circuito de memória de acordo com uma primeira modalidade.

[0012] A figura 2 é um diagrama esquemático que ilustra um circuito de memória de acordo com uma segunda modalidade.

[0013] A figura 3 é uma representação esquemática de duas instruções a serem processadas pela memória da figura 1 ou figura 2

[0014] A figura 4 é um fluxograma que ilustra um método de acordo com uma modalidade.

[0015] A figura 5 é um fluxograma que ilustra um método de acordo com uma outra modalidade.

DESCRIÇÃO DETALHADA

[0016] Aspectos da invenção são divulgados na seguinte descrição e os desenhos relacionados direcionados a modalidades específicas da invenção. Modalidades alternativas podem ser projetadas sem se afastar do âmbito

da invenção. Além disso, os elementos bem conhecidos da invenção não serão descritos em detalhes ou podem ser omitidos, de modo a não obscurecer os dados relevantes da invenção.

[0017] A palavra "exemplar" é usada aqui para significar "servir como um exemplo, caso ou ilustração". Qualquer modalidade aqui descrita como "exemplar" não deve necessariamente ser interpretada como preferida ou vantajosa sobre outras modalidades. Da mesma forma, o termo "modalidades da invenção" não exige que todas as modalidades da invenção incluam a funcionalidade discutida, vantagem ou o modo de operação.

[0018] A terminologia utilizada aqui é para o propósito de descrever modalidades particulares e não se pretende que seja limitativa de modalidades da invenção. Tal como aqui utilizado, as formas singulares "um/uma" e "o/a" pretendem incluir as formas de plural, bem como, a menos que o contexto indique claramente o contrário. Será adicionalmente compreendido que os termos "compreende", "compreendendo", "inclui" e/ou "incluindo", quando aqui utilizados, especificam a presença de aspectos estabelecidos, números inteiros, etapas, operações, elementos, e/ou componentes, mas não excluem a presença ou a adição de uma ou mais outras características, números inteiros, etapas, operações, elementos, componentes e/ou grupos dos mesmos.

[0019] Além disso, muitas modalidades são descritas em termos de sequências de ações a ser realizadas, por exemplo, os elementos de um dispositivo de computação. Será reconhecido que diversas ações aqui descritas podem ser realizadas por circuitos específicos (por exemplo, circuitos integrados de aplicação específica (ASICs)), por instruções de programa sendo realizadas por

um ou mais processadores, ou por uma combinação de ambos. Além disso, esta sequência de ações descritas aqui pode ser considerada para ser realizada inteiramente dentro de qualquer forma de meio de armazenamento legível por computador tendo armazenado no seu interior um conjunto correspondente de instruções de computador que, após a execução fariam com que um processador associado executasse a funcionalidade aqui descrita. Assim, os vários aspectos da invenção podem ser incorporados em um número de diferentes formas, as quais têm sido contempladas como estando dentro do âmbito da matéria reivindicada. Além disso, para cada uma das modalidades aqui descritas, a forma correspondente de tais modalidades pode ser aqui descrita como, por exemplo, "lógica configurada para" executar a ação descrita.

[0020] A figura 1 ilustra uma memória de multibanco 100 de acordo com uma primeira modalidade que inclui um primeiro banco de memória 102, um segundo banco de memória 104, um terceiro banco de memória 106 e um quarto banco de memória 108, sendo entendido que modalidades com mais ou menos bancos de memória, também estão dentro do âmbito desta divulgação. Cada um dos primeiro ao quarto bancos de memória 102, 104, 106, 108, inclui uma linha de texto e conjunto de circuitos de leitura / gravação associado que permite que as operações de leitura e gravação sejam realizadas no banco de memória. O circuito de leitura / gravação inclui, por exemplo, um amplificador de detecção (não ilustrado) e um controlador de gravação (não ilustrado). Especificamente, o primeiro banco de memória 102 inclui uma linha de palavra 110 e conjunto de circuitos de leitura / gravação 112, o segundo banco de memória 104 inclui uma linha de palavra 114 e conjunto de circuitos de leitura / gravação 116, o terceiro

banco de memória 106 inclui uma linha de palavra 118 e conjunto de circuitos de leitura / gravação 120, e o quarto banco de memória 108 inclui uma linha de palavra 122 e conjunto de circuitos de leitura / gravação 124. Um controlador local está também associado a cada um dos primeiro ao quarto bancos de memória 102, 104, 106, 108. Especificamente, o primeiro banco de memória 102 inclui um primeiro controlador local 126, o segundo banco de memória 104 inclui um segundo controlador local 128, o terceiro banco de memória 106 inclui um terceiro controlador local 130 e o quarto banco de memória 108 inclui um quarto controlador local 132. O primeiro conjunto de circuitos IO 134 está associado com os elementos de memória em uma primeira coluna de memória 136, e o segundo conjunto de circuitos de IO 138 está associado com os elementos de memória em uma segunda coluna de memória 140, e o primeiro e segundo conjunto de circuitos de IO 134, 138, permitem que os dados sejam gravados e lidos no elemento de memórias na primeira coluna de memória 136 e segunda coluna de memória 140, respectivamente.

[0021] Um controlador global 142 está configurado para receber pares de instruções, cada instrução, incluindo uma indicação de uma operação a ser realizada e uma identificação de um endereço de memória em que a instrução deve ser realizada. A indicação, por exemplo, pode compreender uma parte do endereço de memória recebido e/ou ser transmitida em simultâneo com o endereço de memória. A figura 2 ilustra as primeira e segunda instruções, representativas, 144, 146, cada uma das quais inclui uma primeira porção 148 identificando uma operação a ser realizada, e uma segunda porção 150 identificando um endereço de memória em que a operação deve ser realizada. A primeira porção 148 da primeira instrução 144 inclui um "w"

para "gravação", e a segunda porção 150 da primeira instrução 144 inclui um endereço de memória para ser gravados. Neste exemplo, o "1" no endereço indica que o elemento de memória para ser acessado está no primeiro banco de memória 102 e o "5" identifica o elemento de memória. A primeira porção 148 da segunda instrução 146 inclui um "r" para "leitura", e a segunda porção 150 da segunda instrução 146 inclui um endereço de memória a ser lido. Neste exemplo, o "2" no endereço indica que o elemento de memória para ser acessado está no segundo banco de memória 104, e que um local de "8" deve ser acessado. Enquanto o "r" e "w" forem usados para indicar "leitura" e "gravação", respectivamente, a porção de identificação da instrução provavelmente será um valor numérico que pode ser interpretado pelo controlador global 142 ou como uma instrução de leitura ou gravação. Da mesma forma, os endereços de memória nas segundas porções 150 das primeira e segunda instruções 144, 146 irão ser providas de uma forma que pode seja facilmente processada pelo controlador global.

[0022] A memória de multibanco 100 inclui percursos de leitura e gravação separados e, portanto, pode realizar operações de leitura e gravação ao mesmo tempo, desde que as operações sejam realizadas em bancos diferentes dos primeiro ao quarto bancos de memória 102, 104, 106, 108. O controlador global 142 está configurado para enviar duas instruções para dois diferentes controladores dos primeiro ao quarto controladores locais 126, 128, 130, 132, ao mesmo tempo, e, desde que uma operação seja uma operação de leitura e a outra seja uma operação de gravação, as operações podem ser executadas simultaneamente sem qualquer interferência nos percursos de dados de saída. Elementos de memória dual e multiporta

permitted o acesso simultâneo a um determinado elemento de memória, mas são mais complexos e ocupam mais espaço. Nos casos em que o acesso simultâneo ao mesmo elemento de memória não é necessário, muitos dos benefícios da memória de acesso duplo e multiportas podem ser obtidos utilizando os elementos de memória de única porta e a presente divulgação. Tal como aqui utilizado, "simultaneamente", "concomitantemente", e "ao mesmo tempo" significa que as operações de leitura e gravação ocorrem ao mesmo tempo. Essas operações, no entanto, podem, mas não necessariamente têm que, iniciar ou terminar precisamente no mesmo instante. Com efeito, em função da memória, as diferentes quantidades de tempo são geralmente necessárias para que as operações de leitura e gravação ocorram, e mesmo se começadas aproximadamente ao mesmo tempo, uma destas operações irá geralmente terminar antes da outra.

[0023] É desejável que o sistema de acesso à memória de multibanco 100 seja configurado para evitar o envio de solicitações de acesso de memória conflitantes para a memória de multibanco 100. Ou seja, o sistema deve garantir que os pares de solicitações de acesso de leitura e gravação que são enviados para a memória de multibanco 100 sejam sempre dirigidos para bancos diferentes dos primeiro ao quarto bancos de memória 102, 104, 106, 108. A memória de multibanco 100 pode ser configurada, no entanto, para lidar com situações em que duas instruções recebidas são ou duas instruções de leitura ou duas instruções de gravação ou instruções para leitura e/ou gravação no mesmo banco de memória. Em tal caso, o controlador global 142 pode ser configurado para dar prioridade a uma das instruções sobre a outra ou ignorar ambas as instruções para e, assim, evitar o conflito.

[0024] Como observado anteriormente, instruções de leitura e gravação para um determinado dispositivo de memória normalmente requerem diferentes quantidades de tempo para executar. Para fins de discussão, admite-se que a realização de uma operação de gravação na memória de multibanco 100 requer mais tempo do que a execução de uma operação de leitura. No entanto, para outras memórias, um acesso de leitura pode demorar mais tempo do que um acesso de gravação. Para ajudar a garantir que o controlador global 142 não comece uma outra operação de leitura ou gravação antes de uma operação atual ser concluída, o controlador global 142 inclui um temporizador de gravação 152. O temporizador de gravação 152 controla o intervalo em que o controlador global 142 envia instruções para o primeiro ao quarto controladores locais 126, 128, 130, 132 e não permite que instruções de leitura e gravação sejam enviadas até que o temporizador de gravação 152 expire indicando que um tempo predeterminado passou. Porque nesta modalidade as operações de gravação são assumidas a exigir mais tempo do que as operações de leitura, as operações de leitura necessariamente têm terminado no momento em que o temporizador de gravação 152 expira. A memória de multibanco 100 é, assim, um elemento de memória autotemporizado que não é dependente de um relógio do sistema para determinar o tempo de acesso à memória.

[0025] Em operação, a primeira instrução 144 e a segunda instrução 146 são recebidas no controlador global 142. A primeira instrução 144 inclui um "r" e um endereço, no primeiro banco de memória 102. A segunda instrução inclui um "w" e um endereço no segundo banco de memória 104. O controlador global 142 assim, envia uma instrução para o primeiro controlador local 126, no primeiro banco de memória 102 para executar uma operação de leitura na

localização de memória indicada e, substancialmente, simultaneamente, envia uma instrução de gravação para o segundo controlador local 128 do segundo banco de memória 104 para executar uma operação de gravação no local indicado. A leitura e gravação efetiva dos dados é realizada de uma maneira convencional, apesar de ao contrário de memórias convencionais ser realizada ao mesmo tempo ou substancialmente ao mesmo tempo em dois bancos de memória diferentes. Quando o temporizador expira gravação 152, um segundo par de endereços de memória é recebido pelo controlador global de 142 e o processo continua.

[0026] Uma segunda modalidade está ilustrada na Figura 3, na qual os elementos comuns com a primeira modalidade são identificados com números de referência semelhantes. Na Figura 3, o controlador global 142 inclui um temporizador de leitura 302 além do temporizador de gravação 152 da primeira modalidade. O temporizador de leitura 302 permite que a memória 100 determine de forma independente quando operações de leitura e gravação finalizam e, assim, tomam as medidas apropriadas com base nos tempos de terminação reais. Por exemplo, se for determinado usando o temporizador de leitura 302 que uma operação de leitura terminou, pode ser possível começar a pré-carga apropriada de uma linha de bit de leitura, sem esperar que a operação de gravação se complete.

[0027] A memória 100 provê, assim, a vantagem de permitir operações de leitura e gravação simultâneas para diferentes bancos de memória de uma memória de multibanco, que é formada por elementos de memória de única porta. Isto proporciona muitos dos benefícios de memória dupla ou multiporta e permite as operações leitura e gravação simultâneas enquanto operações simultâneas sobre o mesmo banco de memória são impedidas.

[0028] Memórias de acordo com especificações divulgadas podem ser formadas ou integradas em uma ou mais matrizes semicondutoras e/ou em vários dispositivos, incluindo, sem limitação, uma set top box, um leitor de música, leitor de vídeo, uma unidade de entretenimento, dispositivo de navegação, um dispositivo de comunicação, um assistente pessoal digital (PDA), uma unidade de dados de localização fixa, e um computador.

[0029] Um método de acordo com uma modalidade é ilustrado na Figura 4 e inclui um bloco 400 para prover uma memória de multibanco tendo pelo menos primeiro e segundo bancos de memória, um bloco 402 para prover pelo menos primeiro e segundo controladores locais adaptados para controlar operações de leitura e gravação nos pelo menos primeiro e segundo bancos de memória, um bloco 404 para prover um controlador global em comunicação com, pelo menos os primeiro e segundo controladores locais, um bloco 406 para prover o controlador global com uma primeira instrução que compreende um primeiro endereço de memória e uma primeira operação a ser realizada pelo primeiro endereço de memória, o bloco 408 para prover o controlador global com uma segunda instrução compreendendo um segundo endereço de memória e uma segunda operação a ser realizada no segundo endereço de memória, e um bloco 410 de controlador global instruindo o primeiro controlador local a realizar a primeira operação no primeiro endereço de memória e instruindo o segundo controlador local a realizar a segunda operação no segundo endereço de memória.

[0030] Um outro método de acordo com uma modalidade adicional é ilustrado na Figura 6 e inclui um bloco 500 para prover uma memória de multibanco com os pelo menos primeiro e segundo bancos de memória, cada um dos primeiro e segundo bancos de memória compreendendo uma

pluralidade de elementos de memória de única porta, um bloco 502 para prover os primeiro e segundo controladores locais para controlar as operações de leitura e gravação para os pelo menos primeiro e segundo bancos de memória, um bloco 504 para prover um controlador global para o envio de instruções de leitura e gravação para os primeiro e segundo controladores locais, e um bloco 506 para enviar uma instrução de leitura para o primeiro controlador local e enviar uma instrução de gravação para o segundo controlador local ao mesmo tempo.

[0031] Os versados na técnica apreciarão que a informação e os sinais podem ser representados utilizando qualquer de uma variedade de diferentes tecnologias e técnicas. Por exemplo, dados, comandos, instruções, informações, sinais, bits, símbolos, e chips que podem ser referenciados em toda a descrição acima e podem ser representado por tensões, correntes, ondas eletromagnéticas, campos magnéticos ou partículas, campos ópticos ou partículas, ou qualquer combinação dos mesmos.

[0032] Além disso, os versados na técnica apreciarão que os vários blocos lógicos ilustrativos, módulos, circuitos, e etapas de algoritmo descritos em ligação com as modalidades aqui divulgadas podem ser implementados como hardware eletrônico, software de computador, ou combinações de ambos. Para ilustrar claramente esta permutabilidade de hardware e software, vários componentes ilustrativos, blocos, módulos, circuitos, e etapas foram descritos acima, geralmente em termos da sua funcionalidade. Se tal funcionalidade é implementada como hardware ou software depende da aplicação particular e restrições de projeto impostas ao sistema global. Os versados na técnica podem implementar a funcionalidade descrita em diferentes maneiras para cada

aplicação em particular, mas tais decisões de execução não devem ser interpretadas como causa de afastamento do âmbito da presente invenção.

[0033] Os métodos, as sequências e/ou os algoritmos descritos em ligação com as modalidades aqui descritas podem ser realizados diretamente em hardware, em um módulo de software executado por um processador, ou em uma combinação dos dois. Um módulo de software pode residir na memória RAM, memória flash, memória ROM, memória EPROM, EEPROM, registradores, disco rígido, um disco amovível, um CD-ROM, ou qualquer outra forma de meio de armazenamento conhecido na técnica. Um meio de armazenamento exemplar é acoplado ao processador de modo que o processador pode ler informação do, e gravar informação no meio de armazenamento. Em alternativa, o meio de armazenamento pode ser integral ao processador.

[0034] Embora a descrição anterior mostre modalidades ilustrativas da invenção, deve ser notado que várias alterações e modificações podem ser aqui feitas sem se afastar do âmbito da invenção como definido pelas reivindicações anexas. As funções, as etapas e/ou ações das reivindicações de método, de acordo com as modalidades da invenção aqui descritas não precisam ser realizadas em qualquer ordem particular. Além disso, embora os elementos da invenção possam ser descritos ou reivindicados no singular, o plural, a menos que seja contemplada limitação ao singular, é explicitamente declarado.

REIVINDICAÇÕES

1. Método **caracterizado pelo** fato de que compreende:

prover (400) uma memória multibanco (100) tendo pelo menos primeiro e segundo bancos de memória (102, 104);

prover (402) pelo menos primeiro e segundo controladores locais (126, 128) adaptados para controlar operações de leitura e gravação nos pelo menos primeiro e segundo bancos de memória (102, 104);

prover (404) um controlador global (142) em comunicação com os pelo menos primeiro e segundo controladores locais (126, 128);

prover (406) o controlador global (142) com uma primeira instrução (144) que compreende um primeiro endereço de memória e uma primeira operação a ser realizada no primeiro endereço de memória;

prover (408) o controlador global (142) com uma segunda instrução (146) compreendendo um segundo endereço de memória e uma segunda operação a ser realizada no segundo endereço de memória;

instruir (410), usando o controlador global (142), o primeiro controlador local a realizar a primeira operação no primeiro endereço de memória e instruir o segundo controlador local a realizar a segunda operação no segundo endereço de memória; e

controlar, usando um temporizador (152, 302) no controlador global (142), um intervalo no qual o controlador global (142) envia as primeira e segunda instruções para os primeiro e segundo controladores locais (126, 128).

2. Método, de acordo com a reivindicação 1, **caracterizado pelo** fato de que o controlador global (142) instrui o segundo controlador local a realizar a segunda

operação no segundo endereço de memória antes que a primeira operação tenha terminado.

3. Método, de acordo com a reivindicação 1, **caracterizado pelo** fato de que o controlador global (142) instrui o primeiro controlador local a realizar a primeira operação no primeiro endereço de memória e o segundo controlador local a realizar a segunda operação no segundo endereço de memória ao mesmo tempo.

4. Método, de acordo com a reivindicação 3, **caracterizado pelo** fato de que compreende adicionalmente prover percursos de leitura e gravação separados para cada um dos pelo menos primeiro e segundo bancos de memória (102, 104).

5. Método, de acordo com a reivindicação 3, **caracterizado pelo** fato de que os primeiro e segundo bancos de memória (102, 104) compreendem, cada um, uma pluralidade de elementos de memória de única porta.

6. Método, de acordo com a reivindicação 3, **caracterizado pelo** fato de que a segunda operação é diferente da primeira operação.

7. Método, de acordo com a reivindicação 6, **caracterizado pelo** fato de que a primeira operação compreende uma dentre uma operação de leitura e uma operação de gravação e em que a segunda operação compreende a outra dentre a operação de leitura e a operação de gravação.

8. Método, de acordo com a reivindicação 7, **caracterizado pelo** fato de que compreende adicionalmente impedir que o controlador global (142) instrua o primeiro controlador local a realizar a primeira operação, caso uma operação de leitura anterior ou uma operação de gravação anterior ainda esteja em progresso.

9. Método, de acordo com a reivindicação 7, **caracterizado pelo** fato de que compreende adicionalmente determinar se um tempo predeterminado transcorreu desde o envio da primeira instrução (144) para o primeiro controlador local antes de enviar uma instrução subsequente ao primeiro controlador local.

10. Método, de acordo com a reivindicação 1, **caracterizado pelo** fato de que compreende adicionalmente integrar a memória multibanco (100) em pelo menos uma pastilha semicondutora.

11. Método, de acordo com a reivindicação 1, **caracterizado pelo** fato de que compreende adicionalmente integrar a memória multibanco (100) em um dispositivo selecionado a partir do grupo que consiste em um conversor, um reprodutor de música, um reprodutor de vídeo, uma unidade de entretenimento, um dispositivo de navegação, um dispositivo de comunicação, um assistente pessoal digital (PDA), uma unidade de dados de localização fixa e um computador.

12. Memória **caracterizada pelo** fato de que compreende:

meios de elemento de memória;

meios de controlador global (142) adaptado para enviar instruções de leitura e gravação para os meios de elemento de memória;

meios de controlador global (142) em comunicação com os meios do controlador local;

em que os meios de controlador global (142) são configurados para receber primeiro e segundo endereços de memória e uma primeira indicação de uma operação a ser realizada em um primeiro endereço de memória nos meios de elemento de memória e uma segunda indicação de uma operação a ser realizada em um segundo endereço de memória nos meios

de elemento de memória e para instruir os meios de controlador local a realizarem a primeira operação indicada no primeiro endereço de memória e a segunda operação indicada no segundo endereço de memória ao mesmo tempo; e

um temporizador (152, 302) nos meios de controlador global (142), em que o temporizador (152, 302) é configurado para controlar um intervalo no qual os meios de controlador global (142) enviam instruções para os primeiro e segundo controladores locais (126, 128).

13. Memória, de acordo com a reivindicação 12, **caracterizada pelo** fato de que os meios de elemento de memória compreendem primeiros meios de banco de memória e segundos meios de banco de memória e em que o meios de controlador local compreendem primeiros meios de controlador local e segundos meios de controlador local, e em que o primeiro endereço de memória está localizado nos primeiros meios de banco de memória e o segundo endereço de memória está localizado nos segundos meios de banco de memória, e em que a primeira operação indicada é diferente da segunda operação indicada.

14. Memória, de acordo com a reivindicação 13, **caracterizada pelo** fato de que a primeira operação indicada compreende uma operação de leitura e a segunda operação indicada compreende uma operação de gravação, e em que os primeiros meios de controlador local executam a operação de leitura, enquanto os segundos meios de controlador local executam a operação de gravação.

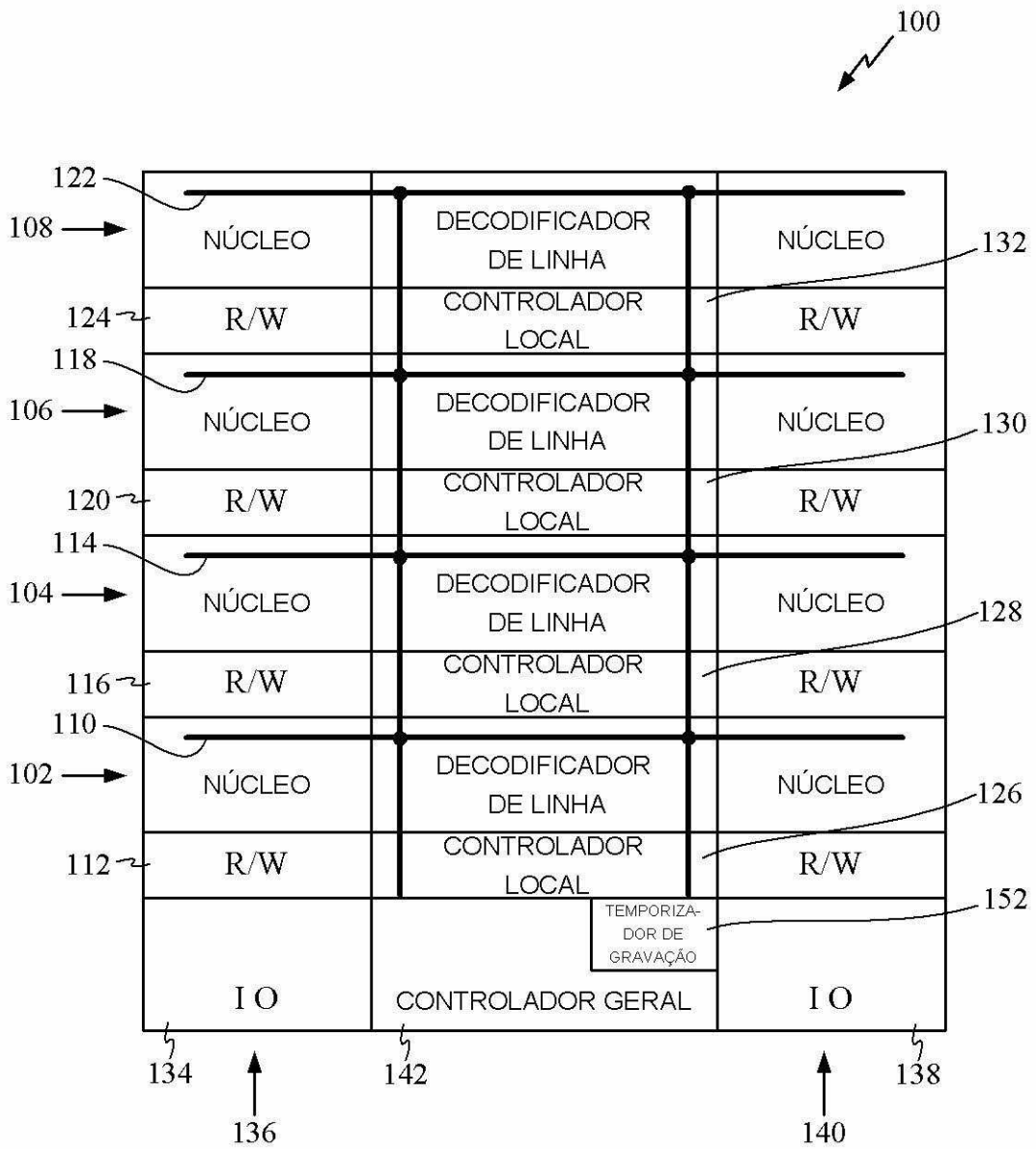


FIG. 1

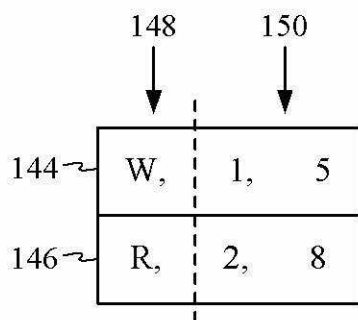


FIG. 2

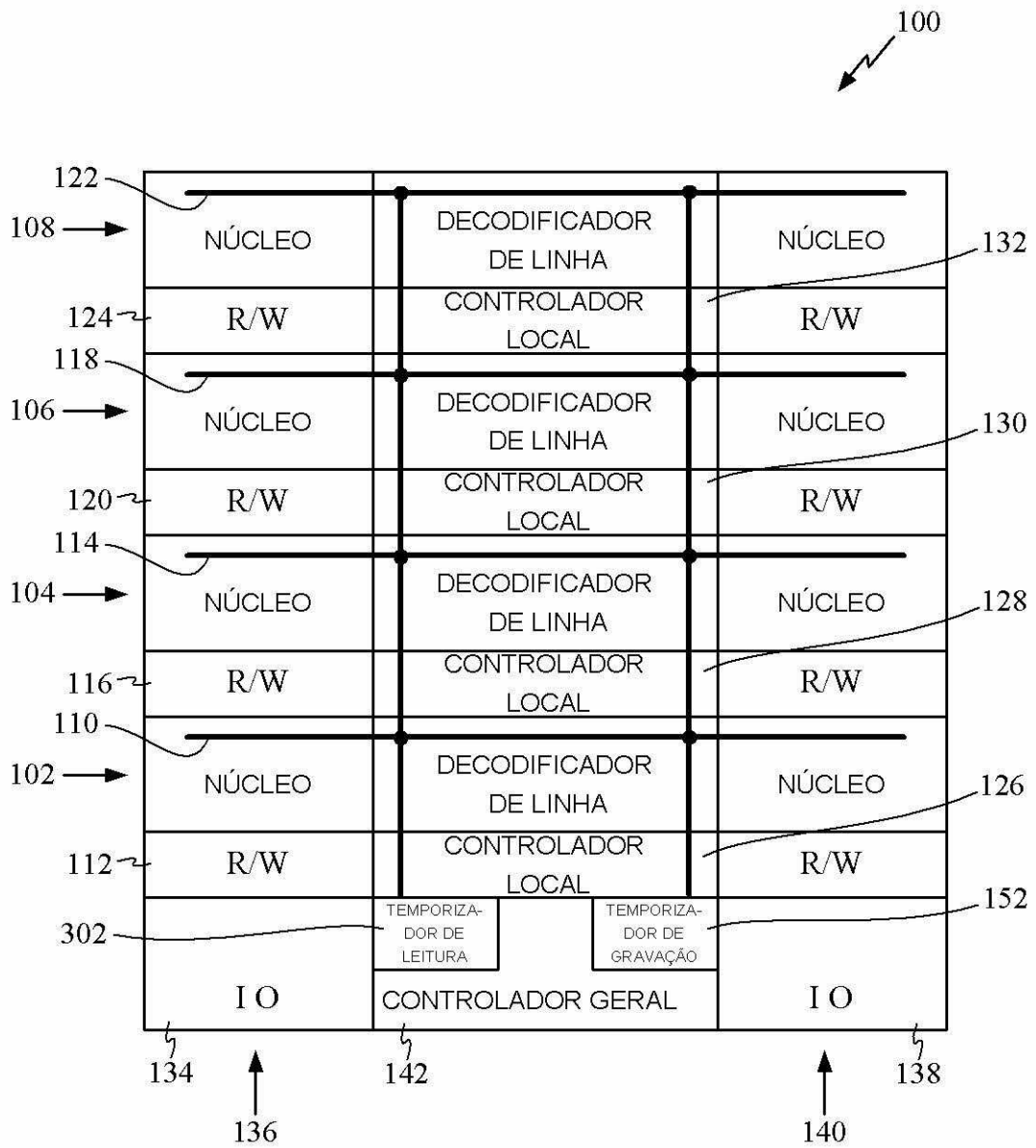


FIG. 3

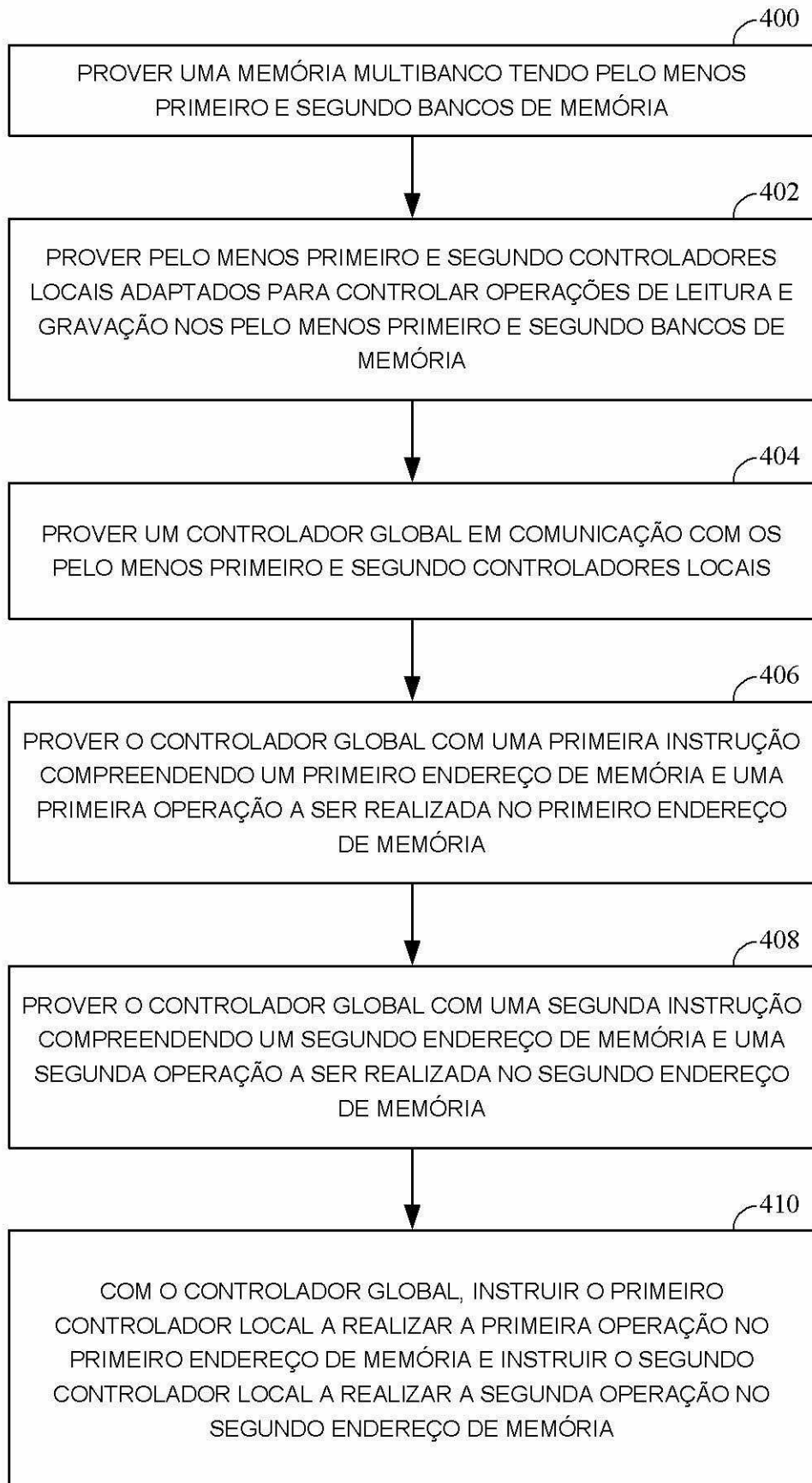


FIG. 4

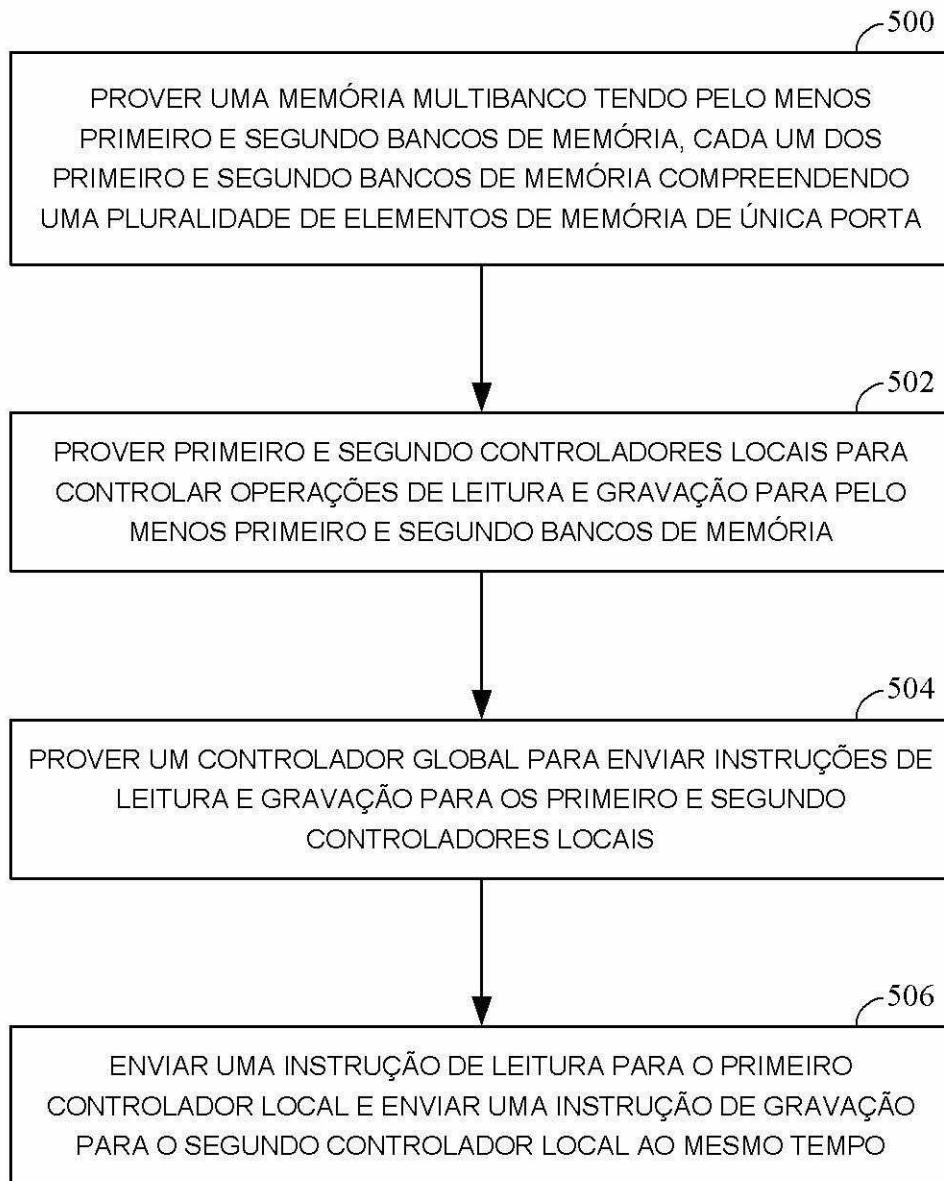


FIG. 5