



등록특허 10-2367921



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년02월25일
(11) 등록번호 10-2367921
(24) 등록일자 2022년02월22일

- (51) 국제특허분류(Int. Cl.)
H01L 27/06 (2006.01) *H01L 27/11551* (2017.01)
H01L 27/1156 (2017.01) *H01L 27/12* (2006.01)
H01L 29/04 (2006.01) *H01L 29/24* (2006.01)
H01L 29/786 (2006.01)
- (52) CPC특허분류
H01L 27/0688 (2013.01)
H01L 27/11551 (2013.01)
- (21) 출원번호 10-2021-7014006(분할)
- (22) 출원일자(국제) 2015년03월04일
심사청구일자 2021년05월10일
- (85) 번역문제출일자 2021년05월10일
- (65) 공개번호 10-2021-0056454
- (43) 공개일자 2021년05월18일
- (62) 원출원 특허 10-2016-7026477
원출원일자(국제) 2015년03월04일
심사청구일자 2020년01월02일
- (86) 국제출원번호 PCT/IB2015/051567
- (87) 국제공개번호 WO 2015/136412
국제공개일자 2015년09월17일
- (30) 우선권주장
JP-P-2014-052263 2014년03월14일 일본(JP)
(뒷면에 계속)
- (56) 선행기술조사문헌
KR1020040008614 A*
KR1020120097507 A*
- *는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 8 항

심사관 : 김려원

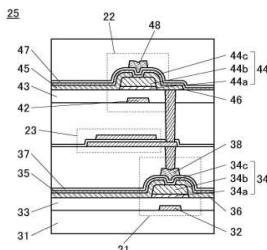
(54) 발명의 명칭 회로 시스템

(57) 요 약

전기 특성이 좋은 트랜지스터를 갖는 반도체 장치를 제공한다. 반도체 장치는 동일 기판 위에 있는 기억 회로 및 회로를 갖는다. 기억 회로는 용량 소자, 제 1 트랜지스터, 및 제 2 트랜지스터를 포함한다. 제 1 트랜지스터의 게이트는 용량 소자 및 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 회로는 직렬로
(뒷면에 계속)

대 표 도

(D)



서로 전기적으로 접속되는 제 3 트랜지스터 및 제 4 트랜지스터를 포함한다. 제 1 트랜지스터 및 제 3 트랜지스터 각각은 실리콘을 포함하는 활성층을 포함하고, 제 2 트랜지스터 및 제 4 트랜지스터 각각은 산화물 반도체를 포함하는 활성층을 포함한다.

(52) CPC특허분류

H01L 27/1156 (2013.01)*H01L 27/1225* (2013.01)*H01L 27/1255* (2013.01)*H01L 29/045* (2013.01)*H01L 29/24* (2013.01)*H01L 29/78675* (2013.01)*H01L 29/7869* (2013.01)

(72) 발명자

아츠미 도모아키

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이사 한도오따이 에네루기 켄큐쇼 내

나가츠카 슈헤이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이사 한도오따이 에네루기 켄큐쇼 내

오카자키 유타카

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이사 한도오따이 에네루기 켄큐쇼 내

혼도 스구루

일본 233-0001 가나가와켄 요코하마시 고난쿠 가미
오히카히가시 1-25-20

(30) 우선권주장

JP-P-2014-052864 2014년03월16일 일본(JP)

JP-P-2014-055459 2014년03월18일 일본(JP)

JP-P-2014-070518 2014년03월28일 일본(JP)

JP-P-2014-093321 2014년04월30일 일본(JP)

명세서

청구범위

청구항 1

반도체 장치에 있어서,

제 1 트랜지스터;

상기 제 1 트랜지스터 위의 제 1 절연막;

상기 제 1 절연막 위의 용량 소자;

상기 용량 소자 위의 제 2 절연막; 및

상기 제 2 절연막 위의 제 2 트랜지스터를 포함하고,

상기 용량 소자는 제 1 전극 및 상기 제 1 전극 위의 제 2 전극을 포함하고,

상기 제 1 트랜지스터의 게이트 전극은 상기 제 2 트랜지스터의 게이트 전극과 중첩되지 않은 영역을 갖고,

상기 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 하나는 제 1 플러그와 접하고,

상기 제 1 플러그는 상기 제 2 전극과 접하지 않는, 반도체 장치.

청구항 2

반도체 장치에 있어서,

제 1 트랜지스터;

상기 제 1 트랜지스터 위의 제 1 절연막;

상기 제 1 절연막 위의 용량 소자;

상기 용량 소자 위의 제 2 절연막; 및

상기 제 2 절연막 위의 제 2 트랜지스터를 포함하고,

상기 용량 소자는 제 1 전극 및 상기 제 1 전극 위의 제 2 전극을 포함하고,

상기 제 1 트랜지스터의 게이트 전극은 상기 제 2 트랜지스터의 게이트 전극과 중첩되지 않은 영역을 갖고,

상기 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 하나는 제 1 플러그와 접하고,

상기 제 1 플러그는 상기 제 2 전극과 접하지 않고,

상기 제 1 트랜지스터의 채널 길이 방향은 상기 제 2 트랜지스터의 채널 길이 방향과 상이한, 반도체 장치.

청구항 3

반도체 장치에 있어서,

제 1 트랜지스터;

상기 제 1 트랜지스터 위의 제 1 절연막;

상기 제 1 절연막 위의 용량 소자;

상기 용량 소자 위의 제 2 절연막; 및

상기 제 2 절연막 위의 제 2 트랜지스터를 포함하고,

상기 용량 소자는 제 1 전극 및 상기 제 1 전극 위의 제 2 전극을 포함하고,

상기 제 1 트랜지스터의 게이트 전극은 상기 제 2 트랜지스터의 게이트 전극과 중첩되지 않은 영역을 갖고,

상기 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 하나는 제 1 플러그와 접하고,
 상기 제 1 플러그는 상기 제 2 전극과 접하지 않고,
 상기 제 1 트랜지스터의 채널 길이 방향은 상기 제 2 트랜지스터의 채널 길이 방향과 상이하고,
 제 2 플러그는 상기 제 1 절연막을 관통하고, 상기 제 1 플러그는 상기 제 2 절연막을 관통하고,
 상기 제 1 플러그 및 상기 제 2 플러그는 서로 중첩하는, 반도체 장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 제 1 절연막의 상면에는 평탄화 처리가 수행되는, 반도체 장치.

청구항 5

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 각각은 채널 길이가 1nm 이상 100nm 미만인 영역을 포함하는,
 반도체 장치.

청구항 6

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 제 2 트랜지스터는 산화물 반도체막의 활성층을 포함하는, 반도체 장치.

청구항 7

제 6 항에 있어서,
 상기 산화물 반도체막은 결정부를 포함하는, 반도체 장치.

청구항 8

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 용량 소자의 정전기 용량은 0.1fF 이상 10fF 미만인, 반도체 장치.

발명의 설명

기술 분야

- [0001] 본 발명의 일 형태는 반도체를 사용한 회로 시스템, 또는 또 다른 반도체 장치에 관한 것이다. 본 발명의 또 다른 일 형태는 반도체 장치의 구동 방법, 또는 반도체 장치의 제작 방법에 관한 것이다.
- [0002] 다만, 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에 개시(開示)되는 본 발명의 일 형태의 기술분야는 물건, 방법, 또는 제작 방법에 관한 것이다. 또한, 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 특히, 본 발명은 반도체 장치, 표시 장치, 조명 장치, 전력 저장 장치, 저장 장치, 이들의 구동 방법, 또는 이들의 제작 방법에 관한 것이다.
- [0003] 본 명세서 등에서, 반도체 장치란 반도체 특성을 이용함으로써 동작할 수 있는 어느 장치를 말한다. 트랜지스터 등의 반도체 소자, 반도체 회로, 연산 장치, 또는 기억 장치는 반도체 장치의 일 형태이다. 촬상 장치, 표시 장치, 액정 표시 장치, 발광 장치, 전기 광학 장치, 발전 장치(박막 태양 전지, 유기 박막 태양 전지 등을 포함함), 및 전자 기기는 각각 반도체 장치를 포함할 수 있다.
- [0004] 본 명세서 등에서, 회로 시스템이란 용량 소자, 트랜지스터, 저항 소자, 메모리, 및 배선 등의 반도체 장치를 포함하는 어느 회로를 말한다. 회로 시스템은, 반도체 장치를 구동시키는 구동 회로, 및 전원 회로 등을 포함하여도 좋다. 또한 회로 시스템은, 인버터 회로, NAND 회로, AND 회로, NOR 회로, OR 회로, 베티, 레벨 시프터, XOR 회로, XNOR 회로, AND-NOR 회로, OR-NAND 회로, AND-OR-INV 회로, OR-AND-INV 회로, 아날로그 스

위치, 플립플롭, 세트 가능한 플립플롭, 리셋 가능한 플립플롭, 시트 및 리셋 가능한 플립플롭, 가산 회로, 반가산 회로, 멀티플렉서, 디멀티플렉서, 레지스터, 스캔 레지스터, 리텐션 레지스터, 아이솔레이터, 및 디코더 등 중 하나 이상을 포함하여도 좋다.

배경기술

- [0005] 반도체 재료를 사용하여 트랜지스터를 형성하는 기술이 주목을 받고 있다. 트랜지스터는 집적 회로(IC) 또는 화상 표시 장치(단순히 표시 장치라고도 함) 등의 전자 기기에 널리 적용되고 있다. 트랜지스터에 적용 가능한 반도체 재료로서, 실리콘계 반도체 재료가 널리 사용되고 있지만, 대체 재료로서 산화물 반도체가 주목을 받고 있다.
- [0006] 예를 들어, 산화물 반도체로서 산화 아연 또는 In-Ga-Zn 산화물 반도체를 사용한 트랜지스터의 형성 기술이 개시되어 있다(특허문헌 1 및 2 참조).
- [0007] 근년에는, 전자 기기의 성능의 향상과 크기 및 무게의 감소에 따라, 미세화된 트랜지스터 등의 반도체 소자가 고밀도로 집적된 집적 회로에 대한 수요가 증가되고 있다.

선행기술문헌

특허문헌

- [0008] (특허문헌 0001) 일본 공개 특허 출원 번호 2007-123861호
 (특허문헌 0002) 일본 공개 특허 출원 번호 2007-096055호

발명의 내용

해결하려는 과제

- [0009] 본 발명의 일 형태의 목적은, 전기 특성이 좋은 트랜지스터를 포함하는 회로 시스템을 제공하는 것이다. 본 발명의 일 형태의 다른 목적은 전기 특성이 좋은 트랜지스터 및 정전기 용량이 작은 용량 소자를 포함하는 회로 시스템을 제공하는 것이다. 본 발명의 일 형태의 또 다른 목적은 미세화에 적합한 트랜지스터를 포함하는 회로 시스템을 제공하는 것이다. 본 발명의 일 형태의 또 다른 목적은 스위칭 속도(동작 속도)가 증가된 회로 시스템을 제공하는 것이다. 본 발명의 일 형태의 또 다른 목적은 기록 속도가 증가된 회로 시스템을 제공하는 것이다. 본 발명의 또 다른 목적은 판독 속도가 증가된 회로 시스템을 제공하는 것이다. 본 발명의 일 형태의 또 다른 목적은 저소비 전력의 회로 시스템을 제공하는 것이다. 본 발명의 일 형태의 또 다른 목적은 유지 특성이 좋은 메모리를 포함하는 회로 시스템을 제공하는 것이다. 또 다른 목적은 신규 회로 시스템을 제공하는 것이다. 또 다른 목적은 신규 반도체 장치를 제공하는 것이다.
- [0010] 또한, 이들 목적의 기재는 다른 목적들의 존재를 방해하지 않는다. 본 발명의 일 형태에서는, 이들 목적 모두를 달성할 필요는 없다. 다른 목적들이, 명세서, 도면, 청구항 등의 기재로부터 명백해질 것이며 추출될 수 있다.

과제의 해결 수단

- [0011] 본 발명의 일 형태는 용량 소자, 및 용량 소자에 전기적으로 접속되는 트랜지스터를 포함하는 반도체 장치이다. 용량 소자의 정전기 용량은 $0.1fF$ 이상 $10fF$ 미만이다. 트랜지스터는 산화물 반도체막을 포함한다. 반도체 장치의 기록 시간은 실온에서 동작할 때 $0.1nsec$ 이상 $5nsec$ 미만이다.
- [0012] 본 발명의 일 형태는 기억 회로 및 회로가 동일 기판 위에 형성되는 반도체 장치이다. 기억 회로는 용량 소자, 제 1 트랜지스터, 및 제 2 트랜지스터를 포함한다. 제 1 트랜지스터의 게이트는 용량 소자 및 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 회로는 서로 직렬로 전기적으로 접속되는 제 3 트랜지스터와 제 4 트랜지스터를 포함한다. 제 1 트랜지스터 및 제 3 트랜지스터 각각은, 실리콘을 포함하는 활성층을 포함한다. 제 2 트랜지스터 및 제 4 트랜지스터 각각은, 산화물 반도체막으로 형성된 활성층을 포함한다.
- [0013] 본 발명의 일 형태는 기억 회로 및 회로가 동일 기판 위에 형성되는 반도체 장치이다. 기억 회로는 용량 소자,

제 1 트랜지스터, 및 제 2 트랜지스터를 포함한다. 제 1 트랜지스터의 게이트는 용량 소자 및 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 회로는 서로 직렬로 전기적으로 접속되는 제 3 트랜지스터와 제 4 트랜지스터를 포함한다. 제 1, 제 2, 제 3, 및 제 4 트랜지스터 각각은 산화물 반도체막으로 형성된 활성층을 포함한다.

[0014] 상술한 형태들 중 어느 형태에 있어서, 산화물 반도체막으로 형성된 활성층을 포함하는 트랜지스터는 채널 길이가 1nm 이상 100nm 미만인 영역을 갖는 것이 바람직하다. 상술한 형태들 중 어느 형태에 있어서, 산화물 반도체막은 산소, In, Zn, 및 M(M은 Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf)을 포함하는 것이 바람직하다. 또한, 상술한 형태들 중 어느 형태에 있어서, 산화물 반도체막은 결정부를 포함하는 것이 바람직하다. 또한, 산화물 반도체막은 c축 배향된 결정부를 포함하는 것이 바람직하다.

발명의 효과

[0015] 본 발명의 일 형태에 따라, 전기 특성이 좋은 트랜지스터를 포함하는 회로 시스템을 제공할 수 있다. 본 발명의 일 형태에 따라, 전기 특성이 좋은 트랜지스터 및 정전기 용량이 작은 용량 소자를 포함하는 회로 시스템을 제공할 수 있다. 본 발명의 일 형태에 따라, 미세화에 적합한 트랜지스터를 포함하는 회로 시스템을 제공할 수 있다. 본 발명의 일 형태에 따라, 스위칭 속도(동작 속도)가 증가된 회로 시스템을 제공할 수 있다. 본 발명의 일 형태에 따라, 기록 속도가 증가된 회로 시스템을 제공할 수 있다. 본 발명의 일 형태에 따라, 판독 속도가 증가된 회로 시스템을 제공할 수 있다. 본 발명의 일 형태에 따라, 저소비 전력의 회로 시스템을 제공할 수 있다. 본 발명의 일 형태에 따라, 유지 특성이 좋은 메모리를 포함하는 회로 시스템을 제공할 수 있다. 신규 회로 시스템을 제공할 수 있다. 신규 반도체 장치를 제공할 수 있다.

[0016] 또한, 이들 효과의 기재는 다른 효과의 존재를 방해하지 않는다. 본 발명의 일 형태는 상기에 열거된 효과 모두를 달성할 필요는 없다. 다른 효과들이 명세서, 도면, 및 청구항 등의 기재로부터 명백해질 것이며 추출될 수 있다.

도면의 간단한 설명

[0017] 첨부 도면에 있어서,

도 1은 회로 시스템의 일례를 도시한 블록도.

도 2의 (A)~(C)는 기억 장치의 일례를 도시한 회로도이고, 도 2의 (D)는 도 2의 (A)에서의 회로의 단면도.

도 3의 (A)는 메모리 셀 어레이의 일례를 도시한 개략도이고, 도 3의 (B)는 메모리 셀의 일례를 도시한 회로도.

도 4는 메모리 셀 어레이의 일례를 도시한 회로도.

도 5의 (A) 및 (B)는 메모리 셀 어레이의 동작의 일례를 도시한 타이밍 차트.

도 6은 메모리 셀 어레이의 일례를 도시한 회로도.

도 7은 메모리 셀 어레이의 일례를 도시한 회로도.

도 8은 메모리 셀 어레이의 일례를 도시한 단면도.

도 9는 메모리 셀 어레이의 일례를 도시한 단면도.

도 10은 도 9의 부분 확대도.

도 11은 메모리 셀 어레이의 일례를 도시한 단면도.

도 12의 (B)는 트랜지스터의 일례를 도시한 상면도이고, 도 12의 (A) 및 (C)는 그 단면도.

도 13의 (B)는 트랜지스터의 일례를 도시한 상면도이고, 도 13의 (A) 및 (C)는 그 단면도.

도 14의 (A)~(D)는 트랜지스터의 예를 도시한 단면도.

도 15의 (A)~(D)는 메모리 셀 어레이의 제작 방법의 일례를 도시한 단면도.

도 16의 (A)~(C)는 메모리 셀 어레이의 제작 방법의 일례를 도시한 단면도.

도 17의 (A)~(C)는 메모리 셀 어레이의 제작 방법의 일례를 도시한 단면도.

도 18은 메모리 셀 어레이의 제작 방법의 일례를 도시한 단면도.

도 19의 (A)는 반도체 장치의 일례를 도시한 회로도이고, 도 19의 (B) 및 (C)는 도 19의 (A)에서의 반도체 장치의 구조예를 도시한 단면도.

도 20의 (A)는 반도체 장치의 일례를 도시한 회로도이고, 도 20의 (B) 및 (C)는 도 20의 (A)에서의 반도체 장치의 구조예를 도시한 단면도.

도 21의 (A)는 반도체 장치의 일례를 도시한 회로도이고, 도 21의 (B)는 도 21의 (A)에서의 반도체 장치의 구조예를 도시한 단면도.

도 22의 (A)~(I)는 반도체 장치의 일례를 도시한 회로도.

도 23의 (A)는 반도체 장치의 구조예를 도시한 단면도이고, 도 23의 (B) 및 (C)는 반도체 장치의 일례를 도시한 회로도.

도 24의 (A)는 반도체 장치의 구조예를 도시한 단면도이고, 도 24의 (B) 및 (C)는 반도체 장치의 일례를 도시한 회로도.

도 25는 RF 디바이스의 일례를 도시한 도면.

도 26의 (A)~(F)는 RF 디바이스의 사용예를 도시한 도면.

도 27은 CPU의 일례를 도시한 도면.

도 28은 기억 회로의 일례를 도시한 회로도.

도 29의 (A)~(F)는 전자 기기의 일례를 도시한 도면.

도 30은 절연막 및 산화물 반도체막의 적층 구조에서의 밴드 구조를 나타낸 도면.

도 31은 산화물 반도체 트랜지스터의 차단 주파수의 측정 결과를 나타낸 그래프.

도 32는 제작된 트랜지스터의 V_g - I_d 특성을 나타낸 그래프.

도 33의 (A)는 제작된 회로 시스템을 도시한 회로도이고, 도 33의 (B)는 그 레이아웃도이고, 도 33의 (C)는 광학 현미경 사진.

도 34는 제작된 회로 시스템의 기록 동작 시의 동작 파형을 도시한 개략도.

도 35의 (A) 및 (B)는 제작된 회로 시스템의 플로팅 노드의 전압과 기록 시간의 관계를 나타낸 그래프.

도 36은 제작된 회로 시스템에서의 기록 시간과 정전기 용량의 관계를 나타낸 그래프.

도 37의 (A) 및 (B)는 CAAC(c-axis aligned crystalline oxide semiconductor)를 사용한 트랜지스터(CAAC-OS FET)의 DC 특성을 나타낸 그래프이고, 도 37의 (A)는 드레인 전류-게이트 전압(I_d - V_g) 특성의 측정 결과를 나타낸 것이고, 도 37의 (B)는 드레인 전류-드레인 전압(I_d - V_d) 특성의 측정 결과를 나타낸 것.

도 38은 CAAC-OS FET의 상호 컨덕턴스(g_m) 특성의 측정 결과를 나타낸 그래프.

도 39는 CAAC-OS FET의 주파수에 대한 고주파 이득의 측정 결과를 나타낸 그래프.

도 40은 CAAC-OS FET의 V_d 와 차단 주파수와 최대 발진 주파수의 관계를 나타낸 그래프.

도 41은 제작된 기억 회로의 회로도.

도 42는 도 41의 기억 회로의 부하 용량(C_{load})과 기록 시간의 관계를 나타낸 그래프.

도 43의 (A)~(D)는 CAAC-OS의 단면의 Cs 보정 고분해능 TEM 이미지 및 CAAC-OS의 단면 개략도.

도 44의 (A)~(D)는 CAAC-OS의 평면의 Cs 보정 고분해능 TEM 이미지.

도 45의 (A)~(C)는 XRD에 의한, CAAC-OS 및 단결정 산화물 반도체의 구조 해석을 나타낸 그래프.

도 46의 (A) 및 (B)는 CAAC-OS의 전자 회절 패턴을 나타낸 도면.

도 47은 전자 조사로 유발된 In-Ga-Zn 산화물의 결정부에서의 변화를 나타낸 그래프.

도 48의 (A)~(D)는 CAAC-OS의 퇴적 메커니즘을 도시한 도면.

도 49는 $InMnO_4$ 의 결정 구조를 도시한 도면.

도 50의 (A)~(E)는 CAAC-OS의 퇴적 메커니즘을 도시한 도면.

도 51의 (A)~(C)는 CAAC-OS의 퇴적 메커니즘을 도시한 도면.

도 52는 nc-OS의 퇴적 메커니즘을 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0018]

실시형태에 대하여 도면을 참조하여 자세히 설명한다. 다만, 본 발명은 아래의 설명에 한정되지 않으며, 본 발명의 취지 및 범위에서 벗어남이 없이 다양한 변경 및 수정이 이루어질 수 있다는 것은 당업자에 의하여 쉽게 이해된다. 따라서, 본 발명은 아래 실시형태의 내용에 한정되어 해석되지 말아야 한다.

[0019]

이하에 든 발명의 구조에서, 같은 부분 또는 비슷한 기능을 갖는 부분은 상이한 도면에서 같은 부호로 나타내어지고, 이들의 설명은 반복하지 않을 것이다. 또한, 같은 해치 패턴을 비슷한 기능을 갖는 부분에 적용하고 이 부분은 부호에 의하여 특별히 나타내어지지 않는 경우가 있다.

[0020]

또한, 본 명세서에서 설명하는 각 도면에서, 사이즈, 층 두께, 또는 각 구성 요소의 영역은 명료화를 위하여 과장되는 경우가 있다. 따라서, 본 발명의 실시형태는 이러한 스케일에 한정되지 않는다.

[0021]

또한, 본 명세서 등에서, '제 1' 및 '제 2' 등의 서수사는 구성요소들 사이의 혼동을 피하기 위하여 사용되고, 이를 용어는 구성요소를 수적으로 한정하지는 않는다.

[0022]

본 명세서에 있어서, '평행'이란 용어는, 두 개의 직선 사이에서 형성된 각도가 -10° 이상 10° 이하인 것을 나타내고, 그러므로 그 각도가 -5° 이상 5° 이하인 경우도 포함한다. 또한, '수직'이란 용어는, 두 개의 직선 사이에서 형성된 각도가 80° 이상 100° 이하인 것을 나타내고, 그러므로 그 각도가 85° 이상 95° 이하인 경우를 포함한다.

[0023]

트랜ジ스터는 반도체 소자의 일종이며, 전류 또는 전압의 증폭이나 도통 또는 비도통을 제어하는 스위칭 동작 등을 실현할 수 있다. 본 명세서에서의 트랜ジ스터는, IGFET(insulated-gate field-effect transistor) 및 TFT(thin film transistor)를 포함한다. 또한 트랜ジ스터는 3개의 단자: 게이트, 소스, 및 드레인을 갖는 소자이다. 본 명세서 등에서, 트랜ジ스터의 게이트가 아닌 2개의 단자를 제 1 단자 및 제 2 단자라고 하는 경우가 있다.

[0024]

예를 들어, 본 명세서 등에서 X 와 Y 가 접속된다고 명시적으로 기재될 때, X 와 Y 가 전기적으로 접속되는 경우, X 와 Y 가 기능적으로 접속되는 경우, X 와 Y 가 직접 접속되는 경우가 포함된다. 따라서, 소정의 접속 관계, 예를 들어 도면 및 문장에 나타낸 접속 관계에 한정되지 않고, 도면 및 문장에 나타낸 접속 관계 이외의 접속 관계도 포함된다.

[0025]

여기서 X 및 Y 는 각각 물체(예를 들어 장치, 소자, 회로, 선, 전극, 단자, 도전막, 또는 층 등)를 나타낸다.

[0026]

예를 들어, X 와 Y 가 전기적으로 접속되는 경우, X 와 Y 의 전기적 접속을 가능하게 하는 하나 이상의 소자(예를 들어 스위치, 트랜ジ스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 또는 부하)가 X 와 Y 사이에 접속될 수 있다. 스위치는 온 상태 또는 오프 상태가 되도록 제어된다. 즉, 스위치는 전도 또는 비전도가 되어(온 상태 또는 오프 상태가 되어) 스위치를 통하여 전류를 흘릴지 여부를 결정한다. 또는, 스위치는 전류 경로를 선택하여 바꾸는 기능을 갖는다.

[0027]

X 와 Y 가 기능적으로 접속되는 경우, X 와 Y 의 기능적인 접속을 가능하게 하는 하나 이상의 회로(예를 들어, 인버터, NAND 회로, 또는 NOR 회로 등의 논리 회로; DA 변환 회로, AD 변환 회로, 또는 감마 보정 회로 등의 신호 변환 회로; 전원 회로(예를 들어 스텝업 회로 또는 스텝다운 회로) 또는 신호의 전위 레벨을 변경하는 레벨 시프터 회로 등의 전위 레벨 변환 회로; 전압원; 전류원; 전환 회로; 신호 진폭 또는 전류의 양 등을 증가시킬 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 또는 버퍼 회로 등의 증폭 회로; 신호 생성 회로; 기억 회로; 및/또는 제어 회로)가 X 와 Y 사이에 접속될 수 있다. 또한, 예를 들어 X 와 Y 사이에 다른 회로가 개재(介在)되더라도, X 로부터 출력된 신호가 Y 로 전송되는 경우에는, X 와 Y 는 기능적으로 접속되어 있다.

- [0028] 또한, X 와 Y 가 전기적으로 접속된다고 명시적으로 기재될 때, X 와 Y 가 전기적으로 접속되는 경우(즉, X 와 Y 가 다른 소자 또는 다른 회로를 개재하여 접속되는 경우), X 와 Y 가 기능적으로 접속되는 경우(즉, X 와 Y 가 다른 회로를 개재하여 기능적으로 접속되는 경우), 및 X 와 Y 가 직접 접속되는 경우(즉, X 와 Y 가 다른 소자 또는 다른 회로를 개재하지 않고 접속되는 경우)가 포함된다. 즉, ' X 와 Y 가 전기적으로 접속된다'고 명시적으로 기재될 때, ' X 와 Y 가 접속된다'고만 명시적으로 기재되는 경우와 기재는 같다.
- [0029] 또한, 예를 들어 트랜지스터의 소스(또는 제 1 단자 등)가 $Z1$ 을 통하여(또는 통하지 않고) X 와 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)이 $Z2$ 를 통하여(또는 통하지 않고) Y 와 전기적으로 접속되는 경우, 또는 트랜지스터의 소스(또는 제 1 단자 등)가 $Z1$ 의 일부와 직접 접속되고, $Z1$ 의 다른 일부가 X 와 직접 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)이 $Z2$ 의 일부와 직접 접속되고, $Z2$ 의 다른 일부가 Y 와 직접 접속되는 경우를, 이하의 표현 중 어느 것을 사용하여 표현할 수 있다.
- [0030] 상기 표현에는 예를 들어, ' X , Y , 트랜지스터의 소스(또는 제 1 단자 등), 및 트랜지스터의 드레인(또는 제 2 단자 등)은 서로 전기적으로 접속되고, X , 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), 및 Y 는 이 순서대로 서로 전기적으로 접속된다', '트랜지스터의 소스(또는 제 1 단자 등)는 X 와 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y 와 전기적으로 접속되고, X , 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), 및 Y 는 이 순서대로 서로 전기적으로 접속되다', 및 ' X 는 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 통하여 Y 와 전기적으로 접속되고, X , 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), 및 Y 는 이 순서대로 접속되도록 제공된다'가 포함된다. 상술한 예와 같은 표현에 의하여, 회로 구조에서의 접속 순서를 규정할 때, 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 구별하여 기술적 범위를 규정할 수 있다. 또한, 이들 표현은 예이며, 이들 표현에 한정은 없다. 여기서, X , Y , $Z1$, 및 $Z2$ 는 각각 물체(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 및 층)를 나타낸다.
- [0031] (실시형태 1)
- [0032] 본 실시형태에서는, 본 발명의 일 형태의 회로 시스템에 대하여 도 1~도 18을 참조하여 설명한다. 여기서, 회로 시스템의 일례로서 기억 장치에 대하여 설명한다.
- [0033] <회로 시스템의 구조예>
- [0034] 도 1은 회로 시스템의 일례를 도시한 블록도이다.
- [0035] 도 1에 나타낸 회로 시스템(10)은 메모리 셀 어레이(12) 및 주변 회로(14)를 포함한다. 주변 회로(14)는 메모리 셀 어레이(12)에 전기적으로 접속된다. 주변 회로(14)에는 행 드라이버, 열 드라이버, 및 A/D 컨버터 등이 제공된다. 논리 회로가 주변 회로(14)에 제공되어도 좋다.
- [0036] 또한, 메모리 셀 어레이(12), 및 메모리 셀 어레이(12)에 전기적으로 접속되는 주변 회로(14)(여기서는, 행 드라이버, 열 드라이버, 및 A/D 드라이버)를 포함하는 구조를 기억 장치라고 할 수 있다.
- [0037] 도 2의 (A)~(D)를 참조하여, 본 발명의 일 형태의 회로 시스템에 사용될 수 있는 기억 회로의 일례에 대하여 설명한다.
- [0038] 도 2의 (A)는 기억 장치의 일례를 도시한 회로도이다. 도 2의 (A)에 나타낸 기억 회로(25)는 트랜지스터(21), 트랜지스터(22), 및 용량 소자(23)를 포함한다. 기억 회로(25)는 전력 공급이 없어도 데이터를 유지할 수 있고, 기록 동작의 수에 대한 제한이 없다. 또한, 기억 회로(25)는 도 1에서의 메모리 셀 어레이(12)의 메모리 셀에 적용될 수 있다.
- [0039] 트랜지스터(21 및 22) 각각은 산화물 반도체를 포함하는 반도체층에 채널이 형성되는 트랜지스터(이하에서는 OS 트랜지스터라고 하는 경우가 있음)이다. 또한, 도 2의 (A)에서의 'OS'(oxide semiconductor)라는 용어를 갖는 회로 부호는 산화물 반도체층을 포함하는 트랜지스터를 뜻한다. 다른 도면에서도 마찬가지이다. 도 2의 (A)에는 트랜지스터(21 및 22) 양쪽이 OS 트랜지스터인 예를 나타내었지만, 트랜지스터(21 및 22) 중 적어도 하나가 OS 트랜지스터이기만 하면 회로 구조는 이에 한정되지 않는다. 트랜지스터(22)가 OS 트랜지스터인 것이 매우 바람직하다. 트랜지스터(22)가 OS 트랜지스터이면, 기억 회로(25)의 소비 전력을 저감할 수 있다. 구체적으로는, 트랜지스터(22)의 오프 전류를 저감할 수 있기 때문에 데이터가 오랫동안 유지될 수 있다. 바꿔 말하면, 리프레시 동작이 불필요하거나 리프레시 동작의 빈도가 매우 낮기 때문에, 소비 전력이 충분히 저감된 기억 회로(25)를 제공할 수 있다.

- [0040] 또한 도 2의 (A)에 나타낸 기억 회로(25)에서, 기억 회로(25)는 데이터 기록에 높은 전압을 요구하지 않으므로, 소자의 열화가 일어나기 어렵다. 종래의 플래시 메모리와 달리, 예를 들어 플로팅 게이트로의 전자 주입 및 플로팅 게이트로부터의 전자 추출이 필요하지 않아, 절연체의 열화 등의 문제가 일어나지 않는다. 즉, 도 2의 (A)에 나타낸 기억 회로(25)는, 제한이 문제였던 종래의 플래시 메모리와 달리, 기록 동작의 수에 제한이 없고, 신뢰성이 크게 향상된 반도체 장치이다. 또한, 트랜지스터(22)의 상태(온 상태 또는 오프 상태)에 따라 데이터가 기록됨으로써, 고속 동작을 실현할 수 있다.
- [0041] 기억 회로(25)에서의 용량 소자(23)의 정전기 용량은 0.1fF 이상 10fF 미만인 것이 바람직하다. 용량 소자(23)의 정전기 용량이 상술한 범위 내에 있으면, 기록 속도를 향상시킬 수 있다. 즉, 기록 시간을 짧게 할 수 있다. 구체적으로는, 실온에서의 동작 시에, 기록 시간을 0.1nsec 이상 5nsec 미만으로 할 수 있다. 또는, 실온에서의 동작 시에, 기록 주파수를 0.2GHz 보다 크고 10GHz 이하로 할 수 있다. 또는, 비트 레이트로 환산한 기록 시간을 400Mbps (bit per second) 이상 20Gbps 이하로 할 수 있다.
- [0042] 여기서 기록 시간은, 기억 회로(25)의 용량 소자(23)를 충전하여 데이터를 기록할 때, 용량 소자(23)를 90% 충전하기 위하여 필요한 시간을 뜻한다. 바꿔 말하면, 기록 시간은, 노드(FN)의 전위를 로레벨의 전위로부터 데이터 기록용 비트선(WBL)의 전위의 90%까지 상승시키기 위하여 요구되는 시간을 뜻한다.
- [0043] 기록 속도는, 기억 회로에서의 기록용 트랜지스터가 온 상태가 되기 위하여 걸리는 시간으로 표현될 수 있다. 또는 기록 속도는, 기록용 트랜지스터의 전류 이득이 1 이상이 되는 최대 주파수(차단 주파수)로 표현될 수 있다. 또한 트랜지스터(22)는 기억 회로(25)에서의 기록용 트랜지스터이다.
- [0044] 트랜지스터(21 및 22) 중 한쪽 또는 양쪽은 채널 길이가 1nm 이상 100nm 미만인 영역을 갖는 것이 바람직하고, 채널 길이가 5nm 이상 60nm 이하인 영역을 갖는 것이 더 바람직하다. 트랜지스터가 상술한 범위의 채널 길이를 가질 때, 미세화된 기억 장치, 상기 기억 장치를 사용한 회로 면적의 크기가 작은 회로 시스템, 또는 상기 기억 장치를 사용한 소비 전력이 낮은 회로 시스템을 제공할 수 있다.
- [0045] 도 2의 (A)에 나타낸 기억 회로(25)는 배선(WBL(writing bit line)), 배선(RBL(reading bit line)), 배선(WWL(writing word line)), 배선(RWL(reading word line)), 및 배선(SL(source line))에 전기적으로 접속된다. 배선(RBL)은 트랜지스터(21)의 제 1 단자에 전기적으로 접속되고, 배선(SL)은 트랜지스터(21)의 제 2 단자에 전기적으로 접속된다. 배선(WBL)은 트랜지스터(22)의 제 1 단자에 전기적으로 접속되고, 배선(WWL)은 트랜지스터(22)의 게이트 전극에 전기적으로 접속된다. 트랜지스터(21)의 게이트 전극은 트랜지스터(22)의 제 2 단자 및 용량 소자(23)의 제 1 단자(제 1 전극)에 전기적으로 접속되고, 배선(RWL)은 용량 소자(23)의 제 2 단자(제 2 전극)에 전기적으로 접속된다.
- [0046] 도 2의 (A)에서, 용량 소자(23)의 전극과 트랜지스터(21)의 게이트 전극이 서로 전기적으로 접속되는 노드를 노드(FN)라고 한다. 'FN'라는 용어는 노드가 전기적으로 플로팅 상태가 될 수 있는 것을 뜻한다. 또한 본 명세서 등에서, '노드'는 소자들을 전기적으로 접속시키기 위하여 제공된 배선의 어느 점을 말한다.
- [0047] 도 2의 (A)에서 나타낸 기억 회로(25)에서, 트랜지스터(21)의 게이트 전극(노드(FN))의 전위는 오랫동안 유지될 수 있다. 기억 회로(25)의 기록, 유지, 및 판독에 대하여 이하에서 설명한다.
- [0048] 데이터 기록을 위하여, 우선 배선(WWL)의 전위를 트랜지스터(22)를 온 상태로 하는 전위로 한다. 따라서, 트랜지스터(22)는 온 상태가 되고, 배선(WBL)의 전위가 트랜지스터(21)의 게이트 전극 및 용량 소자(23)의 제 1 단자에 공급된다. 즉, 소정의 전하가 용량 소자(23)에 공급된다. 여기서, 배선(WBL)에는 로레벨(L 레벨) 전위 및 하이 레벨(H 레벨) 전위 중 한쪽이 공급된다. 배선(WBL)의 전위 레벨에 대응하는 전하가 용량 소자(23)에 공급된다. 다음에, 배선(WWL)의 전위를 트랜지스터(22)를 오프 상태로 하는 전위로 한다. 트랜지스터(22)가 오프 상태가 되면, 노드(FN)는 전기적으로 플로팅 상태가 되고, 용량 소자(23)에 공급된 전하는 유지된다. 이와 같이, 도 2의 (A)의 기억 회로(25)로의 기록을 수행한다.
- [0049] 트랜지스터(22)의 오프 전류는 매우 낮기 때문에, 용량 소자(23)에 공급된 전하는 오랫동안 유지될 수 있다. 따라서, 전력이 공급되지 않을 때도, 저장된 데이터가 유지될 수 있다.
- [0050] 다음에, 데이터 판독에 대하여 설명한다. 소정의 전위(정전위)를 배선(RBL)에 공급하면서 적절한 전위(판독 전위)를 배선(RWL)에 공급하면, 용량 소자(23)에 유지된 전하량에 따라 배선(SL)의 전위가 변화한다. 일반적으로, 트랜지스터(21)가 n채널 트랜지스터이면, 트랜지스터(21)의 게이트 전극에 H 레벨 전위가 주어진 경우의 외관상 문턱 전압($V_{th,H}$)은, 트랜지스터(21)의 게이트 전극에 L 레벨 전위가 주어진 경우의 외관상 문턱

전압($V_{th,L}$)보다 낮다. 여기서, 외관상 문턱 전압이란 트랜지스터(21)를 온 상태로 하는 데 필요한 배선(RWL)의 전위를 말한다. 따라서, 배선(RWL)의 전위를 $V_{th,H}$ 와 $V_{th,L}$ 사이의 전위(V_0)로 함으로써, 트랜지스터(21)의 게이트 전극에 공급되는 전위를 결정할 수 있다. 예를 들어 기록 시에, H 레벨 전위가 트랜지스터(21)의 게이트 전극에 공급되는 경우, 트랜지스터(21)는 배선(RWL)의 전위가 $V_0(>V_{th,H})$ 일 때 온 상태가 된다. L 레벨 전위가 공급되는 경우에는, 배선(RWL)의 전위가 $V_0(<V_{th,L})$ 일 때도 트랜지스터(21)는 오프 상태를 유지한다. 따라서, 배선(RBL)의 전위를 참조하여, 유지된 데이터를 판독할 수 있다.

[0051] 기억 회로(25)가 어레이로 배치될 때, 의도하는 기억 회로(25)의 데이터만을 판독할 필요가 있다. 이러한 판독을 수행하지 않는 경우, 용량 소자(23)에 유지된 전하량에 상관없이 트랜지스터(21)가 오프 상태가 되는 전위, 즉 $V_{th,H}$ 보다 낮은 전위를 배선(RWL)에 공급하면 좋다. 데이터를 판독하는 경우, 용량 소자(23)에 유지된 전하량에 상관없이 트랜지스터(21)가 온 상태가 되는 전위, 즉 $V_{th,L}$ 보다 높은 전위를 배선(RWL)에 공급하면 좋다.

[0052] 도 2의 (A)는 2개의 트랜지스터를 갖는 이득 셀 구조의 일례이다. 메모리 셀의 구조는 도 2의 (A)에 나타낸 것에 한정되지 않는다. 예를 들어, 도 2의 (B)에 나타낸 기억 회로(26) 또는 도 2의 (C)에 나타낸 기억 회로(27)를 메모리 셀에 사용할 수 있다.

[0053] 도 2의 (B)에 나타낸 기억 회로(26)는 3개의 트랜지스터를 갖는 이득 셀 구조의 일례이다. 기억 회로(26)에서, 트랜지스터(24)는 판독용 트랜지스터로서 기능하고, 트랜지스터(24)의 게이트는 배선(RWL)에 전기적으로 접속된다. 용량 소자(23)의 제 1 단자는 노드(FN)에 전기적으로 접속되고, 제 2 단자는 배선(CNL)에 전기적으로 접속된다. 기억 회로(26)는 기억 회로(25)와 같은 식으로 동작할 수 있다. 데이터 판독 시에, 배선(CNL)의 전위를 제어함으로써 노드(FN)의 전위를 필요에 따라 증가시킨다.

[0054] 도 2의 (C)에 나타낸 기억 회로(27)는 트랜지스터(21)가 제공되지 않는 점에서 기억 회로(25)와 상이하다. 기억 회로(27)는 기억 회로(25)와 같은 식으로 동작할 수 있다. 기억 회로(27)의 판독 동작에 대하여 이하에서 설명한다. 트랜지스터(22)가 온 상태가 될 때, 플로팅 상태인 배선(WBL)과, 용량 소자(23)가 도통 상태가 되어, 용량 소자(23)와 배선(WBL)에 부수하는 배선 용량 사이에서 전하의 재분배가 일어난다. 결과적으로, 배선(WBL)의 전위가 변화한다. 배선(WBL)의 전위의 변화량은 용량 소자(23)에 저장된 전하량(또는 용량 소자(23)의 제 1 단자의 전위)에 따라 달라진다.

[0055] 예를 들어, 용량 소자(23)의 제 1 단자(노드(FN))가 전위(V)를 갖고, 용량 소자(23)가 용량(C)을 갖고, 배선(WBL)이 배선 용량(C_B)에 부수하고, 배선(WBL)이 전하의 재분배 전에 전위(V_{B0})를 가질 때, 및 배선(RWL)의 전위가 0[V]이고 배선(WBL)에 부수하는 배선 용량의 다른 전극의 전위가 0[V]일 때, 전하의 재분배 후의 배선(WBL)의 전위는 $(C_B \times V_{B0} + C \times V) / (C_B + C)$ 이다. 따라서, 기억 회로(27)에서 용량 소자(23)의 제 1 단자의 전위(V)가 V_1 또는 $V_0 (V_1 > V_0)$ 의 어느 한쪽이라고 추정하면, 용량 소자(23)가 전위(V_1)를 유지할 때의 배선(WBL)의 전위($= (C_B \times V_{B0} + C \times V_1) / (C_B + C)$)는 전위(V_0)를 유지하는 경우의 배선(WBL)의 전위($= (C_B \times V_{B0} + C \times V_0) / (C_B + C)$)보다 높은 것을 알 수 있다. 따라서, 배선(WBL)의 전위를 소정의 전위와 비교함으로써 데이터를 판독할 수 있다.

[0056] 도 2의 (A)에 나타낸 기억 회로(25)의 디바이스 구조의 일례를 도 2의 (D)에 도시하였다. 도 2의 (D)는 기억 회로(25)에서의 트랜지스터(21 및 22)의 채널 길이 방향의 단면도이다. 또한 실제의 기억 회로(25)에서 트랜지스터(21)의 채널 길이 방향은 트랜지스터(22)의 채널 길이 방향과 일치하지 않아도 된다. 다른 도면에 대해서도 마찬가지이다.

[0057] 도 2의 (D)에 나타낸 기억 회로(25)는 기판(31) 위의 트랜지스터(21), 트랜지스터(21) 위의 용량 소자(23), 트랜지스터(21) 및 용량 소자(23) 위의 트랜지스터(22)를 포함한다. 트랜지스터(21)는 기판(31) 위의 도전막(32); 도전막(32) 위의 절연막(33); 절연막(33) 위의 반도체막(34a); 반도체막(34a) 위의 반도체막(34b); 반도체막(34b)에 전기적으로 접속되는 도전막(35); 반도체막(34b)에 전기적으로 접속되는 도전막(36); 도전막(35), 반도체막(34b), 및 도전막(36) 위의 반도체막(34c); 반도체막(34c) 위의 절연막(37); 및 절연막(37) 위의 도전막(38)을 포함한다.

[0058] 도전막(32)은 트랜지스터(21)의 백 게이트 전극으로서의 기능을 갖는다. 절연막(33)은 반도체막(34)을 위한 하지막으로서의 기능 및 게이트 절연막으로서의 기능을 갖는다. 도전막(35 및 36)은 소스 전극 및 드레인 전극으로서의 기능을 갖는다. 절연막(37)은 게이트 절연막으로서의 기능을 갖는다. 도전막(38)은 게이트 전극으로서

의 기능을 갖는다.

[0059] 트랜지스터(22)는 도전막(42); 도전막(42) 위의 절연막(43); 절연막(43) 위의 반도체막(44a); 반도체막(44a) 위의 반도체막(44b); 반도체막(44b)에 전기적으로 접속되는 도전막(45); 반도체막(44b)에 전기적으로 접속되는 도전막(46); 도전막(45), 반도체막(44b), 및 도전막(46) 위의 반도체막(44c); 반도체막(44c) 위의 절연막(47); 및 절연막(47) 위의 도전막(48)을 포함한다.

[0060] 도전막(42)은 트랜지스터(22)의 백 게이트 전극으로서의 기능을 갖는다. 절연막(43)은 반도체막(44)을 위한 하지막으로서의 기능 및 게이트 절연막으로서의 기능을 갖는다. 도전막(45 및 46)은 소스 전극 및 드레인 전극으로서의 기능을 갖는다. 절연막(47)은 게이트 절연막으로서의 기능을 갖는다. 도전막(48)은 게이트 전극으로서의 기능을 갖는다. 도 2의 (D)에는, 트랜지스터(21 및 22)가 백 게이트 전극을 포함하는 구조예를 나타내었지만, 구조는 이에 한정되지 않고, 백 게이트 전극이 없는 구조를 채용하여도 좋다.

[0061] 도 2의 (D)에 나타낸 바와 같이 트랜지스터(21), 용량 소자(23), 및 트랜지스터(22)의 구성요소를 적어도 부분적으로 중첩시킴으로써, 회로 시스템은 크기가 작은 회로 면적을 가질 수 있다.

[0062] 다음에, 도 2의 (D)에 나타낸 기억 회로(25)가 복수로 제공되는 반도체 장치의 일례에 대하여 도 3의 (A) 및 (B), 도 4, 도 5의 (A) 및 (B), 도 6, 및 도 7을 참조하여 설명한다.

[0063] <메모리 셀 어레이의 구조예>

[0064] 도 3의 (A)는 메모리 셀 어레이의 일례를 도시한 개략도이다. 도 3의 (A)에 나타낸 메모리 셀 어레이(300)에서, 서브 어레이(SCA)가 a 열 b 행(a 및 b 는 자연수)의 어레이로 배치된다. 각 서브 어레이(SCA)는 적층된 c 개(c 는 자연수)의 메모리 셀(MC)을 포함한다. 이와 같이, 메모리 셀 어레이(300)는 메모리 셀(MC)이 3 차원적으로 배치되는 구조를 갖는다.

[0065] 명세서 및 도면에서, 같은 구성요소(신호, 배선, 소자, 또는 회로 등)를 구별하기 위하여 행 번호, 열 번호, 또는 순서 등을 가리키는 '_1', '[L1]' 등의 식별 기호를 용어에 추가한다. 예를 들어, 기호 'MC_j'는 서브 어레이(SCA)의 제 j (j 는 1~ c 의 자연수) 메모리 셀(MC)을 가리킨다.

[0066] 메모리 셀(MC)은 도 2의 (A)~(D)에 나타낸 기억 회로(25~27)와 같은 회로 구조를 가질 수 있다. 도 3의 (B)는 메모리 셀(MC_j)의 회로도의 일례를 나타낸 것이다. 도 3의 (B)에 나타낸 메모리 셀(MC_j)은 트랜지스터(Ta_j), 트랜지스터(Tb_j), 및 용량 소자(Ca_j)를 포함한다. 도 3의 (B)에 나타낸 메모리 셀(MC_j)은 도 2의 (A)에서의 기억 회로(25)의 변형예이다. 여기서, 기호 'Ta_j'는 트랜지스터(Ta)가 메모리 셀(MC_j)의 구성요소인 것을 가리킨다. 다른 도면에서 마찬가지의 기호가 사용된다.

[0067] 트랜지스터(Ta_j)의 제 1 단자는 배선(BL)에 전기적으로 접속되고, 트랜지스터(Ta_j)의 제 2 단자는 트랜지스터(Tb_j)의 게이트 전극에 전기적으로 접속된다. 트랜지스터(Ta_j)의 게이트 전극은 배선(WWL_j)에 전기적으로 접속된다. 트랜지스터(Tb_j)의 제 1 단자는 배선(BL)에 전기적으로 접속되고, 트랜지스터(Tb_j)의 제 2 단자는 배선(SL)에 전기적으로 접속된다. 용량 소자(Ca_j)의 제 1 단자(제 1 전극)는 트랜지스터(Tb_j)의 게이트 전극에 전기적으로 접속되고, 용량 소자(Ca_j)의 제 2 단자(제 2 전극)는 배선(RWL_j)에 전기적으로 접속된다.

[0068] 트랜지스터(Ta_j)는 백 게이트 전극(BG)을 갖는다. 예를 들어, 소스 전극의 전위보다 낮거나 또는 높은 전위를 백 게이트 전극에 인가할 수 있음으로써, 트랜지스터(Ta_j)의 문턱 전압을 양 또는 음 방향으로 시프트시킬 수 있다. 예를 들어, n채널 트랜지스터의 문턱 전압을 양 방향으로 시프트시킴으로써 노멀리 오프 트랜지스터를 실현할 수 있는 경우가 있다. 노멀리 오프 트랜지스터는 게이트 전위가 0V일 때도 비도통 상태(오프 상태)에 있는 트랜지스터를 뜻한다. 백 게이트 전극에 인가되는 전위는 변동 가능하거나 고정되어도 좋다. 백 게이트 전극에 인가되는 전위가 변동 가능할 때, 전위를 제어하기 위한 회로가 백 게이트 전극에 접속되어도 좋다. 백 게이트 전극은 트랜지스터(Ta_j)의 게이트 전극에 접속되어도 좋다. 서로 접속되는 백 게이트 전극과 게이트 전극에 같은 전위를 공급함으로써, 온 전류를 높일 수 있고, 초기 특성의 변동을 저감할 수 있고, -GBT(negative gate bias-temperature) 스트레스 시험으로 인한 열화, 및 상이한 드레인 전압에서의 온 전류의 상승 전압의 변동을 억제할 수 있다. 트랜지스터(Ta_j)의 온 전류가 증가되면, 예를 들어 메모리 셀 어레이(300)로의 기록 시간을 단축할 수 있다.

[0069] 또한, 도 3의 (B)에는 도시되지 않았지만, 트랜지스터(Tb_j)도 백 게이트 전극을 가져도 좋다. 백 게이트 전극에 의하여, 트랜지스터(Tb_j)의 온 전류를 증가시킬 수 있고, 온 전류의 증가에 의하여, 예를 들어 메모리 셀 어레이(300)의 판독 속도를 높일 수 있다.

- [0070] 여기서, '메모리 셀(MC_j)로의 데이터 기록'은, 배선(WWL_j)에 공급되는 워드 신호를 제어함으로써, 노드(FN)의 전위를 배선(BL)의 전위에 대응하는 전위로 설정하는 것을 뜻한다. 또한, '메모리 셀(MC_j)로부터의 데이터 판독'은, 배선(RWL_j)에 공급되는 판독 신호를 제어함으로써, 배선(BL)의 전위를 노드(FN)의 전위에 대응하는 전위로 설정하는 것을 뜻한다.
- [0071] 배선(BL)에는 바이너리 또는 멀티레벨의 데이터에 대응하는 전위가 공급된다. 멀티레벨 데이터는 k 비트(k 는 2 이상의 자연수) 데이터이다. 구체적으로는, 2비트 데이터는 4치 데이터이고, 배선(BL)에 공급되는 전위는 네 가지 레벨의 전위 중 어느 하나를 갖는다. 배선(RWL_j)에는 판독 신호가 공급된다. 판독 신호는, 메모리 셀(MC_j)로부터 데이터를 선택적으로 판독하기 위하여 노드(FN)의 전위를 제어하는 신호이다. 또한, 배선(WWL_j)에는 워드 신호가 공급된다. 워드 신호는, 배선(BL)의 전위가 노드(FN)에 공급되도록 트랜지스터(Ta_j)를 온 상태로 하는 신호이다.
- [0072] 노드(FN)는, 용량 소자(Ca_j)의 제 1 전극, 트랜지스터(Ta_j)의 제 2 단자, 및 트랜지스터(Tb_j)의 게이트 전극을 접속시키는 배선 상의 어느 노드에 상당한다. 예를 들어, 노드(FN)에 액정 소자, 유기 EL(electroluminescence) 소자가 전기적으로 접속되어도 좋다. 상술한 표시 소자가 제공되면, 메모리 셀(MC_j)의 일부는 표시 장치의 화소로서 기능할 수 있다.
- [0073] 노드(FN)의 전위는, 배선(BL)에 공급되는 데이터에 기초한 전위이다. 노드(FN)는, 트랜지스터(Ta_j)가 오프 상태일 때 전기적으로 플로팅 상태에 있고, 트랜지스터(Tb_j)와 배선(RWL_j)이 용량 소자(Ca_j)에 의하여 용량 결합을 이룬다. 따라서, 배선(RWL_j)의 전위를 변화시킴으로써 노드(FN)의 전위를 변화시킬 수 있다. 따라서, 배선(RWL_j)에 공급되는 판독 신호의 전위가 변화되는 경우에, 노드(FN)의 전위는, 원래의 전위와 판독 신호의 전위의 변화량을 합친 전위에 달한다.
- [0074] 트랜지스터(Ta_j)는 온 상태 및 오프 상태가 됨으로써, 데이터 기록을 제어하는 스위치로서의 기능을 갖는다. 트랜지스터(Ta_j)는 오프 상태가 유지됨으로써, 기록된 데이터에 기초한 전위를 유지하는 기능을 갖는다. 여기서, 트랜지스터(Ta_j)는 n채널 트랜지스터이다.
- [0075] 또한, 트랜지스터(Ta_j)로서, 비도통 시에 소스 전극과 드레인 전극 사이를 흐르는 전류가 낮은(오프 전류가 낮은) 트랜지스터를 사용하는 것이 바람직하다. 여기서, '오프 전류가 낮은' 것은, 실온에서 소스 전극과 드레인 전극 사이의 전압이 10V인 채널 폭 $1\mu\text{m}$ 당 정규화된 오프 전류가 10zA 이하인 것을 뜻한다. 이러한 오프 전류가 낮은 트랜지스터의 예로서, 반도체층에 산화물 반도체를 포함하는 트랜지스터가 있다.
- [0076] 트랜지스터(Ta_j)로서 오프 전류가 낮은 트랜지스터를 사용함으로써, 전기적으로 플로팅 상태인 노드(FN)의 전위를 오랫동안 유지할 수 있다. 이로써 메모리 셀(MC_j)의 리프레시 동작의 빈도를 저감할 수 있으므로, 반도체 장치의 소비 전력을 낮게 할 수 있다.
- [0077] 예를 들어, 노드(FN)에 유지된 전위를 85°C 에서 10년간($3.15 \times 10^8 \text{ sec}$) 유지하기 위해서는, 트랜지스터(Ta_j)의 정규화된 오프 전류는 용량 1fF 당 4.3yA (yoctoamperes, 여기서 1yA 는 $1 \times 10^{-24} \text{ A}$) 미만인 것이 바람직하다. 이 경우, 노드(FN)에서 허용될 수 있는 전위 변화는 0.5V 내인 것이 바람직하다. 또는, 정규화된 오프 전류가 95°C 에서 1.5yA 미만인 것이 바람직하다.
- [0078] 도 3의 (B)에 나타낸 메모리 셀(MC_j)에서, 트랜지스터(Ta_j)를 오프 상태로 유지함으로써 노드(FN)의 전위가 유지된다. 따라서, 노드(FN)에서의 전하 이동에 의한 전위 변화를 억제할 수 있는 스위치로서 사용하기 위하여, 트랜지스터(Ta_j)는 오프 전류가 낮은 트랜지스터인 것이 바람직하다.
- [0079] 따라서, 트랜지스터(Ta_j)가 낮은 오프 전류를 가지면, 메모리 셀 어레이(300)는 비휘발성 메모리가 될 수 있다. 따라서, 한번 메모리 셀(MC_j)에 데이터가 기록되면, 트랜지스터(Ta_j)가 다시 온 상태가 될 때까지 데이터가 노드(FN)에 유지될 수 있다.
- [0080] 트랜지스터(Tb_j)에서, 노드(FN)의 전위에 따라 전류(I_d)가 소스 전극과 드레인 전극 사이를 흐른다. 도 3의 (B)에 나타낸 메모리 셀(MC_j)에서, 트랜지스터(Tb_j)에서의 소스 전극과 드레인 전극 사이를 흐르는 전류(I_d)는 배선(BL)과 배선(SL) 사이를 흐르는 전류이다. 트랜지스터(Tb_j)로서, 활성층에 실리콘을 사용한 트랜지스터(이하에서 Si 트랜지스터라고 함) 또는 활성층에 산화물 반도체를 사용한 OS 트랜지스터를 사용하여도 좋다. 여기서는, 트랜지스터(Tb_j)는 n채널 OS 트랜지스터이다.
- [0081] 스위칭 속도가 빠른 n채널 트랜지스터를 트랜지스터(Ta_j 및 Tb_j)에 사용할 수 있다. 예를 들어, 트랜지스터

의 스위칭 속도는 0.1nsec 이상 5nsec 미만이다. 예를 들어, 채널 영역이 산화물 반도체(바람직하게는 In, Ga, 및 Zn을 포함하는 산화물)를 포함하는 OS 트랜지스터는 상술한 스위칭 속도를 실현할 수 있다. 또한 트랜지스터의 스위칭 속도는 트랜지스터가 오프 상태로부터 온 상태가 되는 데 걸리는 시간을 가리킨다. 또는, 스위칭 속도는, 트랜지스터를 증폭기로서 사용할 때 트랜지스터의 전류 이득이 1 이상이 되는 최대 주파수(차단 주파수)에 대응하는 속도로 표현될 수 있다.

[0082] <메모리 셀 어레이의 회로 구성 예 1>

도 4는 도 3의 (B)에 나타낸 메모리 셀(MC_j)이 3차원적으로 배치되는 메모리 셀 어레이(300)의 일례를 도시한 것이다. 도 4는 메모리 셀 어레이(300)의 일례를 도시한 회로도이고, 서브 어레이(SCA)의 일례를 도시한 회로도이기도 하다. 도 4에 나타낸 바와 같이, 서브 어레이(SCA)는 c개의 메모리 셀(MC)을 갖고, 메모리 셀들(MC)은 배선(BL) 및 배선(SL)을 공유한다.

[0084] <메모리 셀 어레이의 동작 예>

다음에, 도 4에 도시된 메모리 셀 어레이(300)의 동작에 대하여 설명한다. 도 5의 (A) 및 (B)는 도 4에 나타낸 메모리 셀 어레이(300)의 동작 예를 도시한 타이밍 차트이다. 도 5의 (A) 및 (B)에서의 타이밍 차트는 배선(WWL_c), 배선(RWL_c), 노드(FN), 배선(BL), 및 배선(SL)에 공급되는 신호의 변화를 나타낸다.

[0086] 우선, 도 5의 (A)를 참조하여 기록 동작에 대하여 설명한다. 여기서는 바이너리 데이터의 기록에 대하여 설명하지만, 메모리 셀 어레이(300)로의 기록은 바이너리 데이터의 기록에 한정되지 않고, 멀티레벨 데이터를 기록하여도 좋다. 도 5의 (A)에서의 타이밍 차트는 기록 기간(T1), 휴식 기간(T2), 및 비선택 기간(T3)을 나타낸다.

[0087] 기록 기간(T1)에서는, 우선 배선(WWL_c)에 전위(V2)가 공급된다. 다음에, 바이너리 데이터에 대응하는 전위, 즉 하이(H) 레벨 또는 로(L) 레벨의 전위가 배선(BL)에 공급된다. 배선(SL)에는, 배선(BL)의 전위와 같은 레벨의 전위가 공급된다. 배선(BL)의 전위가 H 레벨일 때, 배선(SL)에도 H 레벨 전위가 공급된다. 배선(BL)의 전위가 L 레벨일 때, 배선(SL)에도 L 레벨 전위가 공급된다.

[0088] 휴식 기간(T2)에서는, 배선(BL) 및 배선(SL)에는 L 레벨 전위가 공급되고, 배선(RWL_c) 및 배선(WWL_c)에는 전위(V0)가 공급된다. 여기서, 전위(V0)는 접지 전위이고, 전위(V2)는 양의 전위이다. 전위(V2)의 절대값은 H 레벨 전위보다 큰 것이 바람직하고, 예를 들어 H 레벨 전위와 트랜지스터(Ta_c)의 문턱 전압의 합보다 크고, 동시에 H 레벨 전위와 트랜지스터(Ta_c)의 문턱 전압의 합의 3배 미만일 수 있다.

[0089] 비선택 시간(T3)에서는, 배선(RWL_c) 및 배선(WWL_c)에 전위(V1)가 공급된다. 전위(V1)는 예를 들어 음의 전위이다. 전위(V1)의 절대값은 H 레벨 전위보다 큰 것이 바람직하고, 예를 들어 H 레벨 전위와 트랜지스터(Tb_c)의 문턱 전압의 합보다 크고, 동시에 H 레벨 전위와 트랜지스터(Tb_c)의 문턱 전압의 합의 3배 미만일 수 있다. 배선(BL) 및 배선(SL)에는 L 레벨 전위가 공급된다.

[0090] 다음에, 도 5의 (B)를 참조하여 판독 동작에 대하여 설명한다. 도 5의 (B)에서의 타이밍 차트는, 배선(BL)을 프리차지하는 기간(T4), 데이터를 판독하기 위하여 배선(BL)을 방전하는 기간(T5), 및 비선택 기간(T6)을 나타낸다.

[0091] 도 5의 (B)의 기간(T4)에서는, 배선(BL)을 프리차지한다. 여기서, 배선(WWL_c) 및 배선(RWL_c)에는 전위(V1)가 공급된다. 여기서, 전위(V1)는 전위(V0)보다 낮다. 예를 들어, 배선(V0)은 접지 전위이고 전위(V1)는 음의 전위이다. 노드(FN)에는 데이터에 대응하는 전위가 유지된다. 배선(BL)에는 H 레벨 전위(VH)가 공급된다. 배선(SL)에는 L 레벨 전위가 공급된다. 여기서, 전위(V1)의 절대값은 H 레벨 전위보다 큰 것이 바람직하고, 예를 들어 H 레벨 전위와 트랜지스터(Tb_c)의 문턱 전압의 합보다 크고, 동시에 H 레벨 전위와 트랜지스터(Tb_c)의 문턱 전압의 합의 3배 미만일 수 있다.

[0092] 기간(T4)에서는, 배선(BL)은 H 레벨 전위(VH)가 공급되어 전기적으로 플로팅 상태가 된다. 즉, 배선(BL)은, 전하의 충전 또는 방전에 의하여 전위가 변화되는 상태가 된다. 이 플로팅 상태는, 배선(BL)에 전위를 공급하는 스위치를 오프 상태로 함으로써 실현할 수 있다.

[0093] 다음에, 도 5의 (B)에 나타낸 기간(T5)에서는, 데이터를 판독하기 위하여 노드(FN)의 전위에 의하여 배선(BL)을 방전한다. 여기서, 기간(T4)으로부터, 배선(WWL_c)에는 연속적으로 전위(V1)가 공급되고, 배선(SL)에는 연속적으로 L 레벨 전위가 공급된다. 배선(RWL_c)에는 전위(V0)가 공급되기 때문에, 노드(FN)의 전위는 상승된다. 노드(FN)의 전위에 따라 트랜지스터(Tb_c)의 온/오프 상태가 결정된다. H 레벨 전위가 노드(FN)에 기록되면 트

랜지스터(Tb_c)는 온 상태가 됨으로써, 배선(BL)의 전위는 전위(VL)로 저하된다. L 레벨 전위가 노드(FN)에 기록되면 트랜지스터(Tb_c)는 온 상태가 되지 않아 배선(BL)의 전위는 H 레벨로 유지된다.

[0094] 다음에, 도 5의 (B)에 나타낸 기간(T6)에서는, 배선(RWL_c)의 전위를 V1로 설정함으로써, 메모리 셀(MC_c)은 비선택으로 된다. 그리고, 메모리 셀(MC_c)로부터 데이터를 판독하는 동작이 종료된다.

[0095] <메모리 셀 어레이의 회로 구성 예 2 및 3>

[0096] 도 6 및 도 7은 메모리 셀 어레이(300)의 다른 회로 구성 예를 도시한 것이다. 도 6 및 도 7은 메모리 셀 어레이(300)의 예를 도시한 회로도이고, 서브 어레이(SCA)의 예를 도시한 회로도이기도 하다.

[0097] 도 6에서의 회로 구성 예는 도 4의 변형 예이다. 도 4로부터의 상이점은, 도 6에서는 홀수의 메모리 셀(MC)이 배선(SL)에 전기적으로 접속되고, 짝수의 메모리 셀(MC)이 다른 배선(SL)에 전기적으로 접속되고, 홀수의 메모리 셀(MC) 및 짝수의 메모리 셀(MC)은 배선(BL)에 번갈아 접속되는 점이다. 이로써, 서브 어레이(SCA)의 접속도를 높일 수 있다. 또한, 면적당 저장 용량을 높일 수 있다. 도 7의 서브 어레이(SCA)에서, c 개의 메모리 셀(MC)이 하나의 배선(SL)을 공유한다. 따라서, 배선(SL)의 수를 저감할 수 있다.

[0098] <메모리 셀의 적층 구조의 예 1>

[0099] 도 8은 메모리 셀 어레이의 예를 도시한 단면도이다. 도 8에서의 예는, 도 4에 나타낸 회로 구조를 각각 갖는 서브 어레이(SCA)를 사용하여 메모리 셀 어레이가 형성되는 예에 상당한다.

[0100] 도 8은 서로 인접한 3개의 서브 어레이(SCA[$a-1$], SCA[a], 및 SCA[$a+1$])를 나타낸 것이다. '서로 인접한 서브 어레이들'은, 도 3의 (A)의 x-y 평면에서, 하나의 서브 어레이의 x좌표 및 y좌표 중 한쪽이 다른 서브 어레이와 상이하고, 다른 쪽 좌표가 그 다른 서브 어레이와 같은 것을 뜻한다. 예를 들어, 3개의 서브 어레이(SCA[$a-1$], SCA[a], 및 SCA[$a+1$])가 같은 y좌표를 갖고, 서브 어레이(SCA[a])의 x좌표가 k (k 는 2 이상 a 이하의 정수), 서브 어레이(SCA[$a-1$])의 x좌표가 $k-1$, 서브 어레이(SCA[$a+1$])의 x좌표가 $k+1$ 이다.

[0101] 도 8은 서로 인접한 3개의 서브 어레이(SCA[$a-1$], SCA[a], 및 SCA[$a+1$])의 메모리 셀(MC_1 및 MC_2)을 도시한 것이다. 도면에 도시되지 않았지만, 메모리 셀(MC_3)~메모리 셀(MC_c)은, 서브 어레이의 메모리 셀(MC_2) 위에 순차적으로 적층된다. 메모리 셀(MC)의 적층의 수를 증가시킴으로써, 회로 면적의 증가 없이 메모리 셀 어레이(300)의 접속도를 높일 수 있다.

[0102] 도 8에 나타낸 메모리 셀 어레이(300)의 디바이스 구조에 대하여 이하에서 설명한다. 도 8에서, 도면의 간략화를 위하여, 메모리 셀 어레이(300)를 형성하는 구성요소의 일부(트랜지스터(Ta) 등)는 식별 기호 '_1'을 갖지 않는다. 본 명세서에서, 메모리 셀 어레이(300)의 구조는, 식별 기호 '_1' 등을 사용하거나 사용하지 않고 설명한다. 다른 도면에 대해서도 마찬가지이다.

[0103] 메모리 셀(MC) 각각의 트랜지스터(Ta) 및 트랜지스터(Tb)는 산화물 반도체 재료를 포함한다. 트랜지스터(Tb) 위에는 용량 소자(Ca)가 있다. 트랜지스터(Tb)와 용량 소자(Ca) 사이에는 절연막(216)이 있다. 용량 소자(Ca)의 적어도 일부는 트랜지스터(Tb)와 중첩되는 것이 바람직하다. 절연막(115)이 도전막들(151 및 155) 사이에 있어, 용량 소자(Ca)를 구성한다. 도전막(204a 및 204b) 각각은 트랜지스터(Tb)의 소스 전극 또는 드레인 전극으로서 기능한다. 도전막(151)은 플러그(141)를 통하여 트랜지스터(Tb)의 게이트 전극(203)에 전기적으로 접속된다.

[0104] 용량 소자(Ca) 위에는 트랜지스터(Ta)가 있다. 용량 소자(Ca)와 트랜지스터(Ta) 사이에는 절연막(156)이 있다. 트랜지스터(Ta)의 적어도 일부는 용량 소자(Ca)와 중첩되는 것이 바람직하다. 도전막(104a 및 104b) 각각은 트랜지스터(Ta)의 소스 전극 또는 드레인 전극으로서 기능한다.

[0105] 도전막(204a 및 204b)은 배선(SL)(도시되지 않았음)에 전기적으로 접속된다. 도전막(204a)은 플러그(142), 도전막(153), 및 플러그(145) 등을 통하여 도전막(104a)에 전기적으로 접속된다. 도전막(204a 및 104a)은 배선(BL)(도시되지 않았음)에 전기적으로 접속된다. 플러그(142), 도전막(153), 및 플러그(145) 등을 배선(BL)으로서 기능하여도 좋다.

[0106] 2개의 인접한 메모리 셀(MC_j)은 플러그(142) 및 도전막(153) 등을 공유한다. 구체적으로, 서브 어레이(SCA[a])의 메모리 셀(MC_j)은, 플러그(142 및 145) 및 도전막(153)을 서브 어레이(SCA[$a-1$])의 메모리 셀(MC_j)과 공유한다. 2개의 인접한 서브 어레이가 플러그 및 도전막을 공유하면, 메모리 셀 어레이(300)의 접속도가 높아질 수 있다.

- [0107] 또한, 인접한 메모리 셀들(MC_j)은 도전막(104a 및 204b)을 공유한다. 구체적으로, 서브 어레이(SCA[a-1]) 및 서브 어레이(SCA[a])의 트랜지스터(Ta)는 도전막(104a)을 공유하고, 서브 어레이(SCA[a]) 및 서브 어레이(SCA[a+1])의 트랜지스터(Tb)는 도전막(204a)을 공유한다. 도전막을 공유함으로써, 메모리 셀 어레이(300)의 집적도가 높아질 수 있다.
- [0108] <메모리 셀의 적층 구조의 예 2>
- [0109] 도 9 및 도 10은 도 8에 나타낸 메모리 셀 어레이(300)의 변형예를 나타낸 것이다. 도 10은 도 9의 부분 확대도이다. 도 9의 메모리 셀 어레이(300)는 기판(100) 위에 형성되고, 층(291~297)을 갖는다. 층(291)은 트랜지스터를 포함한다. 층(292 및 293)은 도전막을 포함한다. 층(294)은 트랜지스터를 포함한다. 층(295 및 296)은 도전막을 포함한다. 층(297)은 트랜지스터를 포함한다.
- [0110] 도 8의 메모리 셀 어레이(300)의 서브 어레이(SCA)에서 적층 순서는 다음과 같다: 트랜지스터(Tb), 용량 소자(Ca), 트랜지스터(Ta), 트랜지스터(Tb), 용량 소자(Ca), 및 트랜지스터(Ta). 한편, 도 9의 서브 어레이(SCA)에서는, 메모리 셀(MC)이 번갈아 배치되기 때문에, 적층 순서는 다음과 같다: 트랜지스터(Tb), 용량 소자(Ca), 트랜지스터(Ta), 용량 소자(Ca), 및 트랜지스터(Tb). 따라서, 제작 공정을 간략화할 수 있다.
- [0111] 메모리 셀(MC)에서, 트랜지스터(Tb) 위에는 용량 소자(Ca)가 있고, 용량 소자(Ca) 위에는 트랜지스터(Ta)가 있다. 용량 소자(Ca)는, 트랜지스터(Tb)와 중첩되는 영역 및 트랜지스터(Ta)와 중첩되는 영역을 갖는 것이 바람직하다. 또한, 용량 소자(Ca)의 일부는, 인접한 메모리 셀(MC)의 다른 트랜지스터(Tb)와 중첩되는 영역을 가져도 좋다. 도 9에 나타낸 디바이스 구조에 의하여, 메모리 셀 어레이(300)의 집적도를 높일 수 있다.
- [0112] 구체적으로, 서브 어레이(SCA[a])에서 메모리 셀(MC_2) 및 메모리 셀(MC_3)은 대칭적이다. 이로써, 용량 소자(Ca)는 트랜지스터(Ta 및 Tb)와 중첩된다. 이러한 구조에 의하여, 서브 어레이(SCA)에서 메모리 셀(MC)을 번갈아 배치할 수 있고, 메모리 셀(MC)의 바로 아래에 있는 트랜지스터(Ta) 위에 용량 소자를 제공할 수 있고, 이로써 집적도를 높일 수 있다. 도 8에 나타낸 메모리 셀 어레이(300)에 비하여 제작 공정을 간략화할 수 있다.
- [0113] 서브 어레이(SCA[a])에서, c개의 메모리 셀을 번갈아 배치하기 때문에, 수직 방향으로 서로 인접한 메모리 셀들(MC)에서, 하나의 메모리 셀(MC)의 트랜지스터(Ta) 및 다른 메모리 셀(MC)의 트랜지스터(Tb)가 동일한 층에 형성된다. 이렇게 하여, 수직 방향으로 서로 인접한 메모리 셀들에 있는 트랜지스터가 동일한 층에 형성됨으로써, 메모리 셀 어레이(300)를 형성하기 위한 층의 수를 저감할 수 있어, 메모리 셀 어레이(300)를 적은 공정으로 제작할 수 있다. 적은 공정에 의한 제작에 의하여 수율을 높일 수 있다. 또한, 적층의 수가 증가되면, 절연막, 도전막, 반도체막 등의 막 스트레스로 인하여 막이 박리되거나 깨질 가능성이 있다. 따라서, 적층의 수를 저감하면, 막 박리 등으로 인한 반도체 장치의 기능 불량을 억제할 수 있다.
- [0114] <메모리 셀의 적층 구조의 예 3>
- [0115] 도 11은 메모리 셀 어레이의 일례를 도시한 것이다. 도 11에 나타낸 메모리 셀 어레이(300)는 도 8 및 도 9에 나타낸 메모리 셀 어레이(300)의 변형예이다.
- [0116] 도 11에 나타낸 메모리 셀 어레이(300)는 메모리 셀들(MC)이 번갈아 배치되는 점에서 도 9와 같다. 이하에서는 상이점에 대하여 설명한다. 메모리 셀들(MC) 중 몇 개에서, 트랜지스터(Ta) 위에는 용량 소자(Ca)가 있고, 용량 소자(Ca) 위에는 트랜지스터(Tb)가 있다. 또한, 홀수의 메모리 셀(MC)(도 11에서는 MC_1 및 MC_3)에서 트랜지스터(Tb)의 게이트 전극(203)은 용량 소자(Ca)에 전기적으로 접속되고, 짹수의 메모리 셀(MC)(도 11에서는 MC_2 및 MC_4)에서는 도전막(205)이 용량 소자(Ca)에 전기적으로 접속된다. 도전막(205)은 트랜지스터(Tb)의 백 게이트 전극으로서 기능한다.
- [0117] 즉 도 11에서는, j가 홀수인 메모리 셀(MC_j)의 구조와 j가 짹수인 메모리 셀(MC_j)의 구조가 상이하다. 또한 도 11의 예에서는, 트랜지스터(Ta)는 트랜지스터(Tb)와 동일한 층에 형성될 필요는 없고, 트랜지스터(Ta)에 포함되는 반도체막은 트랜지스터(Tb)에 포함되는 반도체막과 상이하여야도 좋다. 따라서, 트랜지스터(Ta 및 Tb)의 반도체막을, 예를 들어 구성요소 또는 원자수비가 각각 상이한 산화물 반도체막을 사용하여 형성하기 쉽다.
- [0118] 이상이 메모리 셀 어레이(300)의 구조예에 관한 설명이다. 다음에, 메모리 셀 어레이(300)에 포함되는 트랜지스터(Ta 및 Tb)의 구조에 대하여 설명한다.
- [0119] <트랜지스터의 구조예 1>
- [0120] 도 12의 (B)는 트랜지스터의 구조예의 상면도이고, 도 12의 (A)는 도 12의 (B)에서의 선 A-B를 따른

단면도이고, 도 12의 (C)는 도 12의 (B)에서의 선 C-D를 따른 단면도이다. 도 12의 (A)~(C)의 트랜지스터(TR1)는 OS 트랜지스터이고, 메모리 셀(MC)의 트랜지스터(Ta)에 상당하는 트랜지스터의 일례이다. 트랜지스터(TR1)는 트랜지스터(Tb)로서도 사용할 수 있다.

[0121] 트랜지스터(TR1)는 반도체막(101), 도전막(104a), 도전막(104b), 게이트 절연막(102), 게이트 전극(103), 도전막(105), 및 절연막(114)을 포함한다.

[0122] 반도체막(101)은 절연막(114)의 상면과 접하는 반도체막(101a), 반도체막(101a)의 상면과 접하는 반도체막(101b), 및 반도체막(101b)의 상면과 접하는 반도체막(101c)을 포함한다. 도 12의 (A)의 예에서는, 반도체막(101)은 반도체막(101a)과 반도체막(101b)과 반도체막(101c)의 적층 구조를 갖지만, 반도체막(101)의 구조는 이에 한정되지 않고, 단층으로 형성되어도 좋다. 게이트 전극(103), 게이트 절연막(102), 및 반도체막(101c)의 단부는 서로 대략 일치한다. 이것은, 게이트 전극(103)이, 게이트 절연막(102) 및 반도체막(101c)의 형성을 위한 에칭 단계에서 마스크로서 기능하기 때문이다.

[0123] 도전막(104a 및 104b) 각각은 소스 전극 또는 드레인 전극으로서 기능한다. 도전막(104a 및 104b)은 반도체막(101b)의 상면과 접하며, 반도체막(101b)의 상면에서 서로 절연된다. 반도체막(101c)은 반도체막(101b) 및 도전막(104a 및 104b)의 상면과 접한다. 게이트 전극(103)은 게이트 절연막(102)을 개재하여 반도체막(101)과 대향하고, 도전막(105)은 절연막(114)을 개재하여 반도체막(101)과 대향한다. 도전막(105)은 트랜지스터(TR1)의 백 게이트 전극으로서 기능한다.

[0124] 바꿔 말하면, 반도체막(101a)은 절연막(114)과 반도체막(101b) 사이에 있다. 반도체막(101c)은 반도체막(101b)과 게이트 절연막(102) 사이에 있다. 도전막(104a 및 104b)은 반도체막(101b)의 상면 및 반도체막(101c)의 하면과 접한다. 반도체막(101b)의 측면은 도전막(104a 및 104b)과 접한다.

[0125] 또한 도전막(105)을 제공하지 않는 구조를 채용하여도 좋다. 또는, 도면에는 도시되지 않았지만, 도전막(105)이 게이트 전극(103)에 전기적으로 접속되어도 좋다. 예를 들어, 도전막(105)이 게이트 전극(103)에 전기적으로 접속되고 같은 전위가 이들에 인가되면, 온 전류를 높이고, 초기 특성의 변동을 저감하고, -GBT(negative gate bias-temperature) 스트레스 시험으로 인한 트랜지스터의 열화 및 상이한 드레인 전압에서의 온 전류의 상승 전압의 변동을 억제할 수 있다. 트랜지스터(TR1)의 온 전류의 증가는 예를 들어, 메모리 셀 어레이(300)의 판독 속도를 높일 수 있다.

[0126] 반도체막(101b)을 게이트 전극(103)의 전계로 전기적으로 둘러쌀 수 있다(반도체막이 도전막의 전계로 전기적으로 둘러싸인 구조를 s-channel(surrounded channel) 구조라고 한다). 트랜지스터(TR1)는 s-channel 구조를 갖는 장치이다. 따라서, 반도체막(101b)의 전체(별크)에 채널이 형성되는 경우가 있다. s-channel 구조에서는, 트랜지스터의 소스 전극과 드레인 전극 사이에 대량의 전류가 흐를 수 있어, 온 상태의 전류(온 전류)를 높일 수 있다.

[0127] 높은 온 전류를 얻을 수 있기 때문에, 상술한 s-channel 구조는 미세화된 OS 트랜지스터에 적합하다. 또한, OS 트랜지스터는 미세화될 수 있기 때문에, OS 트랜지스터를 포함하는 반도체 장치는 높은 접적도 및 높은 밀도를 가질 수 있다. 예를 들어, OS 트랜지스터의 채널 길이는 1nm 이상 100nm 미만인 것이 바람직하고, 5nm 이상 60nm 이하인 것이 더 바람직하다.

[0128] 또한, 채널 길이란 예를 들어, 트랜지스터의 상면도에 있어서 반도체(또는 트랜지스터가 온일 때 반도체에서 전류가 흐르는 부분)와 게이트 전극이 서로 중첩되는 영역, 또는 채널이 형성되는 영역에서의 소스(소스 영역 또는 소스 전극)와 드레인(드레인 영역 또는 드레인 전극) 사이의 거리를 말한다. 하나의 트랜지스터에서 채널 길이는 모든 영역에서 반드시 동일하지는 않다. 바꿔 말하면, 하나의 트랜지스터의 채널 길이는 하나의 값에 한정되지 않는 경우가 있다. 그러므로, 본 명세서 등에서 채널 길이는 채널이 형성되는 영역에 있어서의 어느 하나의 값, 최대값, 최소값, 또는 평균값이다.

[0129] 채널 폭이란 예를 들어, 반도체(또는 트랜지스터가 온일 때 반도체에서 전류가 흐르는 부분)와 게이트 전극이 서로 중첩되는 영역, 또는 채널이 형성되는 영역에서 소스(소스 영역 또는 소스 전극)와 드레인(드레인 영역 또는 드레인 전극)이 서로 대향하는 부분의 길이를 말한다. 하나의 트랜지스터에서 채널 폭은 모든 영역에서 반드시 동일한 값을 가지지는 않는다. 바꿔 말하면, 하나의 트랜지스터의 채널 폭은 하나의 값에 고정되지 않는 경우가 있다. 그러므로, 본 명세서에서 채널 폭은 채널이 형성되는 영역에 있어서의 어느 하나의 값, 최대값, 최소값, 또는 평균값이다.

[0130] 또한, 트랜지스터 구조에 따라서는, 실제로 채널이 형성되는 영역에서의 채널 폭(이하 실효적인 채널 폭이라고

함)이 트랜지스터의 상면도에 나타나는 채널 폭(이하 외견상 채널 폭이라고 함)과 다른 경우가 있다. 예를 들어, 3차원 구조를 갖는 트랜지스터에서는 실효적인 채널 폭이 트랜지스터의 상면도에 나타나는 외견상 채널 폭보다 크고, 그 영향을 무시할 수 없는 경우가 있다. 예를 들어, 3차원 구조를 갖는 미세화된 트랜지스터에서는 반도체 측면에 형성되는 채널 영역의 비율이 반도체 상면에 형성되는 채널 영역의 비율보다 높은 경우가 있다. 이 경우, 실제로 채널이 형성될 때에 얻어지는 실효적인 채널 폭이, 상면도에 나타나는 외견상 채널 폭보다 크다.

[0131] 3차원 구조를 갖는 트랜지스터에서는 실효적인 채널 폭을 측정하기 어려운 경우가 있다. 예를 들어, 설계값으로부터 실효적인 채널 폭을 추산하기 위하여, 가정 조건으로서 반도체의 형상을 아는 것으로 가정할 필요가 있다. 따라서 반도체의 형상을 정확히 모르는 경우에는 실효적인 채널 폭을 정확하게 측정하기 어렵다.

[0132] 그러므로, 본 명세서 등에서는 트랜지스터의 상면도에 있어서 반도체와 게이트 전극이 서로 중첩되는 영역에서 소스(소스 영역 또는 소스 전극)와 드레인(소스 영역 또는 드레인 전극)이 서로 대향하는 부분의 길이인 외견상 채널 폭을 SCW(surrounded channel width)라고 하는 경우가 있다. 또한, 본 명세서 등에서 단순히 '채널 폭'이라는 용어를 사용하는 경우에는 SCW 또는 외견상 채널 폭을 가리킬 수 있다. 또는, 본 명세서 등에서 단순히 '채널 폭'이라는 용어를 사용하는 경우에는 실효적인 채널 폭을 가리킬 수 있다. 또한, 채널 길이, 채널 폭, 실효적인 채널 폭, 외견상 채널 폭, 및 SCW 등의 값은 단면 TEM 이미지 등을 취득하여 분석함으로써 판정할 수 있다.

[0133] 또한, 트랜지스터의 전계 효과 이동도 및 채널 폭당 전류값 등을 계산에 의하여 얻는 경우, 계산에 SCW를 사용하여도 좋다. 이 경우, 계산에 실효적인 채널 폭을 사용하는 경우와는 다른 값이 얻어지는 경우가 있다.

[0134] 도 12의 (A)~(C)의 트랜지스터(TR1)에 포함되는 구성요소에 대하여 이하에서 자세히 설명한다.

[0135] <하지막으로서 기능하는 절연막>

[0136] 절연막(114)은 산화물을 포함하는 것이 바람직하다. 특히, 가열에 의하여 산소의 일부가 방출되는 산화물 재료를 포함하는 것이 바람직하다. 또한, 반도체막(101)은 절연막(114) 위에 제공되는 것이 바람직하다.

[0137] 가열에 의하여 산소가 방출되는 산화물 재료로서, 화학량론적 조성을 초과하여 산소를 포함하는 산화물이 사용되는 것이 바람직하다. 화학량론적 조성을 초과하여 산소를 포함하는 산화물막은 TDS(thermal desorption spectroscopy) 분석에서 산소 원자로 환산된 방출된 산소의 양이 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 이상, 바람직하게는 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 이상인 산화물막이다. 또한 TDS 분석에서의 막 표면의 온도는 100°C 이상 700°C 이하, 또는 100°C 이상 500°C 이하가 바람직하다.

[0138] 가열에 의하여 산소가 방출되는 산화물 재료로서, 산화 실리콘 또는 산화질화 실리콘을 포함하는 재료를 사용하는 것이 바람직하다. 또는, 금속 산화물을 사용할 수 있다. 금속 산화물로서 산화 알루미늄, 산화질화 알루미늄, 산화 갈륨, 산화질화 갈륨, 산화 이트륨, 산화질화 이트륨, 산화 하프늄, 또는 산화질화 하프늄 등을 사용할 수 있다. 또한 본 명세서에서, '산화질화 실리콘'이란 질소보다 높은 비율로 산소를 포함하는 재료를 말하고, '질화산화 실리콘'이란 산소보다 높은 비율로 질소를 포함하는 재료를 말한다.

[0139] 산화물 반도체가 반도체막(101)으로서 사용되는 경우, 절연막(114)으로부터 방출된 산소가 산화물 반도체에 공급되어, 산화물 반도체에서의 산소 빈자리를 저감할 수 있다. 결과적으로, 트랜지스터(TR1)의 전기 특성에서의 변화를 저감할 수 있고 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0140] 또한, CMP(chemical mechanical polishing) 등의 평탄화 처리에 의하여 절연막(114)의 상면을 평탄화시키는 것이 바람직하다.

[0141] <반도체막>

[0142] 반도체막(101)은 실리콘보다 밴드갭이 넓은 반도체를 포함하는 것이 바람직하다. 반도체막(101)은 산화물 반도체를 사용하여 형성되는 것이 바람직하다. 실리콘보다 밴드갭이 넓고 캐리어 밀도가 낮은 반도체 재료가 사용되면 트랜지스터의 오프 상태의 누설 전류가 저감될 수 있어 바람직하다. 반도체막(101)에 이러한 재료를 사용함으로써, 전기 특성의 변화가 억제된 신뢰성이 높은 트랜지스터를 제공할 수 있다.

[0143] 반도체막(101)으로서 산화물 반도체막을 사용하는 것이 바람직하다. 예를 들어 In 대 Ga 대 Zn의 원자수비가 1:1:1, 2:1:3, 3:1:2, 또는 4:2:3인 In-Ga-Zn 산화물을 산화물 반도체막(101b)에 사용하면, In 대 Ga 대 Zn의 원자수비가 1:3:2, 1:3:4, 1:3:6, 1:6:4, 1:6:8, 1:6:10, 1:9:6, 또는 1:2:3인 In-Ga-Zn 산화물을 산화물 반도체막(101b)으로서 사용하는 것이 바람직하다.

체막(101a 및 101c)에 사용할 수 있다. 또한, 반도체막(101b), 반도체막(101a), 및 반도체막(101c) 각각의 원자수비는 오차로서 상술한 원자수비 중 어느 것의 ±20%의 범위 내에서 변동할 수 있다. 반도체막(101a) 및 반도체막(101c)에는 동일한 조성을 갖는 재료를 사용하여도 좋고, 다른 조성을 갖는 재료를 사용하여도 좋다.

[0144] 또한, 산화물 반도체막(101b)에 In-M-Zn 산화물을 사용하는 경우, 산화물 반도체막(101b)이 되는 반도체막을 형성하기 위한 타깃에는, 이하의 조건을 만족시키는 원자수비로 금속 원소를 포함하는 산화물을 사용하는 것이 바람직하다. 산화물에서의 금속 원소의 원자수비가 $In:M:Zn=x_1:y_1:z_1$ 이라면, x_1/y_1 은 1/3 이상 6 이하, 바람직하게는 1 이상 6 이하이고, z_1/y_1 은 1/3 이상 6 이하, 바람직하게는 1 이상 6 이하이다. 또한, z_1/y_1 이 6 이하이면, 후술하는 CAAC-OS막이 형성되기 쉬워진다. 타깃에서의 금속 원소의 원자수비의 대표적인 예로서는 $In:M:Zn=1:1:1$, $In:M:Zn=2:1:3$, 및 $In:M:Zn=3:1:2$ 등이 있다.

[0145] 반도체막(101a) 및 반도체막(101c)에 In-M-Zn 산화물을 사용하는 경우, 반도체막(101a) 및 반도체막(101c)이 되는 산화물 반도체막을 형성하기 위한 타깃에는, 이하의 조건을 만족시키는 원자수비로 금속 원소를 함유하는 산화물을 사용하는 것이 바람직하다. 산화물에서의 금속 원소의 원자수비가 $In:M:Zn=x_2:y_2:z_2$ 이라면, x_2/y_2 는 x_1/y_1 미만이고, z_2/y_2 는 1/3 이상 6 이하, 바람직하게는 1 이상 6 이하이다. 또한, z_2/y_2 가 6 이하이면, 후술하는 CAAC-OS막이 형성되기 쉬워진다. 타깃에서의 금속 원소의 원자수비의 대표적인 예로서는 $In:M:Zn=1:3:4$, $In:M:Zn=1:3:6$, 및 $In:M:Zn=1:3:8$ 등이 있다.

[0146] 반도체막(101c)은 산화 갈륨막으로 형성되는 것이 바람직하다. 산화 갈륨막은 인듐의 확산을 방지하는 블로킹 기능을 갖는다. 따라서, 산화 갈륨막으로 형성된 반도체막(101c)은 반도체막(101a 및 101b)으로부터 게이트 절연막(102)으로 인듐이 확산되는 것을 방지할 수 있고, 트랜지스터(TR1)의 오프 전류를 저감할 수 있다.

[0147] 산화물 반도체를 스퍼터링법으로 형성하는 경우, 사용된 타깃의 원자수비와 다른 원자수비를 갖는 막이 형성될 수 있다. 특히 아연에 관해서는, 퇴적막에서의 아연의 원자수비가 타깃의 원자수비보다 작게 되는 경우가 있다. 구체적으로는, 그 막은 타깃의 아연의 원자수비의 40atomic%~90atomic%의 아연의 원자수비를 갖는다.

[0148] <소스 전극 및 드레인 전극으로서 기능하는 도전막>

[0149] 도전막(104a 및 104b) 각각은, 알루미늄, 타이타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 몰리브데늄, 은, 탄탈럼, 및 텅스텐 등의 금속 중 어느 것, 또는 이를 금속 중 어느 것을 주성분으로 포함하는 합금을 사용한 단층 구조 또는 적층 구조를 가지도록 형성된다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 타이타늄막 위에 알루미늄막이 적층된 2층 구조, 텅스텐막 위에 알루미늄막이 적층된 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막이 적층된 2층 구조, 타이타늄막 위에 구리막이 적층된 2층 구조, 텅스텐막 위에 구리막이 적층된 2층 구조, 타이타늄막 또는 질화 타이타늄막, 알루미늄막 또는 구리막, 및 타이타늄막 또는 질화 타이타늄막이 이 순서대로 적층된 3층 구조, 몰리브데넘막 또는 질화 몰리브데넘막, 알루미늄막 또는 구리막, 및 몰리브데넘막 또는 질화 몰리브데넘막이 이 순서대로 적층된 3층 구조 등을 들 수 있다. 또한, 산화 인듐, 산화 주석, 또는 산화 아연을 포함하는 투명 도전 재료를 사용하여도 좋다.

[0150] <게이트 절연막>

[0151] 게이트 절연막(102)은, 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨, Ga-Zn계 금속 산화물, 및 질화 실리콘 등 중 하나 이상을 사용한 단층 또는 적층으로 형성하여도 좋다.

[0152] 게이트 절연막(102)은 하프늄 실리케이트($HfSiO_x$), 질소가 첨가된 하프늄 실리케이트($HfSi_xO_yN_z$), 질소가 첨가된 하프늄 알루미네이트($HfAl_xO_yN_z$), 또는 산화 이트륨 등의 high-k 재료를 사용하여 형성하여도 좋다.

[0153] 게이트 절연막(102)은, 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 또는 산화 탄탈럼 등의 산화물 절연막, 질화 실리콘, 질화산화 실리콘, 질화 알루미늄, 또는 질화산화 알루미늄 등의 질화물 절연막, 또는 상술한 재료 중 어느 것을 혼합한 막을 사용하여 형성될 수 있다.

[0154] 게이트 절연막(102)으로서는 절연막(114)과 마찬가지로, 화학량론적 조성을 초과하여 산소를 함유하는 산화물 절연막을 사용하는 것이 바람직하다.

[0155] 게이트 절연막에 특정의 재료를 사용하면, 특정의 조건하에서 게이트 절연막에 전자가 포획되고, 문턱 전압이

증가될 수 있다. 예를 들어, 산화 실리콘과 산화 하프늄의 적층막과 같이, 게이트 절연막의 일부로서 산화 하프늄, 산화 알루미늄, 및 산화 탄탈럼 등 전자 포획 준위가 많은 재료를 사용하고, 보다 높은 온도(반도체 장치의 동작 온도 또는 보관 온도보다 높은 온도, 또는 125°C 이상 450°C 이하, 대표적으로는 150°C 이상 300°C 이하)에서 게이트 전극의 전위가 소스 전극 또는 드레인 전극보다 높은 상태를 1초 이상, 대표적으로는 1분 이상 유지한다. 그리고, 반도체층으로부터 게이트 전극으로 전자가 이동하고, 전자의 일부가 전자 포획 준위에 의하여 포획된다.

[0156] 필요한 양의 전자가 이와 같이 전자 포획 준위에 의하여 포획된 트랜지스터에서는, 문턱 전압이 양의 방향으로 시프트된다. 게이트 전극의 전압을 제어함으로써, 포획되는 전자의 양을 제어할 수 있고 이에 따라 문턱 전압을 제어할 수 있다. 또한, 전자를 포획시키기 위한 처리를 트랜지스터의 제작 공정에서 수행하여도 좋다.

[0157] 예를 들어, 이 처리는 트랜지스터의 소스 전극 또는 드레인 전극에 접속되는 배선 메탈의 형성 후, 전(前)공정 (웨이퍼 처리) 후, 웨이퍼 다이싱 단계 후, 또는 패키징 후 등, 공장 출하 전의 어느 단계에서 수행하는 것이 바람직하다. 이들 중 어느 경우에도, 반도체 장치는 전자를 포획시키기 위한 처리 후에 125°C 이상의 온도에 1시간 이상 노출되지 않는 것이 바람직하다.

[0158] <게이트 전극>

[0159] 게이트 전극(103)은, 알루미늄, 크로뮴, 구리, 탄탈럼, 타이타늄, 몰리브데늄, 및 텉스텐으로부터 선택된 금속; 이를 금속 중 어느 것을 성분으로 포함하는 합금; 또는 이를 금속 중 어느 것을 조합하여 포함하는 합금 등을 사용하여 형성할 수 있다. 또한, 망가니즈 및 지르코늄으로부터 선택되는 하나 이상의 금속을 사용하여도 좋다. 또는, 인 등의 불순물 원소가 도핑된 다결정 실리콘으로 대표되는 반도체, 또는 니켈 실리사이드 등의 실리사이드를 사용하여도 좋다. 또한, 게이트 전극(103)은 단층 구조를 가져도 좋고, 2층 이상의 적층 구조를 가져도 좋다. 예를 들어, 실리콘을 함유하는 알루미늄막의 단층 구조, 알루미늄막 위에 타이타늄막이 적층된 2층 구조, 질화 타이타늄막 위에 타이타늄막이 적층된 2층 구조, 질화 타이타늄막 위에 텉스텐막이 적층된 2층 구조, 질화 탄탈럼막 또는 질화 텉스텐막 위에 텉스텐막이 적층된 2층 구조, 및 타이타늄막, 알루미늄막, 및 타이타늄막이 이 순서대로 적층된 3층 구조 등을 들 수 있다. 또는, 타이타늄, 탄탈럼, 텉스텐, 몰리브데늄, 크로뮴, 네오디뮴, 및 스칸듐으로부터 선택되는 하나 이상의 금속과 알루미늄을 함유하는 합금막 또는 질화물막을 사용하여도 좋다.

[0160] 게이트 전극(103)은 인듐 주석 산화물, 산화 텉스텐을 함유하는 인듐 산화물, 산화 텉스텐을 함유하는 인듐 아연 산화물, 산화 타이타늄을 함유하는 인듐 산화물, 산화 타이타늄을 함유하는 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘이 첨가된 인듐 주석 산화물 등의 투광성 도전 재료를 사용하여 형성될 수도 있다. 상술한 투광성 도전 재료와 상술한 금속을 사용하여 형성된 적층 구조를 가질 수도 있다.

[0161] In-Ga-Zn 산화질화물 반도체막, In-Sn 산화질화물 반도체막, In-Ga 산화질화물 반도체막, In-Zn 산화질화물 반도체막, Sn 산화질화물 반도체막, In 산화질화물 반도체막, 또는 금속 질화물(InN 또는 ZnN 등)의 막 등을 게이트 전극(103)과 게이트 절연막 사이에 제공하여도 좋다. 이를 막 각각은 5eV 이상, 바람직하게는 5.5eV 이상의, 산화물 반도체의 전자 친화력보다 높은 일함수를 갖는다. 그러므로, 산화물 반도체를 포함하는 트랜지스터의 문턱 전압이 양의 방향으로 시프트될 수 있고, 소위 노멀리-오프 스위칭 소자를 실현할 수 있다. 예를 들어, In-Ga-Zn 산화질화물 반도체막으로서, 적어도 반도체막(101)보다 질소 농도가 높은 In-Ga-Zn 산화질화물 반도체막, 구체적으로는 질소 농도가 7at.% 이상인 In-Ga-Zn 산화질화물 반도체막을 사용한다.

[0162] <백 게이트 전극으로서 기능하는 도전막>

[0163] 도전막(105)에는, 게이트 전극(103)에 사용되는 재료와 같은 재료를 사용할 수 있다.

[0164] <트랜지스터의 구조예 2~6>

[0165] 다음에, 도 12의 (A)~(C)에 나타낸 트랜지스터(TR1)와 다른 구조예에 대하여 설명한다. 도 13의 (A)~(C) 및 도 14의 (A)~(D)는 트랜지스터(TR1)의 변형예를 나타낸 것이다.

[0166] 도 12의 (A)~(C)의 트랜지스터(TR1)에서, 게이트 절연막(102) 및 반도체막(101c)은, 이들의 단부가 대략 일치하도록 가공된다. 도 13의 (A)~(C)의 트랜지스터(TR2)에서는, 반도체막(101c)이, 그 단부가 게이트 절연막(102)보다 내측에 있도록 가공된다. 도 13의 (B)는 트랜지스터(TR2)의 상면도이다. 도 13의 (A)는 도 13의 (B)의 선 A-B를 따를 단면도이고, 도 13의 (C)는 도 13의 (B)의 선 C-D를 따를 단면도이다.

[0167] 도 14의 (A)~(D)에 나타낸 트랜지스터를 메모리 셀(MC)의 트랜지스터(Ta 및 Tb)에 적용할 수 있다. 도 14의

(A)~(D)는 트랜지스터의 채널 길이 방향의 단면도이다.

[0168] 도 14의 (A)의 트랜지스터(TR3)는 트랜지스터(TR2)의 변형예이고, 도전막(104a 및 104b)의 구조에 상이점이 있다. 예를 들어, 트랜지스터(TR3)를 다음 공정에 의하여 제작할 수 있다. 반도체막(101a 및 101b)이 되는 2개의 적층된 반도체막을 형성하고 나서, 이 적층된 반도체막 위에 도전막(104a 및 104b)이 되는 도전막을 형성한다. 그 후, 도전막 위에 레지스트 마스크를 형성하고, 상기 도전막을 에칭함으로써, 도전막으로 형성된 마스크를 형성한다. 이 마스크를 사용하여, 적층된 반도체막을 에칭함으로써, 반도체막(101a 및 101b)을 형성한다. 다음에, 마스크를 가공하여 도전막(104a 및 104b)을 형성한다.

[0169] 도 14의 (B)에 나타낸 트랜지스터(TR4)는 트랜지스터(TR2)의 변형예이다. 트랜지스터(TR4)에서, 반도체막(101c)은 도전막(104a 및 104b)의 바닥면과 접하도록 형성된다. 이러한 구조에 의하여, 반도체막(101a), 반도체막(101b), 및 반도체막(101c)에 사용되는 막을 대기와의 접촉 없이 연속적으로 형성할 수 있으므로, 각 계면에서의 결함을 저감할 수 있다.

[0170] 도 14의 (C)에 나타낸 트랜지스터(TR5)는 트랜지스터(TR4)의 변형예이다. 트랜지스터(TR5)에서는, 절연막(116)에 제공된 개구에 플러그(118a 및 118b)가 형성되고, 이를 플러그는 트랜지스터의 소스 전극 및 드레인 전극으로서 사용된다.

[0171] 도 14의 (D)에 나타낸 트랜지스터(TR6)는 트랜지스터(TR5)의 변형예이다. 트랜지스터(TR6)에서는, 반도체막(101)에 저저항 영역(171a) 및 저저항 영역(171b)이 형성된다. 저저항 영역은 예를 들어 다음의 공정에 의하여 형성한다. 절연막(114) 위에 반도체막(101)을 형성한다. 다음에, 게이트 절연막(102) 및 게이트 전극(103)을 형성한다. 이어서, 게이트 전극(103)을 마스크로서 사용하여 저저항 영역(171a 및 171b)을 형성한다. 저저항 영역(171a 및 171b)은 캐리어 밀도가 높은 영역이다.

[0172] 캐리어 밀도를 높이는 방법으로서는 예를 들어, 불순물의 첨가 및 산소 빈자리의 형성 등을 들 수 있다. 예를 들어, 캐리어 밀도를 높이기 위하여 주입법에 의하여 원소를 첨가할 수 있다. 원소로서는 아르곤, 봉소, 탄소, 마그네슘, 알루미늄, 실리콘, 인, 칼슘, 스칸듐, 타이타늄, 바나듐, 크로뮴, 망가니즈, 철, 코발트, 니켈, 갈륨, 저마늄, 비소, 이트륨, 지르코늄, 나이오븀, 몰리브데넘, 인듐, 주석, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 및 텅스텐 중 하나 이상을 첨가하는 것이 바람직하다. 저저항 영역(171a) 및 저저항 영역(171b) 각각은 예를 들어, 상술한 불순물 중 어느 것을 $5 \times 10^{19} \text{ atoms/cm}^3$ 이상, 바람직하게는 $1 \times 10^{20} \text{ atoms/cm}^3$ 이상, 더 바람직하게는 $2 \times 10^{20} \text{ atoms/cm}^3$ 이상, 더욱 바람직하게는 $5 \times 10^{20} \text{ atoms/cm}^3$ 이상의 농도로 포함한다.

[0173] 저저항 영역(171a 및 171b)은 불필요한 수소를 트랩할 가능성이 있다. 저저항 영역(171a 및 171b)이 불필요한 수소를 트랩하면, 채널 영역에서의 수소의 농도가 저감될 수 있다.

[0174] 이상이 트랜지스터(Ta 및 Tb)에 적용될 수 있는 트랜지스터의 구조예의 설명이다.

[0175] <메모리 셀의 제작 방법의 예>

[0176] 도 9에 나타낸 메모리 셀 어레이(300)의 제작 방법의 예에 대하여 도 15의 (A)~(D), 도 16의 (A)~(C), 도 17의 (A)~(C), 및 도 18을 참조하여 이하에서 설명한다. 여기서, 도 13의 (A)~(C)에 나타낸 트랜지스터(TR2)는 트랜지스터(Ta 및 Tb)에 적용된다.

[0177] 먼저, 기판(100)을 준비한다. 기판(100)으로서, 예를 들어 단결정 실리콘 기판(p형 반도체 기판 또는 n형 반도체 기판을 포함함), 탄소화 실리콘 또는 질화 갈륨을 포함하는 화합물 반도체 기판, 또는 유리 기판 등을 사용할 수 있다. 또는, 기판(100)으로서 SOI 기판을 사용하여도 좋다. 단결정 실리콘을 기판(100)에 사용하는 경우에 대하여 이하에서 설명한다.

[0178] 다음에 도전막(105) 등이 되는 도전막을 기판(100) 위에 형성한다. 스팍터링법, CVD법(열 CVD법, MOCVD법, 및 PECVD법 등을 포함함), MBE법, ALD법, 또는 PLD법 등에 의하여, 도전막(105) 등이 되는 도전막을 형성할 수 있다. 그 후, 레지스트 마스크를 형성하고, 도전막(105) 등이 되는 도전막의 불필요한 부분을 에칭으로 제거한다. 그리고, 레지스트 마스크를 제거하여 도전막(105) 등을 형성한다.

[0179] 다음에, 기판(100) 및 도전막(105) 위에 절연막(114)을 형성한다. 절연막(114)은 예를 들어, 스팍터링법, CVD법(열 CVD법, MOCVD법, 및 PECVD법 등을 포함함), MBE법, ALD법, 또는 PLD법 등에 의하여 형성할 수 있다. 특히, 절연막을 CVD법, 더 바람직하게는 PECVD법으로 형성하면, 괴복성을 향상시킬 수 있으므로 바람직하다. 플라스마 대미지를 줄이기 위해서는, 열 CVD법, MOCVD법, 또는 ALD법을 사용하는 것이 바람직하다.

- [0180] 절연막(114)에 과잉 산소를 함유시키기 위하여, 예를 들어 산소 분위기에서 절연막(114)을 퇴적시킬 수 있다. 또는, 퇴적된 절연막(114)에 산소를 도입함으로써 과잉 산소를 함유하는 영역을 형성하여도 좋다. 양쪽의 방법을 조합하여도 좋다.
- [0181] 예를 들어, 퇴적된 절연막(114)에 산소(적어도 산소 라디칼, 산소 원자, 및 산소 이온 중 어느 것을 포함함)를 도입함으로써, 과잉 산소를 함유하는 영역을 형성한다. 산소는 이온 주입법, 이온 도핑법, 플라스마 잠입 이온 주입법, 또는 플라스마 처리 등에 의하여 도입될 수 있다.
- [0182] 산소 도입 처리에는 산소를 함유하는 가스를 사용할 수 있다. 산소를 함유하는 가스로서는, 일산화이질소, 이산화질소, 이산화탄소, 및 일산화탄소 등을 사용할 수 있다. 또한, 산소 도입 처리를 위한 산소를 함유하는 가스에 희가스가 포함되어도 좋다. 또한, 수소 등이 포함되어도 좋다. 예를 들어, 이산화탄소, 수소, 및 아르곤의 혼합 가스를 사용하여도 좋다.
- [0183] 절연막(114)을 형성한 후, 절연막(114)의 상면의 평탄성을 향상시키기 위하여 CMP법 등을 사용한 평탄화 처리를 절연막(114)에 수행하여도 좋다.
- [0184] 다음에, 절연막(114) 위에, 트랜지스터(Tb)의 소스 전극 또는 드레인 전극과의 접속을 위한 플러그를 형성할 것이다. 먼저, 절연막(114)에 개구를 제공한다. 그리고, 개구를 채우도록 플러그가 되는 도전막(133)을 형성한다(도 15의 (A)).
- [0185] 다음에, 절연막(114)의 표면이 노출되도록 도전막(133)에 평탄화 처리를 수행함으로써, 플러그(134)를 형성한다(도 15의 (B)).
- [0186] 다음에, 반도체막(101a) 등이 되는 반도체막 및 반도체막(101b) 등이 되는 반도체막을 이 순서대로 절연막(114) 위에 형성한다. 반도체막들은 대기와의 접촉 없이 연속적으로 형성되는 것이 바람직하다. 반도체막(101a)이 되는 반도체막 및 반도체막(101b)이 되는 반도체막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등에 의하여 형성할 수 있다.
- [0187] 예를 들어, 반도체막(101a) 및 반도체막(101b) 등이 되는 반도체막으로서 In-Ga-Zn 산화물막을 MOCVD법에 의하여 형성하는 경우, 원료 가스로서 트라이메틸인듐, 트라이메틸갈륨, 및 다이메틸아연 등을 사용할 수 있다. 원료 가스는 이들 가스의 조합에 한정되지 않고, 트라이메틸인듐 대신에 트라이에틸인듐 등을 사용하여도 좋다. 트라이메틸갈륨 대신에 트라이에틸갈륨 등을 사용하여도 좋다. 다이메틸아연 대신에 다이에틸아연 등을 사용하여도 좋다.
- [0188] 반도체막(101a 및 101b)이 되는 반도체막을 형성한 후에 가열 처리를 수행하는 것이 바람직하다. 가열 처리는 250°C 이상 650°C 이하, 바람직하게는 300°C 이상 500°C 이하의 온도로, 불활성 가스 분위기, 산화성 가스를 10ppm 이상 함유하는 분위기, 또는 감압 상태에서 수행할 수 있다. 또는 가열 처리는, 불활성 가스 분위기에서 가열 처리를 수행한 다음, 방출된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상 함유하는 분위기에서 또 다른 가열 처리를 수행하는 식으로 행해져도 좋다. 또한, 가열 처리는 반도체막의 형성 직후에 수행하여도 좋고, 반도체막을 섬 형상의 반도체막(101a 및 101b)으로 가공한 후에 수행하여도 좋다. 이 가열 처리를 거쳐, 절연막(114)으로부터 반도체막에 산소가 공급될 수 있으므로, 반도체막의 산소 빈자리를 저감할 수 있다.
- [0189] 그리고, 레지스트 마스크를 형성하고, 에칭에 의하여 불필요한 부분을 제거한다. 그 후, 레지스트 마스크를 제거한다. 이로써, 섬 형상의 반도체막(101a) 및 섬 형상의 반도체막(101b) 등을 포함하는 적층 구조를 형성할 수 있다(도 15의 (C)).
- [0190] 또한 반도체막의 에칭에서, 절연막(114)의 일부가 에칭되어, 절연막(114)에서 반도체막(101a 및 101b) 등으로 덮이지 않은 부분의 두께가 줄어드는 경우가 있다. 이 이유로, 절연막(114)은 에칭에 의하여 제거되지 않도록 두껍게 형성되는 것이 바람직하다.
- [0191] 그 후, 도전막(204a 및 204b)이 되는 도전막을 형성한다. 도전막은 예를 들어, 스퍼터링법, CVD법(열 CVD법, MOCVD법, 및 PECVD법 등을 포함함), MBE법, ALD법, 또는 PLD법에 의하여 형성할 수 있다. 다음에, 레지스트 마스크를 형성하고, 도전막(204a 및 204b)이 되는 도전막의 불필요한 부분을 에칭으로 제거한다. 그 후, 레지스트 마스크를 제거하고, 도전막(204a 및 204b)을 형성한다(도 15의 (D)).
- [0192] 여기서, 도전막의 에칭에서, 반도체막(101b) 및 절연막(114) 등의 상부의 일부가 에칭되어, 도전막(204a) 및 도전막(204b)이 중첩하지 않는 부분의 두께가 줄어드는 경우가 있다. 이 이유로, 에칭 깊이를 미리 고려하여, 반

도체막(101b)이 되는 반도체막은 두겹게 형성하는 것이 바람직하다.

[0193] 다음에, 게이트 절연막(202) 및 반도체막(101c)을 형성한다. 또한 게이트 절연막(202) 및 반도체막(101c)을 형성하고 나서, 그 후에 형성된 레지스트 마스크를 사용한 에칭에 의하여 이들을 가공하여도 좋다. 다음에, 게이트 전극(203)이 되는 도전막을 형성한다. 그리고, 레지스트 마스크를 형성하고, 에칭에 의하여 도전막을 가공함으로써, 게이트 전극(203)을 형성한다. 그 후, 레지스트 마스크를 제거한다. 이 단계에서 트랜지스터(Tb)가 형성된다(도 16의 (A)).

[0194] 반도체막(101c)이 되는 반도체막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등에 의하여 형성할 수 있다.

[0195] 또한, MOCVD법에 의하여 형성된 In-Ga-Zn 산화물막을 반도체막(101c)이 되는 반도체막으로서 사용하는 경우, 원료 가스로서 트라이메틸인듐, 트라이메틸갈륨, 및 다이메틸아연 등을 사용할 수 있다. 원료 가스는 이들 가스의 조합에 한정되지 않고, 트라이메틸인듐 대신에 트라이에틸인듐 등을 사용하여도 좋다. 트라이메틸갈륨 대신에 트라이에틸갈륨 등을 사용하여도 좋다. 다이메틸아연 대신에 다이에틸아연 등을 사용하여도 좋다.

[0196] 도 8, 도 9, 도 10, 및 도 11에 나타내지 않았지만, 트랜지스터(Tb) 위에 절연막(212) 및 절연막(213)을 형성하여도 좋다(도 16의 (B)).

[0197] 절연막(212)은 스퍼터링법, CVD법(열 CVD법, MOCVD법, 및 PECVD법 등을 포함함), MBE법, ALD법, 또는 PLD법 등에 의하여 형성할 수 있다. 절연막(212)을 형성한 후, 가열 처리를 수행하는 것이 바람직하다. 가열 처리를 거쳐, 절연막(114) 등으로부터 반도체막(101b)에 산소를 공급하므로, 반도체막(101b)의 산소 빈자리를 저감할 수 있다. 또한, 절연막(212)은 2개 이상의 적층 구조를 가져도 좋다. 이 경우 예를 들어, 아래층을 예컨대 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 또는 질화 알루미늄 등을 사용하여 형성하는 2층 구조를 가지도록 절연막(212)을 형성하여도 좋다.

[0198] 절연막(213)은, 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 질화산화 알루미늄, 또는 질화 알루미늄 등을 사용한 단층 구조 또는 적층 구조를 가지도록 형성할 수 있다.

[0199] 다음에, 절연막(213) 위에 절연막(216)을 형성한다. 절연막(216)은, 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 또는 질화 알루미늄 등을 사용한 단층 구조 또는 적층 구조를 가지도록 형성할 수 있다. 절연막(216)은 스퍼터링법, CVD법(열 CVD법, MOCVD법, 및 PECVD법 등을 포함함), MBE법, ALD법, 또는 PLD법 등에 의하여 형성할 수 있다. 유기 수지 등의 유기 절연 재료를 사용하여 절연막(216)을 형성하는 경우, 스판 코팅법 등의 도포법을 사용하여도 좋다. 절연막(216)을 형성한 후, 그 상면에 평탄화 처리를 수행하는 것이 바람직하다.

[0200] 다음에, 절연막(216), 절연막(213), 절연막(212), 게이트 절연막(202), 및 반도체막(101)에 개구를 제공하고 나서, 개구를 채우도록 플러그(141, 142, 및 143) 등이 되는 도전막을 형성한다. 그리고, 절연막(216)의 표면이 노출되도록 평탄화 처리를 수행함으로써, 플러그(141, 142, 및 143) 등을 형성한다(도 16의 (C)).

[0201] 다음에, 절연막(216) 및 플러그(141) 등 위에 도전막을 형성하고, 마스크를 형성하고 나서, 이 마스크를 사용한 에칭을 수행하여, 도전막(151, 152, 및 153) 등을 형성한다. 그 후, 절연막(115)을 형성한다(도 17의 (A)). 절연막(115)은 용량 소자(Ca)의 절연막으로서 기능한다. 절연막(115)에 사용할 수 있는 재료 등에 대해서는, 예를 들어 게이트 절연막(102)에 관한 기재를 참조할 수 있다.

[0202] 그리고, 절연막(115) 위에 도전막(155) 등을 형성한다. 도전막(155) 등에 사용할 수 있는 재료 등에 대해서는, 예를 들어 도전막(105)에 관한 기재를 참조할 수 있다. 이와 같이 하여, 용량 소자(Ca)를 형성할 수 있다(도 17의 (B))

[0203] 다음에, 도전막(155) 및 절연막(115) 위에 절연막(156)을 형성한다. 절연막(156)의 상면을 평탄화하여도 좋다. 절연막(156)에 대해서는 절연막(216)에 관한 기재를 참조한다. 다음에, 절연막(156) 위에 도전막(105) 등을 형성한다. 그 후, 절연막(114)을 형성한다. 다음에, 절연막(156) 및 절연막(114)에 개구를 제공하고, 개구를 채우도록 도전막을 형성하고, 절연막(114)이 노출되도록 도전막의 표면을 평탄화함으로써, 플러그(144 및 145) 등을 형성한다(도 17의 (C)).

[0204] 다음에, 트랜지스터(Ta) 등을 형성한다(도 18).

[0205] 트랜지스터(Ta)의 형성에 대해서는, 트랜지스터(Tb)에 관한 기재를 참조할 수 있다. 또한, 도 18에 나타낸 바

와 같이, 메모리 셀(MC_1)에 포함되는 트랜지스터(Ta) 및 메모리 셀(MC_2)에 포함되는 트랜지스터(Tb)를 같은 공정에서 형성한다.

[0206] 상술한 공정을 반복함으로써, 도 9에 나타낸 메모리 셀 어레이(300)를 제작할 수 있다.

[0207] 본 실시형태에서 설명한 구조 및 방법은, 다른 실시형태들에서 설명하는 다른 구조 및 방법 중 어느 것과 적절히 조합함으로써 실시할 수 있다.

[0208] (실시형태 2)

[0209] 본 실시형태에서는, 본 발명의 일 형태의 회로 시스템에 적용할 수 있는 회로의 구조예에 대하여 도 19의 (A)~(C), 도 20의 (A)~(C), 및 도 21의 (A) 및 (B)를 참조하여 자세히 설명한다.

[0210] <CMOS 회로>

[0211] 도 19의 (A)의 회로(2011)는, p채널 트랜지스터(2200)와 n채널 트랜지스터(2100)가 서로 직렬로 접속되고, 이들의 게이트가 서로 접속되는, 소위 CMOS 인버터 회로이다. 도 19의 (B)는 회로(2011)의 디바이스 구조의 일례를 나타낸 것이다.

[0212] 도 19의 (B)는 회로(2011)의 구조예를 나타낸 단면도이다. 회로(2011)는 기판(2201), 트랜지스터(2200), 트랜지스터(2100), 배선(2202), 플러그(2203), 배선(2206), 배선(2205), 소자 분리층(2204), 절연막(2207), 및 절연막(2208)을 포함한다. 트랜지스터(2200)는, 소스 영역 또는 드레인 영역으로서 기능하는 불순물 영역(2001), 게이트 전극(2003), 게이트 절연막(2004), 및 측벽 절연층(2005)을 포함한다.

[0213] 도 19의 (B)의 회로(2011)는 제 1 반도체 재료를 포함하는 트랜지스터(2200)를 아래쪽 부분에, 제 2 반도체 재료를 포함하는 트랜지스터(2100)를 위쪽 부분에 포함한다. 도 19의 (B)에서는 예로서, 실시형태 1에서 설명한 OS 트랜지스터가 제 2 반도체 재료를 포함하는 트랜지스터(2100)로서 사용된다. 트랜지스터(2100) 및 트랜지스터(2200)의 채널 길이 방향의 단면도가 일점쇄선의 왼쪽에 있고, 트랜지스터(2100) 및 트랜지스터(2200)의 채널 폭 방향의 단면도가 일점쇄선의 오른쪽에 있다. 도면에서 나타낸 바와 같이, 2종류의 트랜지스터의 적층은 회로가 차지하는 면적을 저감하고, 복수의 회로의 집적도를 높게 할 수 있다.

[0214] 여기서, 제 1 반도체 재료 및 제 2 반도체 재료는 상이한 밴드 갭을 갖는 재료인 것이 바람직하다. 예를 들어, 제 1 반도체 재료는 산화물 반도체 외의 반도체 재료(이런 반도체 재료의 예에는 실리콘(스트레인드 실리콘을 포함함), 저마늄, 실리콘 저마늄, 탄소화 실리콘, 갈륨 비소, 알루미늄 갈륨 비소, 인듐 인, 질화 갈륨, 및 유기 반도체가 포함됨)일 수 있고, 제 2 반도체 재료는 산화물 반도체일 수 있다. 단결정 실리콘 등의, 산화물 반도체 외의 재료를 사용한 트랜지스터는 쉽게 고속으로 동작할 수 있다. 한편, 산화물 반도체를 포함하고 상술한 실시형태에서 예로서 설명한 트랜지스터는 우수한 소브스레숄드(subthreshold) 특성 및 미세한 구조를 가질 수 있다. 또한 상기 트랜지스터는, 스위칭 속도가 빠르므로 고속으로 동작할 수 있고, 오프 전류가 낮으므로 누설 전류가 낮다.

[0215] 트랜지스터(2200)는 n채널 트랜지스터이어도 p채널 트랜지스터이어도 좋고, 회로에 따라 적절한 트랜지스터를 사용할 수 있다. 도 19의 (A)의 회로(2011)에서 트랜지스터(2200)는 p채널 트랜지스터이다.

[0216] 또한 도 19의 (C)에 나타낸 바와 같이, 트랜지스터(2200)에 불순물 영역(2002)을 제공하여도 좋다. 불순물 영역(2002)은 LDD(lightly doped drain) 영역 또는 확장 영역으로서 기능한다. 불순물 영역(2001)의 불순물 농도는 불순물 영역(2002)보다 높다. 불순물 영역(2001 및 2002)은 게이트 전극(2003) 및 측벽 절연층(2005)을 마스크로서 사용하여 자기정합 방식으로 형성된다. 특히, 트랜지스터(2200)가 n채널 트랜지스터일 때, 핫 캐리어로 인한 열화를 억제하기 위하여 불순물 영역(2002)을 제공하는 것이 바람직하다.

[0217] 트랜지스터(2200)로서, 실리사이드(살리사이드)를 포함하는 트랜지스터 또는 측벽 절연층(2005)을 포함하지 않는 트랜지스터를 사용하여도 좋다. 실리사이드(살리사이드)를 포함하는 구조를 사용할 때, 소스 영역 및 드레인 영역의 저항을 더 낮출 수 있고, 반도체 장치의 속도가 증가된다. 또한, 반도체 장치가 낮은 전압으로 동작할 수 있으므로, 반도체 장치의 소비 전력을 저감할 수 있다.

[0218] 도 19의 (B)의 트랜지스터(2100)는, 백 게이트 전극을 갖는 구조를 갖지만, 백 게이트 전극이 없는 구조를 채용하여도 좋다.

[0219] 기판(2201)으로서는, 실리콘 또는 탄소화 실리콘의 단결정 반도체 기판 또는 다결정 반도체 기판, 실리콘 저마늄의 화합물 반도체 기판, 또는 SOI(silicon-on-insulator) 기판 등을 사용할 수 있다. 반도체 기판을 사용하

여 제작된 트랜지스터는 고속으로 동작하기 쉽다. 기판(2201)으로서 p형 단결정 실리콘 기판을 사용하는 경우, n형 도전성을 부여하는 불순물 원소를 기판(2201)의 일부에 첨가하여 n웰을 형성하고, n웰이 형성된 영역에 p형 트랜지스터를 형성할 수 있다. n형 도전성을 부여하는 불순물 원소로서 인(P) 또는 비소(As) 등을 사용할 수 있다. p형 도전성을 부여하는 불순물 원소로서는 봉소(B) 등을 사용할 수 있다.

[0220] 또는, 기판(2201)은 도전성 기판, 또는 반도체막이 위에 제공된 절연성 기판일 수 있다. 도전성 기판의 예에는, 금속 기판, 스테인리스 스틸 기판, 스테인리스 스틸 포일을 포함하는 기판, 텅스텐 기판, 텅스텐 포일을 포함하는 기판이 포함된다. 절연성 기판의 예는, 유리 기판, 석영 기판, 플라스틱 기판, 가요성 기판, 접합 필름, 섬유 재료를 포함하는 종이, 및 기재 필름이 포함된다. 유리 기판의 예로서, 바륨 보로실리케이트 유리 기판, 알루미노 보로실리케이트 유리 기판, 소다 석회 유리 기판 등을 들 수 있다. 플렉시블 기판의 예에는, PET(polyethylene terephthalate), PEN(polyethylene naphthalate), 및 PES(polyether sulfone)로 대표되는 플라스틱, 및 아크릴 등의 플렉시블 합성 수지가 포함된다. 부착 필름의 예는 폴리프로필렌, 폴리에스터, 폴리플루오린화 바이닐, 폴리염화 바이닐 등을 사용하여 형성한 부착 필름이다. 기재 필름의 예는 폴리에스터, 폴리아마이드, 폴리아미드, 아라미드, 에폭시, 무기 증착 필름, 및 종이를 사용하여 형성된 기재 필름이다.

[0221] 또는, 반도체 소자를 하나의 기판을 사용하여 형성하고, 그 후에 다른 기판에 전치하여도 좋다. 반도체 소자를 전치하는 기판의 예에는, 상술한 기판에 더하여, 종이 기판, 셀로판 기판, 아라미드 필름 기판, 폴리아미드 필름 기판, 석 기판, 목재 기판, 직물 기판(천연 섬유(예를 들어 비단(silk), 면(cotton), 또는 삼(hemp)), 합성 섬유(예를 들어 나일론, 폴리우레탄, 또는 폴리에스터), 또는 재생 섬유(예를 들어 아세테이트, 큐프라, 레이온, 또는 재생 폴리에스터) 등을 포함함), 괴혁 기판, 및 고무 기판이 포함된다. 이런 기판을 사용하면, 특성이 우수한 트랜지스터 또는 소비 전력이 낮은 트랜지스터가 형성될 수 있고, 내구성 및 내열성이 높은 장치를 제공할 수 있고, 또는 경량화 또는 박형화를 달성할 수 있다.

[0222] 트랜지스터(2200)는 소자 분리층(2204)에 의하여, 기판(2201)에 형성된 다른 트랜지스터로부터 분리되어 있다. 소자 분리층(2204)은 산화 알루미늄, 산화질화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 등으로부터 선택되는 하나 이상의 재료를 포함하는 절연체를 사용하여 형성할 수 있다.

[0223] 여기서, 하부에 제공되는 트랜지스터(2200)에 실리콘계 반도체 재료가 사용되는 경우, 트랜지스터(2200)의 반도체막 근방에 제공되는 절연막에서의 수소가 실리콘의 맹글링 본드를 종단하여, 트랜지스터(2200)의 신뢰성을 향상시킬 수 있다. 한편, 상부에 제공되는 트랜지스터(2100)에 산화물 반도체가 사용되는 경우, 트랜지스터(2100)의 반도체막의 근방에 제공되는 절연막에서의 수소가 산화물 반도체에서 캐리어를 생성하는 요인이 된다; 따라서, 트랜지스터(2100)의 신뢰성이 저하될 수 있다. 그러므로, 산화물 반도체를 사용하는 트랜지스터(2100)가 실리콘계 반도체 재료를 사용하는 트랜지스터(2200) 위에 제공되는 경우, 수소의 확산을 방지하는 기능을 갖는 절연막(2207)이 트랜지스터(2100)와 트랜지스터(2200) 사이에 제공되는 것은 특히 효과적이다. 절연막(2207)은 하부에 수소를 남기므로, 트랜지스터(2200)의 신뢰성이 향상된다. 또한, 절연막(2207)이 하부로부터 상부로의 수소의 확산을 억제하기 때문에, 트랜지스터(2100)의 신뢰성도 향상시킬 수 있다.

[0224] 절연막(2207)은 예를 들어, 산화 알루미늄, 산화질화 알루미늄, 산화 갈륨, 산화질화 갈륨, 산화 이트륨, 산화 질화 이트륨, 산화 하프늄, 산화질화 하프늄, 또는 YSZ(yttria-stabilized zirconia)를 사용하여 형성될 수 있다.

[0225] 또한, 수소의 확산을 방지하는 기능을 갖는 절연막(2208)이 산화물 반도체막을 포함하는 트랜지스터(2100)를 덮도록 트랜지스터(2100) 위에 형성되는 것이 바람직하다. 절연막(2208)에, 절연막(2207)과 같은 재료를 사용할 수 있고, 특히, 산화 알루미늄막이 바람직하게 사용된다. 산화 알루미늄막은 산소, 및 수소 및 수분 등의 불순물 양쪽의 침입을 방지하는 높은 차폐(블로킹) 효과를 갖는다. 따라서, 산화 알루미늄막을 트랜지스터(2100)를 덮는 절연막(2208)으로서 사용함으로써, 트랜지스터(2100)에 포함되는 산화물 반도체막으로부터의 산소의 방출을 방지할 수 있고, 산화물 반도체막으로의 물 및 수소의 진입을 방지할 수 있다.

[0226] 플러그(2203)는, 구리(Cu), 텅스텐(W), 몰리브데늄(Mo), 금(Au), 알루미늄(Al), 마그네슘(Mn), 타이타늄(Ti), 탄탈럼(Ta), 니켈(Ni), 크로뮴(Cr), 납(Pb), 주석(Sn), 철(Fe), 및 코발트(Co)로부터 선택되는 저저항 재료, 이러한 저저항 재료의 합금, 또는 이러한 재료를 주성분으로서 포함하는 화합물을 포함하는 도전막의 단층 구조 또는 적층 구조를 갖는 것이 바람직하다. 텅스텐 또는 몰리브데늄 등, 높은 내열성 및 도전성을 모두 갖는 고용접 재료를 사용하는 것이 특히 바람직하다. 또한, 플러그는, 알루미늄 또는 구리 등의 저저항 도전 재료를 사용하여 형성되는 것이 바람직하다. 플러그는, 산소를 포함하는 절연체와의 계면에 형성되는 산화 마그네슘이

Cu 확산을 방지하는 기능을 갖기 때문에, Cu-Mn 합금을 사용하여 형성되는 것이 바람직하다.

[0227] 배선(2202 및 2205)은, 구리(Cu), 텉스텐(W), 폴리브데넘(Mo), 금(Au), 알루미늄(Al), 마그네슘(Mn), 타이타늄(Ti), 탄탈럼(Ta), 니켈(Ni), 크로뮴(Cr), 납(Pb), 주석(Sn), 철(Fe), 및 코발트(Co)로부터 선택되는 저저항 재료, 이러한 저저항 재료의 합금, 또는 이러한 재료를 주성분으로서 포함하는 화합물을 포함하는 도전막의 단층 구조 또는 적층 구조를 갖는 것이 바람직하다. 텉스텐 또는 폴리브데넘 등, 높은 내열성 및 도전성을 모두 갖는 고용점 재료를 사용하는 것이 특히 바람직하다. 또한, 이들 배선은, 알루미늄 또는 구리 등의 저저항 도전 재료를 사용하여 형성되는 것이 바람직하다. 이들 배선은, 산소를 포함하는 절연체와의 계면에 형성되는 산화 마그네슘이 Cu 확산을 방지하는 기능을 갖기 때문에, Cu-Mn 합금을 사용하여 형성되는 것이 바람직하다.

[0228] 배선(2206)은, 트랜지스터(2100)의 소스 전극 또는 드레인 전극과 같은 재료를 사용하여 형성할 수 있다.

[0229] 도 19의 (B) 및 (C)에서, 부호 및 해칭 패턴이 없는 영역은 절연체로 형성되는 영역을 나타낸다. 이들 영역에는, 산화 알루미늄, 질화산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타늄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 등으로부터 선택되는 하나 이상의 재료를 포함하는 절연체를 사용할 수 있다. 또는, 이들 영역에는, 폴리아미드 수지, 폴리아마이드 수지, 아크릴 수지, 실록산 수지, 에폭시 수지, 또는 페놀 수지 등의 유기 수지를 사용할 수 있다. 나중에 설명하는 도 20의 (B) 및 (C) 및 21의 (B)에 대해서도 마찬가지이다.

[0230] 트랜지스터(2100) 및 트랜지스터(2200)의 전극들을 적절히 접속시킴으로써, 다양한 회로를 형성할 수 있다. 도 20의 (A)~(C) 및 도 21의 (A) 및 (B)에 다른 예를 나타내었다.

[0231] <아날로그 스위치>

[0232] 도 20의 (A)에 나타낸 회로(2012)는 트랜지스터(2100 및 2200)의 소스들이 서로 접속되고 트랜지스터(2100 및 2200)의 드레인들이 서로 접속되는 회로 구조를 갖는다. 즉, 회로(2012)는 아날로그 스위치로서 기능한다. 도 20의 (B)는 회로(2012)의 디바이스 구조의 일례를 도시한 단면도이다. 도 19의 (B)의 트랜지스터(2200)는 플레이너 트랜지스터이지만, 트랜지스터(2200)에는 다양한 형태의 트랜지스터를 사용할 수 있다. 예를 들어, 3차원 구조를 갖는 FIN형 트랜지스터 및 트라이 게이트 트랜지스터 등을 사용할 수 있다. 이러한 예를 도 20의 (B)에 나타내었다.

[0233] 도 20의 (B)에 나타낸 바와 같이 절연막(2212)은 반도체 기판(2211) 위에 제공된다. 반도체 기판(2211)은 첨단이 가는 돌출부(핀이라고도 함)를 포함한다. 또한 절연막이 돌출부 위에 제공되어도 좋다. 돌출부가 형성될 때에 절연막은 반도체 기판(2211)이 에칭되는 것을 방지하기 위한 마스크로서 기능한다. 돌출부는 첨단이 가늘지 않아도 되고, 예를 들어 직육면체형 돌출부 및 첨단이 굽은 돌출부가 허용된다. 게이트 절연막(2214)이 반도체 기판(2211)의 돌출부 위에 제공되고, 게이트 전극(2213)이 게이트 절연막(2214) 위에 제공된다. 반도체 기판(2211)에는, 소스 영역 또는 드레인 영역으로서 기능하는 불순물 영역(2215)이 형성된다. 또한, 도 20의 (C)에 나타낸 바와 같이 불순물 영역(2216)이 형성되어도 좋다. 불순물 영역(2216)은 LDD 영역 또는 연장 영역으로서 기능한다.

[0234] <기억 회로>

[0235] 본 발명의 일 형태의 트랜지스터를 포함하는 반도체 장치(기억 장치)의 예에 대하여 설명한다. 이 반도체 장치는 전력의 공급이 없을 때도 저장된 데이터를 유지할 수 있고, 기록 횟수에 제한이 없다.

[0236] 도 21의 (A)의 회로(2013)는 제 2 반도체 재료를 사용한 트랜지스터(2100), 제 1 반도체 재료를 사용한 트랜지스터(2200), 및 용량 소자(2300)를 포함한다. 회로(2013)는 도 2의 (A)의 기억 회로(25)와 같은 회로 구조 및 기능을 갖는다. 따라서, 기억 회로(2013)의 구조의 설명에는 기억 회로(25)에 관한 설명을 참조한다. 도 21의 (A)의 예에서 트랜지스터(2200)는 n채널 트랜지스터이다.

[0237] 트랜지스터(2100)는 산화물 반도체를 포함하는 반도체층에 채널이 형성되는 트랜지스터이다. 트랜지스터(2100)의 오프 전류는 작기 때문에, 이런 트랜지스터에 의하여, 저장된 데이터가 오랫동안 유지될 수 있다. 바꿔 말하면, 리프레시 동작이 필요 없거나 리프레시 동작의 빈도가 굉장히 낮은 반도체 장치를 제공할 수 있기 때문에 소비 전력을 충분히 저감할 수 있다.

[0238] 실시형태 1에서 설명한 트랜지스터를 트랜지스터(2100)에 적용할 때, 트랜지스터는 우수한 소브스레솔드 특성 및 미세한 구조를 가질 수 있다. 또한, 스위칭 속도가 빠르므로 트랜지스터는 고속으로 동작할 수 있다. 한편, 트랜지스터(2200)는 산화물 반도체 이외의 반도체 재료로서 단결정 실리콘 등을 포함하고, 미세한 구조를

가질 수 있고, 고속으로 동작할 수 있다. 이를 트랜지스터를 조합시킴으로써, 작은 반도체 장치를 제공할 수 있다. 또한, 고속의 기록 및 판독을 수행할 수 있다.

[0239] 도 21의 (B)는 회로(2013)의 디바이스 구조의 일례를 나타낸 것이다. 회로(2013)에서 트랜지스터(2200)는 n채널 트랜지스터이어도 p채널 트랜지스터이어도 좋다. 트랜지스터(2200)가 p채널 트랜지스터일 때, 불순물 영역(2002)을 제공하지 않아도 된다. 또한, 트랜지스터(2100)는 백 게이트 전극을 갖지 않아도 된다.

[0240] 도 19의 (A)~(C), 도 20의 (A)~(C), 및 도 21의 (A) 및 (B)의 예에서는, 기판(2201) 및 반도체 기판(2211)으로서 벌크 반도체를 사용하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어 SOI 기판을 사용하여도 좋다.

[0241] 본 실시형태에서 설명한 구조 및 방법은, 다른 실시형태들에서 설명하는 다른 구조 및 방법 중 어느 것과 적절히 조합함으로써 실시할 수 있다.

[0242] (실시형태 3)

[0243] 본 실시형태에서는, 본 발명의 일 형태의 회로 시스템에 적용 가능한 회로의 예에 대하여 도 22의 (A)~(I)를 참조하여 설명한다.

[0244] 산화물 반도체의 활성층을 갖는 트랜지스터 또는 실리콘의 활성층을 갖는 트랜지스터를 포함하는 회로의 예를 도 22의 (A)~(I)에 도시하였다. 이하에서는, 산화물 반도체의 활성층을 갖는 트랜지스터를 OS 트랜지스터라고 하고, 실리콘의 활성층을 갖는 트랜지스터를 Si 트랜지스터라고 한다. 또한, p채널 Si 트랜지스터를 p-Si 트랜지스터라고 하고, n채널 Si 트랜지스터를 n-Si 트랜지스터라고 한다. 특별히 언급이 없는 한 OS 트랜지스터는 n채널 트랜지스터이다. 또한, 도 22의 (A)~(I)에서는 편의상, p채널 트랜지스터 및 n채널 트랜지스터를 각각 PMOS 및 NMOS로서 설명한다.

[0245] 제작하기 쉽게 하고, 접적도를 높이고, 단채널 효과가 작은 OS 트랜지스터의 이점을 이용하기 위하여, OS 트랜지스터의 채널 길이는 1nm 이상 100nm 미만인 것이 바람직하고, 5nm 이상 60nm 이하인 것이 더 바람직하다. OS 트랜지스터가 형성되는 기판 위에 Si 트랜지스터를 형성하기 위하여, Si 트랜지스터의 채널 길이는 1nm 이상 100nm 미만인 것이 바람직하고, 5nm 이상 60nm 이하, 또는 5nm 이상 30nm 이하인 것이 더 바람직하다.

[0246] 도 22의 (A) 및 (B)에 나타낸 회로 각각은 트랜지스터(700)를 포함하고, 예를 들어 스위칭 회로로서 기능한다. 트랜지스터(700)는 OS 트랜지스터이다. 도 22의 (B)에 나타낸 트랜지스터(700)는 제 1 게이트(톱 게이트, 또는 프런트 게이트) 및 제 2 게이트(백 게이트)를 포함하는 듀얼 게이트 OS 트랜지스터이다. 제 1 게이트 및 제 2 게이트를 별도로 제어함으로써, 온 특성 및 오프 특성을 향상시킬 수 있다.

[0247] 도 22의 (C)에 나타낸 회로는 트랜지스터(700), 트랜지스터(701), 및 노드(FN)를 포함하고, 노드(FN)에 전위를 유지함으로써 도 2의 (A)의 기억 회로(25)와 같은 기억 회로로서 기능한다. 도 22의 (C)에서 트랜지스터(700)는 OS 트랜지스터이다. 트랜지스터(701)는 p-Si 트랜지스터이어도, n-Si 트랜지스터이어도, OS 트랜지스터이어도 좋다.

[0248] 도 22의 (D)에 나타낸 회로는 트랜지스터(700), 트랜지스터(701), 용량 소자(705), 및 노드(FN)를 포함한다. 도 22의 (D)의 회로는 도 2의 (A)의 기억 회로(25)와 같은 회로 구조를 갖고, 기억 회로로서 기능한다. 여기서, 트랜지스터(700)는 듀얼 게이트 OS 트랜지스터이다. 트랜지스터(701)는 p-Si 트랜지스터이어도, n-Si 트랜지스터이어도, OS 트랜지스터이어도 좋다. 트랜지스터(701)가 p-Si 트랜지스터이면, 데이터 입력의 시퀀스가 도 5의 (A) 및 (B)의 타이밍 차트에 나타낸 것과 상이하다.

[0249] 도 22의 (C) 및 (D)의 회로에서의 트랜지스터(700 및 701)가 OS 트랜지스터이면, 실리콘 기판을 사용할 필요가 없으므로, 유리 기판 또는 석영 기판 등의 투명 기판이나, 금속 기판 등을 사용할 수 있다.

[0250] 미세화에 있어서, n채널 트랜지스터는 p채널 트랜지스터에 비하여, LDD 또는 왜곡의 형성 등 더 복잡한 공정을 필요로 한다. OS 트랜지스터는 LDD 또는 왜곡의 형성 등의 복잡한 공정을 필요로 하지 않는다. 따라서, 도 22의 (C) 및 (D)의 회로에서는 트랜지스터(701)가 p-Si 트랜지스터이고 트랜지스터(700)가 OS 트랜지스터이면, 제작 공정을 간략화할 수 있다.

[0251] OS 트랜지스터는 900°C 이상의 고온 프로세스를 필요로 하지 않아, Si 트랜지스터보다 접적화에 적합하다. 또한, OS 트랜지스터와 다른 반도체 소자를 적층할 수 있기 때문에, 회로에 OS 트랜지스터를 사용함으로써, 소자가 3차원적으로 접적된 접적도가 높은 반도체 장치를 제공할 수 있다. 즉, OS 트랜지스터는 Si 트랜지스터보다

저온 프로세스로 형성할 수 있기 때문에, Si 트랜지스터 위에 OS 트랜지스터를 형성할 수 있어, 신뢰성이 높고 성능이 높은 반도체 장치를 제공할 수 있다.

[0252] 도 22의 (E)의 회로는 도 22의 (D)의 회로의 변형예이고, 트랜지스터(701) 대신에, 직렬로 서로 전기적으로 접속되는 트랜지스터(702) 및 트랜지스터(703)를 갖는다. 예를 들어, 트랜지스터(702)의 제 1 단자는 전원 전위(V_{DD})가 공급되는 배선 또는 전극에 전기적으로 접속되고, 트랜지스터(703)의 제 2 단자는 접지 전위(GND)가 공급되는 배선 또는 전극에 전기적으로 접속된다. 트랜지스터(700)는 듀얼 게이트 OS 트랜지스터이고, 트랜지스터(702)는 p-Si 트랜지스터이고, 트랜지스터(703)는 n-Si 트랜지스터이다. 트랜지스터(702 및 703)는 CMOS 인버터 회로를 구성한다. 트랜지스터(700)는 저온으로 제작할 수 있고, Si 트랜지스터의 일반적인 제작 공정과 호환이 있기 때문에, 트랜지스터(702 및 703) 위에 트랜지스터(700)를 형성하는 것은 쉽다.

[0253] 도 22의 (F)는 CMOS 인버터 회로의 일례를 도시한 것이다. 트랜지스터(700)는 OS 트랜지스터이고, 트랜지스터(702)는 p-Si 트랜지스터이다. 트랜지스터(700)는 저온으로 제작할 수 있고, Si 트랜지스터의 일반적인 제작 공정과 호환이 있기 때문에, 트랜지스터(702) 위에 트랜지스터(700)를 형성하는 것은 쉽다.

[0254] 도 22의 (G)의 회로는 트랜지스터(700), 트랜지스터(701), 트랜지스터(704), 다이오드(706), 및 노드(FN)를 포함한다. 트랜지스터(701 및 704)는 직렬로 서로 전기적으로 접속된다. 트랜지스터(701)의 게이트는 트랜지스터(700)를 통하여 다이오드(706)의 출력 단자에 전기적으로 접속된다. 다이오드(706)의 입력 단자, 트랜지스터(700)의 게이트, 트랜지스터(701)의 제 1 단자, 및 트랜지스터(704)의 제 2 단자는, 각각 다른 배선 또는 전극(도면에서는 도시되지 않았음)에 전기적으로 접속된다. 트랜지스터(700), 트랜지스터(701), 트랜지스터(704), 다이오드(706), 및 노드(FN)를 포함하는 회로는 도 22의 (C) 등의 회로와 같은 기억 회로로서 기능할 수 있다. 다이오드(706)의 입력 단자와 출력 단자 사이의 전위에 대응하는 데이터가 노드(FN)에 유지될 수 있다. 다이오드(706)로서 포토다이오드를 사용하면 센서 소자로서 기능할 것이다. 이 경우, 도 22의 (G)의 회로는 광 센서 회로로서 기능할 수 있다. 포토다이오드(다이오드(706))를 흐르는 광 전류에 대응하는 전위가 노드(FN)에 유지될 수 있다.

[0255] 도 22의 (G)의 회로에 사용되는 센서 소자는 광 센서 소자에 한정되지 않고, 다양한 센서를 사용할 수 있다. 센서 소자의 예는 다음과 같다: 힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광(가시광 또는 적외광), 전자기(뇌파 등), 자기(magnetism), 온도, 화학 물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 또는 냄새 등을 측정하거나 검출하고, 그 결과를 전압 신호 또는 전류 신호로 변환하는 기능을 갖는 소자이다. 예를 들어, 포토다이오드(706) 대신에 온도 특성이 상이한 2개의 저항 소자가 직렬로 전기적으로 접속되는 온도 센서 소자를 제공하여도 좋다.

[0256] 도 22의 (G)의 회로에서 트랜지스터(700)는 OS 트랜지스터이다. 트랜지스터(701 및 704)는 p-Si 트랜지스터이어도, n-Si 트랜지스터이어도, OS 트랜지스터이어도 좋다. 다이오드(706)는 예를 들어 실리콘을 사용한 포토다이오드이어도 좋다. 트랜지스터(701 및 704)가 Si 트랜지스터일 때, 트랜지스터(700)는 저온으로 형성할 수 있고 Si 트랜지스터의 일반적인 제작 공정과 호환이 있기 때문에, 트랜지스터(701 및 704) 위에 트랜지스터(700)를 형성하는 것은 쉽다.

[0257] 또한 도 22의 (G)의 회로에서, 트랜지스터(701 및 704) 중 한쪽이 Si 트랜지스터이고 다른 쪽이 OS 트랜지스터일 때, Si 트랜지스터의 동작 속도가 빠른 특성과 OS 트랜지스터의 누설 전류가 낮은 특성을 합친 회로를 형성할 수 있다.

[0258] 또한 도 22의 (G)의 회로에서, 트랜지스터(701 및 704)가 OS 트랜지스터이면 제작 공정을 더 간략화할 수 있다. 나중에 실시예 1 및 3에 나타내는 바와 같이, 미세한 테크놀로지 노드가 채용되면, OS 트랜지스터는 Si 트랜지스터와 동등한 주파수 특성을 얻을 수 있어, 상기 구조에 의하여도 동작 속도가 빠른 특성과 누설 전류가 낮은 특성을 합친 회로를 형성할 수 있다.

[0259] 도 22의 (H)의 회로는 직렬로 서로 전기적으로 접속되는 트랜지스터(700) 및 트랜지스터(704)를 포함한다. 트랜지스터(700)의 제 1 게이트는 트랜지스터(700)의 제 1 단자에 전기적으로 접속되고, 트랜지스터(700)의 제 2 단자는 도시되지 않은 배선 또는 전극에 전기적으로 접속된다. 상기 제 1 게이트는 상기 제 2 단자에 전기적으로 접속된다. 트랜지스터(704)의 제 1 단자는 도시되지 않은 배선 또는 전극에 전기적으로 접속된다. 도 22의 (H)의 회로는 인핸스먼트/디플리션형 인버터 회로로서 기능할 수 있다. 트랜지스터(700)는 듀얼 게이트 OS 트랜지스터이고, 제 2 게이트 전위를 변화시키면 도 22의 (H)에 나타낸 회로(인버터 회로)의 특성을 제어할 수 있다. 트랜지스터(704)는 OS 트랜지스터이어도 n-Si 트랜지스터이어도 좋다.

- [0260] 도 22의 (I)의 회로는 도 22의 (H)의 회로와 같이, 직렬로 서로 전기적으로 접속되는 트랜지스터(700) 및 트랜지스터(704)를 포함한다. 도 22의 (I)에 나타낸 회로는, 트랜지스터(700)의 게이트가, 도시되지 않은 배선 또는 전극에 전기적으로 접속되는 점이 도 22의 (H)의 회로와 상이하다. 도 22의 (I)의 회로는 인핸스먼트/디플리션형 인버터 회로로서 기능할 수 있다. 트랜지스터(700)의 게이트 전위는 고정되어도, 변동되어도 좋다. 트랜지스터(700)는 OS 트랜지스터이다. 트랜지스터(704)는 OS 트랜지스터이어도 n-Si 트랜지스터이어도 좋다.
- [0261] 도 22의 (H) 및 (I)의 트랜지스터(704)가 Si 트랜지스터이면, 도 22의 (C)의 회로와 같이, 트랜지스터(704) 위에 트랜지스터(700)를 형성할 수 있다.
- [0262] 도 22의 (A)~(I)의 회로에 사용되는 OS 트랜지스터에는, 필요에 따라 제 2 게이트 전극을 제공하여도 좋고, 제 2 게이트 전극을 제공하지 않아도 좋다.
- [0263] 도 22의 (A)~(I)에서의 회로(반도체 장치)는 같은 기판 위에 형성할 수 있다. 따라서, 동일 기판 위에, 상이한 기능 또는 성능을 갖는 복수의 회로를 형성할 수 있다. 예를 들어, 도 23의 (A)는, 도 22의 (D) 및 (F)의 회로들이 동일 기판 위에 형성되는 경우의 반도체 장치를 도시한 것이고, 도 24의 (A)는 도 22의 (D) 및 (I)의 회로들이 동일 기판 위에 형성되는 경우의 반도체 장치를 도시한 것이다.
- [0264] 도 23의 (A)는 반도체 장치의 구조예를 도시한 단면도이다. 왼쪽 부분은 도 23의 (B)에 나타낸 회로에 상당하고, 오른쪽 부분은 도 23의 (C)에 나타낸 회로에 상당한다. 도 23의 (B)의 회로도는 도 22의 (F)의 회로도에 상당하고, 도 23의 (C)의 회로도는 도 22의 (D)의 회로도에 상당한다. 도 23의 (A)의 반도체 장치에서 트랜지스터(700)는 OS 트랜지스터이고, 트랜지스터(701 및 702)는 p-Si 트랜지스터이다. 도 23의 (A)는 트랜지스터의 채널 길이 방향에서의 단면도이다.
- [0265] 도 23의 (A)의 반도체 장치는 트랜지스터(700), 트랜지스터(701), 트랜지스터(702), 용량 소자(705), 기판(730), 소자 분리층(731), 절연막(732), 절연막(733), 플러그(711), 플러그(712), 플러그(713), 플러그(714), 배선(721), 배선(722), 배선(723), 배선(724), 배선(741)을 포함한다. 또한 도 23의 (A)에서는, 복잡화를 피하기 위하여, 동일 층에 형성되는 복수의 플러그 중 하나에 부호를 붙이고, 동일 층의 나머지 플러그에는 부호를 붙이지 않는다.
- [0266] 기판(730), 소자 분리층(731), 절연막(732), 절연막(733), 플러그(711~714), 및 배선(721~723)의 상세에 대해서는, 도 19의 (B)의 기판(2201), 소자 분리층(2204), 절연막(2207), 절연막(2208), 플러그(2203), 및 배선(2202)의 설명을 각각 참조한다.
- [0267] 배선(741)은 트랜지스터(700)의 제 2 게이트 전극으로서 기능한다. 배선(741)은, 배선(721~723)에 사용할 수 있는 재료로 형성하여도 좋다. 또한 배선(741)을 생략하여도 좋은 경우가 있다. 배선(724)은, 트랜지스터(700)의 소스 전극 또는 드레인 전극과 같은 재료로 형성할 수 있다.
- [0268] 도 23의 (A)에서, 부호 및 해칭 패턴이 없는 영역은 절연체로 형성되는 영역을 나타낸다. 이들 영역에는, 산화 알루미늄, 질화산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타늄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 등으로부터 선택되는 하나 이상의 재료를 포함하는 절연체를 사용할 수 있다. 또는, 이들 영역에는, 폴리 이미드 수지, 폴리아마이드 수지, 아크릴 수지, 실록산 수지, 에폭시 수지, 또는 폐놀 수지 등의 유기 수지를 사용할 수 있다.
- [0269] 도 23의 (A)에 나타낸 구조를 갖는 반도체 장치에서, 기억 회로(트랜지스터 및 플로팅 노드를 포함함) 및 주변 회로를 동일 기판 위에 형성할 수 있다. OS 트랜지스터는 900°C 이상의 가열 처리를 필요로 하지 않으므로, 회로를 저온 프로세스로 형성할 수 있다. 또한, 미세화된 OS 트랜지스터는 실리콘의 활성층을 갖는 n채널 트랜지스터와 동등한 주파수 특성을 갖는다. OS 트랜지스터와 p-Si 트랜지스터를 조합한 CMOS 회로는 고속으로 동작 할 수 있다.
- [0270] 도 24의 (A)는 반도체 장치의 구조예를 도시한 단면도이다. 왼쪽 부분은 도 24의 (B)에 나타낸 회로에 상당하고, 오른쪽은 도 24의 (C)에 나타낸 회로에 상당한다. 도 24의 (B)의 회로도는 도 22의 (I)의 회로도에 상당하고, 도 24의 (C)의 회로도는 도 22의 (D)의 회로도에 상당한다. 도 24의 (A)의 반도체 장치에서 트랜지스터(700), 트랜지스터(701), 및 트랜지스터(704)는 OS 트랜지스터이다. 도 24의 (A)는 트랜지스터의 채널 길이 방향의 단면도이다.
- [0271] 도 24의 (A)의 반도체 장치는 트랜지스터(700), 트랜지스터(701), 트랜지스터(704), 용량 소자(705), 기판

(735), 절연막(732), 절연막(733), 플러그(711), 플러그(712), 플러그(713), 플러그(714), 배선(721), 배선(722), 배선(723), 배선(724), 배선(741), 배선(742), 및 배선(743)을 포함한다. 또한 도 24의 (A)에서는, 복잡화를 피하기 위하여, 동일 층에 형성되는 복수의 플러그 중 하나에 부호를 붙이고, 동일 층의 나머지 플러그에는 부호를 붙이지 않는다.

[0272] 기판(735)의 상세에 대해서는 도 19의 (B)의 기판(2201)의 설명을 참조한다. 또한, 기판(735)에 다른 장치를 형성할 수 있다. 이 경우, 기판(735)의 표면이 평탄하게 되도록 CMP 등에 의한 평탄화 처리를 수행하는 것이 바람직하다.

[0273] 절연막(732), 절연막(733), 플러그(711~714), 및 배선(721~723)의 상세에 대해서는, 도 19의 (B)의 절연막(2207), 절연막(2208), 플러그(2203), 및 배선(2202)의 설명을 각각 참조한다.

[0274] 배선(741)은 트랜지스터(700)의 제 2 게이트 전극으로서의 기능을 갖고, 배선(742)은 트랜지스터(701)의 제 2 게이트 전극으로서의 기능을 갖고, 배선(743)은 트랜지스터(704)의 제 2 게이트 전극으로서의 기능을 갖는다. 배선(741~743)은 배선(721~723)에 사용할 수 있는 재료로 형성할 수 있다. 배선(741~743)을 생략하여도 좋은 경우가 있다.

[0275] 배선(724)은 트랜지스터(700) 및 트랜지스터(704)의 소스 전극 또는 드레인 전극과 같은 재료로 형성할 수 있다.

[0276] 도 24의 (A)에서, 부호 및 해칭 패턴이 없는 영역은 절연체로 형성되는 영역을 나타낸다. 이들 영역에는, 산화알루미늄, 질화산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 등으로부터 선택되는 하나 이상의 재료를 포함하는 절연체를 사용할 수 있다. 또는, 이들 영역에는, 폴리이미드 수지, 폴리아마이드 수지, 아크릴 수지, 실록산 수지, 에폭시 수지, 또는 페놀 수지 등의 유기 수지를 사용할 수 있다.

[0277] 도 24의 (A)에 나타낸 구조를 갖는 반도체 장치에서, 기억 회로(트랜지스터 및 플로팅 노드를 포함함) 및 주변회로를 동일 기판 위에 형성할 수 있다. OS 트랜지스터는 900°C 이상의 가열 처리를 필요로 하지 않으므로, 반도체 장치를 저온 프로세스로 형성할 수 있다. 또한, OS 트랜지스터와 다른 반도체 소자를 적층할 수 있고, 이들 소자를 3차원적으로 배치할 수 있음으로써, 집적도가 높은 반도체 장치를 제작할 수 있다. 또한, 미세화된 OS 트랜지스터는 실리콘의 활성층을 갖는 n채널 트랜지스터와 동등한 주파수 특성을 갖는다. OS 트랜지스터를 갖는 회로는 고속으로 동작할 수 있다.

[0278] 또한, 채널 길이에 대한 OS 트랜지스터의 전자 이동도 의존성의 영향은, 채널 길이에 대한 Si 트랜지스터의 전자 이동도 의존성만큼 크지 않다. 또한, 채널 길이를 10 μm로부터 100nm까지 짧게 하더라도 OS 트랜지스터의 전계 효과 이동도에 명확한 저하는 없다.

[0279] 따라서, 채널 길이 10 μm 이하의 OS 트랜지스터를 사용하는 경우, OS 트랜지스터와 Si 트랜지스터의 전계 효과 이동도의 차이가, OS 트랜지스터의 채널 길이가 10 μm보다 클 때의 차이보다 작아진다. 채널 길이 100nm 이하의 OS 트랜지스터를 사용하는 경우, 전계 효과 이동도의 차이를 저감할 수 있고, 구체적으로는, OS 트랜지스터의 전계 효과 이동도가 Si 트랜지스터의 약 1/30, 바람직하게는 1/10, 더 바람직하게는 1/3일 수 있다.

[0280] 채널 길이 약 100nm의 트랜지스터에 OS 트랜지스터를 사용하는 경우, Si 트랜지스터와 동등한 전계 효과 이동도를 실현할 수 있을 것이다. 따라서, 미세화된 OS 트랜지스터는, Si 트랜지스터와 동등한 스위칭 속도 및 주파수 특성을 실현할 수 있다.

[0281] 또한, OS 트랜지스터는 낮은 오프 전류에 의하여 특징지어진다. OS 트랜지스터를 사용한 회로에서는, 오프 전류가 낮기 때문에, 전하를 유지하기 위한 용량을 작게 할 수 있다.

[0282] 본 실시형태의 구조는 다른 실시형태 또는 실시예에서 설명하는 구조 중 어느 것과 적절히 조합할 수 있다.

[0283] (실시형태 4)

[0284] 본 실시형태에서는, 상술한 실시형태에 나타낸 메모리 셀 어레이(300) 등의 기억 장치를 포함하는 RF 디바이스에 대하여 설명한다. 여기서, 기억 장치는, 메모리 셀 어레이에 접속되는 행 드라이버, 열 드라이버, 및 A/D 컨버터 등을 포함한다.

[0285] 본 실시형태의 RF 디바이스는 기억 회로를 포함하고, 기억 회로에 필요한 데이터를 저장하고, 비접촉 수단, 예

를 들어 무선 통신에 의하여 외부에 데이터를 송신하거나 외부로부터 데이터를 수신한다. 이들 특징에 의하여, 예를 들어 RF 디바이스는 개개의 정보를 판독함으로써 물체 등을 인식하는 개체 인증 시스템에 사용될 수 있다. RF 디바이스를 이러한 용도로 사용하기 위해서는, 신뢰성이 굉장히 높은 것이 요구된다.

[0286] 도 25는 RF 디바이스의 구성예를 도시한 블록도이다. 도 25의 RF 디바이스(800)는 안테나(804), 정류 회로(805), 정전압 회로(806), 복조 회로(807), 변조 회로(808), 논리 회로(809), 기억 회로(810), 및 ROM(811)을 포함한다.

[0287] 복조 회로(807)에 포함되는 정류 기능을 갖는 트랜지스터는 역전류를 충분히 낮게 할 수 있는 재료, 예를 들어 산화물 반도체를 사용하여 형성되어도 좋다. 이에 의하여, 역전류의 발생에 기인하여 정류 기능이 약해지는 현상을 억제하고, 또한 복조 회로로부터의 출력의 포화를 방지할 수 있다. 바꿔 말하면, 복조 회로에 대한 입력과 복조 회로로부터의 출력이 선형 관계에 가까운 관계를 가질 수 있다. 또한, 데이터 전송 방식은 다음 3가지 방식으로 크게 분류된다: 한 쌍의 코일이 서로 대향하도록 제공되며 상호 유도에 의하여 서로 통신하는 전자기 결합 방식, 유도 전자계를 사용하여 통신을 하는 전자기 유도 방식, 및 전파를 사용하여 통신을 하는 전파 방식. 본 실시형태에 기재된 RF 디바이스(800)에는 이들 중 어느 방식이나 사용할 수 있다.

[0288] 다음에, 각 회로의 구조에 대하여 설명한다. 안테나(804)는 통신 장치(801)(질문기 또는 리더/라이터 등이라고도 함)에 접속된 안테나(802)와 무선 신호(803)를 주고받는다. 정류 회로(805)는 안테나(804)에서 무선 신호를 수신함으로써 생성되는 입력 교류 신호를 정류, 예를 들어 반파 배전압 정류하고, 정류 회로(805)의 후단에 제공된 용량 소자에 의하여, 정류된 신호를 평활화함으로써 입력 전위를 생성한다. 또한 정류 회로(805)의 입력 측 또는 출력 측에 리미터 회로를 제공하여도 좋다. 리미터 회로는, 입력 교류 신호의 진폭이 크고 내부 생성 전압이 높은 경우에, 특정의 전력 이상의 전력이 후단의 회로에 입력되지 않도록 전력을 제어한다.

[0289] 정전압 회로(806)는 입력 전위로부터 안정된 전원 전압을 생성하여 각 회로에 공급한다. 또한, 정전압 회로(806)는 리셋 신호 생성 회로를 포함하여도 좋다. 리셋 신호 생성 회로는 안정된 전원 전압의 상승을 이용하여, 논리 회로(809)의 리셋 신호를 생성하는 회로이다.

[0290] 복조 회로(807)는 입력 교류 신호를 포락선 검출에 의하여 복조하고, 복조 신호를 생성한다. 또한, 변조 회로(808)는 안테나(804)로부터 출력되는 데이터에 따라 변조를 행한다.

[0291] 논리 회로(809)는 복조 신호를 해석하여 처리한다. 기억 회로(810)는 입력된 데이터를 유지하고, 로 디코더(row decoder), 칼럼 디코더(column decoder), 및 메모리 영역 등을 포함한다. 또한, ROM(811)은 개체 번호(ID) 등을 저장하고, 처리에 따라 그것을 출력한다.

[0292] 또한 상술한 각 회로를 제공할지 여부는 필요에 따라 적절히 결정할 수 있다.

[0293] 여기서, 상술한 실시형태에 기재된 기억 회로를 기억 회로(810)로서 적용할 수 있다. 본 발명의 일 형태에 따른 기억 회로는 전력이 공급되지 않을 때에도 데이터를 유지할 수 있기 때문에 RF 디바이스에 적합하게 사용할 수 있다. 또한, 본 발명의 일 형태에 따른 기억 회로는 데이터의 기록에 필요한 전력(전압)이 종래의 비휘발성 메모리에서 필요한 전력보다 매우 낮기 때문에, 데이터의 판독과 데이터의 기록에서의 최대 통신 거리의 차이를 방지할 수 있다. 또한, 데이터의 기록에서의 전력 부족에 기인하는 오동작 또는 부정확한 기록을 억제할 수 있다.

[0294] 본 발명의 일 형태에 따른 기억 회로는 비휘발성 메모리로서 사용될 수 있기 때문에 ROM(811)으로서도 사용될 수 있다. 이 경우, 제작자가 ROM(811)에 데이터를 기록하기 위한 커맨드를 별도로 준비하여, 사용자가 데이터를 자유로이 재기록하지 못하게 하는 것이 바람직하다. 제작자가 출하 전에 개체 번호를 부여하고 나서 제품을 출하하기 때문에, 제작된 모든 RF 디바이스에 개체 번호를 붙이는 대신에, 출하하는 좋은 제품에만 개체 번호를 붙일 수 있다. 이에 의하여, 출하된 제품의 개체 번호가 연속되고, 출하된 제품에 대응한 고객 관리가 용이하게 행해진다.

[0295] 다음에, 본 발명의 일 형태에 따른 RF 디바이스의 적용예에 대하여 도 26의 (A)~(F)를 참조하여 설명한다. RF 디바이스는 넓은 범위에서 사용되고, 예를 들어 지폐, 동전, 유가증권, 무기명 채권, 증서(예를 들어 운전 면허증 또는 주민 카드, 도 26의 (A) 참조), 기록 매체(예를 들어 DVD 소프트웨어 또는 비디오 테이프, 도 26의 (B) 참조), 포장용 용기(예를 들어 포장지 또는 병, 도 26의 (C) 참조), 탈 것(예를 들어 자전거, 도 26의 (D) 참조), 소지품(예를 들어 가방 또는 안경), 식품, 식물, 동물, 인체, 의류, 생활용품, 약품 및 약제 등의 의료 품, 및 전자 기기(예를 들어 액정 표시 장치, EL 표시 장치, 텔레비전 장치, 또는 휴대 전화), 또는 제품의 태

그(도 26의 (E) 및 (F) 참조)에 제공될 수 있다.

[0296] 본 발명의 일 형태에 따른 RF 디바이스(4000)는 그 표면에 부착 또는 그 안에 내장됨으로써 제품에 고정된다. 예를 들어, RF 디바이스(4000)는 책의 종이에 내장되거나, 포장의 유기 수지에 내장됨으로써 각 제품에 고정된다. 본 발명의 일 형태에 따른 RF 디바이스(4000)는 크기, 두께, 및 중량을 감소시킬 수 있기 때문에, 제품의 디자인을 망치는 것 없이 제품에 고정될 수 있다. 또한, 지폐, 동전, 유가증권, 무기명 채권, 또는 증서 등은 본 발명의 일 형태에 따른 RF 디바이스(4000)를 제공함으로써 신원 확인 기능을 가질 수 있고, 신원 확인 기능은 위조를 방지하는데 이용될 수 있다. 또한, 검품 시스템과 같은 시스템의 효율성은 포장 용기, 기록 매체, 개인 용품, 음식, 의류, 생활 용품, 또는 전자 기기 등에 본 발명의 일 형태에 따른 RF 디바이스를 제공함으로써 개선될 수 있다. 본 발명의 일 형태에 따른 RF 디바이스를 제공함으로써 차량은 절도 등에 대하여 높은 안전성도 가질 수 있다.

[0297] 상술한 바와 같이, 본 발명의 일 형태에 따른 RF 디바이스를 본 실시형태에서 설명한 각 용도로 사용함으로써, 데이터의 기록 또는 판독 등의 동작을 위한 전력을 저감할 수 있기 때문에 최대 통신 거리의 증가로 이어진다. 또한, 전력이 공급되지 않는 상태에서도 데이터가 매우 오랫동안 유지될 수 있기 때문에, 데이터가 빈번하게 기록되거나 판독되지 않는 용도로 이 RF 디바이스를 바람직하게 사용할 수 있다.

[0298] 본 실시형태에서 설명한 구조 및 방법은 다른 실시형태들에서 설명하는 다른 구조 및 방법 중 어느 것과 적절히 조합하여 실시할 수 있다.

[0299] (실시형태 5)

[0300] 본 실시형태에서는, 상술한 실시형태에서 설명한 메모리 셀 어레이(300)를 적어도 갖는 기억 장치를 포함하는 CPU에 대하여 설명한다. 여기서, 기억 장치는 메모리 셀 어레이에 접속되는 행 드라이버, 열 드라이버, 및 A/D 컨버터 등을 포함한다.

[0301] 도 27은 적어도 일부에 상술한 실시형태들에서 설명한 기억 장치 또는 다른 반도체 장치를 포함하는 CPU의 구조 예를 도시한 블록도이다.

[0302] 도 27에 도시된 CPU는 기판(1190) 위에, ALU(1191)(arithmetic logic unit), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(Bus I/F)(1198), 재기록 가능한 ROM(1199), 및 ROM 인터페이스(1189)(ROM I/F)를 포함한다. 기판(1190)으로서는 반도체 기판, SOI 기판, 또는 유리 기판 등을 사용한다. ROM(1199) 및 ROM 인터페이스(1189)는 서로 다른 칩 위에 제공될 수 있다. 도 27에서의 CPU는 구조를 간략화한 예일 뿐, 실제의 CPU는 용도에 따라 다양한 구조를 가질 수 있다는 것은 말할 나위 없다. 예를 들어, CPU는 다음과 같은 구성을 가질 수 있다: 도 27에 도시된 CPU 또는 연산 회로를 포함하는 구조를 하나의 코어로 생각하고; 복수의 코어를 포함하고; 코어들이 병렬로 동작한다. CPU가 내부 연산 회로 또는 데이터 버스에서 처리할 수 있는 비트 수는, 예를 들어 8, 16, 32, 또는 64일 수 있다.

[0303] 버스 인터페이스(1198)를 통하여 CPU에 입력되는 명령은, 인스트럭션 디코더(1193)에 입력되어 디코딩된다 다음에, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 및 타이밍 컨트롤러(1195)에 입력된다.

[0304] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 및 타이밍 컨트롤러(1195)는 디코딩된 명령에 따라 각종 제어를 실시한다. 구체적으로 ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. CPU가 프로그램을 실행하는 동안, 인터럽트 컨트롤러(1194)는 외부의 입출력 장치 또는 주변 회로로부터의 인터럽트 요구를 그 우선도 또는 마스크 상태에 따라 처리한다. 레지스터 컨트롤러(1197)는 레지스터(1196)의 어드레스를 생성하고, CPU의 상태에 따라 레지스터(1196)로부터 데이터를 판독하거나 레지스터(1196)에 데이터를 기록한다.

[0305] 타이밍 컨트롤러(1195)는, ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하기 위한 신호를 생성한다. 예를 들어, 타이밍 컨트롤러(1195)는 기준 클럭 신호(CLK1)에 기초하여 내부 클럭 신호(CLK2)를 생성하기 위한 내부 클럭 발생기를 포함하며, 내부 클럭 신호(CLK2)를 상술한 회로에 공급한다.

[0306] 도 27에 도시된 CPU에서는, 레지스터(1196)에 메모리 셀이 제공되어 있다. 레지스터(1196)의 메모리 셀에는, 상술한 실시형태에서 설명한 트랜지스터들 중 어느 것을 사용할 수 있다.

- [0307] 도 27에 도시된 CPU에서 레지스터 컨트롤러(1197)는 ALU(1191)로부터의 명령에 따라 레지스터(1196)에서의 데이터의 유지 동작을 선택한다. 즉, 레지스터 컨트롤러(1197)는 레지스터(1196)에 포함되는 메모리 셀에서, 플립 플롭에 의하여 데이터를 유지할지, 용량 소자에 의하여 데이터를 유지할지를 선택한다. 플립플롭에 의한 데이터 유지가 선택되면 레지스터(1196) 내의 메모리 셀에 전원 전압이 공급된다. 용량 소자에 의한 데이터 유지가 선택되면 용량 소자에 데이터가 재기록되고 레지스터(1196) 내의 메모리 셀에 대한 전원 전압의 공급을 정지할 수 있다.
- [0308] 도 28은 레지스터(1196)로서 사용될 수 있는 기억 소자의 회로도의 예이다. 기억 회로(1200)는 전원이 정지되면 저장된 데이터가 휘발되는 회로(1201), 전원이 정지되어도 저장된 데이터가 휘발되지 않는 회로(1202), 스위치(1203), 스위치(1204), 논리 소자(1206), 용량 소자(1207), 및 선택 기능을 갖는 회로(1220)를 포함한다. 회로(1202)는 용량 소자(1208), 트랜지스터(1209), 및 트랜지스터(1210)를 포함한다. 또한, 기억 회로(1200)는 필요에 따라 다이오드, 저항 소자, 또는 인덕터 등의 다른 소자를 더 포함하여도 좋다. 트랜지스터(1209)는 산화물 반도체층에 채널이 형성되는 트랜지스터인 것이 바람직하다.
- [0309] 여기서, 회로(1202)로서 상술한 실시형태에서 설명한 기억 장치를 사용할 수 있다. 기억 회로(1200)에 대한 전원 전압의 공급이 정지될 때, 접지 전위(0V) 또는 회로(1202)의 트랜지스터(1209)가 오프가 되는 전위가 트랜지스터(1209)의 게이트에 계속 입력된다. 예를 들어, 트랜지스터(1209)의 게이트가 저항 소자 등의 부하를 통하여 접지된다.
- [0310] 여기서, 스위치(1203)가 하나의 도전형을 갖는 트랜지스터(1213)(예를 들어 n채널 트랜지스터)이고 스위치(1204)가 상기 하나의 도전형과 반대의 도전형을 갖는 트랜지스터(1214)(예를 들어 p채널 트랜지스터)인 예를 나타낸다. 스위치(1203)의 제 1 단자는 트랜지스터(1213)의 소스 및 드레인 중 한쪽에 상당하고, 스위치(1203)의 제 2 단자는 트랜지스터(1213)의 소스 및 드레인 중 다른 쪽에 상당하고, 스위치(1203)의 제 1 단자와 제 2 단자 사이의 도통 또는 비도통(즉, 트랜지스터(1213)의 온/오프 상태)은 트랜지스터(1213)의 게이트에 입력되는 제어 신호(RD)에 의하여 선택된다. 스위치(1204)의 제 1 단자는 트랜지스터(1214)의 소스 및 드레인 중 한쪽에 상당하고, 스위치(1204)의 제 2 단자는 트랜지스터(1214)의 소스 및 드레인 중 다른 쪽에 상당하고, 스위치(1204)의 제 1 단자와 제 2 단자 사이의 도통 또는 비도통(즉, 트랜지스터(1214)의 온/오프 상태)은 트랜지스터(1214)의 게이트에 입력되는 제어 신호(RD)에 의하여 선택된다.
- [0311] 트랜지스터(1209)의 소스 및 드레인 중 한쪽은 용량 소자(1208)의 한 쌍의 전극 중 한쪽, 및 트랜지스터(1210)의 게이트에 전기적으로 접속된다. 여기서, 접속 부분을 노드(M2)라고 한다. 트랜지스터(1210)의 소스 및 드레인 중 한쪽은 저전원 전위를 공급할 수 있는 배선(예를 들어 GND선)에 전기적으로 접속되고, 그 다른 쪽은 스위치(1203)의 제 1 단자(트랜지스터(1213)의 소스 및 드레인 중 한쪽)에 전기적으로 접속된다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)는 스위치(1204)의 제 1 단자(트랜지스터(1214)의 소스 및 드레인 중 한쪽)에 전기적으로 접속된다. 스위치(1204)의 제 2 단자(트랜지스터(1214)의 소스 및 드레인 중 다른 쪽)는 전원 전위(VDD)를 공급할 수 있는 배선에 전기적으로 접속된다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽), 스위치(1204)의 제 1 단자(트랜지스터(1214)의 소스 및 드레인 중 한쪽), 논리 소자(1206)의 입력 단자, 및 용량 소자(1207)의 한 쌍의 전극 중 한쪽은 서로 전기적으로 접속된다. 여기서, 접속 부분을 노드(M1)라고 한다. 용량 소자(1207)의 한 쌍의 전극 중 다른 쪽은, 정전위를 공급받을 수 있다. 예를 들어, 용량 소자(1207)의 한 쌍의 전극 중 다른 쪽은, 저전원 전위(예를 들어 GND) 또는 고전원 전위(예를 들어 VDD)를 공급받을 수 있다. 용량 소자(1207)의 한 쌍의 전극 중 다른 쪽은 저전원 전위를 공급할 수 있는 배선(예를 들어 GND선)에 전기적으로 접속된다. 용량 소자(1208)의 한 쌍의 전극 중 다른 쪽은, 정전위를 공급받을 수 있다. 예를 들어, 용량 소자(1208)의 한 쌍의 전극 중 다른 쪽은, 저전원 전위(예를 들어 GND) 또는 고전원 전위(예를 들어 VDD)를 공급받을 수 있다. 용량 소자(1208)의 한 쌍의 전극 중 다른 쪽은 저전원 전위를 공급할 수 있는 선(예를 들어 GND선)에 전기적으로 접속된다.
- [0312] 트랜지스터 또는 배선 등의 기생 용량을 적극적으로 이용하기만 하면, 용량 소자(1207) 및 욹량 소자(1208)를 제공할 필요는 없다.
- [0313] 트랜지스터(1209)의 제 1 게이트(제 1 게이트 전극)에 제어 신호(WE)가 입력된다. 스위치(1203) 및 스위치(1204) 각각에 대해서는, 제어 신호(WE)와는 다른 제어 신호(RD)에 의하여 제 1 단자와 제 2 단자 사이의 도통 상태 또는 비도통 상태가 선택된다. 스위치들 중 한쪽의 제 1 단자와 제 2 단자가 도통 상태일 때, 스위치들 중 다른 쪽의 제 1 단자와 제 2 단자는 비도통 상태이다.
- [0314] 회로(1201)에 유지된 데이터에 대응하는 신호가 트랜지스터(1209)의 소스 및 드레인 중 다른 쪽에 입력된다.

도 28은 회로(1201)로부터 출력되는 신호가 트랜지스터(1209)의 소스 및 드레인 중 다른 쪽에 입력되는 예를 도시한 것이다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호의 논리값은 논리 소자(1206)에 의하여 반전되고, 반전된 신호가 회로(1220)를 통하여 회로(1201)에 입력된다.

[0315] 도 28의 예에서는 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호가 논리 소자(1206) 및 회로(1220)를 통하여 회로(1201)에 입력되지만, 본 발명의 일 형태는 이에 한정되지 않는다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호는 그 논리값이 반전되지 않고 회로(1201)에 입력되어도 좋다. 예를 들어 회로(1201)가, 입력 단자로부터 입력되는 신호의 논리값의 반전에 의하여 얻어지는 신호가 유지되는 노드를 포함하는 경우, 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호를 이 노드에 입력할 수 있다.

[0316] 도 28에서 기억 회로(1200)에 포함되는, 트랜지스터(1209)를 제외한 트랜지스터들은 각각 산화물 반도체 이외의 반도체를 사용하여 형성되는 층 또는 기판(1190)에 채널이 형성되는 트랜지스터로 할 수 있다. 예를 들어, 이것은 실리콘층 또는 실리콘 기판에 채널이 형성되는 Si 트랜지스터일 수 있다. 또는, 기억 회로(1200)의 모든 트랜지스터가 각각 산화물 반도체층에 채널이 형성되는 OS 트랜지스터일 수 있다. 또는, 기억 회로(1200)에서 트랜지스터(1209) 이외에, 산화물 반도체에 채널이 형성되는 OS 트랜지스터가 포함될 수 있고, 나머지 트랜지스터에 산화물 반도체 이외의 반도체를 포함하는 층 또는 기판(1190)에 채널이 형성되는 트랜지스터가 사용될 수 있다.

[0317] 도 28에서의 회로(1201)로서 예를 들어 플립플롭 회로를 사용할 수 있다. 논리 소자(1206)로서는 예를 들어 인버터 또는 클럭드 인버터를 사용할 수 있다.

[0318] 기억 회로(1200)에 전원 전압이 공급되지 않는 기간 중, 본 발명의 일 형태에 따른 반도체 장치는 회로(1202)에 제공된 용량 소자(1208)에 의하여, 회로(1201)에 저장된 데이터를 유지할 수 있다.

[0319] OS 트랜지스터의 오프 전류는 매우 작다. 예를 들어, OS 트랜지스터의 오프 전류는, 결정성을 갖는 실리콘에 채널이 형성되는 트랜지스터보다 현저히 작다. 그러므로, OS 트랜지스터를 트랜지스터(1209)로서 사용하면, 기억 회로(1200)에 전원 전압이 공급되지 않는 기간 중에도 용량 소자(1208)에 유지된 신호가 오랫동안 유지된다. 따라서, 기억 회로(1200)는 전원 전압의 공급이 정지되는 기간 중에도 저장된 내용(데이터)을 유지할 수 있다.

[0320] 상술한 기억 소자는 스위치(1203) 및 스위치(1204)로 끄리차지 동작을 하기 때문에, 전원 전압의 공급이 재개되고 나서 회로(1201)가 원래의 데이터를 다시 유지하는 데 필요한 시간을 단축할 수 있다.

[0321] 회로(1202)에 있어서, 용량 소자(1208)에 의하여 유지된 신호가 트랜지스터(1210)의 게이트에 입력된다. 따라서, 기억 회로(1200)에 대한 전원 전압의 공급이 재개된 후, 용량 소자(1208)에 의하여 유지된 신호가 트랜지스터(1210)의 상태(온 상태 또는 오프 상태)에 대응하는 것으로 변환되어, 회로(1202)로부터 판독될 수 있다. 결과적으로, 용량 소자(1208)에 의하여 유지된 신호에 대응하는 전위가 어느 정도 변화되더라도, 원래의 신호를 정확하게 판독할 수 있다.

[0322] 프로세서에 포함되는 레지스터 또는 캐시 메모리 등의 기억 장치에 상술한 기억 회로(1200)를 적용함으로써, 전원 전압의 공급 정지로 인하여 기억 장치의 데이터가 소실되는 것을 방지할 수 있다. 또한, 기억 소자는, 전원 전압의 공급이 재개되고 나서 짧은 시간에 전원 공급이 정지되기 전과 동일한 상태로 복귀할 수 있다. 따라서, 프로세서, 또는 프로세서에 포함되는 하나 또는 복수의 논리 회로에서 짧은 시간이라도 전원 공급을 정지할 수 있다. 따라서, 소비 전력을 억제할 수 있다.

[0323] 본 실시형태에서는 기억 회로(1200)를 CPU에 사용하지만, 기억 회로(1200)는 DSP(digital signal processor), 커스텀 LSI, 또는 PLD(programmable logic device) 등의 LSI, 및 RF(radio frequency) 디바이스에도 사용할 수 있다.

[0324] 또한 본 명세서 등에서, 트랜지스터는 예를 들어 다양한 기판 중 어느 것을 사용하여 형성할 수 있다. 기판의 형태는 일정한 형태에 한정되지 않는다. 기판으로서, 예를 들어 반도체 기판(예를 들어 단결정 기판 또는 실리콘 기판), SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 금속 기판, 스테인리스 스틸 기판, 스테인리스 스틸 포일을 포함하는 기판, 텅스텐 기판, 텅스텐 포일을 포함하는 기판, 가요성 기판, 부착 필름, 섬유 재료를 포함한 종이, 또는 모재 필름 등을 사용할 수 있다. 유리 기판의 예로서, 바륨보로실리케이트 유리 기판, 알루미노보로실리케이트 유리 기판, 또는 소다 석회 유리 기판 등을 들 수 있다. 가요성 기판, 부착 필름, 또는 모재 필름 등의 예는 다음과 같다: 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 및 폴리에티설 폰(PES)으로 대표되는 플라스틱. 다른 예는 아크릴 등의 합성 수지이다. 또 다른 예는 폴리프로필렌, 폴리에

스터, 폴리 플루오린화 바이닐, 또는 폴리염화 바이닐 등이다. 또 다른 예는, 폴리아마이드, 폴리이미드, 아라미드, 에폭시, 무기 증착 필름, 또는 종이 등이다. 특히, 반도체 기판, 단결정 기판, 또는 SOI 기판 등을 사용하면, 특성, 사이즈, 또는 변형 등의 변화가 작고 전류 능력이 높으며 사이즈가 작은 트랜지스터를 제작할 수 있다. 이러한 트랜지스터를 사용한 회로는 회로의 저소비 전력화 또는 회로의 고집적화를 실현할 수 있다.

[0325] 또는, 기판으로서 가요성 기판을 사용하여도 좋고 가요성 기판에 직접 트랜지스터를 제공하여도 좋다. 또는, 기판과 트랜지스터 사이에 분리층을 제공하여도 좋다. 분리층은, 그 분리층 위에 형성된 반도체 장치의 일부 또는 전부를 기판으로부터 분리하여 다른 기판으로 전치할 때 사용될 수 있다. 이 경우, 트랜지스터는 내열성이 낮은 기판 또는 가요성 기판으로 전치될 수 있다. 상기 분리층에, 예를 들어 텅스텐막 및 산화 실리콘막인 무기막을 포함하는 적층, 또는 기판 위에 형성된 폴리이미드 등의 유기 수지막이 사용될 수 있다.

[0326] 바꿔 말하면, 하나의 기판을 사용하여 트랜지스터를 형성하고 나서, 다른 기판에 전치하여도 좋다. 트랜지스터를 전치하는 기판의 예로서는, 트랜지스터가 위에 형성될 수 있는 상술한 기판에 더하여, 종이 기판, 셀로판 기판, 아라미드 필름 기판, 폴리이미드 필름 기판, 석 기판, 목재 기판, 직물 기판(천연 섬유(예를 들어 비단(silk), 면(cotton), 또는 삼(hemp)), 합성 섬유(예를 들어 나일론, 폴리우레탄, 또는 폴리에스터), 재생 섬유(예를 들어 아세테이트, 큐프라, 레이온, 또는 재생 폴리에스터) 등을 포함함), 파혁 기판, 및 고무 기판을 포함한다. 이런 기판을 사용하면, 특성이 우수한 트랜지스터 또는 소비 전력이 낮은 트랜지스터가 형성될 수 있고, 내구성이 높은 장치를 제작할 수 있고, 높은 내열성을 제공할 수 있고, 또는 경량화 또는 박형화를 실현할 수 있다.

[0327] 본 실시형태에서 설명한 구조 및 방법은, 다른 실시형태들에서 설명하는 다른 구조 및 방법 중 어느 것과 적절히 조합함으로써 실시할 수 있다.

[0328] (실시형태 6)

[0329] 본 발명의 일 형태의 반도체 장치는 표시 장치, 퍼스널 컴퓨터, 또는 기록 매체가 제공된 화상 재생 장치(대표적으로, DVD(digital versatile disc)와 같은 기록 매체의 내용을 재생하고 재생된 화상을 표시하기 위한 디스플레이를 갖는 장치) 등에 사용될 수 있다. 본 발명의 일 형태의 반도체 장치를 구비할 수 있는 전자 기기의 다른 예는, 휴대 전화, 휴대용 게임기를 포함하는 게임기, 휴대 정보 단말, 전자책 리더, 비디오 카메라 및 디지털 스틸 카메라와 같은 카메라, 고글형 디스플레이들(머리 장착형 디스플레이), 내비게이션 시스템, 오디오 재생 장치(예를 들어, 카 오디오 시스템 및 디지털 오디오 플레이어), 복사기, 팩시밀리, 프린터, 복합기, 현금 자동 입출금기(ATM), 및 자동 판매기이다. 도 29의 (A)~(F)는 이러한 전자 기기의 구체적인 예를 도시한 것이다.

[0330] 도 29의 (A)는 하우징(901), 하우징(902), 표시부(903), 표시부(904), 마이크로폰(905), 스피커(906), 조작 키(907), 스타일러스(908) 등을 포함하는 휴대용 게임기를 도시한 것이다. 도 29의 (A)의 휴대용 게임기는 2개의 표시부(903 및 904)를 갖지만, 휴대용 게임기에 포함되는 표시부의 수는 이에 한정되지 않는다.

[0331] 도 29의 (B)는 제 1 하우징(911), 제 2 하우징(912), 제 1 표시부(913), 제 2 표시부(914), 연결 부위(915), 조작 키(916) 등을 포함하는 휴대용 정보 단말기를 도시한 것이다. 제 1 표시부(913)는 제 1 하우징(911)에 제공되고 제 2 표시부(914)는 제 2 하우징(912)에 제공된다. 제 1 하우징(911) 및 제 2 하우징(912)은 연결 부위(915)에 의하여 서로 접속되고, 제 1 하우징(911)과 제 2 하우징(912) 사이의 각도는 연결 부위(915)에 의하여 변경될 수 있다. 제 1 표시부(913)의 화상은 연결 부위(915)에서 제 1 하우징(911)과 제 2 하우징(912) 사이의 각도에 따라 전환될 수 있다. 위치 입력 기능을 갖는 표시 장치는 제 1 표시부(913) 및 제 2 표시부(914) 중 적어도 하나로서 사용될 수 있다. 또한, 표시 장치에 터치 패널을 제공함으로써 위치 입력 기능이 부가될 수 있다. 또는, 표시 장치의 화소 영역에서 광 센서라고 불리는 광전 변환 소자를 제공함으로써 위치 입력 기능이 부가될 수 있다.

[0332] 도 29의 (C)는 하우징(921), 표시부(922), 키보드(923), 포인팅 디바이스(924) 등을 포함하는 노트북 퍼스널 컴퓨터를 도시한 것이다.

[0333] 도 29의 (D)는 하우징(931), 냉장실용 도어(932), 냉동실용 도어(933) 등을 포함하는 전기 냉동냉장고를 도시한 것이다.

[0334] 도 29의 (E)는 제 1 하우징(941), 제 2 하우징(942), 표시부(943), 조작 키(944), 렌즈(945), 연결 부위(946) 등을 포함하는 비디오 카메라를 도시한 것이다. 조작 키(944) 및 렌즈(945)는 제 1 하우징(941)에 제공되고, 표시부(943)는 제 2 하우징(942)에 제공된다. 제 1 하우징(941) 및 제 2 하우징(942)은 연결 부위(946)에 의하

여 서로 접속되고, 제 1 하우징(941)과 제 2 하우징(942) 사이의 각도는 연결 부위(946)에 의하여 변경될 수 있다. 표시부(943)에 표시된 화상은 제 1 하우징(941)과 제 2 하우징(942) 사이의 연결 부위(946)의 각도에 따라 전환될 수 있다.

[0335] 도 29의 (F)는 차체(951), 바퀴(952), 대시보드(953), 라이트(954) 등을 포함하는 일반 자동차를 도시한 것이다.

[0336] 본 실시형태에서 설명한 구조 및 방법은, 다른 실시형태들에서 설명하는 다른 구조 및 방법 중 어느 것과 적절히 조합함으로써 실시할 수 있다.

[0337] (실시형태 7)

[0338] 본 실시형태에서는, 반도체 장치에 포함되는 산화물 반도체막에 대하여 자세히 설명한다.

[0339] 산화물 반도체막은 인듐을 포함하는 산화물 반도체이다. 산화물 반도체막은 예를 들어 인듐을 포함함으로써 높은 캐리어 이동도(전자 이동도)를 가질 수 있다. 본 발명의 일 형태의 회로 시스템에는, 산소, In, Zn, M(M 은 Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf)을 포함하는 산화물 반도체막을 사용하는 것이 특히 바람직하다. 원소 M 은, 예를 들어 산소와의 결합 에너지가 높은 원소이다. 원소 M 은, 예를 들어 산소와의 결합 에너지가 인듐보다 높은 원소이다. 원소 M 은, 예를 들어 산화물 반도체의 에너지 갭을 증가시킬 수 있는 원소이다. 또한, 반도체막은 아연을 포함하는 것이 바람직하다. 산화물 반도체가 아연을 포함하면, 예를 들어 산화물 반도체는 결정화되기 쉬워진다.

[0340] 산화물 반도체막으로서, 에너지 갭이 넓은 산화물을 사용하는 것이 바람직하다. 예를 들어, 산화물 반도체막의 에너지 갭은 2.5eV 이상 4.2eV 이하, 바람직하게는 2.8eV 이상 3.8eV 이하, 더 바람직하게는 3eV 이상 3.5eV 이하이다.

[0341] 또한, 산화물 반도체막이 적층 구조를 가질 때, 산화물 반도체막은 도 2의 (D)에 나타낸 바와 같이, 반도체막(44a), 반도체막(44b), 및 반도체막(44c)의 적층 구조를 가져도 좋다.

[0342] 또한 반도체막(44a) 및 반도체막(44c)은 반도체막(44b)에 포함되는 산소 이외의 원소를 하나 또는 두 가지 이상 포함하는 산화물 반도체이다. 반도체막(44a) 및 반도체막(44c) 각각은 반도체막(44b)에 포함되는 산소 이외의 원소를 하나 이상 포함하기 때문에, 반도체막(44a)과 반도체막(44b) 사이의 계면 및 반도체막(44b)과 반도체막(44c) 사이의 계면에서 계면 준위(interface state)가 형성되기 어렵다.

[0343] 반도체막(44a), 반도체막(44b), 및 반도체막(44c)은 적어도 인듐을 포함하는 것이 바람직하다. 반도체막(44a)으로서 In- M -Zn 산화물을 사용하는 경우, In과 M 의 합을 100atomic%로 추정할 때, In의 비율을 50atomic% 미만으로 하고 M 의 비율을 50atomic%보다 높게 하고, 더 바람직하게는 In의 비율을 25atomic% 미만으로 하고 M 의 비율을 75atomic%보다 높게 한다. 반도체막(44b)으로서 In- M -Zn 산화물을 사용하는 경우, In과 M 의 합을 100atomic%로 추정할 때, In의 비율을 25atomic%보다 높게 하고 M 의 비율을 75atomic% 미만으로 하고, 더 바람직하게는 In의 비율을 34atomic%보다 높게 하고 M 의 비율을 66atomic% 미만으로 한다. 반도체막(44c)으로서 In- M -Zn 산화물을 사용하는 경우, In과 M 의 합을 100atomic%로 추정할 때, In의 비율을 50atomic% 미만으로 하고 M 의 비율을 50atomic%보다 높게 하고, 더 바람직하게는 In의 비율을 25atomic% 미만으로 하고 M 의 비율을 75atomic%보다 높게 한다. 또한 반도체막(44c)은, 반도체막(44a)과 같은 형태인 산화물이어도 좋다.

[0344] 반도체막(44b)으로서, 반도체막(44a 및 44c)보다 전자 친화력이 높은 산화물을 사용한다. 예를 들어, 반도체막(44b)으로서, 반도체막(44a 및 44c)보다 전자 친화력이 0.07eV 이상 1.3eV 이하, 바람직하게는 0.1eV 이상 0.7eV 이하, 더 바람직하게는 0.15eV 이상 0.4eV 이하 높은 산화물을 사용한다. 또한, 전자 친화력은 진공 준위와 전도대 하단 사이의 에너지 갭을 말한다.

[0345] 인듐갈륨 산화물은 전자 친화력이 작고 산소 블로킹성이 높다. 따라서, 반도체막(44c)은 인듐갈륨 산화물을 포함하는 것이 바람직하다. 갈륨의 원자수비[Ga/(In+Ga)]는 예를 들어, 70% 이상, 바람직하게는 80% 이상, 더 바람직하게는 90% 이상이다.

[0346] 반도체막(44c)은 산화 갈륨을 포함하는 것이 바람직하다. 산화 갈륨막은 인듐의 확산을 방지하는 블로킹막으로서 기능할 수 있다. 반도체막(44c)을 산화 갈륨막으로 형성하면, 아래에 위치하는 반도체막(44b) 및 반도체막(44a)으로부터의 인듐 확산이 일어나지 않거나, 억제될 것이다.

[0347] 트랜지스터의 게이트 전극에 전계 효과가 인가되면, 반도체막(44a, 44b, 및 44c) 중 전자 친화력이 가장 높은

반도체막(44b)에 채널이 형성된다.

[0348] 여기서, 절연막과 산화물 반도체막의 적층 구조의 랜드 구조에 대하여 도 30에 도시하였다. 도 30은 진공 준위, 및 각 막(절연막(43), 반도체막(44a), 반도체막(44b), 반도체막(44c), 및 절연막(47))의 전도대 하단의 에너지(Ec) 및 가전자대 상단의 에너지(Ev)를 도시한 것이다.

[0349] 또한 반도체막(44a)과 반도체막(44b) 사이에, 반도체막(44a)과 반도체막(44b)이 혼합되는 영역이 형성되는 경우가 있다. 또한, 반도체막(44b)과 반도체막(44c) 사이에, 반도체막(44b)과 반도체막(44c)이 혼합되는 영역이 형성되는 경우가 있다. 혼합된 영역은 계면 준위 밀도가 낮다. 이 때문에, 반도체막(44a, 44b, 및 44c)을 포함하는 적층은, 각 계면 및 계면의 근방의 에너지가 연속적으로 변화되는(연속 접합) 랜드 구조를 갖는다.

[0350] 또한 도 30에는 반도체막(44a)의 Ec가 반도체막(44c)의 Ec와 동일한 경우를 도시하였지만, 이들은 서로 상이하여도 좋다. 예를 들어, 반도체막(44c)의 Ec는 반도체막(44a)의 Ec보다 높을 수 있다.

[0351] 이때, 전자는 반도체막(44a 및 44c)이 아니라 반도체막(44b)에서 주로 이동한다.

[0352] 상술한 바와 같이, 반도체막(44a)과 반도체막(44b) 사이의 계면에서의 계면 준위 밀도 및 반도체막(44b)과 반도체막(44c) 사이의 계면에서의 계면 준위 밀도를 낮추면, 반도체막(44b)에서의 전자 이동이 저해되지 않고 트랜지스터의 온 전류를 높일 수 있다.

[0353] 트랜지스터가 상술한 s-channel 구조를 갖는 경우, 반도체막(44b) 전체에 채널이 형성된다. 따라서, 반도체막(44b)의 두께가 두꺼울수록, 채널 영역이 커진다. 바꿔 말하면, 반도체막(44b)이 두꺼울수록, 트랜지스터의 온 전류가 커진다. 예를 들어, 반도체막(44b)은 두께가 20nm 이상, 바람직하게는 40nm 이상, 더 바람직하게는 60nm 이상, 더욱 바람직하게는 100nm 이상인 영역을 갖는다. 반도체 장치의 생산성이 저하될 우려가 있기 때문에, 반도체막(44b)은 예를 들어 300nm 이하, 바람직하게는 200nm 이하, 더 바람직하게는 150nm 이하의 두께의 영역을 갖는다.

[0354] 또한, 산화물 반도체막(44c)의 두께는 트랜지스터의 온 전류를 높이기 위하여 가능한 한 작은 것이 바람직하다. 반도체막(44c)의 두께는 예를 들어, 10nm 미만, 바람직하게는 5nm 이하, 또는 더 바람직하게는 3nm 이하이다. 한편, 반도체막(44c)은 채널이 형성되는 반도체막(44b)에, 인접한 절연체에 포함되는 산소 이외의 원소(수소 및 실리콘 등)가 들어가는 것을 방지하는 기능을 갖는다. 이 때문에, 반도체막(44c)은 어느 정도의 두께를 갖는 것이 바람직하다. 반도체막(44c)의 두께는 예를 들어, 0.3nm 이상, 바람직하게는 1nm 이상, 더 바람직하게는 2nm 이상인 것이 바람직하다. 반도체막(44c)은, 절연막(43) 등으로부터 방출되는 산소의 외부로의 확산을 억제하기 위하여 산소 블로킹성을 갖는 것이 바람직하다.

[0355] 신뢰성을 향상시키기 위하여, 반도체막(44a)의 두께는 두껍고, 반도체막(44c)의 두께는 작은 것이 바람직하다. 예를 들어, 반도체막(44a)은 두께가 10nm 이상, 바람직하게는 20nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상인 영역을 갖는다. 반도체막(44a)의 두께를 두껍게 하면, 인접한 절연막과 반도체막(44a) 사이의 계면으로부터, 채널이 형성되는 반도체막(44b)까지의 거리를 크게 할 수 있다. 반도체 장치의 생산성이 저하될 우려가 있기 때문에, 반도체막(44a)은 예를 들어, 두께가 200nm 이하, 바람직하게는 120nm 이하, 더 바람직하게는 80nm 이하인 영역을 갖는다.

[0356] 산화물 반도체막이 수소를 많이 포함하면, 수소와 산화물 반도체가 서로 결합되므로, 수소의 일부가 도너로서 기능하고 캐리어인 전자를 발생시킨다. 결과적으로, 트랜지스터의 문턱 전압이 음 방향으로 시프트된다. 그러므로, 산화물 반도체막의 형성 후에, 탈수화 처리(탈수소화 처리)를 수행하여, 불순물이 가능한 한 포함되지 않도록 산화물 반도체막이 고순도화되도록 산화물 반도체막으로부터 수소 또는 수분을 제거하는 것이 바람직하다.

[0357] 산화물 반도체막에 대한 탈수화 처리(탈수소화 처리)에 의하여 산화물 반도체막의 산소 빈자리가 증가될 수 있다. 따라서, 탈수화 처리(탈수소화 처리)에 의하여 증가된 산소 빈자리를 보전하기 위하여, 산화물 반도체막에 산소를 첨가하는 것이 바람직하다. 본 명세서 등에서, 산화물 반도체막에 산소를 공급하는 것을 산소 첨가 처리라고 표현하는 경우가 있다. 산화물 반도체막의 산소량을 화학량론적 조성보다 많게 하는 처리를 산소 과잉 상태를 만드는 처리라고 표현할 수 있다.

[0358] 이와 같이 하여, 탈수화 처리(탈수소화 처리)에 의하여, 수소 또는 수분이 산화물 반도체막으로부터 제거되고, 산소 첨가 처리에 의하여 산소 빈자리를 채움으로써, 산화물 반도체막은 i형(진성) 산화물 반도체막 또는 i형 산화물 반도체막에 매우 가까운 실질적으로 i형(진성) 산화물 반도체막이 될 수 있다. 또한, 실질적으로 진성 산화물 반도체막은, 산화물 반도체막이 도너에서 유래되는 캐리어를 매우 적게(제로에 가까움) 포함하고, 그 캐

리어 밀도가 $8 \times 10^{11} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{11} / \text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{10} / \text{cm}^3$ 미만이고, $1 \times 10^9 / \text{cm}^3$ 이상인 것을 뜻한다.

[0359] i형 또는 실질적으로 i형 산화물 반도체막을 포함하는 트랜지스터는, 매우 좋은 오프 전류 특성을 가질 수 있다. 예를 들어, 산화물 반도체막을 포함하는 트랜지스터가 오프 상태일 때의 드레인 전류는, 실온(25°C 정도)에서 $1 \times 10^{-18} \text{ A}$ 이하, 바람직하게는 $1 \times 10^{-21} \text{ A}$ 이하, 더 바람직하게는 $1 \times 10^{-24} \text{ A}$ 이하; 또는 85°C에서 $1 \times 10^{-15} \text{ A}$ 이하, 바람직하게는 $1 \times 10^{-18} \text{ A}$ 이하, 더 바람직하게는 $1 \times 10^{-21} \text{ A}$ 이하일 수 있다. 또한, n채널 트랜지스터의 오프 상태란, 게이트 전압이 문턱 전압보다 충분히 낮은 상태를 말한다. 구체적으로는, 게이트 전압이 문턱 전압보다 1V 이상, 2V 이상, 또는 3V 이상 낮으면, 트랜지스터는 오프 상태에 있다.

[0360] 산화물 반도체의 구조에 대하여 이하에서 설명한다.

[0361] 산화물 반도체는 단결정 산화물 반도체와 비단결정 산화물 반도체로 분류된다. 비단결정 산화물 반도체의 예에는 CAAC-OS(c-axis aligned crystalline oxide semiconductor), 다결정 산화물 반도체, nc-OS(nanocrystalline oxide semiconductor), a-like OS(amorphous-like oxide semiconductor), 및 비정질 산화물 반도체가 포함된다.

[0362] 또 다른 관점으로는, 산화물 반도체는 비정질 산화물 반도체와 결정성 산화물 반도체로 분류된다. 결정성 산화물 반도체의 예에는 단결정 산화물 반도체, CAAC-OS, 다결정 산화물 반도체, 및 nc-OS가 포함된다.

[0363] 비정질 구조는 준안정이고 고정되어 있지 않고, 등방성이고 불균일 구조를 갖지 않다고 일반적으로 정의되는 것으로 알려져 있다. 바꿔 말하면, 비정질 구조는 플렉시블한 결합 각도 및 단거리 질서를 갖지만 장거리 질서를 갖지 않는다.

[0364] 이것은 본질적으로 안정된 산화물 반도체는 완전한 비정질 산화물 반도체라고 할 수 없다는 것을 의미한다. 또한, 등방성이 아닌 산화물 반도체(예컨대 미소한 영역에서의 주기 구조를 갖는 산화물 반도체)를 완전한 비정질 산화물 반도체라고 할 수 없다. 또한 a-like OS는 미소한 영역에서 주기 구조를 갖지만, 동시에 보이드를 갖고 불안정한 구조를 갖는다. 이 때문에, a-like OS는 비정질 산화물 반도체와 비슷한 물성을 갖는다.

[0365] <CAAC-OS>

[0366] 먼저, CAAC-OS에 대하여 설명한다.

[0367] CAAC-OS는 복수의 c축 배향된 결정부(펠릿이라고도 함)를 갖는 산화물 반도체 중 하나이다.

[0368] TEM(transmission electron microscope)을 사용하여 얻어지는, CAAC-OS의 명시야상 및 회절 패턴의 결합된 분석 이미지(고분해능 TEM 이미지라고도 함)에서, 복수의 펠릿이 관찰될 수 있다. 하지만 고분해능 TEM 이미지에서, 펠릿들 사이의 경계, 즉 그레인 바운더리는 명묘하게 관찰되지 않는다. 따라서, CAAC-OS에서, 그레인 바운더리로 인한 전자 이동도에서의 감소는 일어나기 어렵다.

[0369] TEM에 의하여 관찰된 CAAC-OS에 대하여 이하에서 설명한다. 도 43의 (A)는 샘플 표면에 실질적으로 평행한 방향으로부터 관찰되는 CAAC-OS막의 단면의 고분해능 TEM 이미지의 일례를 나타낸 것이다. 고분해능 TEM 이미지는 구면 수차 보정(spherical aberration corrector) 기능에 의하여 얻어진다. 구면 수차 보정 기능에 의하여 얻어진 고분해능 TEM 이미지는 특히 Cs 보정 고분해능 TEM 이미지라고 한다. 또한 Cs 보정 고분해능 TEM 이미지는 예를 들어 JEOL Ltd. 제의 원자 분해능 분석 전자 현미경 JEM-ARM200F에 의하여 얻을 수 있다.

[0370] 도 43의 (B)는 도 43의 (A)에서의 영역 (1)의 확대된 Cs 보정 고분해능 TEM 이미지이다. 도 43의 (B)는 펠릿에서 금속 원자가 층상으로 배열되는 것을 나타낸 것이다. 금속 원자의 각 층은, 위에 CAAC-OS이 형성되는 면(이하, 이 면을 형성면이라고 함) 또는 CAAC-OS의 상면의 요철을 반영한 구성을 갖고, CAAC-OS의 형성면 또는 상면에 평행하게 배열된다.

[0371] 도 43의 (B)에 나타낸 바와 같이, CAAC-OS는 특징적인 원자 배열을 갖는다. 상기 특징적인 원자 배열은 도 43의 (C)에서의 보조선에 의하여 나타내어진다. 도 43의 (B) 및 (C)는 펠릿의 사이즈가 1mm~3nm 정도이고, 펠릿들의 기울기로 인한 공간의 사이즈가 0.8nm 정도인 것을 입증한다. 그러므로 펠릿은 나노결정(nc: nanocrystal)이라고도 할 수 있다. 또한 CAAC-OS는 CANC(c-axis aligned nanocrystals)를 포함하는 산화물 반도체라고도 할 수 있다.

- [0372] 여기서, Cs 보정 고분해능 TEM 이미지에 따라, 기판(5120) 위의 CAAC-OS의 펠릿(5100)의 개략적인 배열을 벽돌 또는 블록이 적층된 구조에 의하여 도시하였다(도 43의 (D) 참조). 도 43의 (C)에 관찰된 바와 같이, 펠릿들이 기운 부분은 도 43의 (D)에 나타낸 영역(5161)에 상당한다.
- [0373] 도 44의 (A)는 샘플 표면에 실질적으로 수직인 방향으로부터 관찰된 CAAC-OS의 평면의 Cs 보정 고분해능 TEM 이미지를 나타낸 것이다. 도 44의 (B), (C), 및 (D)는 각각 도 44의 (A)에서의 영역(1), 영역(2), 및 영역(3)의 확대된 Cs 보정 고분해능 TEM 이미지이다. 도 44의 (B), (C), 및 (D)는, 펠릿에서 금속 원자들이 삼각형, 사각형, 또는 육각형으로 배열되어 있는 것을 가리킨 것이다. 하지만, 상이한 펠릿들 사이에서 금속 원자의 배열에 규칙성은 없다.
- [0374] 다음에, X선 회절(XRD: X-ray diffraction)에 의하여 분석된 CAAC-OS에 대하여 설명한다. 예를 들어, out-of-plane법에 의하여 InGaZnO_4 결정을 포함하는 CAAC-OS의 구조를 분석하면, 도 45의 (A)에 나타낸 바와 같이 회절 각(2θ)이 31° 부근일 때 피크가 나타난다. 이 피크는 InGaZnO_4 결정의 (009)면에서 유래한 것으로, CAAC-OS의 결정이 c축 배향을 갖고 c축이 CAAC-OS의 형성면 또는 상면에 실질적으로 수직인 방향으로 배향되어 있는 것을 가리킨다.
- [0375] 또한, out-of-plane법에 의한 CAAC-OS의 구조 분석에서, 2θ 가 31° 부근일 때의 피크에 더하여 2θ 가 36° 부근일 때에 또 다른 피크가 나타날 수 있다. 2θ 가 36° 부근일 때의 피크는 CAAC-OS의 일부에 c축 배향을 갖지 않는 결정이 포함되는 것을 가리킨다. out-of-plane법에 의하여 분석한 CAAC-OS에서는, 2θ 가 31° 부근일 때 피크가 나타나고 2θ 가 36° 부근일 때 피크가 나타나지 않는 것이 바람직하다.
- [0376] 한편, c축에 실질적으로 수직인 방향으로 샘플에 대하여 X선이 입사되는 in-plane법에 의한 CAAC-OS의 구조 분석에서, 2θ 가 56° 부근일 때 피크가 나타난다. 이 피크는 InGaZnO_4 결정의 (110)면에서 유래한다. CAAC-OS의 경우, 2θ 를 56° 부근에 고정하고 샘플 표면의 법선 벡터를 축(ϕ 축)으로서 사용하여 샘플을 회전시켜 분석(ϕ 스캔)을 수행하면, 도 45의 (B)에 나타낸 바와 같이 피크가 명확하게 관찰되지 않는다. 한편, InGaZnO_4 의 단결정 산화물 반도체의 경우, 2θ 를 56° 부근에 고정하여 ϕ 스캔을 수행하면, 도 45의 (C)에 나타낸 바와 같이 (110)면과 등가인 결정면에서 유래하는 6개의 피크가 관찰된다. 따라서, XRD를 사용한 구조 분석은, CAAC-OS에서 a축 및 b축의 방향이 불규칙하게 배향되는 것을 나타낸다.
- [0377] 다음에, 전자 회절에 의하여 분석된 CAAC-OS에 대하여 설명한다. 예를 들어, 프로브 직경이 300nm인 전자빔이 샘플 표면에 평행한 방향으로 InGaZnO_4 결정을 포함하는 CAAC-OS에 입사되면, 도 46의 (A)에 나타낸 회절 패턴(제한 시야 투과 전자 회절 패턴이라고도 함)이 얻어질 수 있다. 이 회절 패턴에는 InGaZnO_4 결정의 (009)면에서 유래하는 스폷이 포함된다. 따라서, 전자 회절은, CAAC-OS에 포함되는 펠릿이 c축 배향을 갖고 c축이 CAAC-OS의 형성면 또는 상면에 실질적으로 수직인 방향으로 배향되는 것도 가리킨다. 한편, 도 46의 (B)는, 프로브 직경이 300nm인 전자빔을 샘플 표면에 수직인 방향으로 같은 샘플에 대하여 입사함으로써 얻어지는 회절 패턴을 나타낸 것이다. 도 46의 (B)에 나타낸 바와 같이 고리형의 회절 패턴이 관찰된다. 따라서, 전자 회절은, CAAC-OS에 포함되는 펠릿의 a축 및 b축이 규칙적인 배향을 갖지 않는 것도 가리킨다. 도 46의 (B)에서의 제 1 고리는 InGaZnO_4 결정의 (010)면, (100)면 등에서 유래하는 것으로 생각된다. 도 46의 (B)에서의 제 2 고리는 (110)면 등에서 유래하는 것으로 생각된다.
- [0378] 상술한 바와 같이, CAAC-OS는 높은 결정성을 갖는 산화물 반도체이다. 불순물의 진입, 결함의 형성 등은 산화물 반도체의 결정성을 저하시킬 수 있다. 이것은 CAAC-OS는 불순물의 양 및 결함(예컨대 산소 빈자리)의 양이 적은 것을 의미한다.
- [0379] 또한, 불순물이란 수소, 탄소, 실리콘, 또는 전이 금속 원소 등의, 산화물 반도체의 주성분 외의 원소를 의미한다. 예를 들어, 산화물 반도체에 포함되는 금속 원소보다 산소와의 결합력이 높은 원소(구체적으로, 실리콘 등)는 산화물 반도체로부터 산소를 추출하고, 이 결과 산화물 반도체의 원자 배열이 어지러워지고 결정성이 저하된다. 철 또는 니켈 등의 중금속, 아르곤, 이산화탄소 등을 원자 반경(또는 분자 반경)이 크기 때문에, 산화물 반도체의 원자 배열을 어지럽혀 결정성을 저하시킨다.
- [0380] 불순물 또는 결함을 갖는 산화물 반도체의 특성은 광, 열 등에 의하여 변화될 수 있다. 산화물 반도체에 포함되는 불순물은, 예를 들어 캐리어 트랩 또는 캐리어 발생원으로서 기능할 수 있다. 또한, 산화물 반도체에서의 산소 빈자리는, 캐리어 트랩으로서 기능하거나, 수소가 포획되면 캐리어 발생원으로서 기능한다.

- [0381] 불순물 및 산소 빈자리의 양이 적은 CAAC-OS는 캐리어 밀도가 낮은(구체적으로, $8 \times 10^{11}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{10}/\text{cm}^3$ 미만이고, $1 \times 10^{-9}/\text{cm}^3$ 이상) 산화물 반도체이다. 이런 산화물 반도체는 고순도 진성 또는 실질적으로 고순도 진성 산화물 반도체라고 한다. CAAC-OS는 불순물 농도가 낮고 결함 상태의 밀도가 낮다. 따라서 CAAC-OS는 안정된 특성을 갖는 산화물 반도체라고 할 수 있다.
- [0382] <nc-OS>
- [0383] 다음에, nc-OS에 대하여 설명한다.
- [0384] nc-OS는 고분해능 TEM 이미지에서 결정부가 관찰되는 영역, 및 결정부가 명확히 관찰되지 않는 영역을 갖는다. 대부분의 경우, nc-OS에 포함되는 결정부의 사이즈는 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하이다. 또한, 10nm보다 크고 100nm 이하의 사이즈의 결정부를 포함하는 산화물 반도체를 미결정 산화물 반도체라고 하는 경우가 있다. nc-OS의 고분해능 TEM 이미지에서, 예컨대 그레인 바운더리가 명확히 관찰되지 않는 경우가 있다. 또한, 나노 결정의 기원은 CAAC-OS에서의 펠릿과 동일한 가능성이 있다. 그러므로, 이하의 설명에서는 nc-OS의 결정부를 펠릿이라고 할 수 있다.
- [0385] nc-OS에서 미소한 영역(예컨대 1nm 이상 10nm 이하의 사이즈를 갖는 영역, 특히 1nm 이상 3nm 이하의 사이즈를 갖는 영역)은 주기적인 원자 배열을 갖는다. nc-OS에서 상이한 펠릿들 사이에 결정 배향의 규칙성은 없다. 따라서, 막 전체의 배향이 관찰되지 않는다. 따라서, 분석 방법에 따라서는, nc-OS를 a-like OS 또는 비정질 산화물 반도체와 구별할 수 없다. 예를 들어, 펠릿의 사이즈보다 큰 직경을 갖는 X선빔을 사용하여 out-of-plane 법에 의하여 nc-OS가 분석되면, 결정면을 나타내는 피크가 나타나지 않는다. 또한, 펠릿의 사이즈보다 큰 프로브 직경(예컨대, 50nm 이상)을 갖는 전자빔을 사용하여 nc-OS에 대하여 전자 회절을 수행하면, 헤일로(halo) 패턴과 같은 회절 패턴이 관찰된다. 한편, 프로브 직경이 펠릿의 사이즈와 가깝거나 펠릿의 사이즈보다 작은 전자빔을 적용하면, nc-OS의 나노빔 전자 회절 패턴에 스폷이 나타난다. 또한, nc-OS의 나노빔 전자 회절 패턴에, 휘도가 높은 원(고리)형 패턴을 갖는 영역이 나타나는 경우가 있다. nc-OS층의 나노빔 전자 회절 패턴에서도 고리형 영역에 복수의 스폷이 나타나는 경우가 있다.
- [0386] 상술한 바와 같이, 펠릿들(나노 결정들) 사이에 결정 배향의 규칙성이 없기 때문에, nc-OS를 RANC(random aligned nanocrystals)를 포함하는 산화물 반도체 또는 NANC(non-aligned nanocrystals)를 포함하는 산화물 반도체라고 할 수도 있다.
- [0387] 따라서, nc-OS는 비정질 산화물 반도체에 비하여 규칙성이 높은 산화물 반도체이다. 그러므로, nc-OS는 a-like OS 및 비정질 산화물 반도체보다 결함 상태의 밀도가 낮은 경향이 있다. 또한, nc-OS에서 상이한 펠릿들 사이에 결정 배향의 규칙성은 없다. 그러므로, nc-OS는 CAAC-OS보다 결함 상태의 밀도가 높다.
- [0388] <a-like OS>
- [0389] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간의 구조를 갖는다.
- [0390] a-like OS의 고분해능 TEM 이미지에서는 보이드(void)가 관찰되는 경우가 있다. 또한, 고분해능 TEM 이미지에서, 결정부가 명확히 관찰되는 영역 및 결정부가 관찰되지 않는 영역이 있다.
- [0391] a-like OS는 보이드를 포함하기 때문에 불안정한 구조를 갖는다. a-like OS가 CAAC-OS 및 nc-OS에 비하여 불안정한 구조를 갖는다는 것을 증명하기 위하여, 전자 조사에 기인하는 구조의 변화에 대하여 이하에서 설명한다.
- [0392] 전자 조사를 수행할 샘플로서 a-like OS(샘플 A), nc-OS(샘플 B), 및 CAAC-OS(샘플 C)를 준비한다. 각 샘플은 In-Ga-Zn 산화물이다.
- [0393] 먼저, 각 샘플의 고분해능 단면 TEM 이미지를 얻는다. 고분해능 단면 TEM 이미지는, 모든 샘플이 결정부를 갖는 것을 나타낸다.
- [0394] 또한, 어느 부분이 결정부로 판단되는지에 대하여 이하에서 설명한다. InGaZnO_4 결정의 단위 격자는, 3개의 In-O층과 6개의 Ga-Zn-O층을 포함하는 9층이 c축 방향으로 적층된 구조를 갖는 것이 알려져 있다. 따라서 이들 인접한 층들 사이의 공간은 (009)면의 격자 간격(d값이라고도 함)과 동등하다. 이 값은 결정 구조 분석으로부터 0.29nm로 계산된다. 따라서, 격자 줄무늬(lattice fringe)를 사이의 격자 간격이 0.28nm 이상 0.30nm 이하인 부분을 InGaZnO_4 의 결정부라고 간주한다. 각 격자 줄무늬는 InGaZnO_4 결정의 a-b면에 상당한다.

- [0395] 도 47은 각 샘플의 결정부(22지점~45지점)의 평균 사이즈의 변화를 나타낸 것이다. 또한, 결정부 사이즈는 격자 줄무늬의 길이에 상당한다. 도 47은, a-like OS에서의 결정부 사이즈가 누적 전자 선량의 증가에 따라 증대되는 것을 가리킨 것이다. 구체적으로는 도 47에서 (1)로 나타낸 바와 같이, TEM 관찰의 시작에서 1.2nm 정도의 결정부(이 결정부를 초기 핵이라고도 함)는, 누적 전자 선량이 $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 에서 2.6nm 정도의 사이즈로 성장한다. 한편, nc-OS 및 CAAC-OS의 결정부 사이즈는 전자 조사의 시작으로부터 누적 전자 선량이 $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 까지의 변화가 거의 없는 것을 나타낸다. 구체적으로는, 도 47에서 (2) 및 (3)으로 나타낸 바와 같이 누적 전자 선량에 상관없이 nc-OS 및 CAAC-OS의 평균 결정 사이즈는 각각 1.4nm 정도 및 2.1nm 정도이다.
- [0396] 이와 같이, a-like OS에서의 결정부의 성장은 전자 조사에 의하여 유발된다. 한편, nc-OS 및 CAAC-OS에서, 결정부의 성장은 전자 조사에 의하여 거의 유발되지 않는다. 그러므로, a-like OS는 nc-OS 및 CAAC-OS에 비하여 불안정한 구조를 갖는다.
- [0397] a-like OS는 보이드를 포함하기 때문에 nc-OS 및 CAAC-OS보다 밀도가 낮다. 구체적으로, a-like OS의 밀도는 동일한 조성을 갖는 단결정 산화물 반도체의 밀도의 78.6% 이상 92.3% 미만이다. nc-OS 및 CAAC-OS 각각의 밀도는 동일한 조성을 갖는 단결정 산화물 반도체의 밀도의 92.3% 이상 100% 미만이다. 또한, 단결정 산화물 반도체층의 밀도의 78% 미만의 밀도를 갖는 산화물 반도체층은 퇴적되기 어렵다.
- [0398] 예를 들어, In:Ga:Zn=1:1:1의 원자 비율을 갖는 산화물 반도체의 경우, 능면체정 구조를 갖는 단결정 InGaZnO₄의 밀도는 6.357 g/cm^3 이다. 따라서 In:Ga:Zn=1:1:1의 원자 비율을 갖는 산화물 반도체의 경우, a-like OS의 밀도는 5.0 g/cm^3 이상 5.9 g/cm^3 미만이다. 예를 들어, In:Ga:Zn=1:1:1의 원자 비율을 갖는 산화물 반도체의 경우, nc-OS 및 CAAC-OS 각각의 밀도는 5.9 g/cm^3 이상 6.3 g/cm^3 미만이다.
- [0399] 또한, 조성이 같은 단결정이 존재하지 않는 경우가 있다. 이 경우, 조성이 상이한 단결정 산화물 반도체들을 적절한 비율로 조합함으로써, 원하는 조성을 갖는 단결정 산화물 반도체의 밀도와 동등한 밀도를 계산할 수 있다. 원하는 조성을 갖는 단결정 산화물 반도체의 밀도는, 조성이 상이한 단결정 산화물 반도체들의 조합비에 따라 가중 평균을 사용하여 계산할 수 있다. 또한, 밀도를 계산하기 위해서는 가능한 한 적은 종류의 단결정 산화물 반도체를 사용하는 것이 바람직하다.
- [0400] 상술한 바와 같이, 산화물 반도체는 다양한 구조와 다양한 특성을 갖는다. 또한, 산화물 반도체는 예컨대, 비정질 산화물 반도체, a-like OS, nc-OS, 및 CAAC-OS 중 2개 이상을 포함하는 적층이어도 좋다.
- [0401] <CAAC-OS 및 nc-OS의 형성 방법>
- [0402] CAAC-OS막의 형성 방법의 예에 대하여 이하에서 설명한다.
- [0403] 도 48의 (A)는 막 형성 체임버 내의 개략도이다. 스퍼터링법에 의하여 CAAC-OS막을 형성할 수 있다.
- [0404] 도 48의 (A)에 나타낸 바와 같이, 기판(5220)과 타깃(5230)은 서로 대향하도록 배치된다. 기판(5220)과 타깃(5230) 사이에 플라스마(5240)가 생성된다. 기판(5220) 아래에 가열 기구(5260)가 있다. 타깃(5230)은 백킹 플레이트(도면에서는 도시되지 않았음)에 접착된다. 백킹 플레이트를 개재하여 타깃(5230)과 대향하도록 복수의 마그네트가 배치된다. 마그네트의 자기장을 이용함으로써 퇴적 속도를 높이는 스퍼터링법을 마그네트론 스퍼터링법이라고 한다.
- [0405] 기판(5220)과 타깃(5230) 사이의 거리 d (타깃-기판 거리(T-S 거리)라고도 함)는 0.01m 이상 1m 이하, 바람직하게는 0.02m 이상 0.5m 이하이다. 막 형성 체임버의 대부분은 퇴적 가스(예를 들어 산소 가스, 아르곤 가스, 또는 산소를 5vol% 이상 포함하는 혼합 가스)로 채워지고 막 형성 체임버의 압력은 0.01Pa 이상 100Pa 이하, 바람직하게는 0.1Pa 이상 10Pa 이하로 제어된다. 여기서, 타깃(5230)에 일정한 값 이상의 전압을 인가함으로써 방전이 시작하고, 플라스마(5240)가 관찰된다. 자기장은 타깃(5230) 근방에 고밀도 플라스마 영역을 형성한다. 고밀도 플라스마 영역에서는, 퇴적 가스가 이온화됨으로써, 이온(5201)이 생성된다. 이온(5201)의 예에는 산소 양이온(O^{+}) 및 아르곤 양이온(Ar^{+})이 포함된다.
- [0406] 여기서, 타깃(5230)은 복수의 결정립을 포함하는 다결정 구조를 갖고, 이를 결정립 중 어느 것에 벽개면(劈開面)이 존재한다. 일례로서, 타깃(5230)에 포함되는 $InMnO_4$ (원소 M은 예를 들어 Ga 또는 Sn)의 결정 구조를 도 49에 도시하였다. 또한, 도 49는 b축에 평행한 방향으로부터 관찰된 $InMnO_4$ 의 결정 구조를 도시

한 것이다. $InMnO_4$ 의 구조에서, 산소 원자가 음으로 대전됨으로써, 2개의 인접한 $M-Zn-O$ 층 사이에 척력이 생긴다. 따라서, $InMnO_4$ 결정은 2개의 인접한 $M-Zn-O$ 층 사이에 벽개면을 갖는다.

[0407] 고밀도 플라스마 영역에 생성된 이온(5201)은 전계에 의하여 타깃(5230) 측으로 가속되고, 그 후 타깃(5230)과 충돌한다. 이때, 벽개면으로부터 평판상 또는 펠릿상의 스퍼터된 입자인 펠릿(5200)이 분리된다(도 48의 (A)).

[0408] 펠릿(5200)은 도 49에 나타낸 2개의 벽개면 사이에 있다. 따라서, 펠릿(5200)을 관찰하면, 그 단면은 도 48의 (B)에 나타낸 바와 같고, 그 상면은 도 48의 (C)에 나타낸 바와 같다. 또한 펠릿(5200)의 구조는 이온(5201)의 충돌의 충격에 의하여 왜곡될 수 있다. 또한 펠릿(5200)의 분리에 따라, 입자(5203)도 타깃(5230)으로부터 스퍼터된다. 입자(5203)는 하나의 원자 또는 몇 개의 원자의 집합체를 갖는다. 따라서, 입자(5203)를 원자 입자(atomic particle)라고 할 수 있다.

[0409] 펠릿(5200)은 삼각형의 면, 예를 들어 정삼각형의 면을 갖는 평판상(펠릿상)의 스퍼터된 입자이다. 또는, 펠릿(5200)은 육각형의 면, 예를 들어 정육각형의 면을 갖는 평판상(펠릿상)의 스퍼터된 입자이다. 그러나, 펠릿(5200)의 평판의 형상은 삼각형 또는 육각형에 한정되지 않는다. 예를 들어, 평판은 2개 이상의 삼각형을 조합하여 형성된 형상을 가질 수 있다. 예를 들어, 2개의 삼각형(예를 들어 정삼각형)을 조합함으로써 사각형(마름모)을 형성하여도 좋다.

[0410] 펠릿(5200)의 두께는 퇴적 가스 등의 종류에 따라 결정된다. 예를 들어, 펠릿(5200)의 두께는 0.4nm 이상 1nm 이하, 바람직하게는 0.6nm 이상 0.8nm 이하이다. 또한 예를 들어, 펠릿(5200)의 폭은 1nm 이상 3nm 이하, 바람직하게는 1.2nm 이상 2.5nm 이하이다. 예를 들어, $In-M-Zn$ 산화물을 포함하는 타깃(5230)과 이온(5201)이 충돌한다. 그 후, $M-Zn-O$ 층과 $In-O$ 층과 $M-Zn-O$ 층의 3층을 포함하는 펠릿(5200)이 분리된다. 또한 펠릿(5200)의 분리에 따라 타깃(5230)으로부터 입자(5203)도 스퍼터된다.

[0411] 펠릿(5200)은 플라스마(5240)를 통과할 때 전하를 받아, 그 표면이 음 또는 양으로 대전될 수 있다. 예를 들어, 펠릿(5200)은 플라스마(5240)의 O^{2-} 로부터 음의 전하를 받는다. 그 결과, 펠릿(5200) 표면상의 산소 원자가 음으로 대전될 수 있다. 또한, 펠릿(5200)은 플라스마(5240)를 통과할 때, 플라스마(5240) 내의 인듐, 원소 M , 아연, 또는 산소 등과 결합되어 성장되는 경우가 있다.

[0412] 플라스마(5240)를 통과한 펠릿(5200) 및 입자(5203)는 기판(5220)의 표면에 도달한다. 또한 입자(5203)는 질량이 작기 때문에, 진공 펌프 등에 의하여 입자(5203)의 일부가 외부로 배출된다.

[0413] 다음에, 기판(5220)의 표면상의 펠릿(5200) 및 입자(5203)에 대하여 도 50의 (A)~(E)를 참조하여 설명한다.

[0414] 우선, 첫 번째의 펠릿(5200)이 기판(5220) 위에 퇴적된다. 펠릿(5200)은 평판상을 갖기 때문에, 평탄한 면이 기판(5220)의 표면을 향하도록 퇴적된다(도 50의 (A)). 여기서, 펠릿(5200)의 기판(5220) 측의 표면상의 전하는 기판(5220)을 통하여 없어진다.

[0415] 다음에, 두 번째의 펠릿(5200)이 기판(5220)에 도달한다. 여기서, 첫 번째의 펠릿(5200)의 다른 표면 및 두 번째의 펠릿(5200)의 표면은 대전되어 있기 때문에, 이들은 서로 반발한다(도 50의 (B)).

[0416] 결과적으로, 두 번째의 펠릿(5200)은 첫 번째의 펠릿(5200) 위에 퇴적되는 것을 피하고, 첫 번째의 펠릿(5200)으로부터 조금 떨어지도록 기판(5220)의 표면 위에 퇴적된다(도 50의 (C)). 이것의 반복에 의하여, 하나의 층의 두께를 갖도록 수많은 펠릿(5200)이 기판(5220)의 표면 위에 퇴적된다. 인접한 펠릿들(5200) 사이에는 어느 펠릿(5200)도 퇴적되지 않는 영역이 생긴다.

[0417] 다음에, 입자(5203)가 기판(5220)의 표면에 도달한다(도 50의 (D)).

[0418] 입자(5203)는 펠릿(5200)의 표면 등의 활성 영역 위에는 퇴적되지 못한다. 따라서, 입자(5203)는, 펠릿(5200)이 퇴적되지 않은 영역을 채우도록 퇴적된다. 입자(5203)는 펠릿들(5200) 사이에 수평(가로) 방향으로 성장함으로써, 펠릿들(5200)을 연결시킨다. 이로써, 입자(5203)는, 펠릿(5200)이 퇴적되지 않은 영역을 채울 때까지 퇴적된다. 이 메커니즘은 ALD법의 퇴적 메커니즘과 비슷하다.

[0419] 또한 펠릿들(5200) 사이에서의 입자(5203)의 가로 성장에는 몇 개의 메커니즘이 있을 수 있다. 예를 들어, 도 50의 (E)에 나타낸 바와 같이, 제 1 $M-Zn-O$ 층의 측면으로부터 펠릿들(5200)이 연결될 수 있다. 이 경우, 제 1 $M-Zn-O$ 층이 연결된 후에, $In-O$ 층 및 제 2 $M-Zn-O$ 층이 이 순서대로 연결된다(제 1 메커니즘).

[0420] 또는, 도 51의 (A)에 나타낸 바와 같이, 우선 제 1 $M-Zn-O$ 층의 각 측면이 하나의 입자(5203)를 갖도록 입자

(5203)가 제 1 M-Zn-O층의 측면에 연결된다. 그 후, 도 51의 (B)에 나타낸 바와 같이, 입자(5203)가 In-0층의 각 측면에 연결된다. 그리고 나서, 입자(5203)는 제 2 M-Zn-O층의 각 측면에 연결된다(제 2 메커니즘).

[0421] 또한, 도 51의 (A), (B), 및 (C)의 퇴적이 동시에 일어남으로써 연결이 이루어질 수도 있다(제 3 메커니즘).

[0422] 상술한 바와 같이, 펠릿들(5200) 사이에서의 입자(5203)의 가로 성장의 메커니즘으로서 상기 3개의 메커니즘이 생각된다. 그러나, 다른 메커니즘으로 입자(5203)가 펠릿들(5200) 사이에서 가로로 성장할 수 있다.

[0423] 따라서, 복수의 펠릿(5200)의 배향이 서로 상이하여도, 복수의 펠릿(5200) 사이의 갭을 채우도록 입자(5203)가 가로로 성장하므로, 결정립계의 발생을 억제할 수 있다. 또한, 입자(5203)가 복수의 펠릿(5200) 사이의 연결을 원활하게 하기 때문에, 단결정 및 다결정과는 상이한 결정 구조가 형성된다. 바꿔 말하면, 미세한 결정 영역(펠릿(5200)) 사이에 왜곡을 포함하는 결정 구조가 형성된다. 결정 영역 사이의 갭을 채우는 영역은 왜곡된 결정 영역이고, 따라서 이 영역이 비정질 구조를 갖는다고 말하는 것은 적절하지 않을 것이다.

[0424] 입자(5203)가 펠릿들(5200) 사이의 영역을 완벽하게 채우면, 펠릿(5200)의 두께와 거의 같은 두께를 갖는 제 1 층이 형성된다. 그리고, 새로운 첫 번째의 펠릿(5200)이 제 1 층 위에 퇴적되고, 제 2 층이 형성된다. 이 사이클의 반복에 의하여, 적층된 박막 구조가 형성된다(도 48의 (D)).

[0425] 펠릿(5200)의 퇴적 방법은 기판(5220)의 기판 온도 등에 따라 변화된다. 예를 들어, 기판(5220)의 표면 온도가 높으면, 기판(5220) 위에서 펠릿(5200)의 마이그레이션은 일어난다. 결과적으로, 입자(5203) 없이 서로 접촉 연결되는 펠릿(5200)의 비율이 증가됨으로써, 배향성이 높은 CAAC-OS가 만들어진다. CAAC-OS의 형성을 위한 기판(5220)의 표면 온도는 100°C 이상 500°C 미만, 바람직하게는 140°C 이상 450°C 미만, 더 바람직하게는 170°C 이상 400°C 미만이다. 따라서, 8세대 이상의 대형 기판을 기판(5220)으로서 사용할 때도, 휘어짐 등은 거의 일어나지 않는다.

[0426] 한편, 기판(5220)의 표면 온도가 낮으면, 기판(5220) 위의 펠릿(5200)의 마이그레이션은 일어나기 어렵다. 그 결과, 펠릿(5200)이 적층되어 배향성이 낮은 nc-OS 등을 형성한다(도 52). nc-OS에서, 펠릿(5200)은 음으로 대전되기 때문에 펠릿들(5200)은 일정한 갭을 두고 퇴적될 가능성이 있다. 따라서, nc-OS 막은 배향성이 낮지만 어느 정도의 규칙성을 가지므로, 비정질 산화물 반도체보다 치밀한 구조를 갖는다.

[0427] CAAC-OS에서 펠릿들 사이의 간격이 매우 작을 때, 이들 펠릿은 하나의 큰 펠릿을 형성할 수 있다. 그 큰 펠릿의 내부는 단결정 구조를 갖는다. 예를 들어, 그 펠릿의 크기는 위에서 보았을 때 10nm 이상 200nm 이하, 15nm 이상 100nm 이하, 또는 20nm 이상 50nm 이하이다.

[0428] 이러한 모델에 따라, 펠릿(5200)은 기판(5220)상에 퇴적되는 것으로 생각된다. CAAC-OS는, 형성면이 결정 구조를 갖지 않는 경우에도 퇴적될 수 있기 때문에, 이 경우의 성장 메커니즘은 에피택셜(epitaxial) 성장과는 상이하다. 또한, 대면적의 유리 기판 등 위에도 CAAC-OS 또는 nc-OS의 균일한 막을 형성할 수 있다. 예를 들어, 기판(5220)의 표면(형성면)이 비정질 구조(예를 들어 비정질 산화 실리콘 등)를 가지더라도, CAAC-OS를 형성할 수 있다.

[0429] 또한, 기판(5220)의 표면(형성면)이 요철 형상을 가지더라도, 펠릿(5200)은 그 형상을 따라 배열된다.

[0430] 본 실시형태에서 설명한 구조 및 방법은, 다른 실시형태들에서 설명하는 다른 구조 및 방법 중 어느 것과 적절히 조합함으로써 실시할 수 있다.

[0431] [실시예 1]

[0432] 본 실시에서는, OS 트랜지스터를 제작하고 그 차단 주파수를 측정하였다. 구체적으로, OS 트랜지스터의 채널 길이에 대한 차단 주파수를 측정하였다. 도 31은 측정 결과를 나타낸 것이다.

[0433] 제작된 OS 트랜지스터는 도 12의 (A)~(C)에 나타낸 트랜지스터(TR1)와 같은 디바이스 구조를 갖는다. 게이트 절연막(102)은 두께 10nm의 산화질화 실리콘막이다. 도전막(104a 및 104b)은 각각 두께 10nm의 텅스텐막이다. 게이트 전극(103)은 두께 10nm의 질화 타이타늄막과 두께 10nm의 텅스텐막의 적층막이다. 백 게이트 전극(도전막(105))은 제공되지 않았다. 제작된 CAAC-OS FET의 반도체막은 3층의 In-Ga-Zn 산화물막이다. 제 2 In-Ga-Zn 산화물막은, c축 방향으로 배향된 결정부를 갖도록, 기판이 가열된 스퍼터링 장치를 사용하여 형성하였다. 또한 기판으로서 실리콘 웨이퍼가 사용된다.

[0434] 채널 길이(L) 60nm, 100nm, 180nm, 및 350nm의 OS 트랜지스터들을 형성하였다. 각 OS 트랜지스터의 주파수 특성은 네트워크 애널라이저를 사용하여 측정하고, 각 OS 트랜지스터의 차단 주파수를 얻었다. 하나의 채널 길이

(L)에 대하여 측정된 트랜지스터의 수는 10이다.

[0435] 도 31의 측정 결과에 따르면, 채널 길이(L)가 60nm일 때 차단 주파수는 약 2GHz로 추정되었다. 미세화된 OS 트랜지스터가 우수한 주파수 특성을 갖는 것을 알 수 있었다.

[0436] [실시예 2]

[0437] 본 발명의 일 형태의 회로 시스템을 제작하고, 다양한 측정을 수행하였다. 본 실시예에서는, 측정 결과에 대하여 설명한다.

[0438] 도 12의 (A)~(C)에 나타낸 트랜지스터(TR1)에 상당하는 OS 트랜지스터를 제작하고, 그 전기 특성을 측정하였다.

[0439] 제작된 OS 트랜지스터는 채널 길이(L) 60nm 및 채널 폭(W) 60nm를 갖는다. 백 게이트 전극은 두께 50nm의 텅스텐막이다. 백 게이트 전극 위의 절연막은, 두께 100nm의 산화질화 실리콘막과 두께 50nm의 산화 알루미늄막과 두께 50nm의 산화 실리콘막의 적층막이다. 산화물 반도체막은, 두께 20nm의 In-Ga-Zn 산화물($In:Ga:Zn=1:3:4$ [atomic%])과 두께 15nm의 In-Ga-Zn 산화물($In:Ga:Zn=1:1:1$ [atomic%])과 두께 5nm의 In-Ga-Zn 산화물($In:Ga:Zn=1:3:2$ [atomic%])의 적층막이다. 소스 전극 및 드레인 전극은 각각 두께 20nm의 텅스텐막이다. 게이트 절연막은 두께 10nm의 산화질화 실리콘막이다. 또한, 게이트 전극은 두께 10nm의 질화 타이타늄과 두께 10nm의 텅스텐막의 적층막이다.

[0440] 도 32는 본 실시예에서 제작된 OS 트랜지스터의 I_d-V_g (드레인 전류-게이트 전압) 특성을 도시한 것이다. 도 32에서, 세로축은 I_d (드레인 전류)를 나타내고 가로축은 V_g (게이트 전압)를 나타낸다. 트랜지스터의 V_d (드레인 전류)를 0.1V 및 1.8V로 설정하고, 백 게이트 전극은 전위가 공급되지 않는 즉 플로팅 상태에 있는 조건으로 측정을 수행하였다. 도 32는 동일 기판 위의 13개의 트랜지스터의 데이터를 나타낸 것이다. 도 32에서, $V_d=0.1V$ 의 경우의 데이터 및 $V_d=1.8V$ 의 경우의 데이터를 서로 겹쳐서 나타내었다. 도 32의 I_d-V_g 특성에 의거하여, 본 실시예의 OS 트랜지스터가 바람직한 트랜지스터 특성을 갖는다는 것을 알 수 있었다.

[0441] 다음에, 도 32에서 측정된 것과 같은 디바이스 구조를 갖는 OS 트랜지스터를 갖는 회로를 제작하고, 그 동작을 조사하였다. 도 33의 (A)는 제작된 회로의 회로도를 도시한 것이다. 이 회로는, 실시형태 1에서 도 2의 (A)에 나타낸 기억 회로(25)와 같은 구조를 갖고, 트랜지스터(M1), 트랜지스터(M2), 및 용량 소자(Cs)를 포함한다.

[0442] 도 33의 (B)는 제작된 회로의 레이아웃을 도시한 것이고, 도 33의 (C)는 제작된 회로의 광학 현미경 사진을 나타낸 것이다. 도 33의 (C)의 광학 현미경 사진은 도 33의 (B)의 영역(3000)에 상당하는 영역을 나타낸다. 도 33의 (C)의 광학 현미경 사진으로부터, 원하는 회로가 제작된 것이 확인되었다.

[0443] 제작된 회로에서, 트랜지스터(M1)는 채널 폭(W) 60nm 및 채널 길이(L) 60nm의 OS 트랜지스터이고, 트랜지스터(M2)는 채널 폭(W) 60nm 및 채널 길이(L) 60nm의 OS 트랜지스터이다. 2종류의 회로(하나는 용량 소자(Cs)의 용량이 1fF, 다른 하나는 3fF)를 제작하였다. 여기서 전자의 회로를 기억 회로(Mem1)라고 부르고, 후자를 기억 회로(Mem2)라고 부른다.

[0444] 제작된 기억 회로(Mem1 및 Mem2)의 기록 동작을 측정하였다. 도 34는 기록 동작의 타이밍 차트이다. 도 34는, 용량 소자(Cs)(노드(FN))를 충전하는 동작에 상당하는, 논리 레벨이 높은 데이터의 기록 동작을 도시한 것이다. 1.1V의 전압을 데이터 신호로서 배선(WBL)에 인가하였다. 또한, 3V의 펄스 신호를 배선(WWL)에 인가함으로써 트랜지스터(M1)를 온 상태로 하였다. 배선(SL)의 전위는 0V로 하였다. 기록 시간(T_{write})은, 노드(FN)의 전압을 배선(WBL)의 전압의 90%까지 상승시키는 데 걸리는 시간을 가리킨다. 도 34의 동작예에서는, 시간(T_{write})은 노드(FN)의 전위를 0V로부터 1V(배선(WBL)의 전위 1.1V의 90%)까지 상승시키는 데 걸리는 시간이다.

[0445] 도 35의 (A) 및 (B)는 기록 시간에 대한 노드(FN)의 전압의 측정 결과를 도시한 것이다. 도 35의 (A)는 기억 회로(Mem1)의 측정 결과를 도시한 것이고, 도 35의 (B)는 기억 회로(Mem2)의 측정 결과를 도시한 것이다. 측정의 횟수는 각 경우에서 5로 하였다. 기록 동작 시에 배선(RBL)을 흐르는 전류를 측정함으로써 노드(FN)의 전압을 얻었다. 배선(RBL)을 흐르는 전류는 트랜지스터(M2)의 드레인 전류에 상당하고, 노드(FN)의 전압은 트랜지스터(M2)의 게이트 전압에 상당한다. 따라서, 측정된 전류 값과 미리 얻은 트랜지스터(M2)의 I_d-V_g 특성을 기초하여, 노드(FN)의 전위를 얻었다. 또한 도 35의 (A) 및 (B)의 가로축의 기록 시간은 배선(WWL)에 3V를 인가하는 동안의 시간이다.

[0446] 도 35의 (A) 및 (B)의 측정 결과는 매우 짧은 시간에 용량 소자(Cs)를 90%까지 충전, 즉 매우 짧은 시간에 데이

터를 기록할 수 있는 것을 나타낸다. 도 35의 (A)는 용량 소자(Cs)의 용량이 1fF인 경우, 2nsec 이내에 노드(FN)의 전위를 0V로부터 1V까지 상승시킬 수 있는 것을 것이다. 도 35의 (B)는 용량 소자(Cs)의 용량이 3fF인 경우, 5nsec 이내에 노드(FN)의 전위를 0V로부터 1V까지 상승시킬 수 있는 것을 나타낸 것이다.

[0447] 다음에, 기억 회로(Mem1 및 Mem2)의 기록 시간과 기록용 트랜지스터의 이동도의 관계에 대하여 설명한다.

[0448] 도 36은 기억 회로(Mem1 및 Mem2)의 용량 소자(Cs)의 정전기 용량과 기록 시간의 관계를 도시한 것이다. 도 36의 측정값은 도 35의 (A) 및 (B)의 측정 결과로부터 얻어진 것이다. 또한, 도 36은 5개의 기억 회로(Mem1)의 기록 시간의 평균값 및 5개의 기억 회로(Mem2)의 기록 시간의 평균값도 나타낸다. 또한, 기억 회로(Mem1 및 Mem2)의 기록 시간을 계산하였다. 도 36의 3개의 곡선은 계산 결과를 나타내고, 실선은, 회로를 실온(27°C)에서 동작하고 트랜지스터(M1)의 이동도를 원래의 이동도로 한 경우의 기록 시간의 계산 결과(계산 결과 1)를 나타내고, 일점쇄선은, 실온(27°C)에서의 트랜지스터(M1)의 이동도를 2배로 한 경우의 계산 결과(계산 결과 2)를 나타내고, 점선은 이동도를 3배로 한 경우의 계산 결과(계산 결과 3)를 나타낸다.

[0449] 도 36에 나타낸 계산 결과에 따라, 트랜지스터(M1)의 이동도를 2배 또는 3배로 함으로써 기록 시간이 저감된다고 추정되었다. 또한, 기록 시간의 측정값의 평균값은 이동도를 3배로 한 경우의 계산 결과와 대략 겹친다. 용량 소자(Cs)의 용량이 1fF일 때, 측정된 값은 5nsec 미만이었다.

[0450] 상술한 바와 같이, 본 실시예에서 제작된 회로는 고속 및 저소비 전력의 LSI로 응용될 수 있다는 것을 알 수 있었다.

[0451] [실시예 3]

[0452] 본 실시예에서는, CAAC-OS막을 사용하여 반도체 영역이 형성되는 OS 트랜지스터(이하에서는 CAAC-OS FET라고 하는 경우가 있음)를 제작하고, 그 CAAC-OS FET의 DC 특성 및 RF 특성을 측정하였다. 또한, CAAC-OS FET를 사용하여 기억 회로를 제작하고, 그 동작을 조사하였다. 이하에서 자세히 설명한다.

[0453] <CAAC-OS FET의 제작>

[0454] 제작된 CAAC-OS FET는 채널 길이(L)가 60nm이고 채널 폭(W)이 60nm이다. CAAC-OS FET는 실시예 1에서 제작된 트랜지스터와 같은 디바이스 구조를 갖고, 같은 공정으로 제작하였다. 실리콘 웨이퍼상에 하지 절연막을 형성하고, 하지 절연막 위에 CAAC-OS FET를 형성하였다. 산화 실리콘막의 두께로 변환하여 얻어진 하지 절연막의 등가 산화물 두께는 390nm이었다. 또한, 게이트 절연막의 등가 두께는 11nm이었다. 제작된 CAAC-OS FET의 반도체막은 3층의 In-Ga-Zn 산화물막이다. 제 2 In-Ga-Zn 산화물막은 c축 방향으로 배향된 결정부를 갖도록, 실리콘 웨이퍼가 가열된 스퍼터링 장치를 사용하여 형성하였다.

[0455] 제작된 CAAC-OS FET의 전기 특성을 측정하였다. 측정 결과를 도 37의 (A) 및 (B), 도 38, 및 도 39에 나타내었다. 도 37의 (A) 및 (B), 도 38, 및 도 39의 측정 데이터는 병렬로 서로 전기적으로 접속되는 5000개의 CAAC-OS FET의 측정 데이터이다. 각 CAAC-OS FET는 채널 길이(L)가 60nm이고 채널 폭(W)이 60nm이다. 즉, 도 37의 (A) 및 (B), 도 38, 및 도 39는 채널 길이(L) 60nm, 채널 폭(W) 300 μm의 CAAC-OS FET의 전기 특성을 나타낸 것이다.

[0456] <DC 특성>

[0457] 도 37의 (A)는 W=300 μm 및 L=60nm의 CAAC-OS FET의 $I_d - V_g$ (드레인 전류-게이트 전압) 특성을 나타내고, 도 37의 (B)는 $I_d - V_d$ (드레인 전류-드레인 전압) 특성을 나타낸다. $V_g = 2.2V$ 및 $V_d = 1.0V$ 일 때, 온 전류(I_{on})는 2.87mA이고, S값(subthreshold swing value)은 0.09V/dec이었다. 오프 전류는 측정 하한, 즉 $1 \times 10^{-13} A$ 이하이었고, 이것은 CAAC-OS FET의 누설 전류가 매우 작은 것을 나타낸다.

[0458] 도 38은 W=300 μm 및 L=60nm의 CAAC-OS FET의 상호 컨덕턴스(g_m) 특성을 나타낸 것이다. 드레인 전압(V_d)을 0.1V, 1.0V, 2.0V, 3.0V, 또는 4.0V로 하였을 때, g_m 의 최대값은 각각 0.4mS, 3.9mS, 6.5mS, 8.0mS, 또는 9.3mS이었다. g_m 이 최대값이 취할 때의 게이트 전압(V_g)은 1.90V, 2.20V, 2.35V, 2.65V, 또는 2.85V이었다.

[0459] <RF 특성>

[0460] W=300 μm 및 L=60nm의 CAAC-OS FET(각각이 W=60nm 및 L=60nm인 5000개의 CAAC-OS FET)의 S 파라미터를 측정하고, RF 이득(전류 이득 |H21|, 및 최대 일방적 전력 이득(maximum unilateral power gain) U_g)을 얻고, 파라미

터 차단 주파수(f_T) 및 최대 발진 주파수(f_{max})를 도출하였다.

[0461] 도 39에, 주파수에 대한 RF 이득($|H21|$, U_g)을 도시하였다. $V_d=1.0V$ 및 $V_g=2.2V$ 이다. 도 39는 f_T 및 f_{max} 의 양쪽이 1.9GHz인 것을 나타낸다. 이를 값은, 단락 개방 캘리브레이션을 사용한 디임베디드(de-embedding) 후에 얻어진 것이다.

[0462] 도 40은 f_T 및 f_{max} 의 드레인 전압 의존성을 도시한 것이다. 도 38의 g_m 이 최대값을 취한 조건에서 f_T 및 f_{max} 가 플롯(plot)되었다. 드레인 전압(V_d)이 0.1V, 1.0V, 2.0V, 3.0V, 또는 4.0V이었을 때, f_T 는 각각 0.2GHz, 1.9GHz, 3.4GHz, 4.7GHz, 또는 5.6GHz이고, f_{max} 는 각각 0.2GHz, 1.9GHz, 3.3GHz, 4.2GHz, 또는 4.8GHz이었다. 도 40은 V_d 가 높아지면 f_T 및 f_{max} 양쪽이 증가되는 것을 도시한 것이다.

[0463] <CAAC-OS FET의 LSI로의 응용 가능성>

[0464] CAAC-OS FET 및 수동 소자를 사용하여 회로를 제작하고, CAAC-OS FET의 LSI로의 응용에 대하여 조사하였다. 여기서, 일례로서, 도 41에 나타낸 기억 회로의 조사 결과에 대하여 설명한다. 도 41의 기억 회로는 도 2의 (A)의 기억 회로(25)와 같은 회로 구조를 갖고, 기록용 트랜지스터(MW), 판독용 트랜지스터(MR), 및 용량 소자(Cs)를 포함한다. 기록용 트랜지스터(MW) 및 판독용 트랜지스터(MR) 각각은 채널 폭(W) 60nm 및 채널 길이(L) 60nm의 CAAC-OS FET이다. 2종류의 기억 회로를 제작하였다: 하나는 노드(FN)의 부하 용량(C_{load})이 1.0fF이고, 다른 하나는 3.0fF이었다. 도 41에 나타낸 바와 같이, 부하 용량(C_{load})은 용량 소자(Cs)와 기생 용량의 합이다.

[0465] 도 41의 기억 회로의 기록 시간을 측정하였다. 도 42에는 측정 결과를 나타내었다. 도 42는 기억 회로의 부하 용량과 기록 시간의 관계를 도시한 것이다. 측정 방법에 대하여 이하에서 설명한다.

[0466] 초기 상태로서, 노드(IN)의 전위를 0.0V, 노드(OSG)의 전위를 3.0V로 하여, 노드(FN)의 전위를 0.0V로 하였다. 노드(OSG)의 전위를 -1.0V로 하고, 노드(IN)에 1.1V를 인가하였다. 노드(OSG)에 펠스(-1.0V로부터 3.0V)를 입력하고, 판독용 트랜지스터(MR)의 드레인 전류(노드(S)와 노드(D) 사이를 흐르는 전류)를 측정하였다. 미리 측정된 판독용 트랜지스터(MR)의 I_d-V_g 특성을 기초하여 노드(FN)의 전위를 추정하였다. 이 측정은 노드(OSG)에 인가되는 펠스 폭을 변화시킴으로써 수행하였다. 펠스 폭은, 노드(OSG)에 3.0V의 전위가 인가되는 동안의 시간을 뜻한다. 기록 시간은, 노드(FN)의 전위가 1.0V(노드(IN)의 전위 1.1V의 90%)에 도달하는 펠스 폭으로 정의된다. 또한 도 42의 실선은 계산 결과를 나타낸 것이다. 도 42는 부하 용량(C_{load})이 3.0fF일 때 기록 시간이 4.0nsec이고, C_{load} 가 1.0fF일 때 기록 시간이 2.0nsec인 것을 나타낸다.

[0467] <요약>

[0468] 본 실시예에서는, 채널 폭(W) 60nm 및 채널 길이(L) 60nm의 CAAC-OS FET를 제작하고, 그 DC 특성 및 RF 특성을 측정하였다. 채널 폭 300 μm 에 의하여 측정 하한($1 \times 10^{-13} A$) 이하의 오프 전류 및 0.09V/dec의 S값을 얻었다. W=300 μm , $V_g=2.2V$, 및 $V_d=1.0V$ 일 때, 1.9GHz의 f_T 및 1.9GHz의 f_{max} 를 얻었다. 또한, 플로팅 노드의 부하 용량이 3.0fF일 때 기억 회로의 기록 속도는 4.0nsec이고, 부하 용량이 1.0fF일 때 기록 시간은 2.0nsec이었다.

[0469] 채널 길이(L) 60nm의 CAAC-OS FET는, 저소비 전력의 기억 장치 등의 LSI에 충분히 응용될 수 있다. 또한, 미세화에 의하여 트랜지스터의 RF 특성이 증가되는 것은 잘 알려져 있다. 즉, 테크놀로지 노드가 60nm보다 작은 CAAC-OS FET는 더 높은 주파수의 f_T 및 f_{max} 를 가질 수 있다. 본 실시예는, 미세화된 CAAC-OS FET가 GHz 주파수 대의 마이크로파 집적 회로(MIC)로 응용될 수 있다는 것을 나타낸다.

부호의 설명

[0470] 10: 회로 시스템, 12: 메모리 셀 어레이, 14: 주변 회로, 21: 트랜지스터, 23: 용량 소자, 24: 트랜지스터, 25: 기억 회로, 26: 기억 회로, 27: 기억 회로, 31: 기판, 32: 도전막, 33: 절연막, 34: 반도체막, 34a: 반도체막, 34b: 반도체막, 34c: 반도체막, 35: 도전막, 36: 도전막, 37: 절연막, 38: 도전막, 42: 도전막, 43: 절연막, 44: 반도체막, 44a: 반도체막, 44b: 반도체막, 44c: 반도체막, 45: 도전막, 46: 도전막, 47: 절연막, 48: 도전막, 100: 기판, 101: 반도체막, 101a: 반도체막, 101b: 반도체막, 101c: 반도체막, 102: 게이트 절연막, 103: 게이트 전극, 104a: 도전막, 104b: 도전막, 105: 도전막, 114: 절연막, 115:

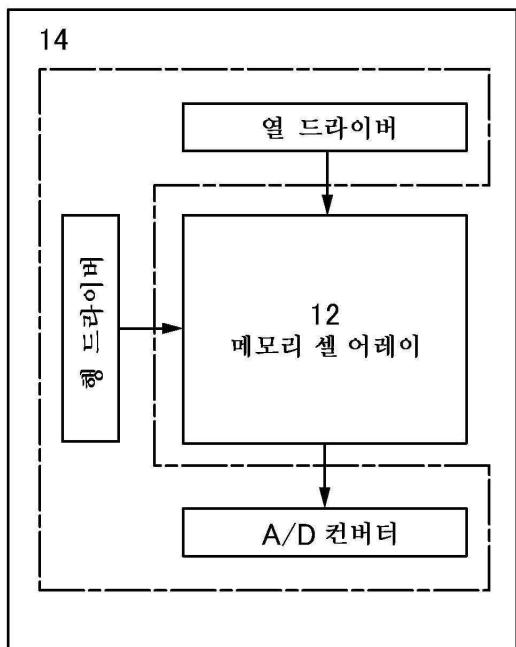
절연막, 116: 절연막, 118a: 플러그, 118b: 플러그, 133: 도전막, 134: 플러그, 141: 플러그, 142: 플러그, 143: 플러그, 144: 플러그, 145: 플러그, 151: 도전막, 152: 도전막, 153: 도전막, 155: 도전막, 156: 절연막, 171a: 저저항 영역, 171b: 저저항 영역, 202: 게이트 절연막, 203: 게이트 전극, 204a: 도전막, 204b: 도전막, 205: 도전막, 212: 절연막, 213: 절연막, 216: 절연막, 291: 층, 292: 층, 293: 층, 294: 층, 295: 층, 296: 층, 297: 층, 300: 메모리 셀 어레이, 700: 트랜지스터, 701: 트랜지스터, 702: 트랜지스터, 703: 트랜지스터, 704: 트랜지스터, 705: 용량 소자, 706: 다이오드, 711: 플러그, 712: 플러그, 713: 플러그, 714: 플러그, 721: 배선, 722: 배선, 723: 배선, 724: 배선, 730: 기판, 731: 소자 분리층, 732: 절연막, 733: 절연막, 735: 기판, 741: 배선, 742: 배선, 743: 배선, 800: RF 디바이스, 801: 통신 장치, 802: 안테나, 803: 무선 신호, 804: 안테나, 805: 정류 회로, 806: 정전압 회로, 807: 복조 회로, 808: 변조 회로, 809: 논리 회로, 810: 기억 회로, 811: ROM, 901: 하우징, 902: 하우징, 903: 표시부, 904: 표시부, 905: 마이크로폰, 906: 스피커, 907: 조작 키, 908: 스타일러스, 911: 하우징, 912: 하우징, 913: 표시부, 914: 표시부, 915: 연결 부위, 916: 조작 키, 921: 하우징, 922: 표시부, 923: 키보드, 924: 포인팅 디바이스, 931: 하우징, 932: 냉장실용 도어, 933: 냉동실용 도어, 941: 하우징, 942: 하우징, 943: 표시부, 944: 조작 키, 945: 렌즈, 946: 연결 부위, 951: 차체, 952: 바퀴, 953: 대시보드, 954: 라이트, 1189: ROM 인터페이스, 1190: 기판, 1191: ALU, 1192: ALU 컨트롤러, 1193: 인스트럭션 디코더, 1194: 인터럽트 컨트롤러, 1197: 레지스터 컨트롤러, 1198: 버스 인터페이스, 1199: ROM, 1200: 기억 회로, 1201: 회로, 1202: 회로, 1203: 스위치, 1204: 스위치, 1206: 논리 소자, 1207: 용량 소자, 1208: 용량 소자, 1209: 트랜지스터, 1210: 트랜지스터, 1213: 트랜지스터, 1214: 트랜지스터, 1220: 회로, 2001: 불순물 영역, 2002: 불순물 영역, 2003: 게이트 전극, 2004: 게이트 절연막, 2005: 측벽 절연층, 2011: 회로, 2012: 회로, 2013: 회로, 2100: 트랜지스터, 2200: 트랜지스터, 2201: 기판, 2202: 배선, 2203: 플러그, 2204: 소자 분리층, 2205: 배선, 2206: 배선, 2207: 절연막, 2208: 절연막, 2211: 반도체 기판, 2212: 절연막, 2213: 게이트 전극, 2214: 게이트 절연층, 2215: 불순물 영역, 2216: 불순물 영역, 2300: 용량 소자, 2305: 배선, 3000: 영역, 4000: RF 디바이스, 5100: 펠릿, 5120: 기판, 5161: 영역, 5200: 펠릿, 5201: 이온, 5203: 입자, 5220: 기판, 5230: 타깃, 5240: 플라스마, 5260: 가열 기구

본 출원은 2014년 3월 14일에 일본 특허청에 출원된 일련 번호 2014-052263의 일본 특허 출원, 2014년 3월 16일에 일본 특허청에 출원된 일련 번호 2014-052864의 일본 특허 출원, 2014년 3월 18일에 일본 특허청에 출원된 일련 번호 2014-055459의 일본 특허 출원, 2014년 3월 28일에 일본 특허청에 출원된 일련 번호 2014-070518의 일본 특허 출원, 및 2014년 4월 30일에 일본 특허청에 출원된 일련 번호 2014-093321의 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

도면

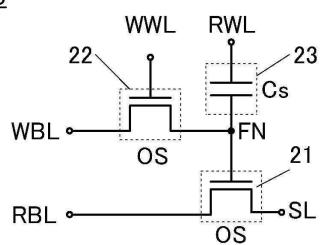
도면1

10

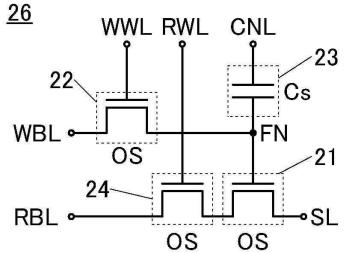


도면2

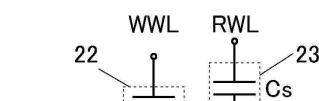
(A)

25

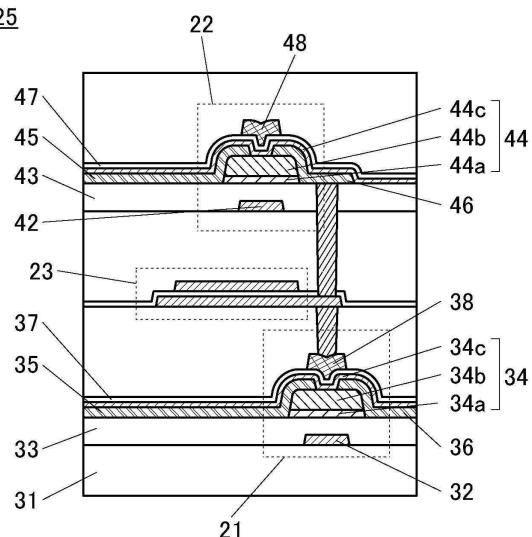
(B)

26

(C)

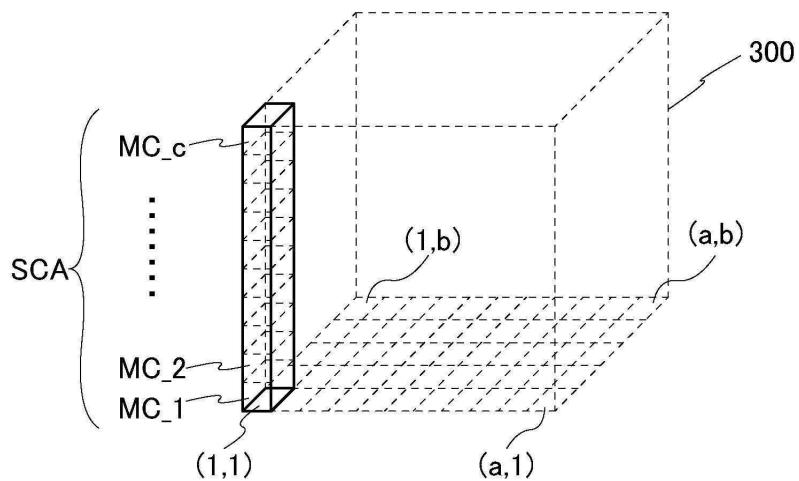
27

(D)

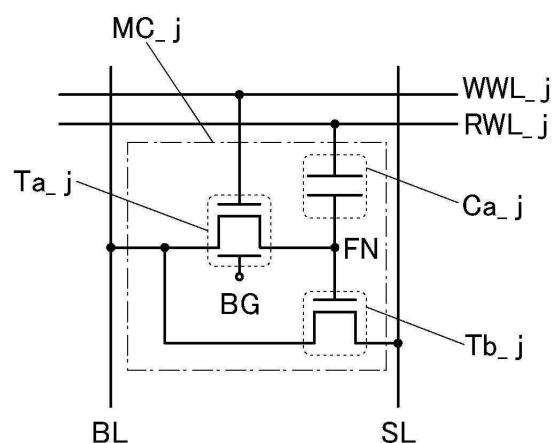
25

도면3

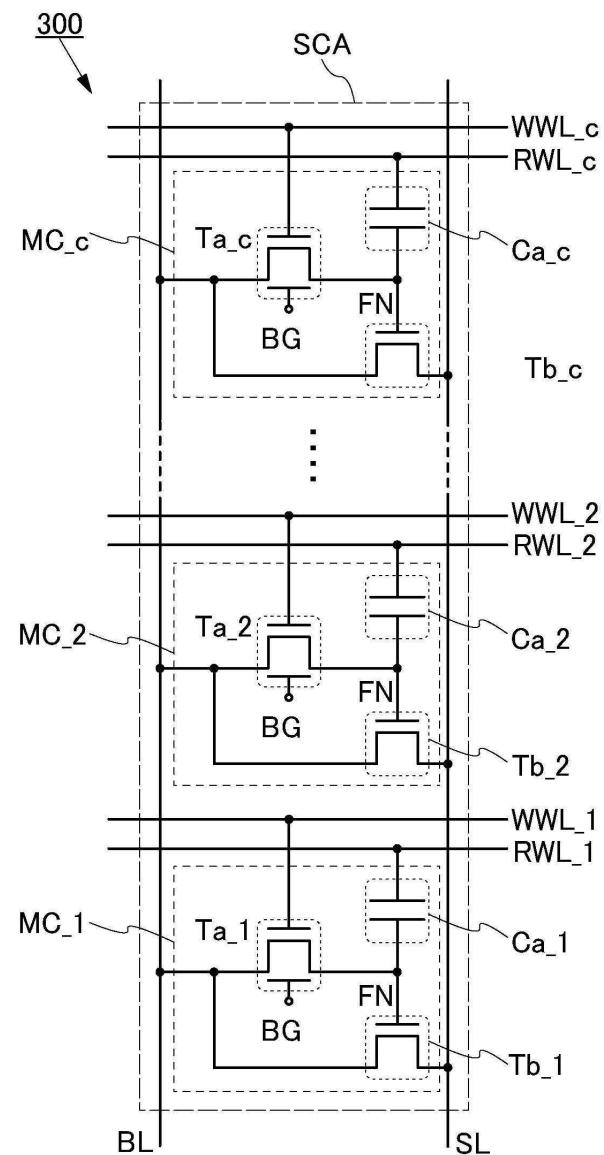
(A)



(B)

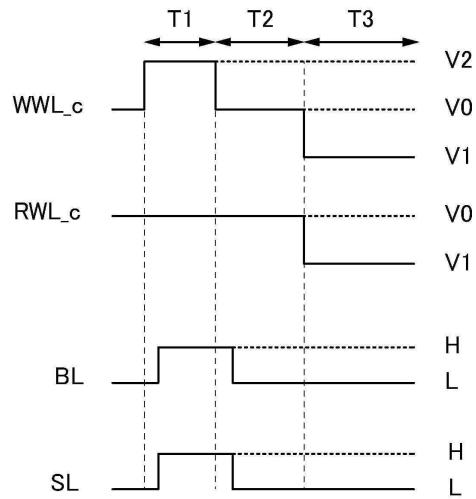


도면4

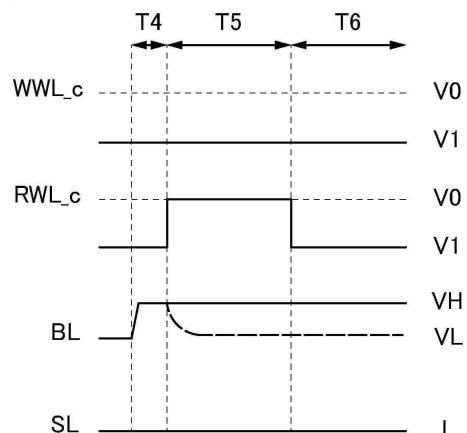


도면5

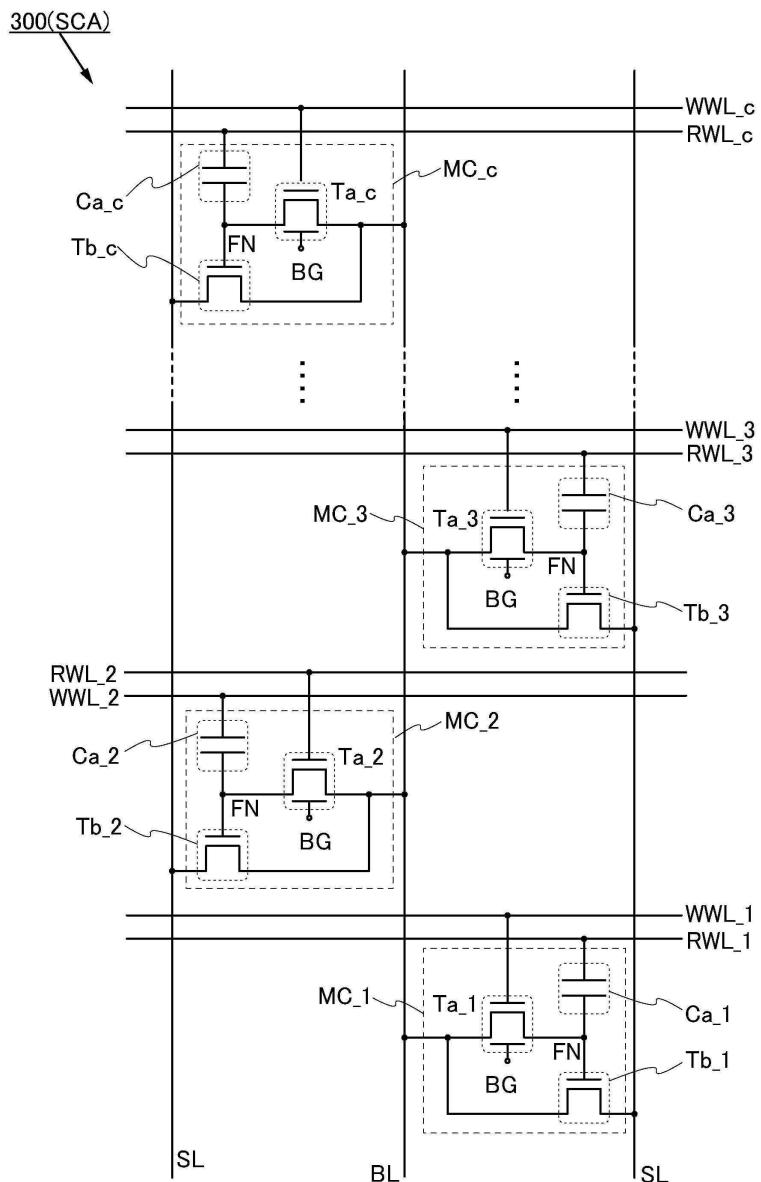
(A)



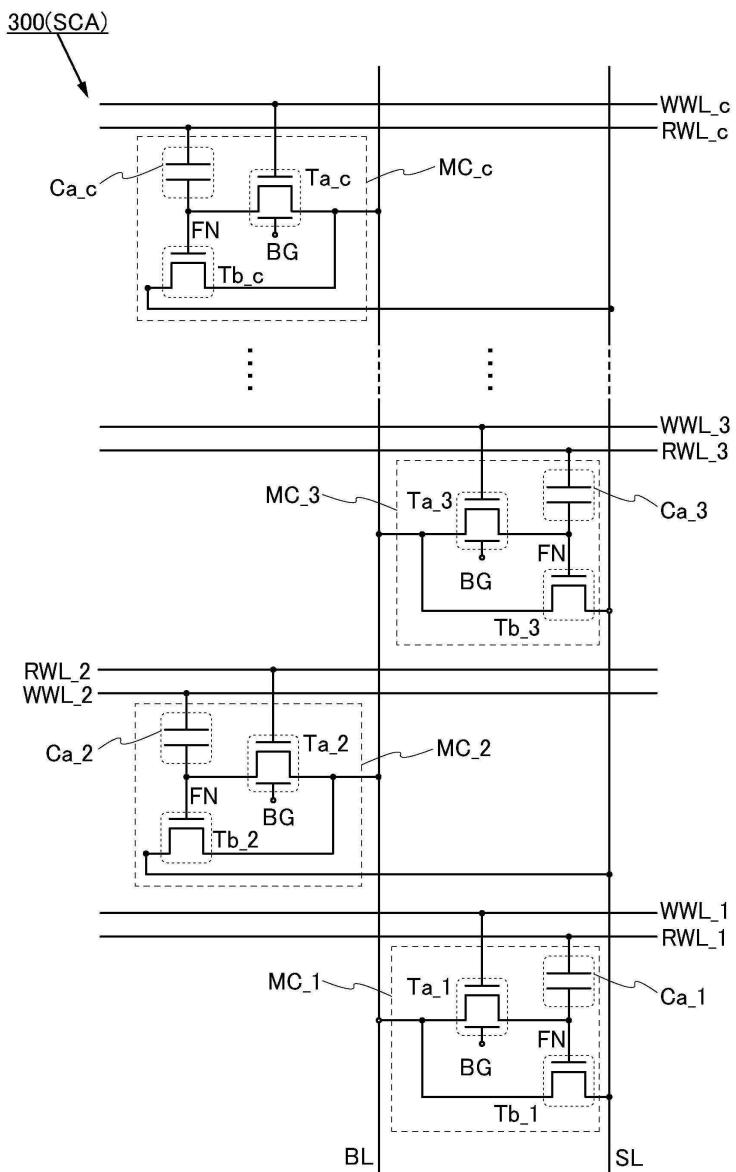
(B)



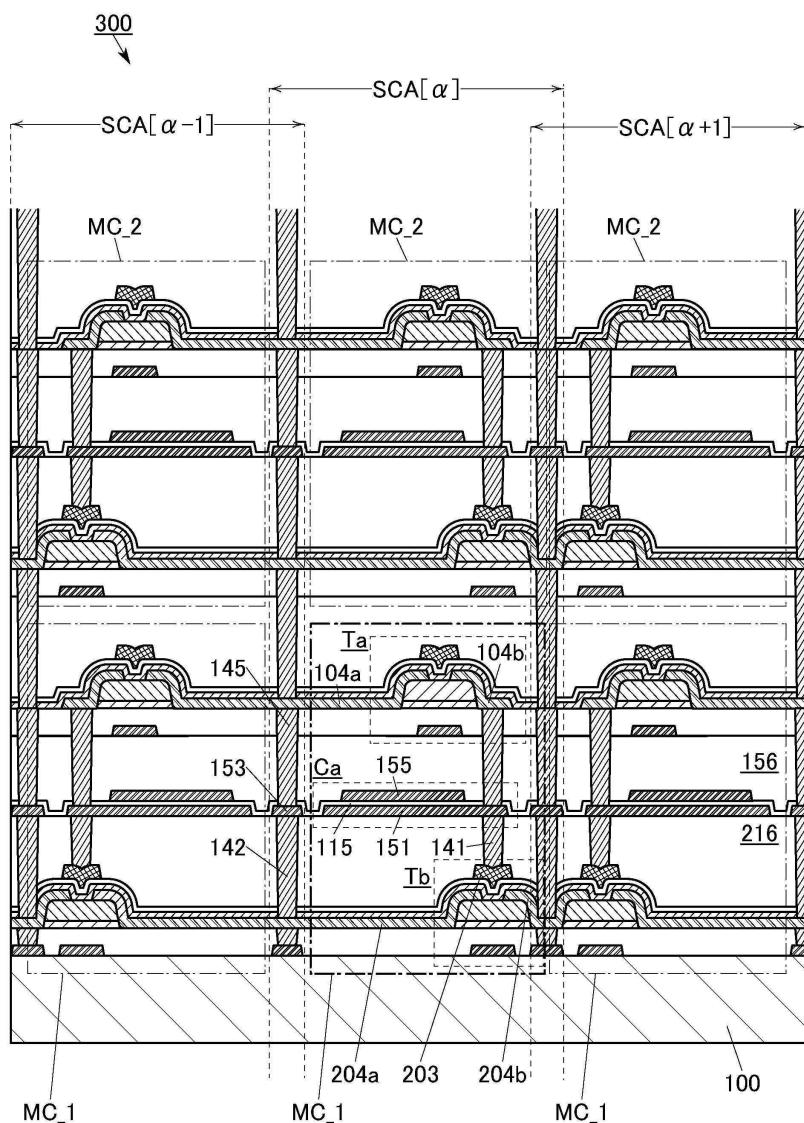
도면6



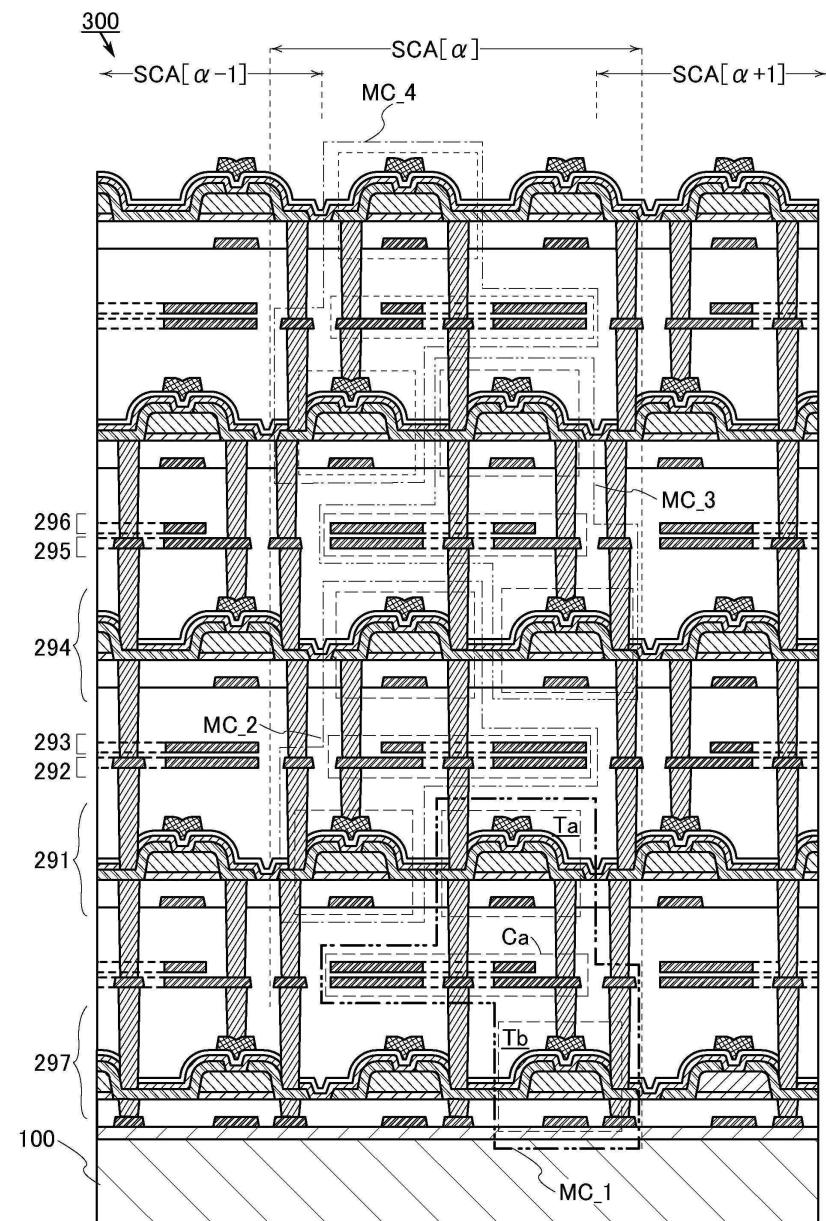
도면7



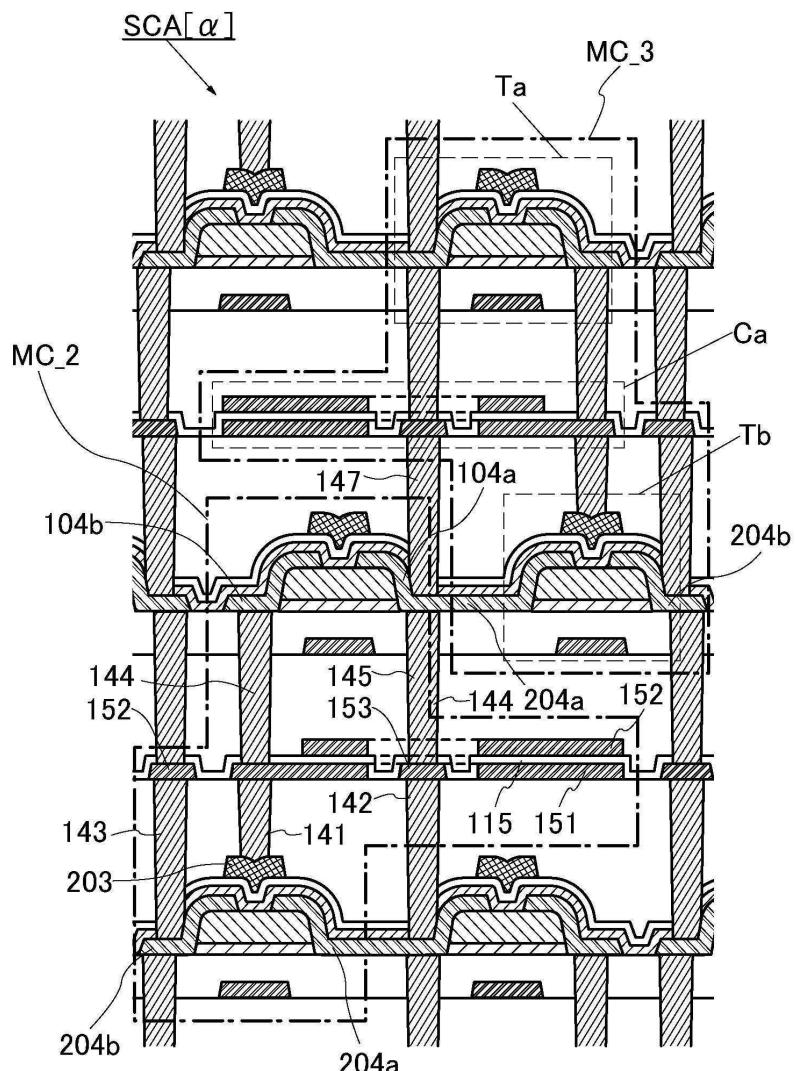
도면8



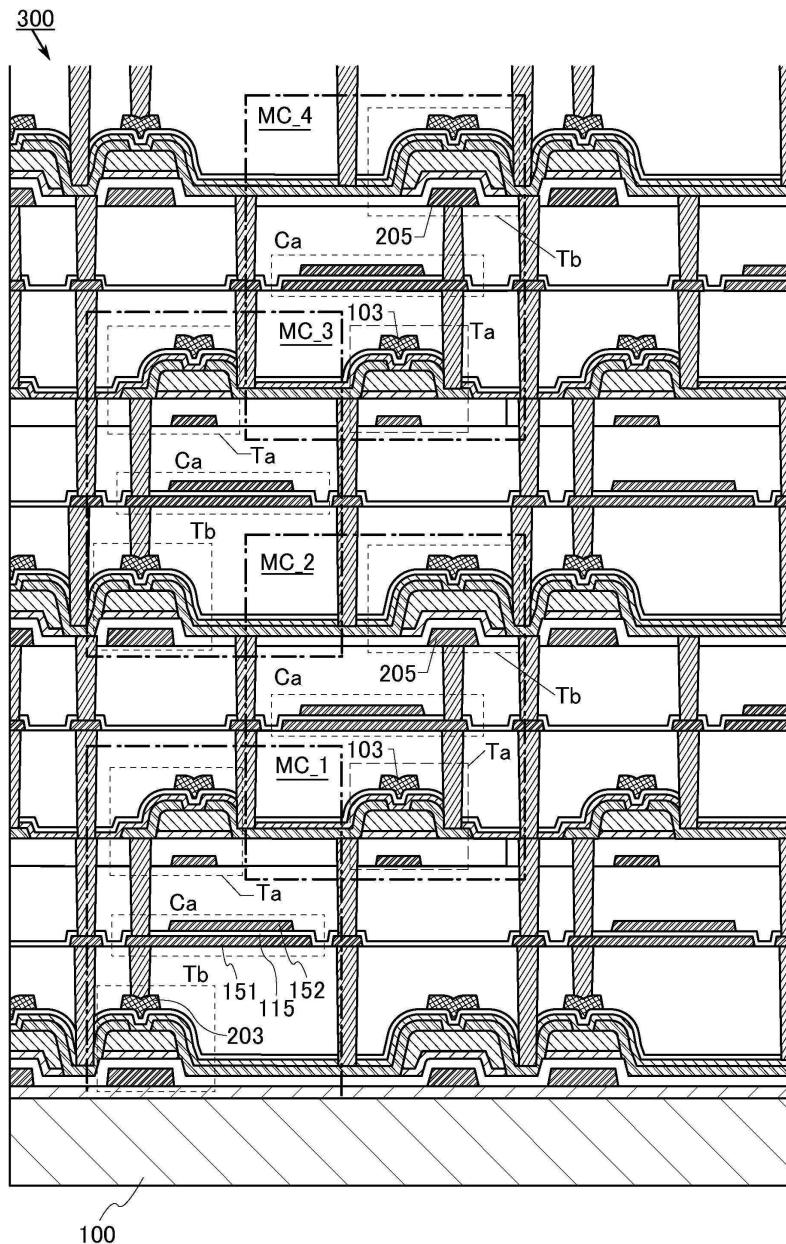
도면9



도면10

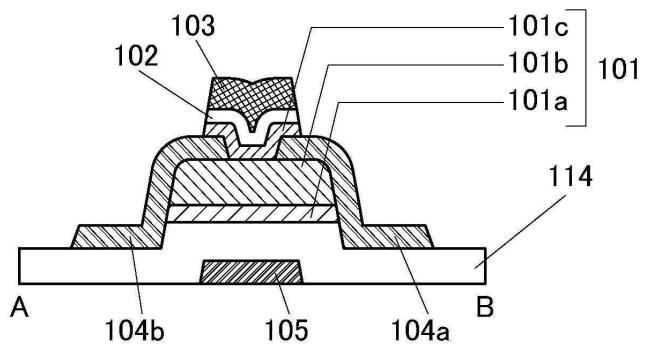


도면11

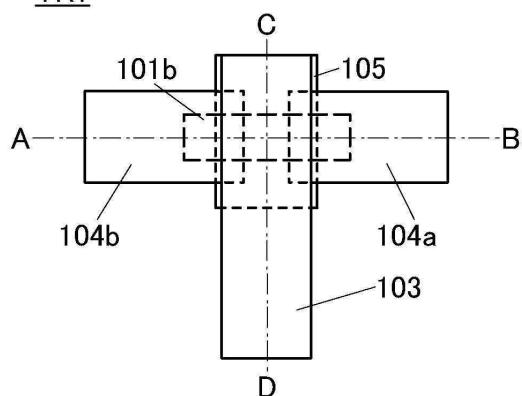


도면12

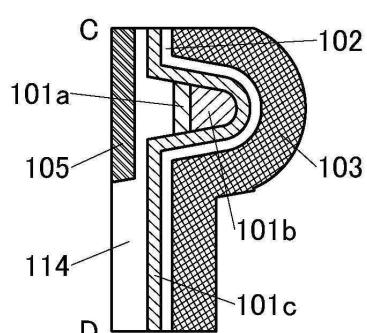
(A)

TR1

(B)

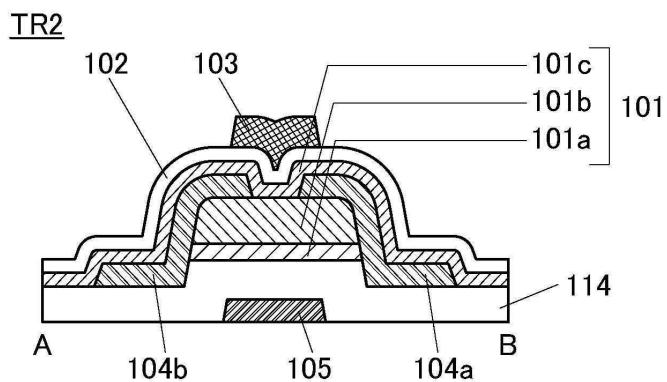
TR1

(C)

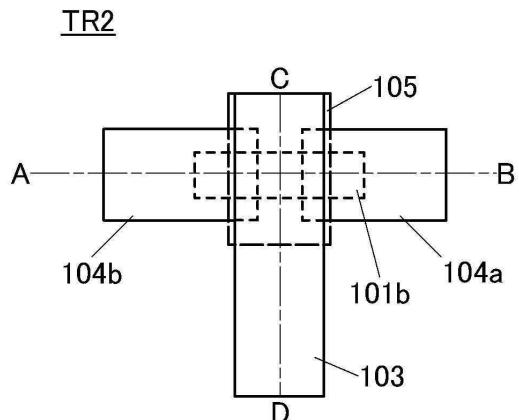
TR1

도면13

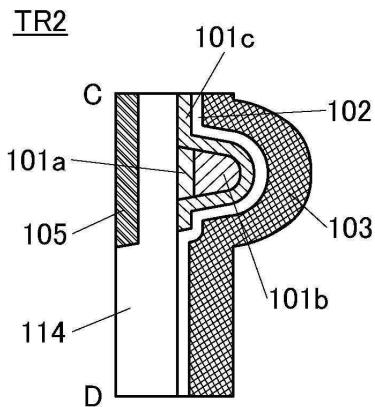
(A)



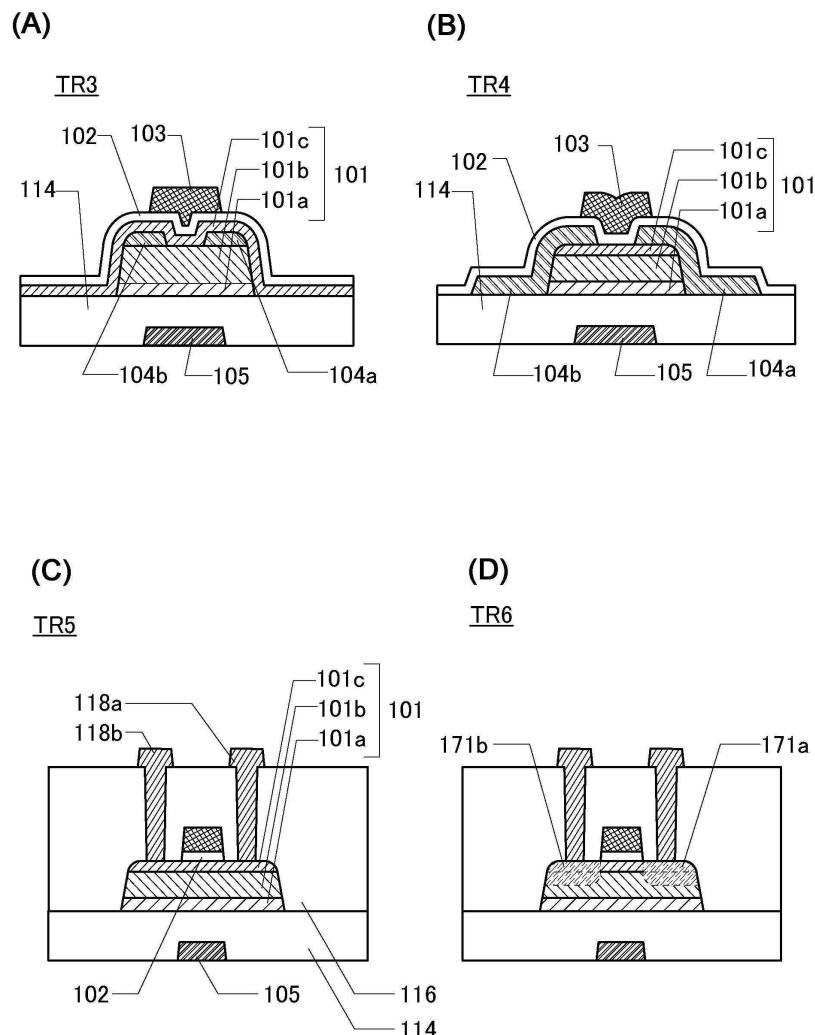
(B)



(C)

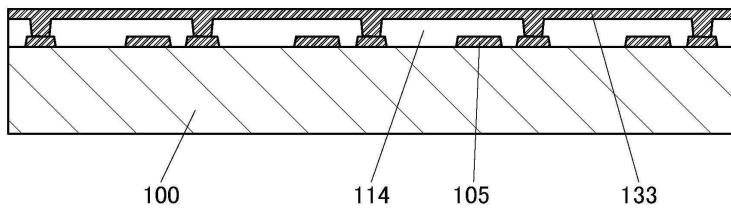


도면14

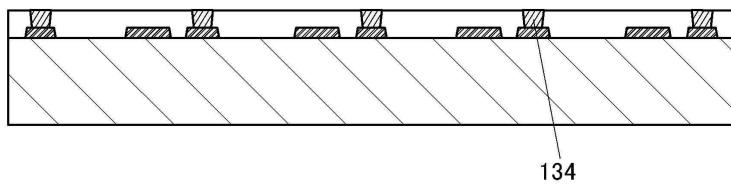


도면15

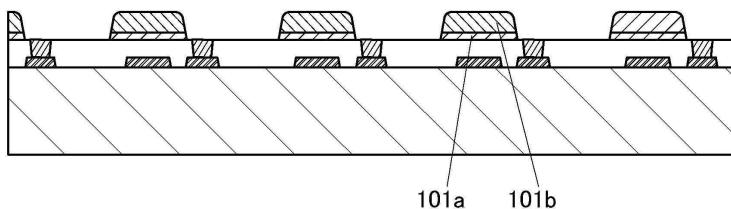
(A)



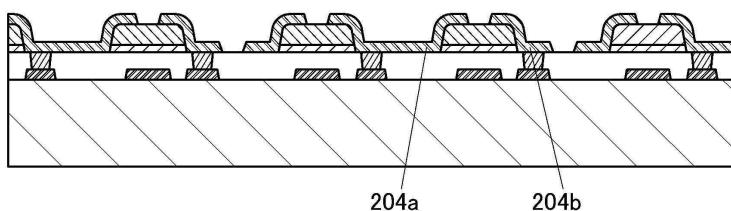
(B)



(C)

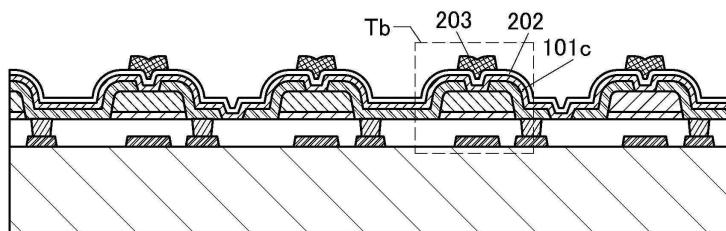


(D)

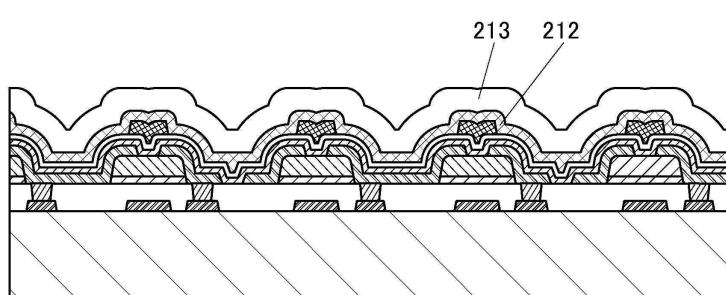


도면16

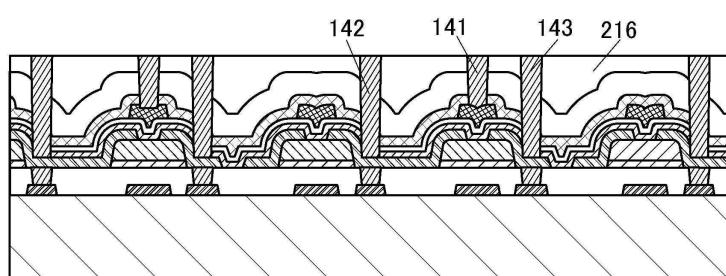
(A)



(B)

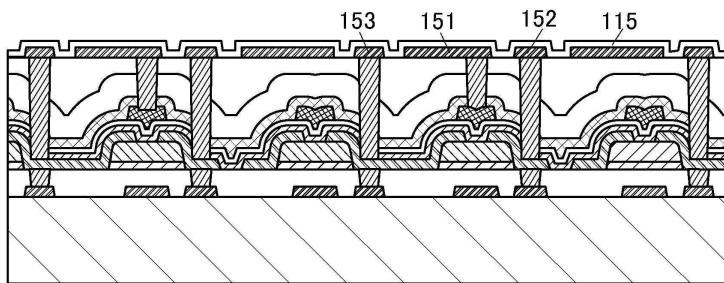


(C)

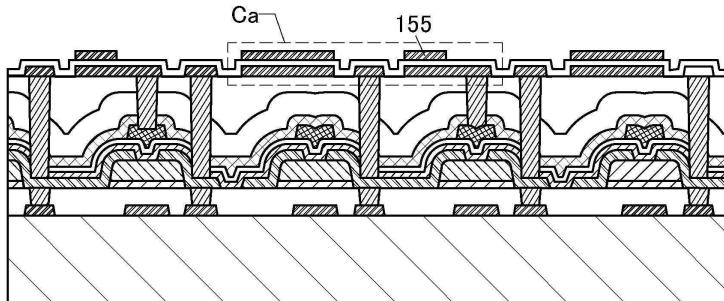


도면17

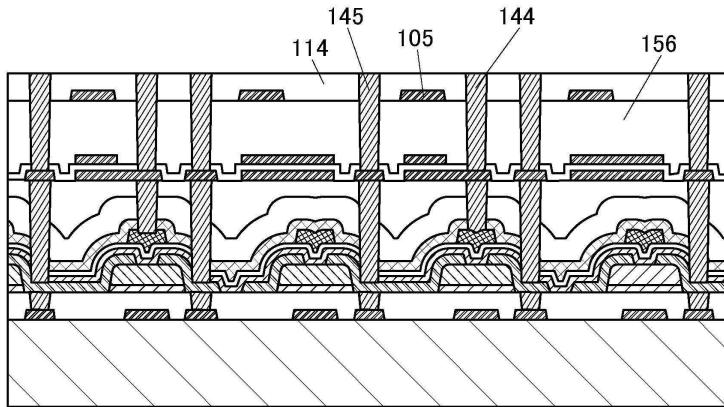
(A)



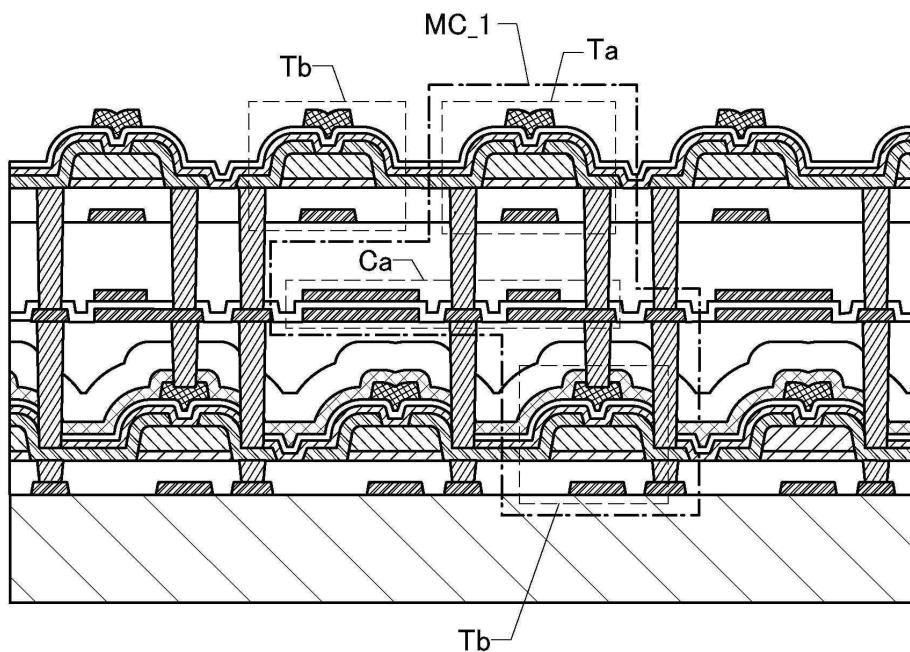
(B)



(C)

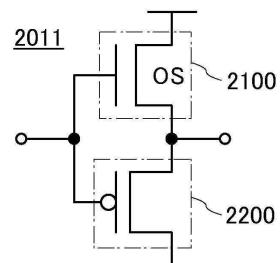


도면18

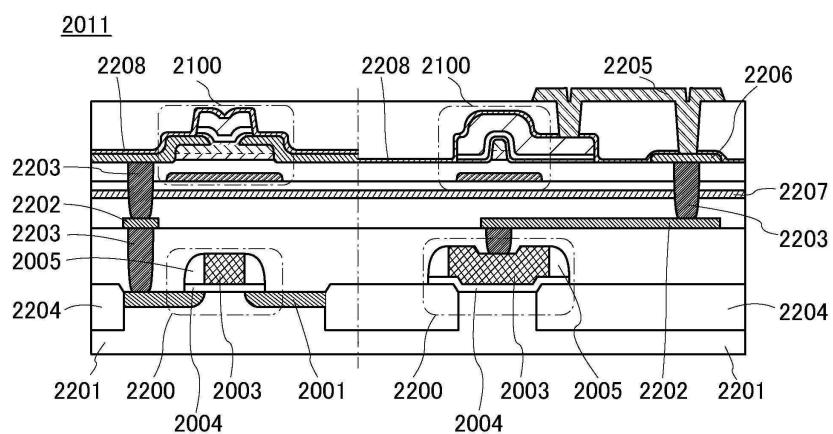


도면 19

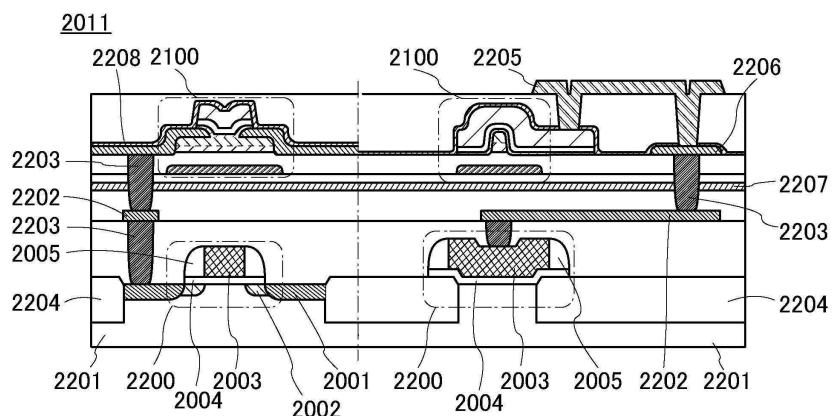
(A)



(B)

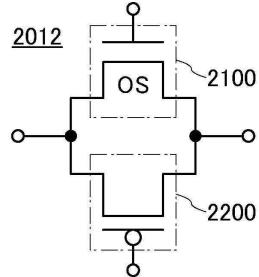


(C)

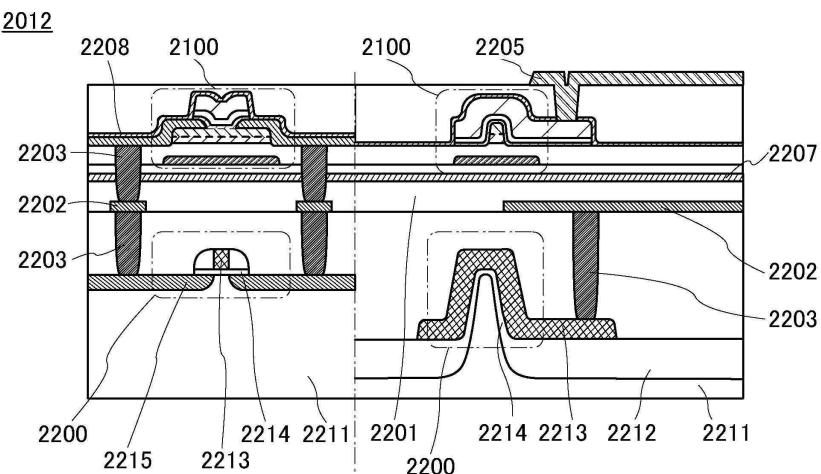


도면20

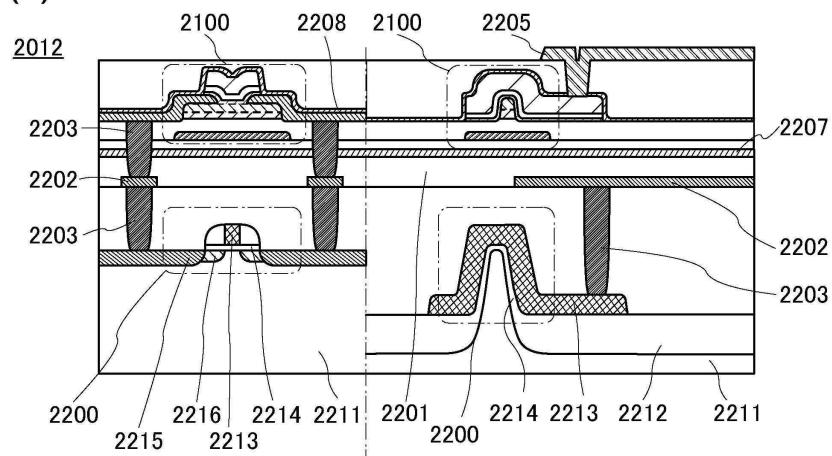
(A)



(B)



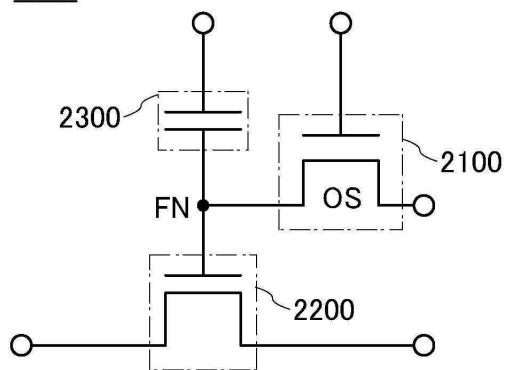
(C)



도면21

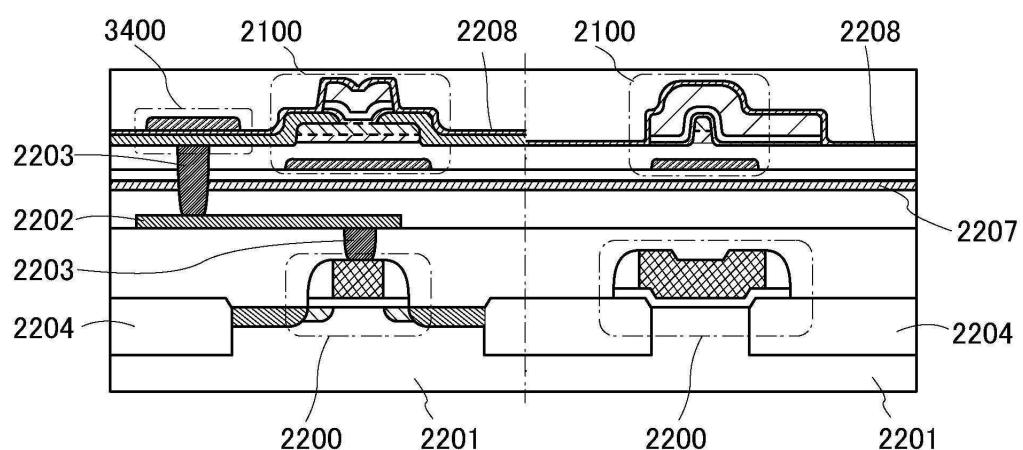
(A)

2013

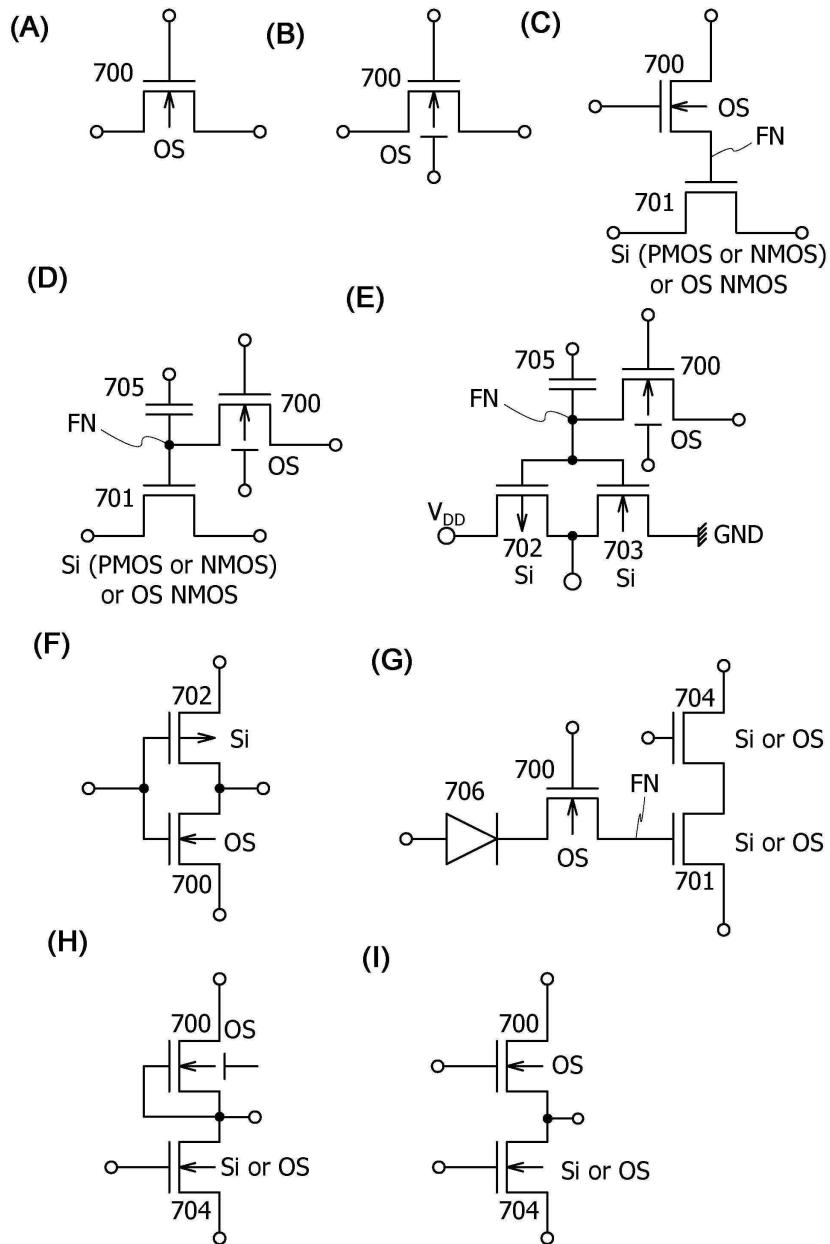


(B)

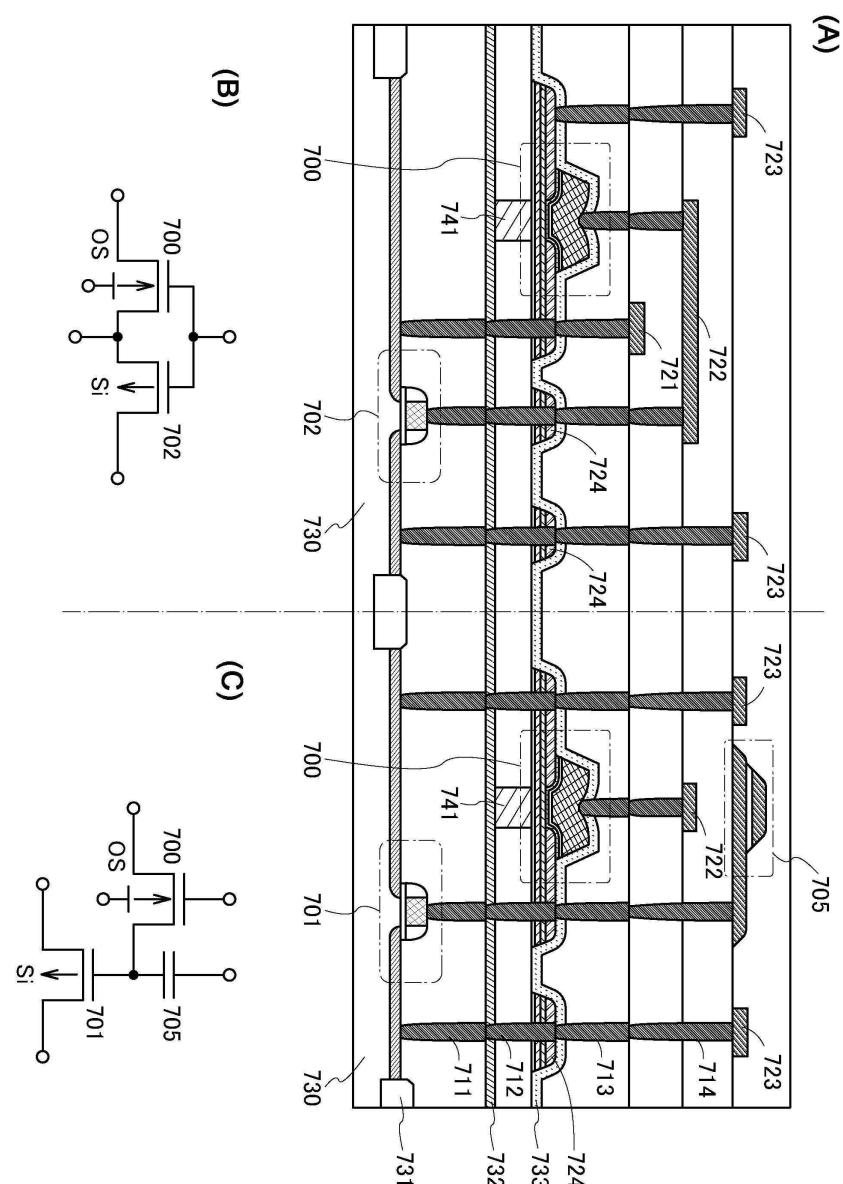
2013



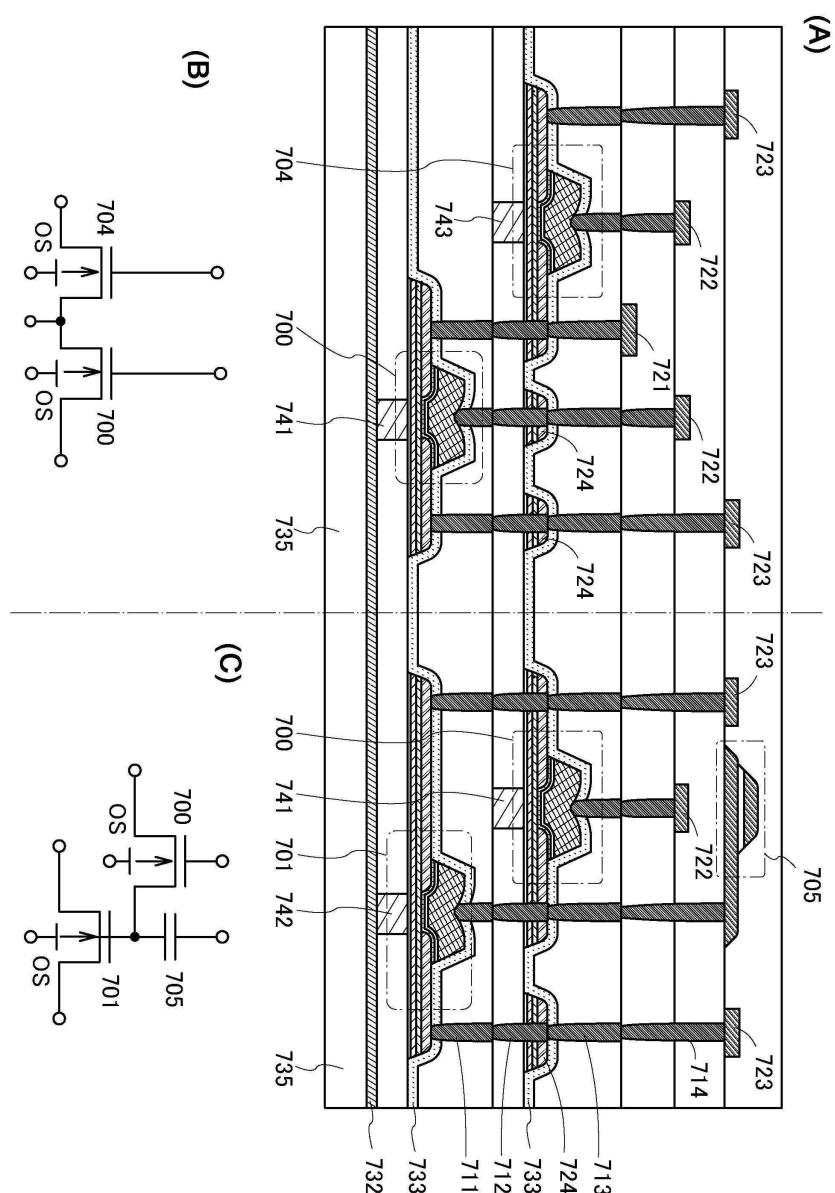
도면22



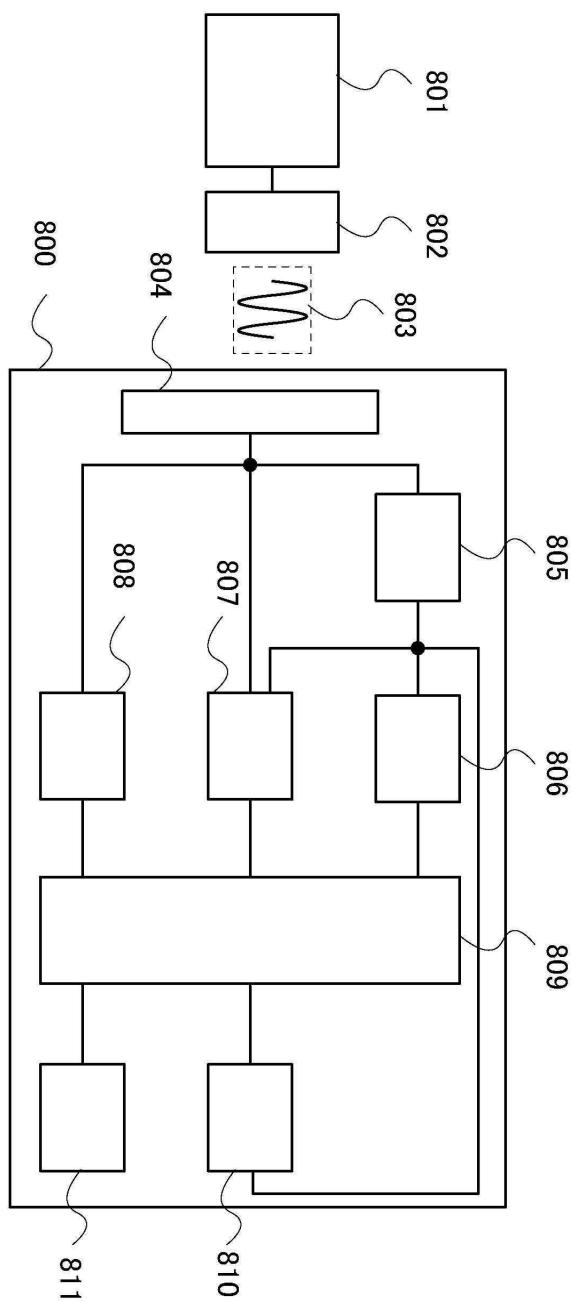
도면23



도면24

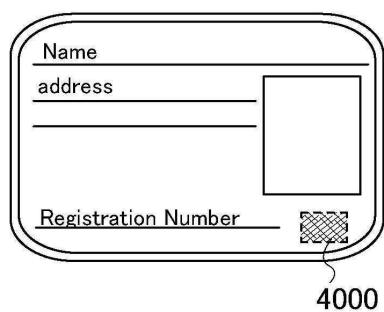


도면25

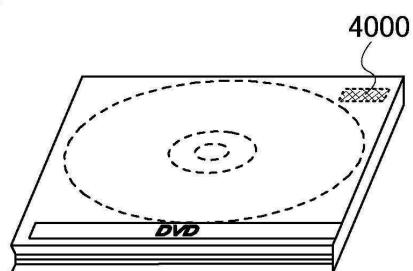


도면26

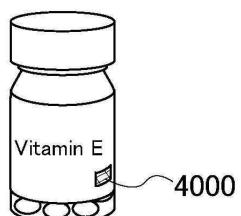
(A)



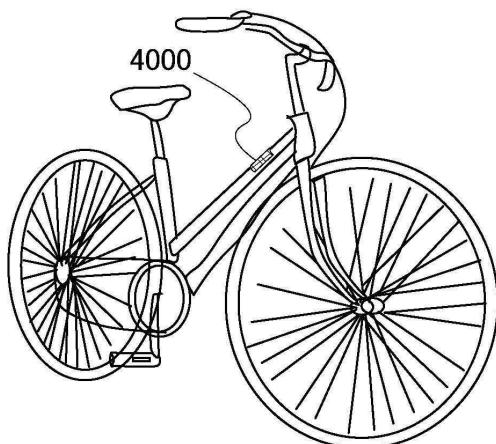
(B)



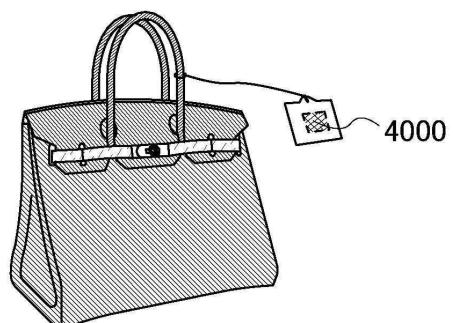
(C)



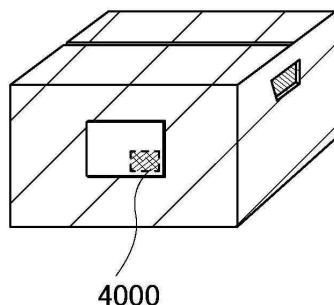
(D)



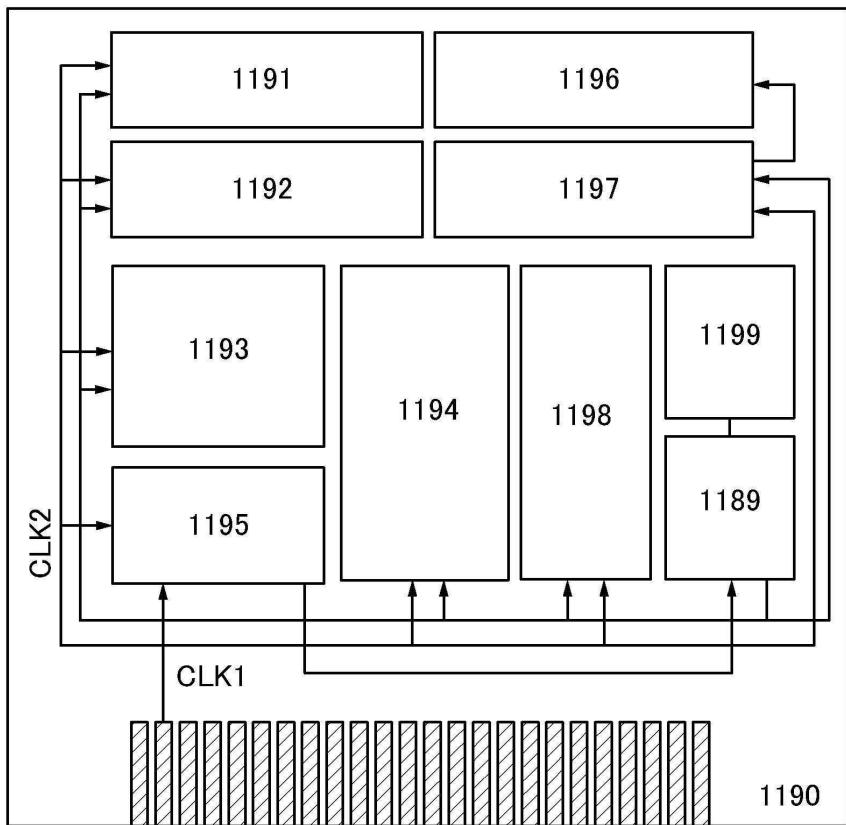
(E)



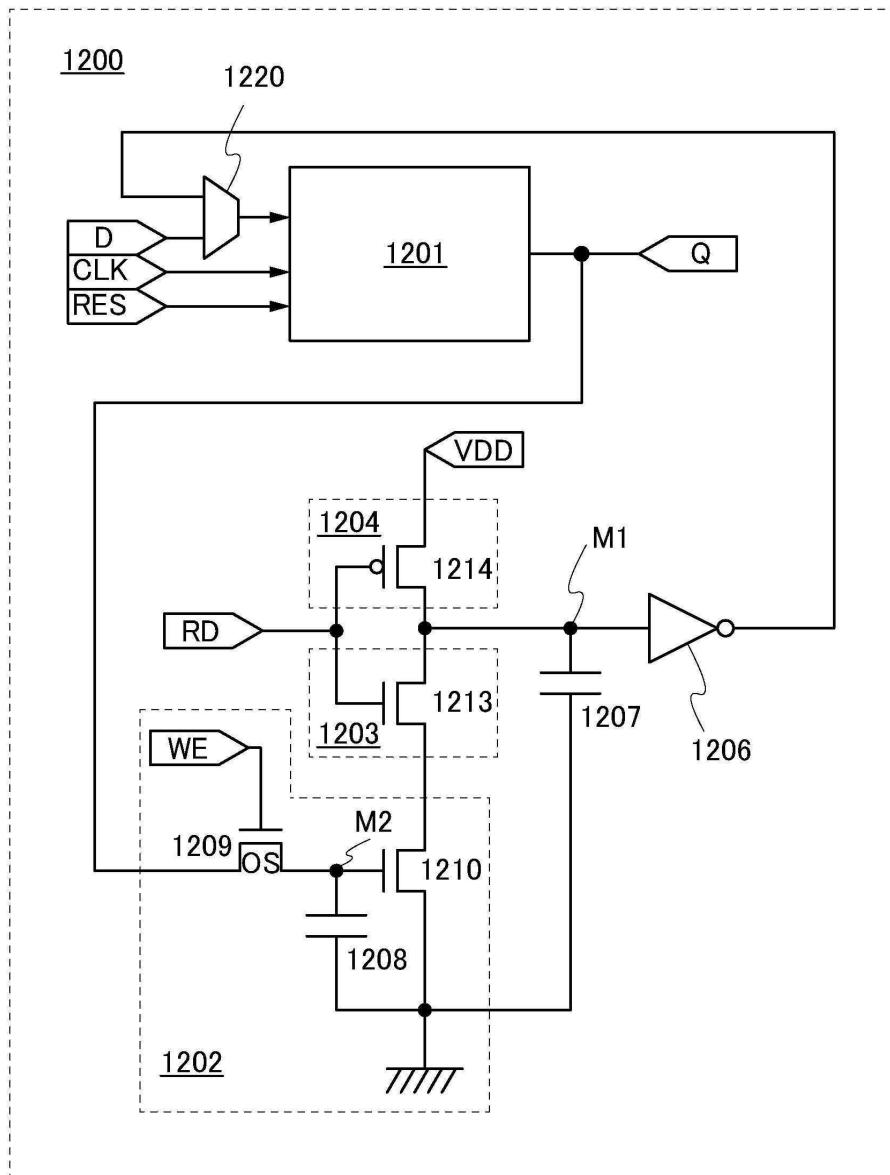
(F)



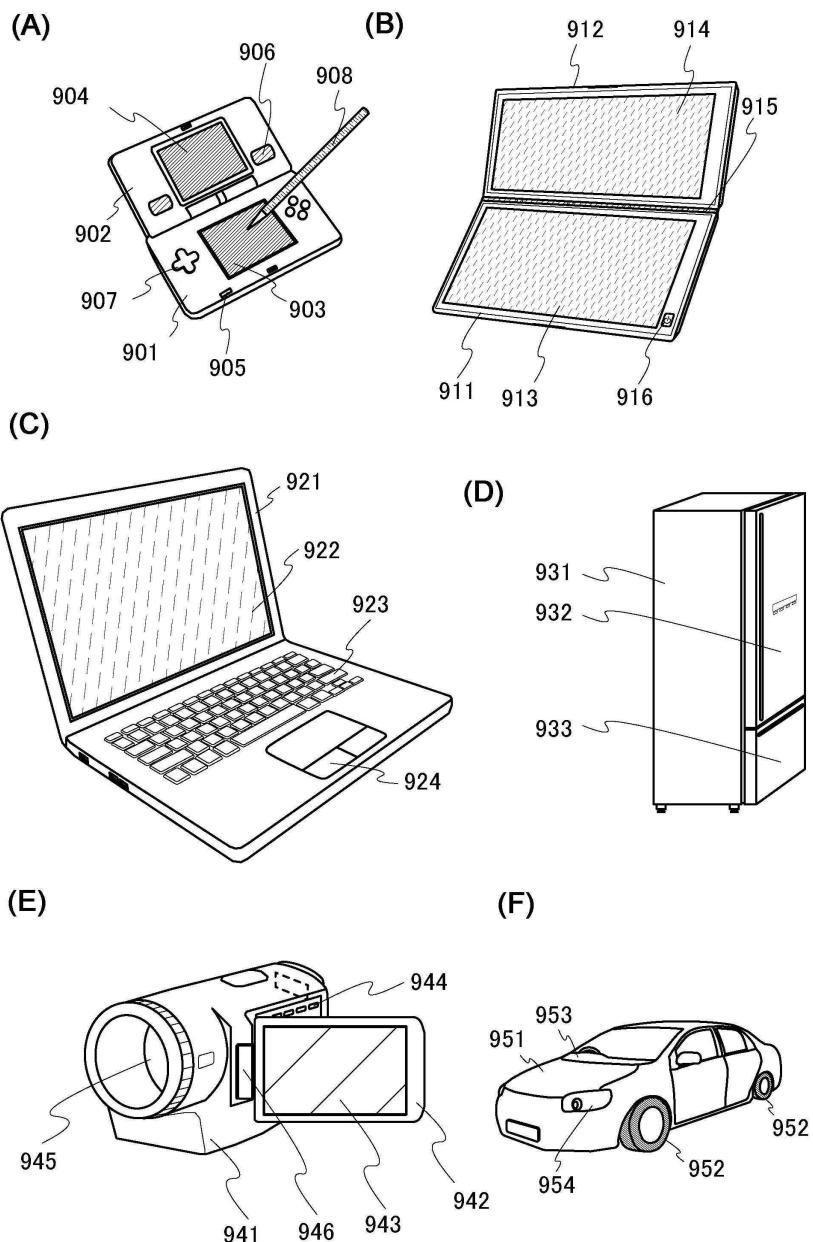
도면27



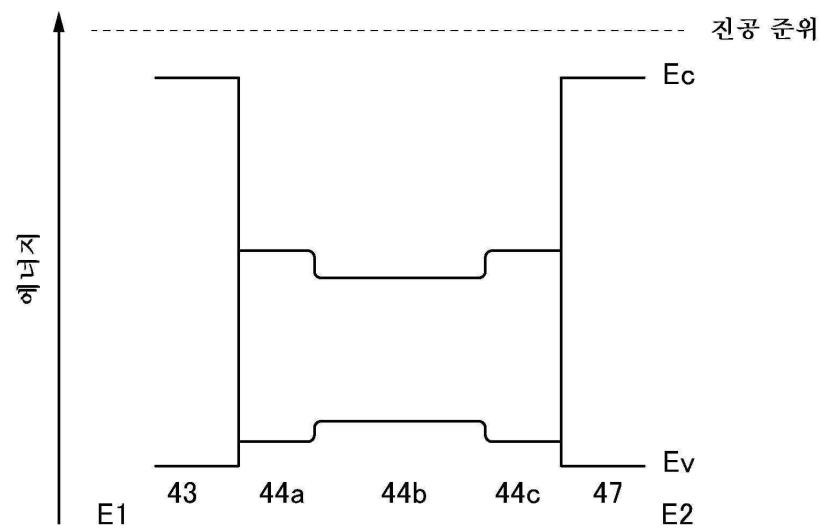
도면28



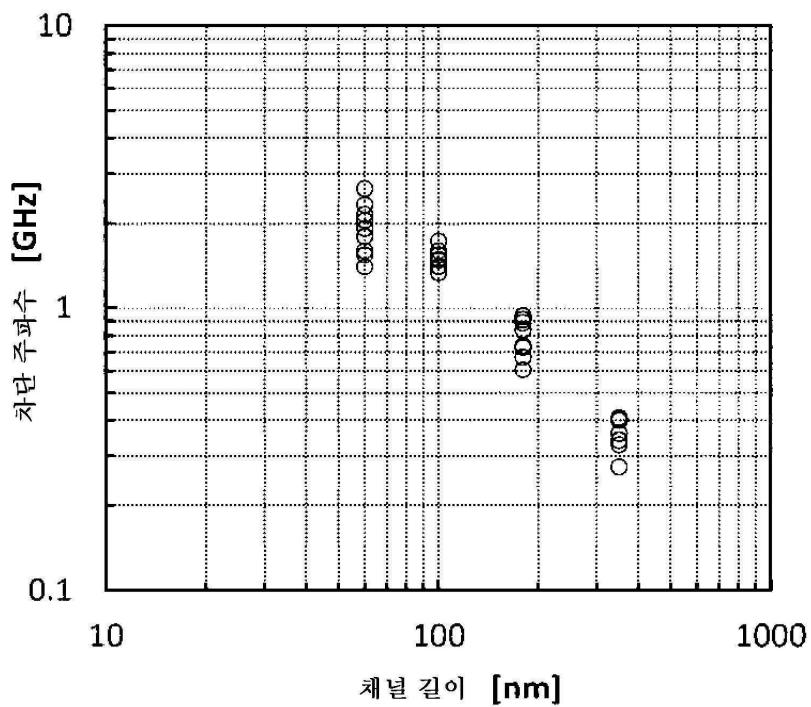
도면29



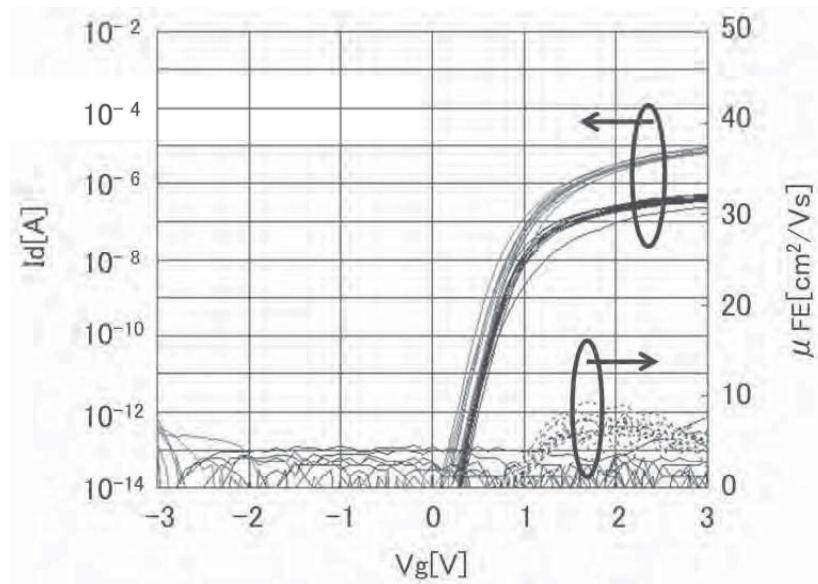
도면30



도면31

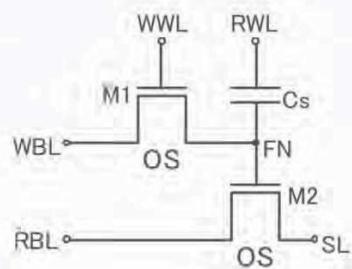


도면32

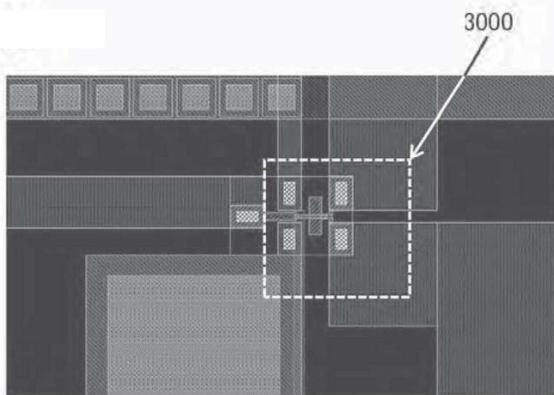


도면33

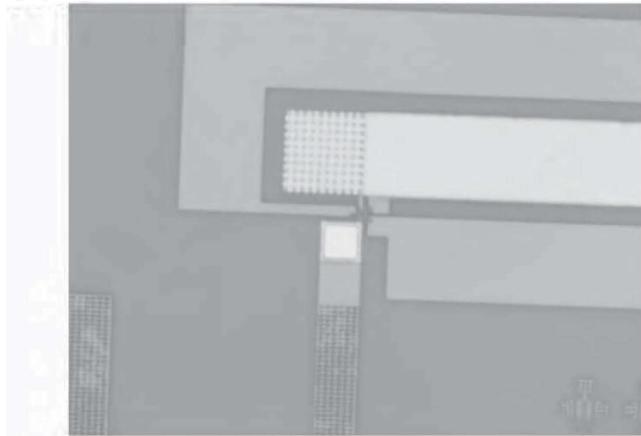
(A)



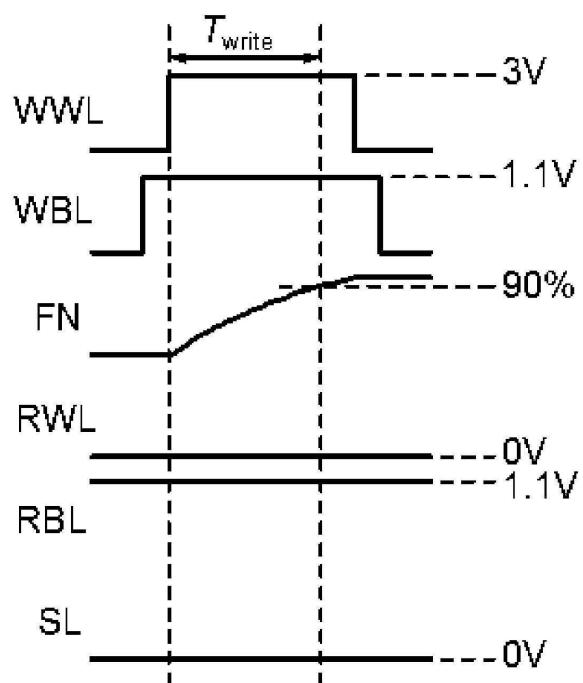
(B)



(C)

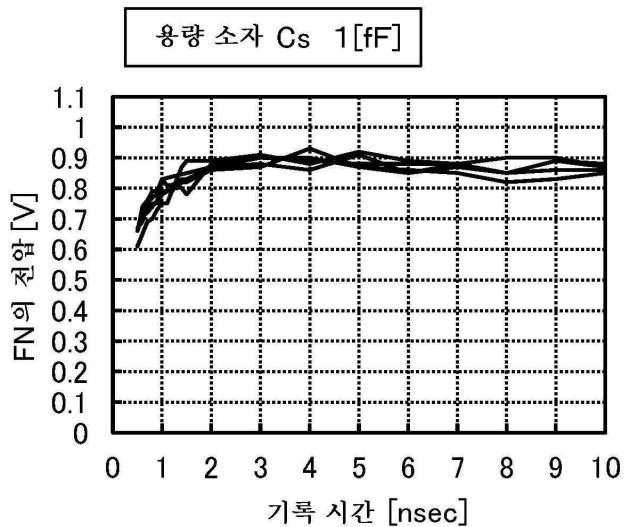


도면34

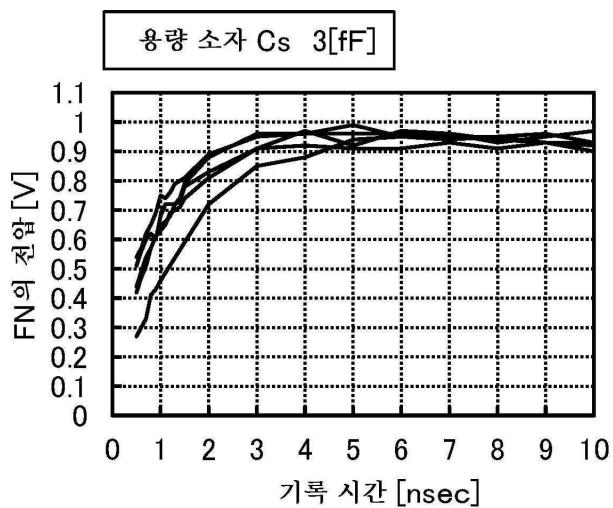


도면35

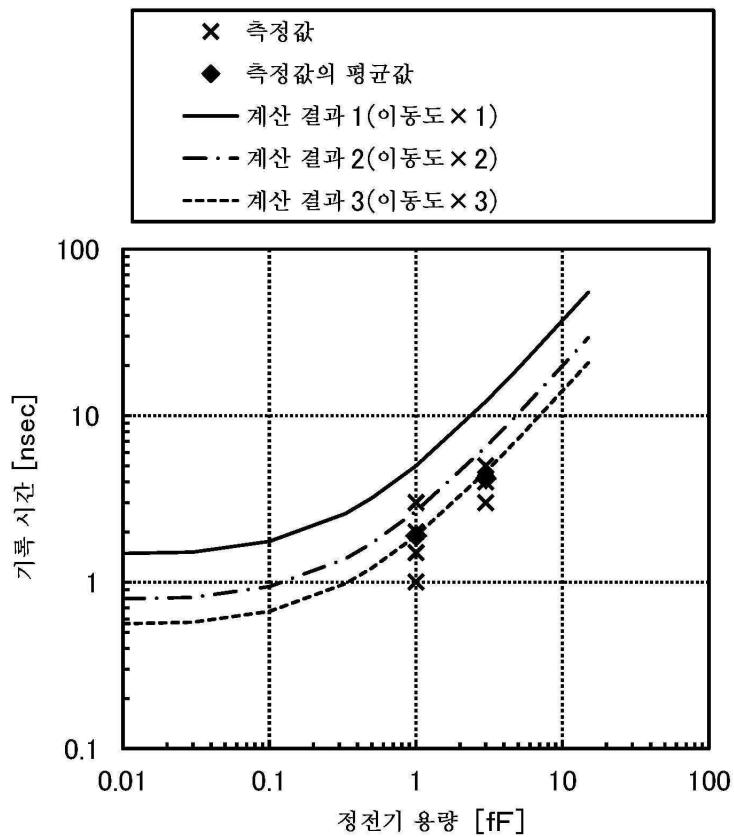
(A)



(B)

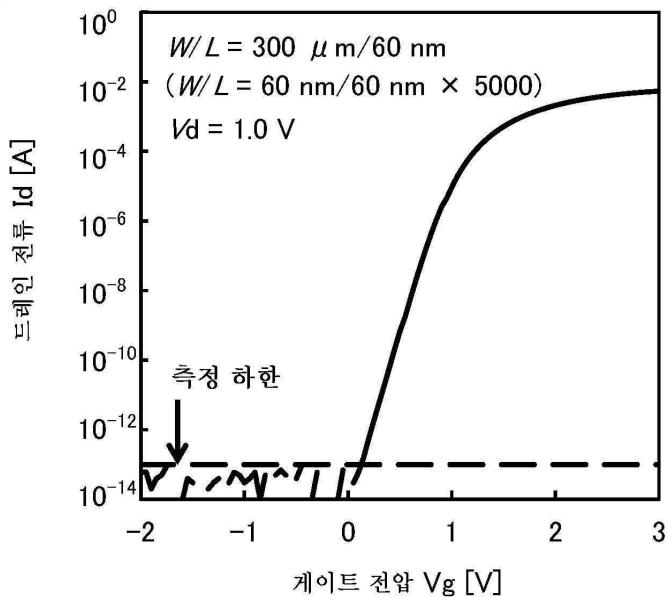


도면36

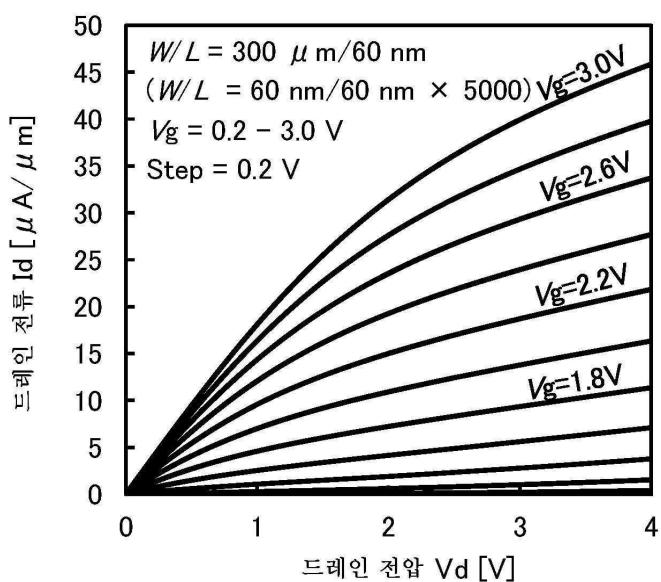


도면37

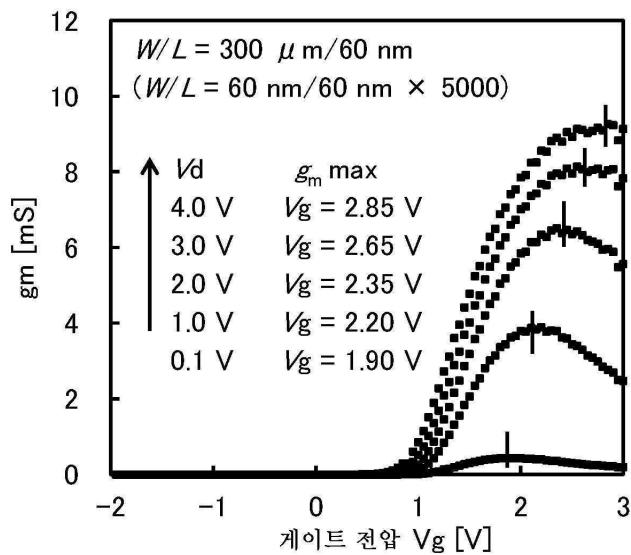
(A)



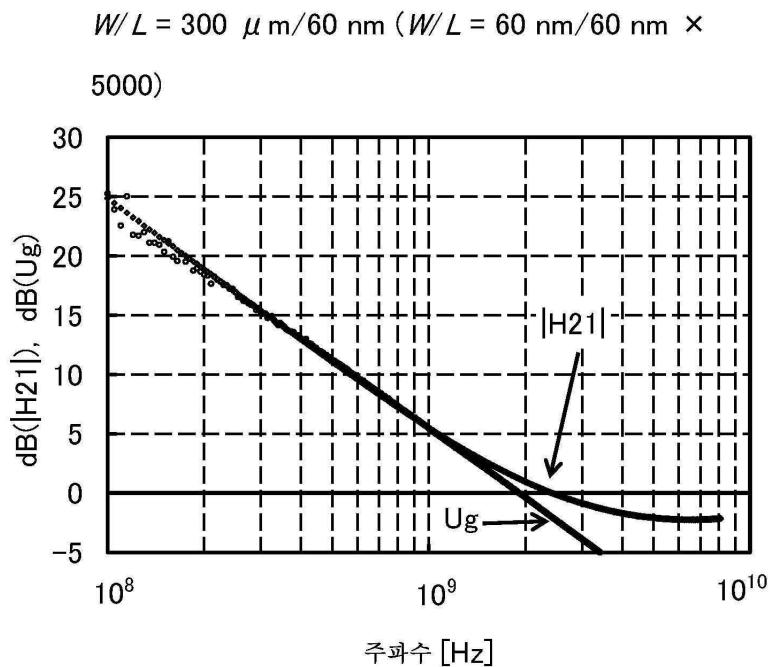
(B)



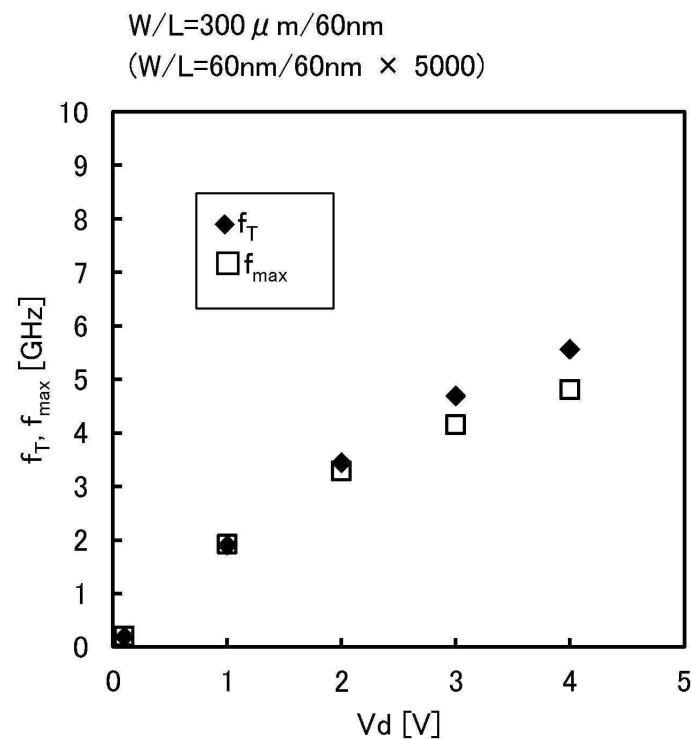
도면38



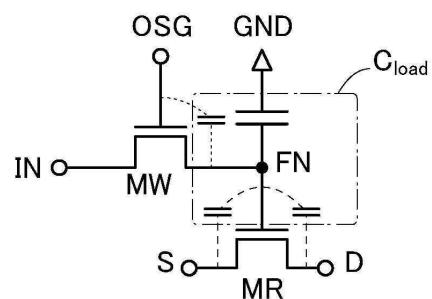
도면39



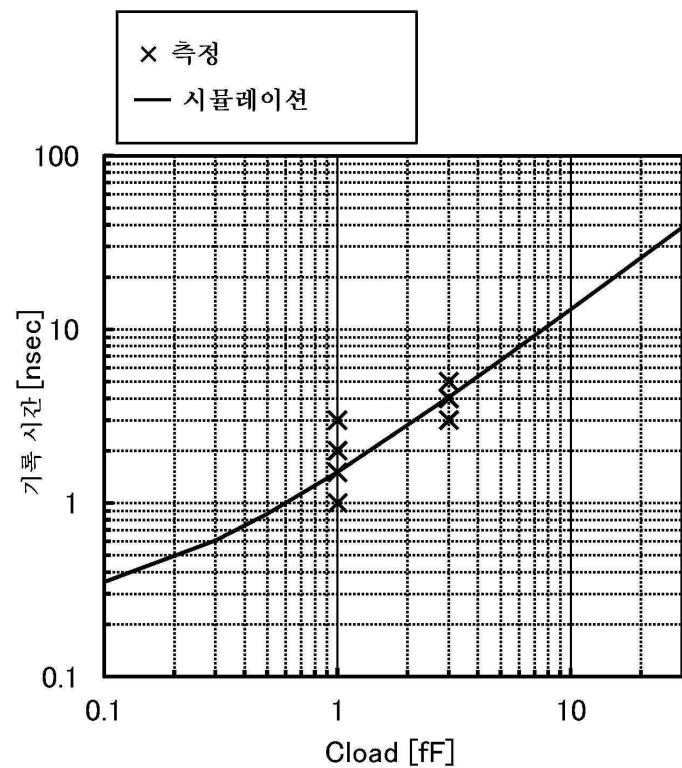
도면40



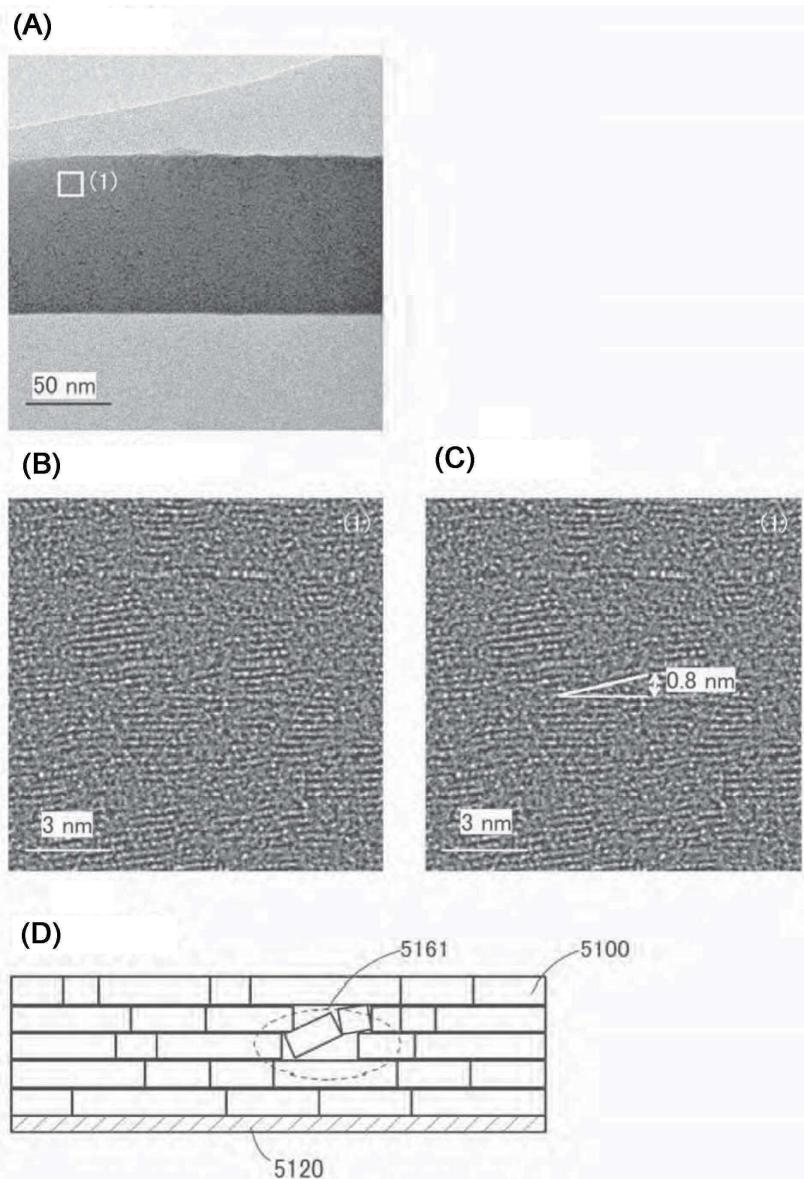
도면41



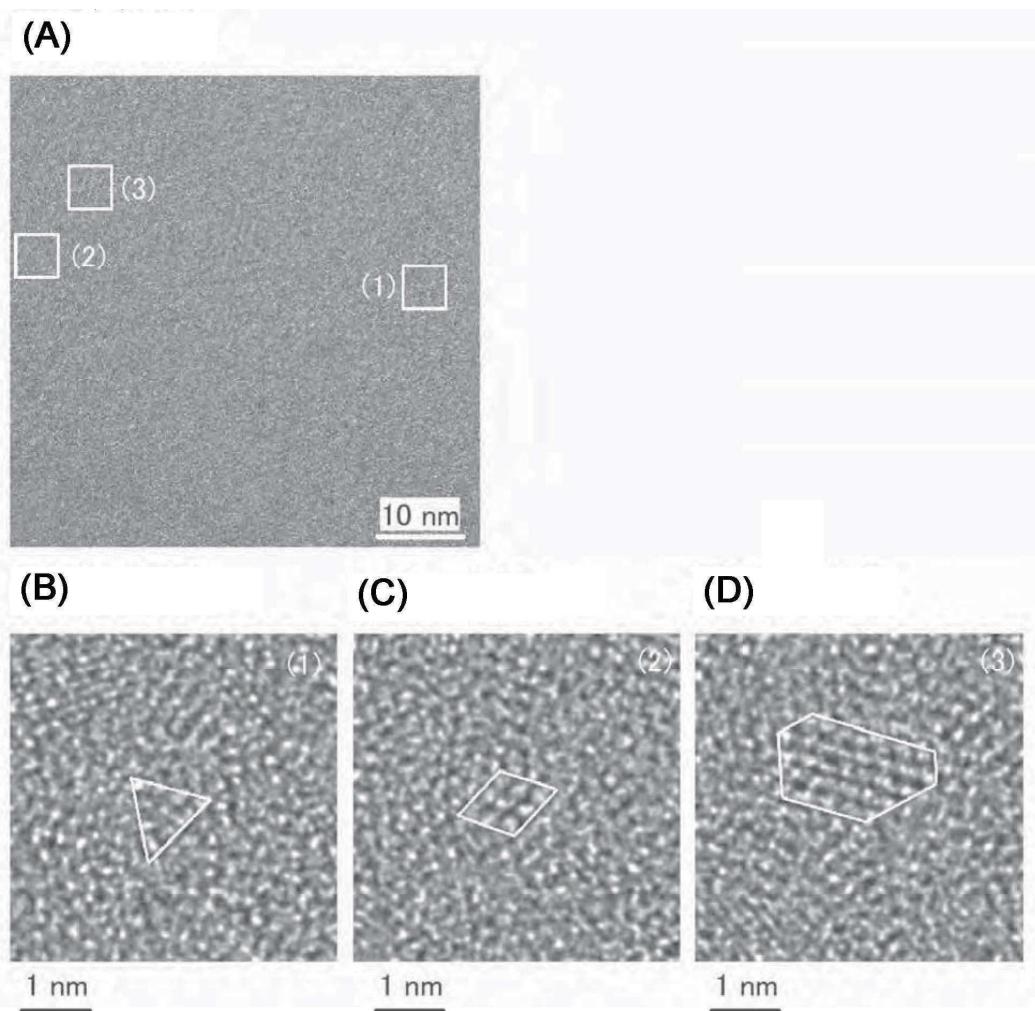
도면42



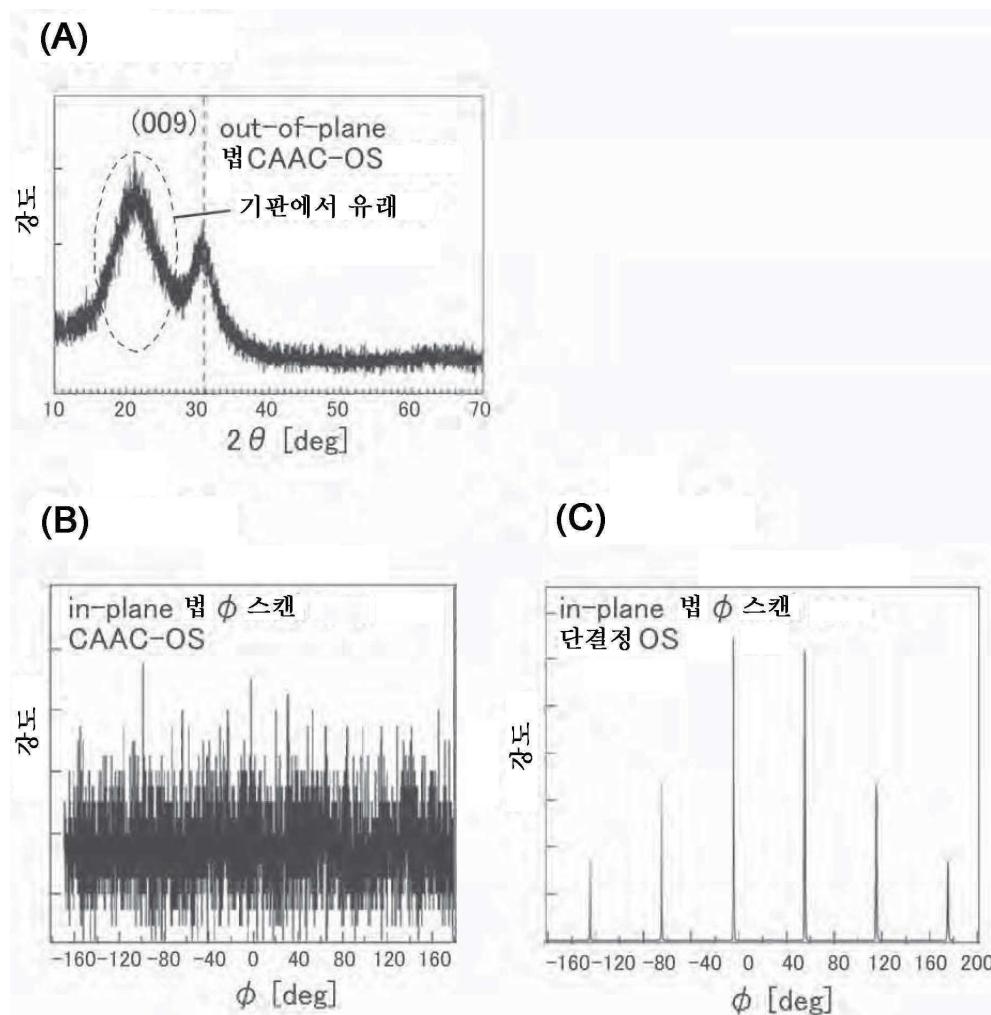
도면43



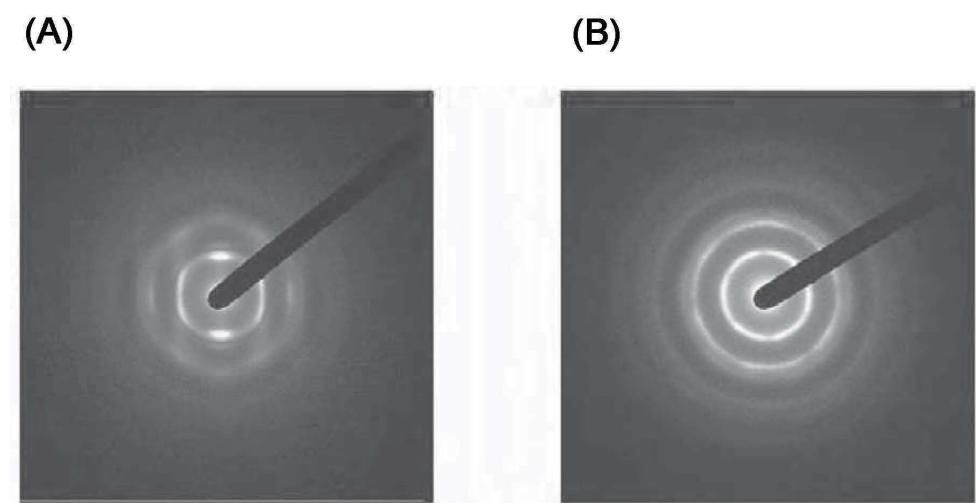
도면44



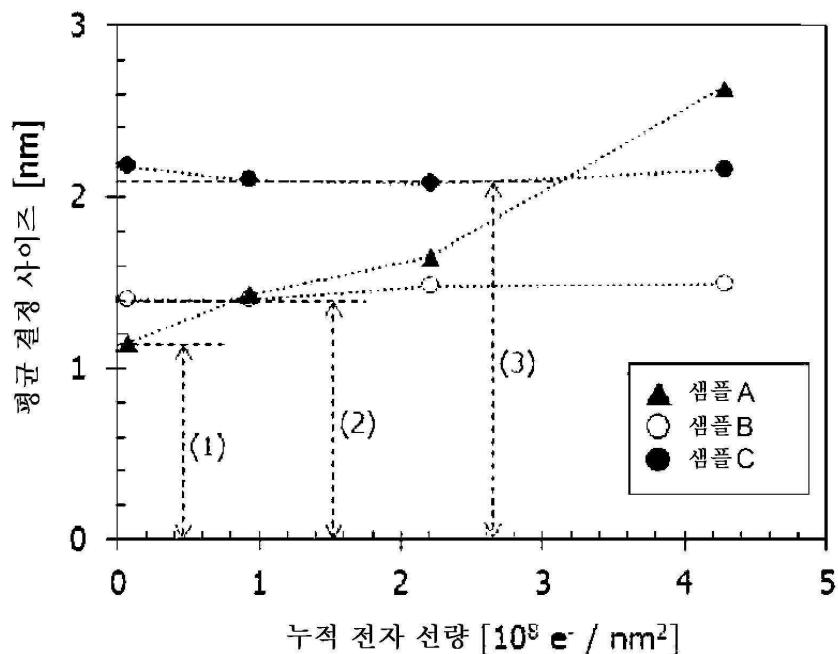
도면45



도면46

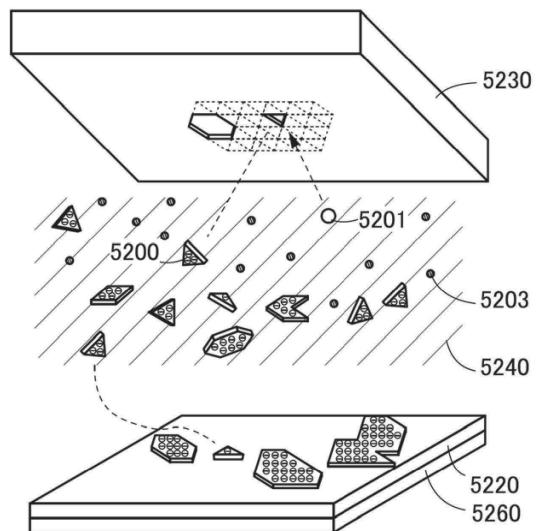


도면47

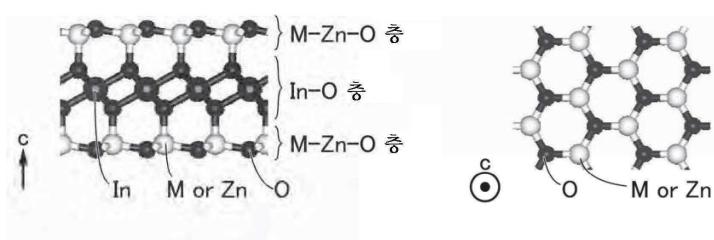


도면48

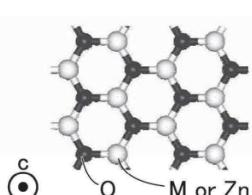
(A)



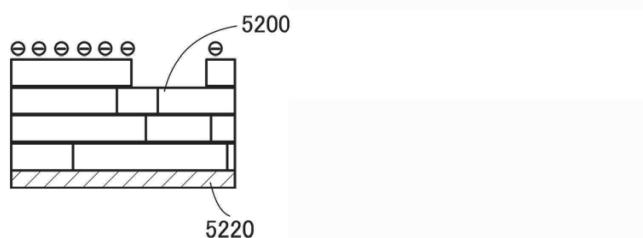
(B)



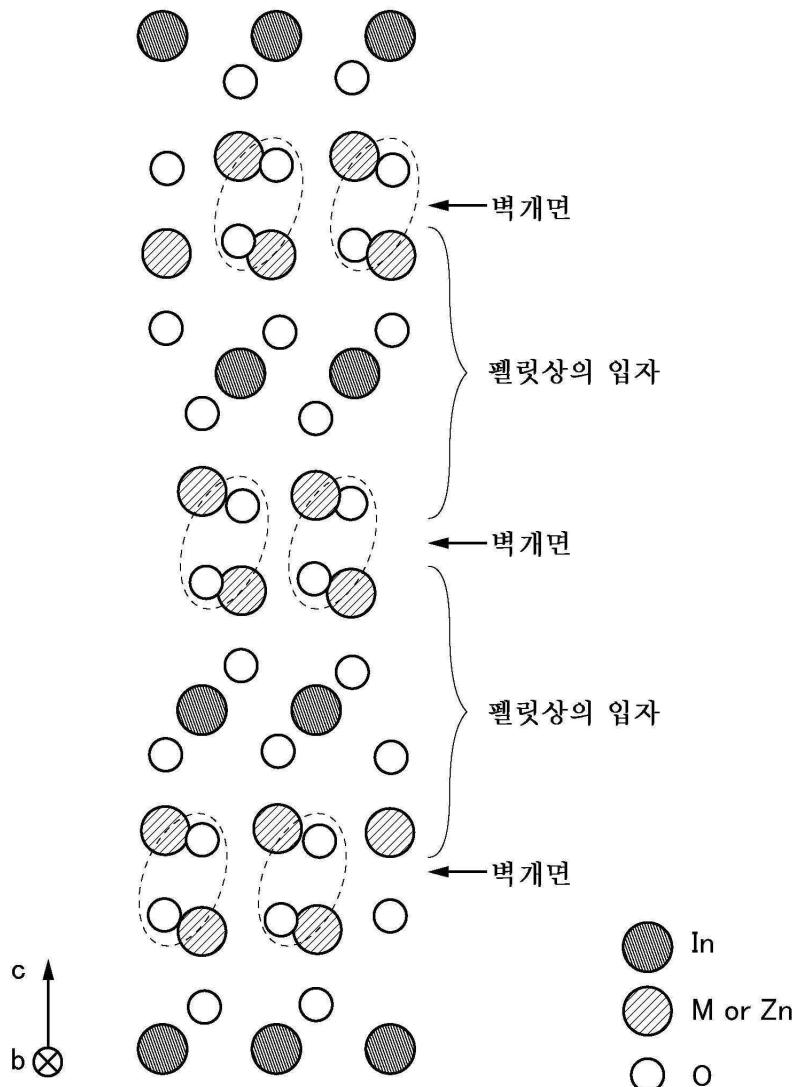
(C)



(D)

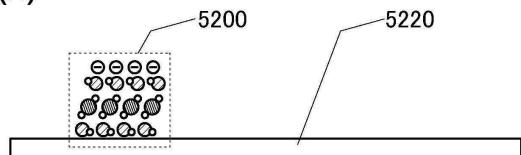


도면49

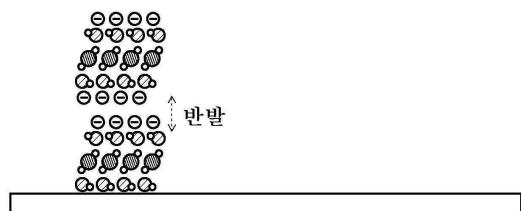
InMnO₄의 결정 구조

도면50

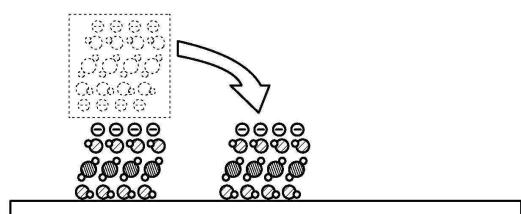
(A)



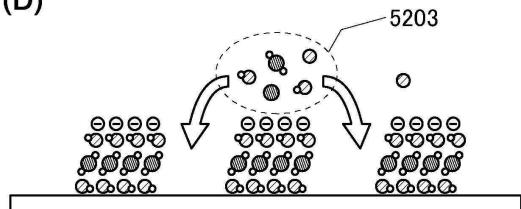
(B)



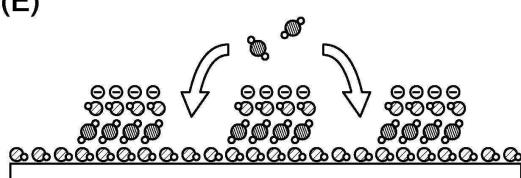
(C)



(D)

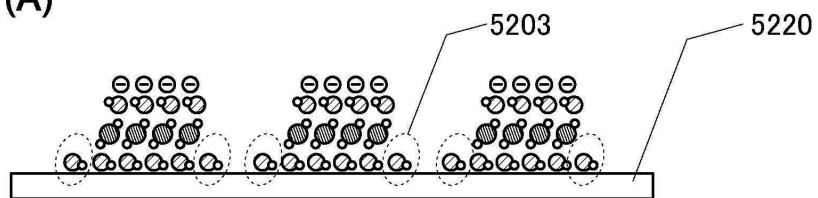


(E)

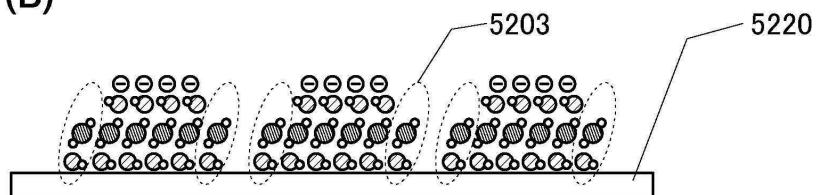


도면51

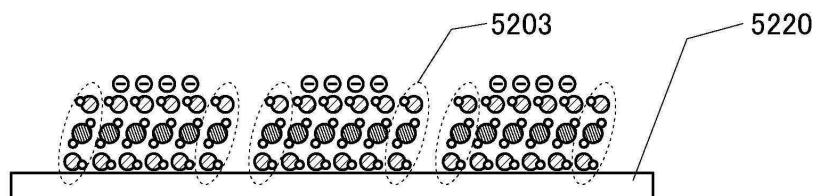
(A)



(B)



(C)



도면52

