



## 【特許請求の範囲】

## 【請求項 1】

発光素子と、ドレイン・ソース間に駆動電圧が印加されることで上記発光素子に対してゲート・ソース間電圧に応じた電流印加を行う駆動トランジスタと、上記駆動トランジスタのゲート・ソース間に接続され上記駆動トランジスタの閾値電圧と入力された映像信号電圧とを保持する保持容量と、を有する画素回路が、マトリクス状に配置されて成る画素アレイと、

上記画素アレイ上で列状に配設される各信号線に映像信号電圧を供給する信号セレクタと、

上記画素アレイ上で行状に配設される各電源制御線に電源パルスを与え、上記画素回路の上記駆動トランジスタへの駆動電圧の印加を行う駆動制御スキャナと、

上記画素アレイ上で行状に配設される各書き制御線に走査パルスを与えて上記画素回路への上記映像信号電圧の入力を実行させる書きスキャナと、  
を備え、

上記画素アレイにおける各画素回路は、その画素回路の行の書き制御線の走査パルスと、その画素回路の前の行の書き制御線の走査パルスによって、上記駆動トランジスタのゲート・ソース間電圧を該駆動トランジスタの閾値電圧とする閾値補正動作、及び該駆動トランジスタのゲート・ソース間への上記信号線からの映像信号電圧の入力動作が制御される表示装置。

## 【請求項 2】

上記画素回路は、

上記信号線と上記駆動トランジスタのゲートの間に直列接続され、双方が導通されることで信号線に供給された映像信号電圧を上記駆動トランジスタのゲートに入力するとともに、一方がnチャネル型、他方がpチャネル型である第1、第2のサンプリングトランジスタと、

固定の基準電圧と上記駆動トランジスタのゲートの間に接続され、導通されることで上記基準電圧を上記駆動トランジスタのゲートに入力する、上記第1のサンプリングトランジスタと同チャネル型の基準電圧入力用トランジスタと、

上記駆動トランジスタのゲート・ソース間に接続され、上記駆動トランジスタの閾値電圧と入力された映像信号電圧とを保持する保持容量とを有し、

各画素回路の上記第1のサンプリングトランジスタは、その画素回路の行の書き制御線の走査パルスによって導通制御され、

各画素回路の上記第2のサンプリングトランジスタと、上記基準電圧入力用トランジスタは、その画素回路の前の行の書き制御線の走査パルスによって導通制御される請求項1に記載の表示装置。

## 【請求項 3】

上記各画素回路では、

上記駆動制御スキャナが上記駆動トランジスタに上記駆動電圧を与えるときに、

上記書きスキャナからの、その画素回路の前の行の書き制御線の走査パルスによって、上記第2のサンプリングトランジスタが非導通とされ、上記基準電圧入力用トランジスタが導通されることで、上記閾値補正動作が行われる請求項2に記載の表示装置。

## 【請求項 4】

上記書きスキャナは、上記各画素回路において1発光サイクルの期間内に複数回の上記閾値補正動作が行われるように、各行の走査パルスを出力する請求項3に記載の表示装置。

## 【請求項 5】

上記各画素回路では、

上記信号セレクタが、その画素回路に対する映像信号電圧を信号線に与えるときに、

上記書きスキャナからのその画素回路の行及び前の行の各書き制御線の走査パルスによって、上記第1、第2のサンプリングトランジスタが導通され、上記基準電圧入力用トランジスタが導通されることで、上記閾値補正動作が行われる請求項2に記載の表示装置。

10

20

30

40

50

ンジスタが非導通されることで、上記映像信号電圧の入力動作が行われる請求項4に記載の表示装置。

【請求項6】

発光素子と、ドレイン・ソース間に駆動電圧が印加されることで上記発光素子に対してゲート・ソース間電圧に応じた電流印加を行う駆動トランジスタと、上記駆動トランジスタのゲート・ソース間に接続され上記駆動トランジスタの閾値電圧と入力された映像信号電圧とを保持する保持容量と、を有する画素回路が、マトリクス状に配置されて成る画素アレイと、

上記画素アレイ上で列状に配設される各信号線に映像信号電圧を供給する信号セレクタと、

上記画素アレイ上で行状に配設される各電源制御線に電源パルスを与え、上記画素回路の上記駆動トランジスタへの駆動電圧の印加を行う駆動制御スキャナと、

上記画素アレイ上で行状に配設される各書込制御線に走査パルスを与えて上記画素回路への上記映像信号電圧の入力を実行させる書込スキャナと、

を備えた表示装置の表示駆動方法として、

上記画素アレイにおける各画素回路に対して、その画素回路の行の書込制御線の走査パルスと、その画素回路の前の行の書込制御線の走査パルスによって、上記駆動トランジスタのゲート・ソース間電圧を該駆動トランジスタの閾値電圧とする閾値補正動作を実行させ、

さらにその画素回路の行の書込制御線の走査パルスと、その画素回路の前の行の書込制御線の走査パルスによって、上記駆動トランジスタのゲート・ソース間への上記信号線からの映像信号電圧の入力動作を実行させる表示駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素回路がマトリクス状に配置された画素アレイを有する表示装置と、その表示駆動方法であって、例えば発光素子として有機エレクトロルミネッセンス素子（有機EL素子）を用いた表示装置に関する。

【先行技術文献】

【特許文献】

【0002】

【特許文献1】特開2007-133282号公報

【特許文献2】特開2003-255856号公報

【特許文献3】特開2003-271095号公報

【背景技術】

【0003】

例えば上記特許文献2,3に見られるように、有機EL素子を画素に用いた画像表示装置が開発されている。有機EL素子は自発光素子であることから、例えば液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が速いなどの利点を有する。又、各発光素子の輝度レベル（階調）はそれに流れる電流値によって制御可能である（いわゆる電流制御型）。

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブラミトリクス方式がある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブラミトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ：TFT）によって制御するものである。

【発明の開示】

【発明が解決しようとする課題】

【0004】

10

20

30

40

50

ところで有機EL素子を用いた画素回路構成としては、画素毎の輝度ムラの解消等による表示品質の向上や、パネル大型化、高輝度化、高精細化、ハイフレームレート化（高周波数化）等が強く求められている。

これらの観点より、各種多様な構成が検討されている。例えば上記特許文献1のように、画素毎での駆動トランジスタの閾値電圧や移動度のバラツキをキャンセルして画素毎の輝度ムラを解消できるようにした画素回路構成や動作は各種提案されている。

本発明では有機EL素子を用いた表示装置として、高周波数化、倍速駆動などの高速化にも好適な画素回路動作を実現することを目的とする。

【課題を解決するための手段】

【0005】

本発明の表示装置は、発光素子と、ドレイン・ソース間に駆動電圧が印加されることで上記発光素子に対してゲート・ソース間電圧に応じた電流印加を行う駆動トランジスタと、上記駆動トランジスタのゲート・ソース間に接続され上記駆動トランジスタの閾値電圧と入力された映像信号電圧とを保持する保持容量と、を有する画素回路が、マトリクス状に配置されて成る画素アレイと、上記画素アレイ上で列状に配設される各信号線に映像信号電圧を供給する信号セレクタと、上記画素アレイ上で行状に配設される各電源制御線に電源パルスを与え、上記画素回路の上記駆動トランジスタへの駆動電圧の印加を行う駆動制御スキャナと、上記画素アレイ上で行状に配設される各書込制御線に走査パルスを与えて上記画素回路への上記映像信号電圧の入力を実行させる書込スキャナとを備える。上記画素アレイにおける各画素回路は、その画素回路の行の書込制御線の走査パルスと、その画素回路の前の行の書込制御線の走査パルスによって、上記駆動トランジスタのゲート・ソース間電圧を該駆動トランジスタの閾値電圧とする閾値補正動作、及び該駆動トランジスタのゲート・ソース間への上記信号線からの映像信号電圧の入力動作が制御されるものとする。

【0006】

具体的には、上記画素回路は、上記信号線と上記駆動トランジスタのゲートの間に直列接続され、双方が導通されることで信号線に供給された映像信号電圧を上記駆動トランジスタのゲートに入力するとともに、一方がnチャネル型、他方がpチャネル型である第1，第2のサンプリングトランジスタと、固定の基準電圧と上記駆動トランジスタのゲートの間に接続され、導通されることで上記基準電圧を上記駆動トランジスタのゲートに入力する、上記第1のサンプリングトランジスタと同チャネル型の基準電圧入力用トランジスタと、上記駆動トランジスタのゲート・ソース間に接続され、上記駆動トランジスタの閾値電圧と入力された映像信号電圧とを保持する保持容量とを有する。そして各画素回路の上記第1のサンプリングトランジスタは、その画素回路の行の書込制御線の走査パルスによって導通制御され、各画素回路の上記第2のサンプリングトランジスタと、上記基準電圧入力用トランジスタは、その画素回路の前の行の書込制御線の走査パルスによって導通制御される。

この場合に、上記各画素回路では、上記駆動制御スキャナが上記駆動トランジスタに上記駆動電圧を与えるときに、上記書込スキャナからの、その画素回路の前の行の書込制御線の走査パルスによって、上記第2のサンプリングトランジスタが非導通とされ、上記基準電圧入力用トランジスタが導通されることで、上記閾値補正動作が行われる。

また上記書込スキャナは、上記各画素回路において1発光サイクルの期間内に複数回の上記閾値補正動作が行われるように、各行の走査パルスを出力する。

また上記各画素回路では、上記信号セレクタが、その画素回路に対する映像信号電圧を信号線に与えるときに、上記書込スキャナからのその画素回路の行及び前の行の各書込制御線の走査パルスによって、上記第1、第2のサンプリングトランジスタが導通され、上記基準電圧入力用トランジスタが非導通されることで、上記映像信号電圧の入力動作が行われる。

【0007】

本発明の表示駆動方法は、各画素回路に対して、その画素回路の行の書込制御線の走査

10

20

30

40

50

パルスと、その画素回路の前の行の書込制御線の走査パルスによって、上記駆動トランジスタのゲート・ソース間電圧を該駆動トランジスタの閾値電圧とする閾値補正動作を実行させ、さらにその画素回路の行の書込制御線の走査パルスと、その画素回路の前の行の書込制御線の走査パルスによって、上記駆動トランジスタのゲート・ソース間への上記信号線からの映像信号電圧の入力動作を実行させる表示駆動方法である。

#### 【0008】

有機EL表示装置のように、発光素子に駆動トランジスタのゲート・ソース間電圧に応じた電流印加を行って発光階調を得る表示装置では、駆動トランジスタの閾値電圧のバラツキをキャンセルする閾値補正を行うことで画質向上を図る。このために、閾値補正を行う際に画素回路に与える閾値補正基準電圧と、実際に表示させる階調値である映像信号電圧を、信号線により各画素回路に時分割供給することが行われている。

一方で、ハイフレームレート駆動などの高速駆動の場合、上記時分割駆動を行うことは信号セレクタの処理負担を増大させる。

そこで本発明では、信号セレクタは、信号線に対して映像信号電圧の供給のみを行うこととする。そして、閾値補正基準電圧は、固定電源から与える。そして画素回路の発光開始の前に閾値補正基準電圧が画素回路に入力されるようにするため、その画素回路の前の行の走査パルスを用いる。

#### 【発明の効果】

#### 【0009】

本発明によれば、信号セレクタは信号線に対して映像信号電圧の供給を行えば良く、閾値補正基準電圧との時分割供給は不要である。これにより、画素駆動の高速化が進んでも、信号セレクタの処理負担は少なく、高速処理化やコスト的に有利である。

その上で、閾値補正基準電圧を用いた閾値補正是可能であるため、駆動高速化と画質向上が両立できる。さらに閾値補正基準電圧の画素回路への供給のための制御は、前の行の走査パルスを用いることで、新たな独立した制御線構成は不要であるため、画素アレイの構成の複雑化等も招かない。

#### 【図面の簡単な説明】

#### 【0010】

【図1】本発明の実施の形態の表示装置の構成の説明図である。

【図2】実施の形態の画素回路の回路図である。

【図3】比較例の画素回路の回路図である。

【図4】分割閾値補正を行う場合の画素回路動作の説明図である。

【図5】比較例の画素回路の1サイクルの発光動作の過程の等価回路図である。

【図6】比較例の画素回路の1サイクルの発光動作の過程の等価回路図である。

【図7】比較例の画素回路の1サイクルの発光動作の過程の等価回路図である。

【図8】実施の形態の画素回路の動作の説明図である。

【図9】実施の形態の画素回路の1サイクルの発光動作の過程の等価回路図である。

【図10】実施の形態の画素回路の1サイクルの発光動作の過程の等価回路図である。

【図11】実施の形態の画素回路の1サイクルの発光動作の過程の等価回路図である。

【図12】実施の形態の画素回路の1サイクルの発光動作の過程の等価回路図である。

#### 【発明を実施するための形態】

#### 【0011】

以下、本発明の実施の形態について次の順序で説明する。

【1. 表示装置及び画素回路の構成】

【2. 本発明に至る過程で考慮された画素回路動作：分割閾値補正】

【3. 実施の形態の画素回路動作】

#### 【0012】

【1. 表示装置及び画素回路の構成】

図1に実施の形態の有機EL表示装置の構成を示す。

10

20

30

40

50

この有機EL表示装置は、有機EL素子を発光素子とし、アクティブマトリクス方式で発光駆動を行う画素回路10を含むものである。

図示のように、有機EL表示装置は、多数の画素回路10が列方向と行方向( $m$ 行 $\times$  $n$ 列)にマトリクス状に配列された画素アレイ20を有する。なお、画素回路10のそれぞれは、R(赤)、G(緑)、B(青)のいずれかの発光画素となり、各色の画素回路10が所定規則で配列されてカラー表示装置が構成される。

#### 【0013】

各画素回路10を発光駆動するための構成として、水平セレクタ11、ドライブスキャナ12、ライトスキャナ13を備える。

また水平セレクタ11により選択され、表示データとしての輝度信号の信号値(階調値)に応じた電圧を画素回路10に供給する信号線DTL1、DTL2…DTL( $n$ )が、画素アレイ上で列方向に配されている。信号線DTL1、DTL2…DTL( $n$ )は、画素アレイ20においてマトリクス配置された画素回路10の列数分( $n$ 列)だけ配される。

#### 【0014】

また画素アレイ20上において、行方向に書込制御線WSL1、WSL2…WSL( $m$ )、電源制御線DSL1、DSL2…DSL( $m$ )が配されている。これらの書込制御線WSL及び電源制御線DSLは、それぞれ、画素アレイ20においてマトリクス配置された画素回路10の行数分( $m$ 行)だけ配される。

#### 【0015】

書込制御線WSL(WSL1～WSL( $m$ ))はライトスキャナ13により駆動される。

ライトスキャナ13は、設定された所定のタイミングで、行状に配設された各書込制御線WSL1～WSL( $m$ )に順次、走査パルスWS(WS1, WS2…WS( $m$ ))を供給して、画素回路10を行単位で線順次走査する。

#### 【0016】

電源制御線DSL(DSL1～DSL( $m$ ))はドライブスキャナ12により駆動される。ドライブスキャナ12は、ライトスキャナ13による線順次走査に合わせて、行状に配設された各電源制御線DSL1～DSL( $m$ )に電源パルスDS(DS1, DS2…DS( $m$ ))を供給する。電源パルスDS(DS1, DS2…DS( $m$ ))は駆動電圧Vccと初期電圧Vinの2値に切り替わるパルス電圧とされる。

なおドライブスキャナ12、ライトスキャナ13は、クロックclk及びスタートパルスspに基づいて、走査パルスWS、電源パルスDSのタイミングを設定する。

#### 【0017】

水平セレクタ11は、ライトスキャナ13による線順次走査に合わせて、列方向に配された信号線DTL1、DTL2…に対して、画素回路10に対する入力信号としての信号線電圧を供給する。本実施の形態では、水平セレクタ11は、各信号線に対し、信号線電圧として映像データによる階調に応じた電圧である映像信号電圧Vsigを供給する。

#### 【0018】

なお、この実施の形態の表示装置においては、本発明請求項でいう信号セレクタの例が水平セレクタ11であり、駆動制御スキャナの例がドライブスキャナであり、書込スキャナの例がライトスキャナ13となる。

#### 【0019】

図2に実施の形態の画素回路10の構成例を示している。この画素回路10が、図1の構成における画素回路10のようにマトリクス配置される。

なお、図2では簡略化のため、信号線DTLと、書込制御線WSL(x)及び電源制御線DSL(x)が交差する部分に配される1つの画素回路10のみを示している。つまり、画素アレイ20内の第x行目における1つの画素回路10である。

#### 【0020】

10

20

30

40

50

この画素回路 10 は、発光素子である有機 EL 素子 1 と、保持容量 Cs と、第 1 , 第 2 のサンプリングトランジスタ Ts1 , Ts2 、駆動トランジスタ Td 、基準電圧入力用トランジスタ Tof s を有して構成される。なお容量 Col ed は有機 EL 素子 1 の寄生容量である。

サンプリングトランジスタ Ts1 、駆動トランジスタ Td 、及び基準電圧入力用トランジスタ Tof s は、n チャネルの薄膜トランジスタ ( TFT ) で構成され、サンプリングトランジスタ Ts2 は p チャネル TFT で構成されている。

#### 【 0021 】

保持容量 Cs は、一方の端子が駆動トランジスタ Td のソース ( ノード ND2 ) に接続され、他方の端子が同じく駆動トランジスタ Td のゲート ( ノード ND1 ) に接続されている。

画素回路 10 の発光素子は例えばダイオード構造の有機 EL 素子 1 とされ、アノードとカソードを備えている。有機 EL 素子 1 のアノードは駆動トランジスタ Td のソースに接続され、カソードは所定の配線 ( カソード電位 Vcat ) に接続されている。

#### 【 0022 】

サンプリングトランジスタ Ts1 , Ts2 は、そのソース・ドレインが信号線 DTL と駆動トランジスタ Td のゲート ( ノード ND1 ) の間で直列接続されている。

即ちサンプリングトランジスタ Ts1 は、そのドレインとソースの一端が信号線 DTL に接続され、他端がサンプリングトランジスタ Ts2 に接続される。サンプリングトランジスタ Ts2 のドレインとソースの一端はサンプリングトランジスタ Ts1 に接続され、他端は駆動トランジスタ Td のゲート ( ノード ND1 ) に接続される。

従って、サンプリングトランジスタ Ts1 , Ts2 の双方が導通したときのみ、駆動トランジスタ Td のゲートに信号線 DTL の信号線電圧 ( 映像信号電圧 Vsig ) が入力される構成となっている。

#### 【 0023 】

またサンプリングトランジスタ Ts1 のゲートは、当該画素回路 10 の行に対応する書込制御線 WSL ( x ) に接続されている。

一方、サンプリングトランジスタ Ts2 のゲートは、当該画素回路 10 の行の前の行に対応する書込制御線 WSL ( x - 1 ) に接続されている。

駆動トランジスタ Td のドレインは電源制御線 DSL に接続されている。

#### 【 0024 】

また基準電圧入力用トランジスタ Tof s は、そのドレインとソースの一端が基準電圧 Vofs の固定電源線に接続され、他端は駆動トランジスタ Td のゲート ( ノード ND1 ) に接続されている。

基準電圧入力用トランジスタ Tof s のゲートは、当該画素回路 10 の行の前の行 ( 第 ( x - 1 ) 行 ) に対応する書込制御線 WSL ( x - 1 ) に接続されている。

基準電圧入力用トランジスタ Tof s が n チャネル TFT で、サンプリングトランジスタ Ts2 が p チャネル TFT であり、ゲートが共通で書込制御線 WSL ( x - 1 ) に接続されているため、基準電圧入力用トランジスタ Tof s とサンプリングトランジスタ Ts2 は同時に導通しない。

#### 【 0025 】

有機 EL 素子 1 の発光駆動は、基本的には次のようになる。

信号線 DTL に映像信号電圧 Vsig が印加されたタイミングで、サンプリングトランジスタ Ts1 , Ts2 が、書込制御線 WSL ( x ) 、 WSL ( x - 1 ) によってライトスキャナ 13 から与えられる走査パルス WSL ( x ) 、 WSL ( x - 1 ) によって導通される。これにより信号線 DTL からの映像信号電圧 Vsig が保持容量 Cs に書き込まれる。

#### 【 0026 】

駆動トランジスタ Td は、ドライブスキャナ 12 によって駆動電位 Vcc が与えられている電源制御線 DSL からの電流供給により電流 Ids を有機 EL 素子 1 に流し、有機 EL 素子 1 を発光させる。

10

20

30

40

50

このとき電流  $I_{ds}$  は、駆動トランジスタ  $T_d$  のゲート・ソース間電圧  $V_{gs}$  に応じた値（保持容量  $C_s$  に保持された電圧に応じた値）となり、有機 EL 素子 1 はその電流値に応じた輝度で発光する。

つまりこの画素回路 10 の場合、保持容量  $C_s$  に信号線  $D_T L$  からの映像信号電圧  $V_{sig}$  を書き込むことによって、駆動トランジスタ  $T_d$  のゲート印加電圧を変化させ、これにより有機 EL 素子 1 に流れる電流値をコントロールして発光の階調を得る。

#### 【0027】

駆動トランジスタ  $T_d$  は、常に飽和領域で動作するように設計されているので、駆動トランジスタ  $T_d$  は次の式 1 に示した値を持つ定電流源となる。

$$I_{ds} = (1/2) \cdot \mu \cdot (W/L) \cdot C_{ox} \cdot (V_{gs} - V_{th})^2 \dots \quad (\text{式 1})$$

但し、 $I_{ds}$  は飽和領域で動作するトランジスタのドレイン・ソース間に流れる電流、 $\mu$  は移動度、 $W$  はチャネル幅、 $L$  はチャネル長、 $C_{ox}$  はゲート容量、 $V_{th}$  は駆動トランジスタ  $T_d$  の閾値電圧を表している。

この式 1 から明らかな様に、飽和領域ではドレイン電流  $I_{ds}$  はゲート・ソース間電圧  $V_{gs}$  によって制御される。駆動トランジスタ  $T_d$  は、ゲート・ソース間電圧  $V_{gs}$  が一定に保持される為、定電流源として動作し、有機 EL 素子 1 を一定の輝度で発光させることができる。

#### 【0028】

このように基本的には、各フレーム期間において、画素回路 10 に映像信号値（階調値） $V_{sig}$  が保持容量  $C_s$  に書き込まれる動作が行われ、これにより表示すべき階調に応じて駆動トランジスタ  $T_d$  のゲート・ソース間電圧  $V_{gs}$  が決まる。

そして駆動トランジスタ  $T_d$  は飽和領域で動作することで有機 EL 素子 1 に対して定電流源として機能し、ゲート・ソース間電圧  $V_{gs}$  に応じた電流を有機 EL 素子 1 に流すことと、各フレーム期間に有機 EL 素子 1 では映像信号の階調値に応じた輝度の発光が行われる。

#### 【0029】

#### [2. 本発明に至る過程で考慮された画素回路動作：分割閾値補正]

ここで、本発明の理解のため、本発明に至る過程で考慮された画素回路動作について説明する。これは、各画素回路 10 の駆動トランジスタ  $T_d$  の閾値、移動度のばらつきによるユニフォミティ劣化を補償するための閾値補正動作、移動度補正動作を含む回路動作である。特に閾値補正動作としては 1 発光サイクルの期間内に分割して複数回行う分割閾値補正を行う例としている。

#### 【0030】

なお画素回路動作においては、閾値補正動作、移動度補正動作自体は、従来より行われているが、この必要性について簡単に説明しておく。

例えばポリシリコン TFT 等を用いた画素回路では、駆動トランジスタ  $T_d$  の閾値電圧  $V_{th}$  や、駆動トランジスタ  $T_d$  のチャネルを構成する半導体薄膜の移動度  $\mu$  が経時的に変化することがある。また製造プロセスのバラツキによって閾値電圧  $V_{th}$  や移動度  $\mu$  のトランジスタ特性が画素毎に異なったりする。

駆動トランジスタ  $T_d$  の閾値電圧や移動度が画素毎に異なると、画素毎に駆動トランジスタ  $T_d$  に流れる電流値にばらつきが生じる。このため仮に全画素回路 10 に同一の映像信号値（映像信号電圧  $V_{sig}$ ）を与えたとしても、有機 EL 素子 1 の発光輝度に画素毎のバラツキが生じ、その結果、画面のユニフォミティ（一様性）が損なわれる。

このことから、画素回路動作においては、閾値電圧  $V_{th}$  や移動度  $\mu$  の変動に対する補正機能を持たせるようにしている。

#### 【0031】

ここでは図 3 に示す一般的な画素回路 10 の動作として説明する。

上記図 2 の本実施の形態の画素回路 10 と比べて、第 2 のサンプリングトランジスタ  $T_{s2}$  と基準電圧入力用トランジスタ  $T_{ofs}$  が設けられていない。

10

20

30

40

50

また水平セレクタ11は信号線DTLに、映像信号電圧Vsigと、閾値補正動作のための閾値補正基準電圧Vofsとを時分割で供給するものとされている。

駆動トランジスタTdからの有機EL素子1への電流印加による基本的な発光動作は同様である。

即ち信号線DTLに映像信号電圧Vsigが印加されたタイミングで、サンプリングトランジスタTsが、書込制御線WSLによってライトスキャナ13から与えられる走査パルスWSによって導通される。これにより信号線DTLからの映像信号電圧Vsigが保持容量Csに書き込まれる。

そして駆動トランジスタTdは飽和領域で動作することで有機EL素子1に対して定電流源として機能し、保持容量Csに書き込まれた映像信号電圧Vsig（ゲート・ソース間電圧Vgs）に応じた電流Idsを有機EL素子1に流す。これにより映像信号の階調値に応じた輝度の発光が行われる。

#### 【0032】

図4に画素回路10の1発光サイクル（1フレーム期間）の動作のタイミングチャートを示す。

図4では、水平セレクタ11が信号線DTLに与える信号線電圧を示している。この動作例の場合、水平セレクタ11は信号線電圧として、1水平期間（1H）に、閾値補正基準電圧Vofs及び映像信号電圧Vsigとしてのパルス電圧を信号線DTLに与える。

また図4には、電源制御線DSLを介してドライブスキャナ12から供給される電源パルスDSを示している。電源パルスDSとしては駆動電圧Vcc又は初期電圧Vinが与えられる。

また図4には、書込制御線WSLを介してライトスキャナ13によってサンプリングトランジスタTsのゲートに与えられる走査パルスWSを示している。nチャネルのサンプリングトランジスタTsは、走査パルスWSがHレベルとされることで導通され、走査パルスWSがLレベルとされることで非導通となる。

また図4には、図3に示したノードND1、ND2の電圧として、駆動トランジスタTdのゲート電圧Vgとソース電圧Vsの変化を示している。

#### 【0033】

図4のタイミングチャートにおける時点tsは、発光素子である有機EL素子1が発光駆動される1サイクル、例えば画像表示の1フレーム期間の開始タイミングとなる。

この時点tsに至る前（期間LT0）は、前フレームの発光が行われている。期間LT0の等価回路を図5（a）に示す。

即ち、有機EL素子1の発光状態は、電源パルスDSが駆動電圧Vccであり、サンプリングトランジスタTsがオフした状態である。この時、駆動トランジスタTdは飽和領域で動作するように設定されているため、有機EL素子1に流れる電流Ids'は駆動トランジスタTdのゲート・ソース間電圧Vgsに応じて、上述した式1に示される値となる。

#### 【0034】

時点tsで今回のフレームの発光のための動作が開始される。

まず電源パルスDS=初期電位Vinとされる。図5（b）に期間LT1の等価回路を示す。

このとき、初期電位Vinと有機EL素子1の閾値電圧Vthe1とカソード電圧Vcatの和よりも小さい、つまりVin < Vthe1 + Vcatであることで、有機EL素子1は消光し、非発光期間が開始される。このとき電源制御線DSLが駆動トランジスタTdのソースとなる。また有機EL素子1のアノード（ノードND2）は初期電位Vinに充電される。

#### 【0035】

一定期間後、閾値補正のための準備が行われる（期間LT2a, LT2b）。等価回路は図6（a）に示される。

即ち期間LT2a, LT2bでは、信号線DTLの電位が閾値補正基準電圧Vofsと

10

20

30

40

50

なった時に、走査パルスWSがHレベルとされ、サンプリングトランジスタTsがオンとされる。このため駆動トランジスタTdのゲート（ノードND1）は閾値補正基準電圧Vofsとなる。

駆動トランジスタTdのゲート・ソース間電圧Vgs = Vofs - Vinjとなる。

このVofs - Vinjが駆動トランジスタTdの閾値電圧Vthよりも大きくないと閾値補正動作を行うことができないために、Vofs - Vinj > Vthとなるように、初期電位Vinj、基準電圧Vofsが設定されている。

即ち閾値補正の準備として、駆動トランジスタのゲート・ソース間電圧が、その閾値電圧Vthよりも十分広げられることになる。

#### 【0036】

続いて閾値補正（Vth補正）が行われる。ここでは期間LT3a～LT3dとして4回の閾値補正が行われる例としている。

まず期間LT3aとして1回目の閾値補正（Vth補正）が行われる。

この場合、信号線電圧が閾値補正基準電圧Vofsとなっているタイミングで、ライトスキャナ13が走査パルスWSをHレベルとし、またドライブスキャナ12が電源パルスDSを駆動電圧Vccとする。等価回路を図6（b）に示すが、この場合、有機EL素子1のアノード（ノードND2）が駆動トランジスタTdのソースとなり電流が流れる。このため、駆動トランジスタTdのゲート（ノードND1）は閾値補正基準電圧Vofsに固定されたまま、ソースノードが上昇する。

有機EL素子1のアノード電位（ノードND2の電位）が、Vcat + Vthel（有機EL素子1の閾値電圧）以下である限り、駆動トランジスタTdの電流は保持容量Csと容量Colledを充電するために使われる。有機EL素子1のアノード電位がVcat + Vthel以下である限りとは、有機EL素子1のリーク電流が駆動トランジスタTdに流れる電流よりもかなり小さいという意味である。

このためノードND2の電位（駆動トランジスタTdのソース電位）は、時間と共に上昇してゆく。

#### 【0037】

この閾値補正是、基本的には、駆動トランジスタTdのゲート・ソース間電圧を閾値電圧Vthとする動作と言える。従って駆動トランジスタTdのゲート・ソース間電圧が閾値電圧Vthとなるまで、駆動トランジスタTdのソース電位が上昇されればよい。

しかし、ゲートノードを閾値補正基準電圧Vofsに固定できるのは、信号線電圧 = Vofsの期間のみである。するとフレームレート等によっては1回の閾値補正動作によつては、ゲート・ソース間電圧が閾値電圧Vthに至るまでソース電位が上昇するための十分な時間がとれない。そこで複数回に分割して閾値補正を行うようにしている。

#### 【0038】

このため、信号線電圧 = 映像信号電圧Vsigとなる前に、期間LT3aとしての閾値補正を終了させる。即ち、ライトスキャナ13が一旦、走査パルスWSをLレベルとし、サンプリングトランジスタTsをオフする。

このとき、ゲート・ソースともフローティングである為、ゲート・ソース間電圧Vgsに応じてドレイン・ソース間に電流が流れブートストラップする。即ち図示のようにゲート電位、ソース電位は上昇する。

#### 【0039】

次に期間LT3bとして、2回目の閾値補正を行う。即ち信号線電圧 = 閾値補正基準電圧Vofsのときに、再びライトスキャナ13が走査パルスWSをHレベルとし、サンプリングトランジスタTsをオンとする。これにより、駆動トランジスタTdのゲート電圧 = 閾値補正基準電圧Vofsとされ、またソース電位が上昇される。

さらに閾値補正動作を休止する。なお、2回目の閾値補正で駆動トランジスタTdのゲート・ソース間電圧は、より閾値電圧Vthに近づいているため、2回目の休止期間のブートストラップ量は1回目の休止期間より小さくなる。

また期間LT3cで3回目の閾値補正を行い、さらに休止を経て、期間LT3dで4回

10

20

30

40

50

目の閾値補正を行う。

そして最終的に駆動トランジスタ T<sub>d</sub> のゲート・ソース間電圧が閾値電圧 V<sub>th</sub> となる。

この時、ソース電位 (ノード N<sub>D</sub>2 : 有機 EL 素子 1 のアノード電位) = V<sub>of</sub>s - V<sub>th</sub> = V<sub>cat</sub> + V<sub>the1</sub> となっている。 (V<sub>cat</sub> はカソード電位、V<sub>the1</sub> は有機 EL 素子 1 の閾値電圧)

この図 4 の場合では、4 回目の閾値補正の期間 LT3d の後、走査パルス WS を L レベルとし、サンプリングトランジスタ T<sub>s</sub> がオフとなって閾値補正動作が完了する。

#### 【0040】

なお、ここでは 4 回の閾値補正を行う例としたが、閾値補正動作を何回に分割して行うかは表示装置の構成や動作に応じて適切に決められるものであり、例えば 2 回、3 回、5 回以上という例もある。

#### 【0041】

その後、信号線電圧が映像信号電圧 V<sub>sig</sub> となっている期間 LT4 に、ライトスキャナ 13 が走査パルス WS が H レベルとし、映像信号電圧 V<sub>sig</sub> の書き込み及び移動度補正が行われる。即ち駆動トランジスタ T<sub>d</sub> のゲートに映像信号電圧 V<sub>sig</sub> が入力される。このときの等価回路を図 7 (a) に示す。

#### 【0042】

駆動トランジスタ T<sub>d</sub> のゲート電位は映像信号電圧 V<sub>sig</sub> の電位となるが、電源制御線 D<sub>SL</sub> が駆動電圧 V<sub>cc</sub> となっていることで電流が流れ、ソース電位は時間とともに上昇してゆく。

このとき、駆動トランジスタ T<sub>d</sub> のソース電圧が有機 EL 素子 1 の閾値電圧 V<sub>the1</sub> とカソード電圧 V<sub>cat</sub> の和を越えなければ、駆動トランジスタ T<sub>d</sub> の電流は保持容量 C<sub>s</sub> と容量 C<sub>oled</sub> を充電するのに使用される。つまり有機 EL 素子 1 のリーク電流が駆動トランジスタ T<sub>d</sub> に流れる電流よりもかなり小さければという条件である。

そしてこのときは、駆動トランジスタ T<sub>d</sub> の閾値補正動作は完了しているため、駆動トランジスタ T<sub>d</sub> が流す電流は移動度  $\mu$  を反映したものとなる。

具体的にいうと、移動度が大きいものはこの時の電流量が大きく、ソースの上昇も早い。逆に移動度が小さいものは電流量が小さく、ソースの上昇は遅くなる。

これによって、走査パルス WS が H レベルとなる期間 LT4 として、サンプリングトランジスタ T<sub>s</sub> がオンしてから、駆動トランジスタ T<sub>d</sub> のソース電圧 V<sub>s</sub> は上昇し、サンプリングトランジスタ T<sub>s</sub> がオフしたときには、ソース電圧 V<sub>s</sub> は移動度  $\mu$  を反映した電圧 V<sub>s0</sub> となる。駆動トランジスタ T<sub>d</sub> のゲート・ソース間電圧 V<sub>gs</sub> は移動度を反映して小さくなり (V<sub>gs</sub> = V<sub>sig</sub> - V<sub>s0</sub>)、一定時間経過後に完全に移動度を補正する電圧となる。

#### 【0043】

このように映像信号電圧 V<sub>sig</sub> 書込み及び移動度補正を行った後、ゲート・ソース間電圧 V<sub>gs</sub> を確定させ、ブートストラップ、発光状態 (期間 LT5) へと移行する。図 7 (b) に等価回路を示す。

即ち走査パルス WS を L レベルとしてサンプリングトランジスタ T<sub>s</sub> をオフして書き込みが終了し、有機 EL 素子 1 を発光させる。この場合、駆動トランジスタ T<sub>d</sub> のゲート・ソース間電圧 V<sub>gs</sub> に応じた電流 I<sub>ds</sub> が流れ、ノード N<sub>D</sub>2 の電位は、有機 EL 素子 1 にその電流が流れる電圧 V<sub>EL</sub> まで上昇し、有機 EL 素子 1 は発光する。このときサンプリングトランジスタ T<sub>s</sub> がオフであり、ノード N<sub>D</sub>2 の電位の上昇と同時に駆動トランジスタ T<sub>d</sub> のゲート (ノード N<sub>D</sub>1) も同様に上昇するため、ゲート・ソース間電圧 V<sub>gs</sub> は一定に保たれたままである。(ブートストラップ動作)

#### 【0044】

このように画素回路 10 は 1 フレーム期間における 1 サイクルの発光駆動動作として、閾値補正動作及び移動度補正動作を含んで、有機 EL 素子 1 の発光のための動作が行われる。

10

20

30

40

50

閾値補正動作によって、各画素回路10での駆動トランジスタT<sub>d</sub>の閾値電圧V<sub>t h</sub>のバラツキや、経時変動による閾値電圧V<sub>t h</sub>変動などに関わらず、信号電位V<sub>s i g</sub>に応じた電流を有機EL素子1に与えることができる。つまり製造上或いは経時変化による閾値電圧V<sub>t h</sub>のバラツキをキャンセルして、画面上に輝度ムラ等を発生させずに高画質を維持できる。

また、駆動トランジスタT<sub>d</sub>の移動度によってもドレイン電流は変動するため、画素回路10毎の駆動トランジスタT<sub>d</sub>の移動度のバラツキにより画質が低下するが、移動度補正により、駆動トランジスタT<sub>d</sub>の移動度の大小に応じてソース電位V<sub>s</sub>が得られる。結果として各画素回路10の駆動トランジスタT<sub>d</sub>の移動度のバラツキを吸収するようなゲート・ソース間電圧V<sub>g s</sub>に調整されるため、移動度のバラツキによる画質低下も解消される。

10

#### 【0045】

また1サイクルの画素回路動作として、閾値補正動作を分割して複数回行うのは、表示装置の高速化（高周波数化）の要請による。

高フレームレート化が進むことで、画素回路の動作時間が相対的に短くなっていくため、連続的な閾値補正期間（信号線電圧=閾値補正基準電圧V<sub>o f s</sub>の期間）を確保することが難しくなる。そこで上記のように時分割的に閾値補正動作を行うことで閾値補正期間として必要な期間を確保して、駆動トランジスタT<sub>d</sub>のゲート・ソース間電圧を閾値電圧V<sub>t h</sub>に収束させるものである。

20

#### 【0046】

ところが、駆動の高速化に伴い、次の点で不利となつた。

図4の信号線電圧からわかるように、水平セレクタ11は1水平期間に映像信号電圧V<sub>s i g</sub>と閾値補正基準電圧V<sub>o f s</sub>を信号線DTLに時分割出力している。

ハイフレームレート化などにより駆動高速化が進むと1水平期間も短くなるが、すると水平セレクタ11の時分割出力の動作マージンが低下する。また処理負担の増大や水平セレクタ11内の信号線DTLに対するドライバの高性能化の要請も生じ、コスト増にもつながる。

#### 【0047】

#### [3. 実施の形態の画素回路動作]

30

そこで本実施の形態では、水平セレクタ11が時分割出力を必要とせず、映像信号電圧V<sub>s i g</sub>のみを出力すればよいようにすることを提案する。もちろん、それによって画質劣化等が生ずることは避けなければならない。そこで、信号線DTL以外で画素回路に閾値補正基準電圧V<sub>o f s</sub>を導入して閾値補正を実行できる構成を探る。さらに、それによっても新たな制御線などによるパネル構成の複雑化が生じないようにもする。

#### 【0048】

これらの目的のため、本実施の形態では画素回路10は上述した図2の構成を探る。そして、図8のような駆動タイミングで画素回路10を動作させる。

図8で説明する動作は、画素回路10が、その画素回路10の行の書込制御線WSL(×)の走査パルスWS(×)と、その画素回路10の前の行の書込制御線WSL(×-1)の走査パルスWS(×-1)によって、駆動トランジスタT<sub>d</sub>のゲート・ソース間電圧V<sub>g s</sub>を、駆動トランジスタT<sub>d</sub>の閾値電圧V<sub>t h</sub>とする閾値補正動作である。さらに、走査パルスWS(×)、WS(×-1)によって、駆動トランジスタT<sub>d</sub>のゲート・ソース間への信号線DTLからの映像信号電圧V<sub>s i g</sub>の入力動作が制御される動作である。

40

#### 【0049】

図8では画素回路10の1発光サイクル（1フレーム期間）の動作のタイミングチャートを示している。

図8では、水平セレクタ11が信号線DTLに与える信号線電圧を示している。この動作例の場合、水平セレクタ11は信号線電圧として、1水平期間（1H）毎に1つの画素回路10に対する映像信号電圧V<sub>s i g</sub>を信号線DTLに与える。

50

つまり水平セレクタ 1 1 は閾値補正基準電圧  $V_{of s}$  の出力は行わない。図 2 に示したように、閾値補正基準電圧  $V_{of s}$  は、固定電源線から基準電圧入力用トランジスタ  $T_{of s}$  を介して画素回路 1 0 内に導入される。

また図 8 には、電源制御線  $D S L$  を介してドライブスキャナ 1 2 から供給される電源パルス  $D S$  を示している。電源パルス  $D S$  としては駆動電圧  $V_{cc}$  又は初期電圧  $V_{ini}$  が与えられる。

#### 【0050】

また図 8 には、書込制御線  $W S L$  を介してライトスキャナ 1 3 によってサンプリングトランジスタ  $T_s$  のゲートに与えられる走査パルス  $W S$  を示している。ここでは、当該画素回路 1 0 の行に対応する書込制御線  $W S L$  ( x ) からの走査パルス  $W S$  ( x ) と、その前の行に対応する書込制御線  $W S L$  ( x - 1 ) からの走査パルス  $W S$  ( x - 1 ) を示している。

各行の走査パルス  $W S$  は、例えばライトスキャナ 1 3 内のシフトレジスタを介して図 1 に示した各書込制御線  $W S L 1 \sim W S L (m)$  に出力される。このため、走査パルス  $W S$  ( x ) は、走査パルス  $W S$  ( x - 1 ) に対して 1 水平期間遅れた波形となる。

$n$  チャネルのサンプリングトランジスタ  $T_s 1$  は、走査パルス  $W S$  ( x ) が H レベルとされることで導通され、走査パルス  $W S$  ( x ) が L レベルとされることで非導通となる。

$p$  チャネルのサンプリングトランジスタ  $T_s 2$  は、走査パルス  $W S$  ( x - 1 ) が L レベルとされることで導通され、走査パルス  $W S$  ( x - 1 ) が H レベルとされることで非導通となる。

$n$  チャネルの基準電圧入力用トランジスタ  $T_{of s}$  は、走査パルス  $W S$  ( x - 1 ) が H レベルとされることで導通され、走査パルス  $W S$  ( x - 1 ) が L レベルとされることで非導通となる。

#### 【0051】

また図 8 には、ノード  $N D 1$ 、 $N D 2$  の電圧として、駆動トランジスタ  $T_d$  のゲート電圧  $V_g$  とソース電圧  $V_s$  の変化を示している。

#### 【0052】

図 8 の動作を説明する。図 8 のタイミングチャートにおける時点  $t_s$  は、発光素子である有機  $EL$  素子 1 が発光駆動される 1 サイクル、例えば画像表示の 1 フレーム期間の開始タイミングとなる。

この時点  $t_s$  に至る前（期間  $L T 0$ ）は、前フレームの発光が行われている。期間  $L T 0$  の等価回路を図 9 ( a ) に示す。

即ち、有機  $EL$  素子 1 の発光状態は、電源パルス  $D S$  が駆動電圧  $V_{cc}$  であり、サンプリングトランジスタ  $T_s$  がオフした状態である。サンプリングトランジスタ  $T_s 2$  はオンであるが、サンプリングトランジスタ  $T_s 1$  のオフにより、ノード  $N D 1$  は信号線  $D T L$  から切り離されている。また、基準電圧入力用トランジスタ  $T_{of s}$  もオフであり、ノード  $N D 1$  は基準電圧  $V_{of s}$  の固定電源線からも切り離されている。

この時、駆動トランジスタ  $T_d$  は飽和領域で動作するように設定されているため、有機  $EL$  素子 1 に流れる電流  $I_{ds'}$  は駆動トランジスタ  $T_d$  のゲート・ソース間電圧  $V_{gs}$  に応じて、上述した式 1 に示される値となる。

#### 【0053】

時点  $t_s$  で今回のフレームの発光のための動作が開始される。

まず電源パルス  $D S$  = 初期電位  $V_{ini}$  とされる。このとき、初期電位  $V_{ini}$  が有機  $EL$  素子 1 の閾値電圧  $V_{thel}$  とカソード電圧  $V_{cat}$  の和よりも小さい、つまり  $V_{ini} < V_{thel} + V_{cat}$  であることで、有機  $EL$  素子 1 は消光し、非発光期間が開始される。図 9 ( b ) に示すように、このとき電源制御線  $D S L$  が駆動トランジスタ  $T_d$  のソースとなり、有機  $EL$  素子 1 のアノード（ノード  $N D 2$ ）は初期電位  $V_{ini}$  に充電される。

#### 【0054】

一定期間後、閾値補正のための準備が行われる（期間  $L T 2 a$ 、 $L T 2 b$ ）。

10

20

30

40

50

まず、期間LT2aでは、走査パルスWS(x-1)がHレベルとなる。等価回路を図10(a)に示すように基準電圧入力用トランジスタT<sub>0f</sub>sがオンとなる。サンプリングトランジスタT<sub>s1</sub>, T<sub>s2</sub>は共にオフである。

このため駆動トランジスタT<sub>d</sub>のゲート(ノードND1)には、固定電源線からの閾値補正基準電圧V<sub>ofs</sub>が入力される。従って駆動トランジスタT<sub>d</sub>のゲート・ソース間電圧V<sub>gs</sub>は、V<sub>ofs</sub>-V<sub>ini</sub>となる。

#### 【0055】

また、期間LT2bでは、走査パルスWS(x-1)がHレベルとなる。等価回路を図10(b)に示すように基準電圧入力用トランジスタT<sub>0f</sub>sがオン、サンプリングトランジスタT<sub>s1</sub>がオン、サンプリングトランジスタT<sub>s2</sub>がオフの状態となる。

このときも、駆動トランジスタT<sub>d</sub>のゲート(ノードND1)には、固定電源線からの閾値補正基準電圧V<sub>ofs</sub>が入力される。従って駆動トランジスタT<sub>d</sub>のゲート・ソース間電圧V<sub>gs</sub>はV<sub>ofs</sub>-V<sub>ini</sub>である。

この期間LT2a, LT2bでは、この閾値補正の準備として、駆動トランジスタのゲート・ソース間電圧V<sub>gs</sub>を、その閾値電圧V<sub>th</sub>よりも十分広げらるものである。ゲート・ソース間電圧V<sub>gs</sub>(この場合V<sub>gs</sub>=V<sub>ofs</sub>-V<sub>ini</sub>)が駆動トランジスタT<sub>d</sub>の閾値電圧V<sub>th</sub>よりも大きくないと閾値補正動作を行うことができないため、V<sub>ofs</sub>-V<sub>ini</sub>>V<sub>th</sub>となるように、初期電位V<sub>ini</sub>、基準電圧V<sub>ofs</sub>が設定されている。

#### 【0056】

続いて閾値補正(V<sub>th</sub>補正)を行う。ここでは期間LT3a~LT3cとして3回の閾値補正が行われる例としている。

まず期間LT3aとして1回目の閾値補正(V<sub>th</sub>補正)が行われる。

この場合、ライトスキャナ13が走査パルスWS(x)、WS(x-1)をHレベルとする期間において、ドライブスキャナ12が電源パルスDSを駆動電圧V<sub>cc</sub>とする。等価回路を図11(a)に示すが、この場合、有機EL素子1のアノード(ノードND2)が駆動トランジスタT<sub>d</sub>のソースとなり電流が流れる。このため、駆動トランジスタT<sub>d</sub>のゲート(ノードND1)は閾値補正基準電圧V<sub>ofs</sub>に固定されたまま、ソースノードが上昇する。

有機EL素子1のアノード電位(ノードND2の電位)が、V<sub>cat</sub>+V<sub>the1</sub>(有機EL素子1の閾値電圧)以下である限り、駆動トランジスタT<sub>d</sub>の電流は保持容量C<sub>s</sub>と容量C<sub>ole</sub>dを充電するために使われる。有機EL素子1のアノード電位がV<sub>cat</sub>+V<sub>the1</sub>以下である限りとは、有機EL素子1のリーク電流が駆動トランジスタT<sub>d</sub>に流れる電流よりもかなり小さいという意味である。

このためノードND2の電位(駆動トランジスタT<sub>d</sub>のソース電位)は、図8に示すように時間と共に上昇してゆく。

#### 【0057】

期間LT3aとしての1回目の閾値補正動作は、走査パルスWS(x)、WS(x-1)がLレベルとなることで終了し、休止期間に入る。休止期間の等価回路は図11(b)のようになる。即ちサンプリングトランジスタT<sub>s1</sub>と基準電圧入力用トランジスタT<sub>0f</sub>sがオフ、サンプリングトランジスタT<sub>s2</sub>はオンとなる。

このとき、駆動トランジスタT<sub>d</sub>のゲート、ソースともフローティングである為、ゲート・ソース間電圧V<sub>gs</sub>に応じてドレイン・ソース間に電流が流れブーストランプする。即ち図8のようにゲート電位V<sub>g</sub>、ソース電位V<sub>s</sub>は上昇する。

#### 【0058】

次に期間LT3bとして、走査パルスWS(x)、WS(x-1)がHレベルとなることで、2回目の閾値補正が行われる。等価回路でいえば再び図11(a)の状態となる。

これにより、駆動トランジスタT<sub>d</sub>のゲート電圧=閾値補正基準電圧V<sub>ofs</sub>とされ、またソース電位が上昇される。

さらに走査パルスWS(x)、WS(x-1)がLレベルとなることで閾値補正動作が

10

20

30

40

50

休止される。なお、2回目の閾値補正で駆動トランジスタT<sub>d</sub>のゲート・ソース間電圧は、より閾値電圧V<sub>th</sub>に近づいているため、2回目の休止期間のブートストラップ量は1回目の休止期間より小さくなる。

また期間LT3cで、走査パルスWS(x)、WS(x-1)がHレベルとなることで3回目の閾値補正を行う。

そして最終的に駆動トランジスタT<sub>d</sub>のゲート・ソース間電圧が閾値電圧V<sub>th</sub>となる。

この時、ソース電位(ノードND2:有機EL素子1のアノード電位)=V<sub>off</sub>-V<sub>th</sub>-V<sub>catt</sub>+V<sub>thel</sub>となっている。(V<sub>catt</sub>はカソード電位、V<sub>thel</sub>は有機EL素子1の閾値電圧)

この図8の場合では、3回目の閾値補正の期間LT3cの終了後、閾値補正動作が完了する。

#### 【0059】

その後、信号線電圧が、当該画素回路10に対する映像信号電圧V<sub>sig</sub>(x)となっている期間LT4に、映像信号電圧V<sub>sig</sub>の書き込み及び移動度補正が行われる。

上述のように走査パルスWS(x)とWS(x-1)は1水平期間ずれたパルスであり、この期間LT4では、走査パルスWS(x)はHレベル、走査パルスWS(x-1)はLレベルとなっている。

従って図12(a)に示すように、サンプリングトランジスタT<sub>s1</sub>、T<sub>s2</sub>の双方がオンとなり、基準電圧入力用トランジスタT<sub>off</sub>はオフとなる。

このため駆動トランジスタT<sub>d</sub>のゲートに信号線DTLからの映像信号電圧V<sub>sig</sub>(x)の書き込みが行われる。

#### 【0060】

駆動トランジスタT<sub>d</sub>のゲート電位は映像信号電圧V<sub>sig</sub>の電位となるが、電源制御線DSLが駆動電圧V<sub>cc</sub>となっていることで電流が流れ、ソース電位は時間とともに上昇していく。

このとき、駆動トランジスタT<sub>d</sub>のソース電圧が有機EL素子1の閾値電圧V<sub>thel</sub>とカソード電圧V<sub>catt</sub>の和を越えなければ、駆動トランジスタT<sub>d</sub>の電流は保持容量C<sub>s</sub>と容量C<sub>oled</sub>を充電するのに使用される。そして駆動トランジスタT<sub>d</sub>が流す電流は移動度μを反映したものとなる。

即ち、移動度が大きいものはこの時の電流量が大きく、ソースの上昇も早い。逆に移動度が小さいものは電流量が小さく、ソースの上昇は遅くなる。これによって、走査パルスWSがHレベルとなる期間LT4として、サンプリングトランジスタT<sub>s</sub>がオンしてから、駆動トランジスタT<sub>d</sub>のソース電圧V<sub>s</sub>は上昇し、サンプリングトランジスタT<sub>s</sub>がオフしたときには、ソース電圧V<sub>s</sub>は移動度μを反映した電圧V<sub>s0</sub>となる。駆動トランジスタT<sub>d</sub>のゲート・ソース間電圧V<sub>gs</sub>は移動度μを反映して小さくなり(V<sub>gs</sub>=V<sub>sig</sub>-V<sub>s0</sub>)、一定時間経過後に完全に移動度μを補正する電圧となる。

#### 【0061】

このように映像信号電圧V<sub>sig</sub>書き込み及び移動度補正を行った後、ゲート・ソース間電圧V<sub>gs</sub>を確定させ、ブートストラップ、発光状態(期間LT5)へと移行する。

即ち走査パルスWSをLレベルとしてサンプリングトランジスタT<sub>s1</sub>をオフして書き込みが終了し、有機EL素子1を発光させる。等価回路は図12(b)のようになる。

この場合、駆動トランジスタT<sub>d</sub>のゲート・ソース間電圧V<sub>gs</sub>に応じた電流I<sub>ds</sub>が流れ、ノードND2の電位は、有機EL素子1にその電流が流れる電圧VELまで上昇し、有機EL素子1は発光する。このときサンプリングトランジスタT<sub>s1</sub>及び基準電圧入力用トランジスタT<sub>off</sub>がオフであり、ノードND2の電位の上昇と同時に駆動トランジスタT<sub>d</sub>のゲート(ノードND1)も同様に上昇するため、ゲート・ソース間電圧V<sub>gs</sub>は一定に保たれたままである。(ブートストラップ動作)

#### 【0062】

このように画素回路10は1フレーム期間における1サイクルの発光駆動動作として、

10

20

30

40

50

閾値補正動作及び移動度補正動作を含んで、有機EL素子1の発光のための動作が行われる。

#### 【0063】

以上のように本実施の形態の場合、各画素回路10のサンプリングトランジスタTs1は、その画素回路10の行の書き制御線WSL(x)の走査パルスWS(x)によって導通制御される。またサンプリングトランジスタTs2と、基準電圧入力用トランジスタTofsは、その画素回路10の前の行の書き制御線WSL(x-1)の走査パルスWS(x-1)によって導通制御される。

そして、各画素回路10では、ドライブスキャナ12が駆動トランジスタTdに駆動電圧Vccを与えるときに、前の行の走査パルスWS(x-1)によって、サンプリングトランジスタTs2がオフ、基準電圧入力用トランジスタTofsがオンとされることで、閾値補正動作が行われる(期間LT3)。この閾値補正動作は、1発光サイクルの期間内に複数回(期間LT3a, LT3b, LT3c)行われる。

また各画素回路10では、水平セレクタ11が、その画素回路10に対する映像信号電圧Vsig(x)を信号線DTLに与えるときに、その画素回路の行及び前の行についての走査パルスWS(x)、WS(x-1)によって、サンプリングトランジスタTs1, Ts2がオンとされ、基準電圧入力用トランジスタがオフとされることで、映像信号電圧Vsig(x)の入力動作が行われる。

#### 【0064】

このことから、水平セレクタ11は信号線DTLに対して映像信号電圧Vsigの供給を行えば良く、閾値補正基準電圧Vofsを供給する必要はない。つまり図4の場合のような時分割供給は不要である。これにより、画素駆動の高速化が進み、1水平期間が短くなっても、水平セレクタ11の処理負担は過大とならず、高速処理化に有利であり、動作マージンを拡大できる。また水平セレクタ11についてコスト的にも有利である。

その上で、閾値補正基準電圧Vofsを用いた閾値補正は実行されるため、駆動高速化と画質向上が両立できる。

さらに閾値補正基準電圧Vofsの画素回路10への供給のための制御は、前の行の走査パルスWS(x-1)を用いることで、新たな独立した制御線構成は不要である。従って画素アレイ20の構成の複雑化等も招かない。

#### 【0065】

以上、実施の形態について説明したが、本発明は上記例に限定されるものではない。

上記例では1発光サイクル内に3回の閾値補正を行う例としたが、閾値補正動作を何回に分割して行うかは表示装置の構成や動作に応じて適切に決められるものであり、例えば2回或いは4回以上という例もある。さらに、必ずしも複数回の閾値補正動作を行う方式に限定されない。1回の閾値補正動作で閾値補正が完了するのであれば、1回でもよい。

また、画素回路10の構成は図2に限定されない。例えばサンプリングトランジスタTs1, Ts2及び基準電圧入力用トランジスタTofsのnチャネル、pチャネルは逆でもよい。もちろんその場合は走査パルスWSの制御論理は逆となる。

さらに、前の行の走査パルスWS(x-1)の制御によって、固定電源線から閾値補正基準電圧VofsをノードND1に導入できる回路構成であれば、他の構成でもよい。

#### 【符号の説明】

#### 【0066】

1 有機EL素子、10 画素回路、11 水平セレクタ、12 ドライブスキャナ、  
13 ライトスキャナ、20 画素アレイ部、Cs 保持容量、Ts1, Ts2 サンプリングトランジスタ、Td 駆動トランジスタ、Tofs 基準電圧入力用トランジスタ  
Tofs

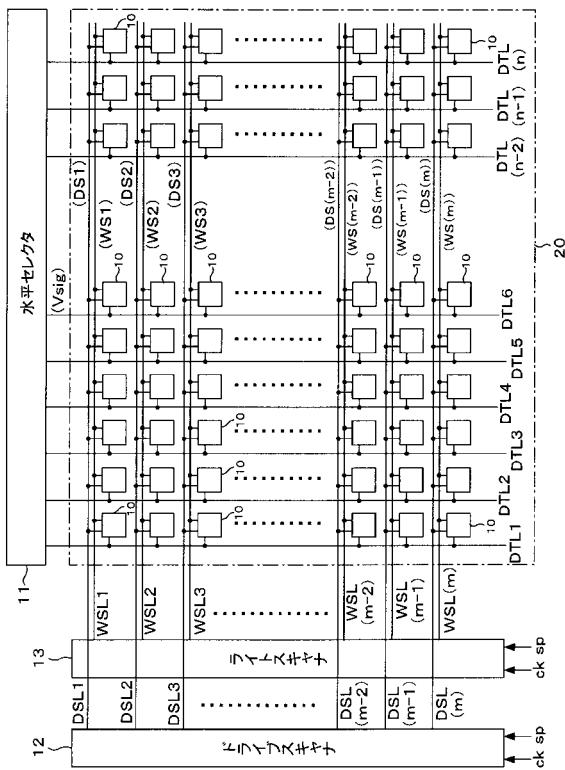
10

20

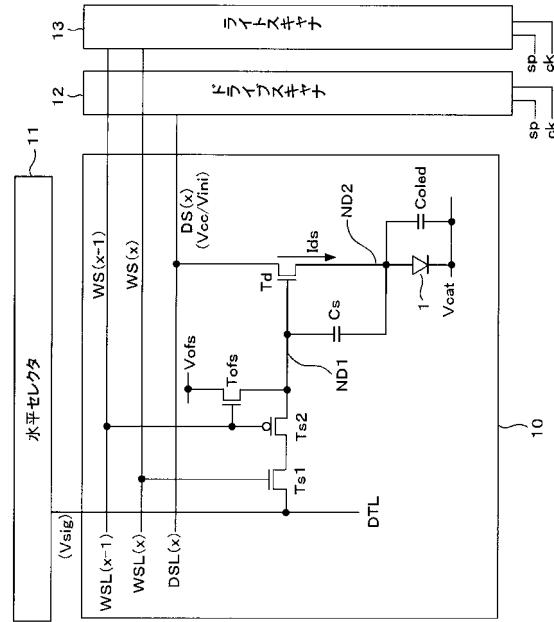
30

40

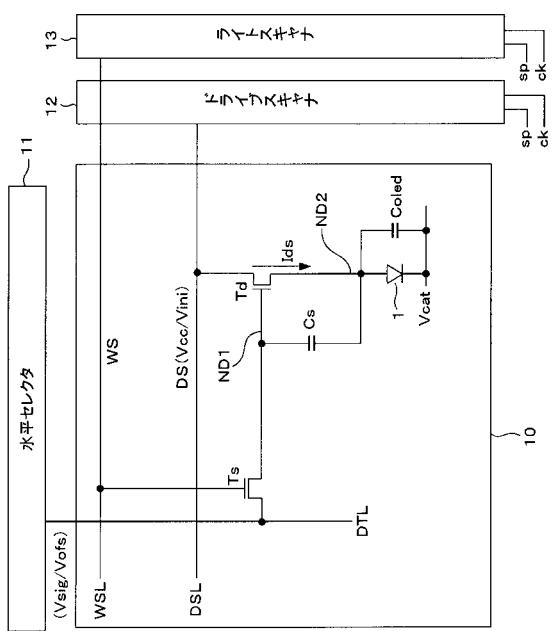
【 図 1 】



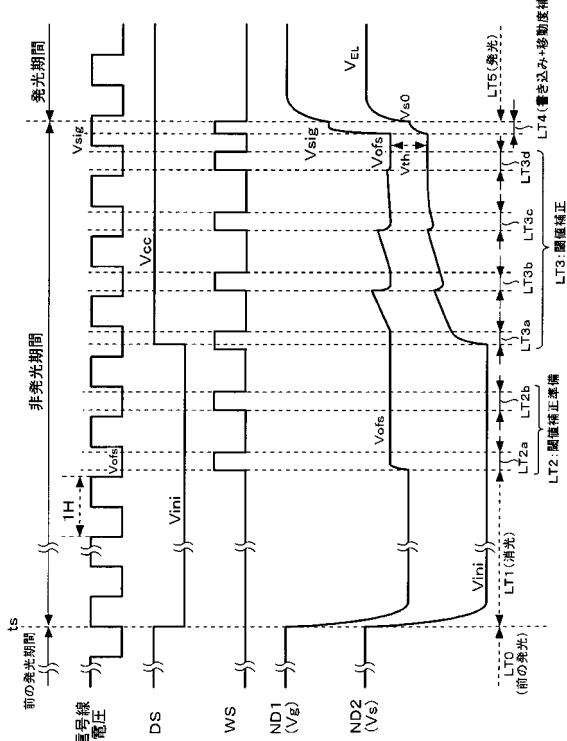
【 図 2 】



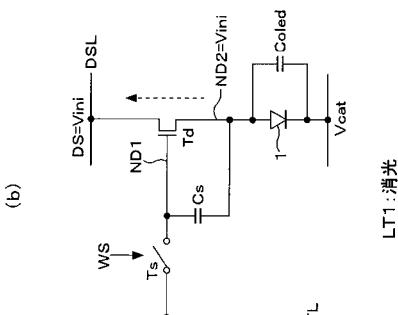
【 3 】



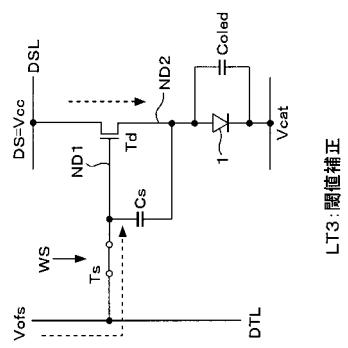
【 図 4 】



【 义 5 】

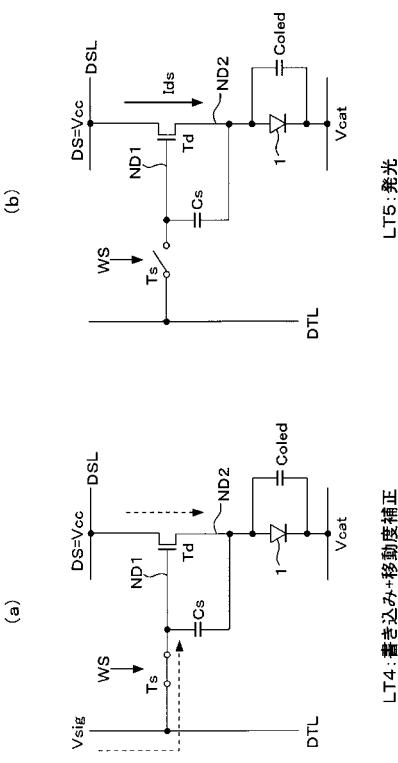


【 四 6 】

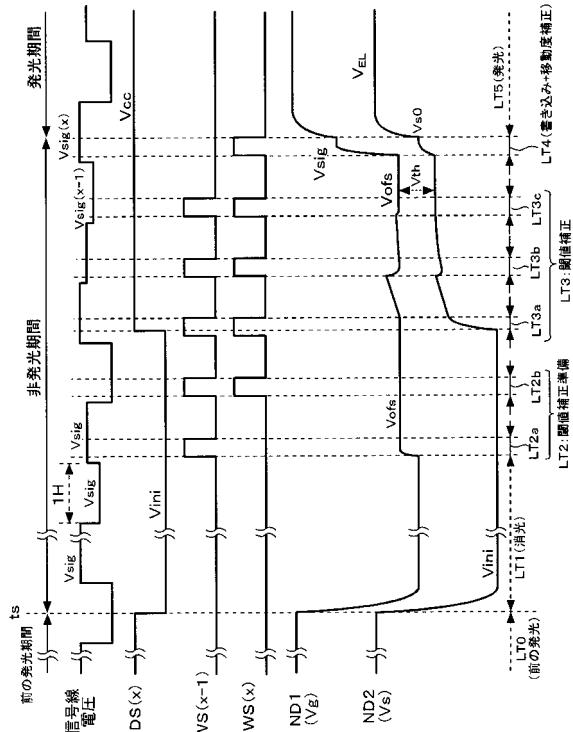


The diagram shows a circuit for a traveling wave oscillator (TWO). It features a varactor diode  $D_{S1}$  connected between the source terminal and ground. The drain terminal of  $D_{S1}$  is connected to the drain terminal of a metal-oxide-semiconductor field-effect transistor (MOSFET)  $T_d$ . The source terminal of  $T_d$  is connected to the drain terminal of another MOSFET  $T_s$ . The source terminal of  $T_s$  is connected to ground through a capacitor  $C_{S1}$ . The drain terminal of  $T_s$  is connected to the source terminal of a varactor diode  $D_{S2}$ . The drain terminal of  $D_{S2}$  is connected to the drain terminal of a third MOSFET  $T_c$ . The source terminal of  $T_c$  is connected to the drain terminal of a fourth MOSFET  $T_{cat}$ . The source terminal of  $T_{cat}$  is connected to the output terminal  $V_{cat}$ . The drain terminal of  $T_{cat}$  is connected to ground. The circuit is powered by a DC voltage source  $D_{S2}=V_{cc}$  connected between the drain terminal of  $D_{S1}$  and the drain terminal of  $T_c$ . The source terminal of  $T_c$  is also connected to the drain terminal of  $D_{S2}$ . The circuit is labeled with  $ND1$  and  $ND2$  indicating the varactor diodes.

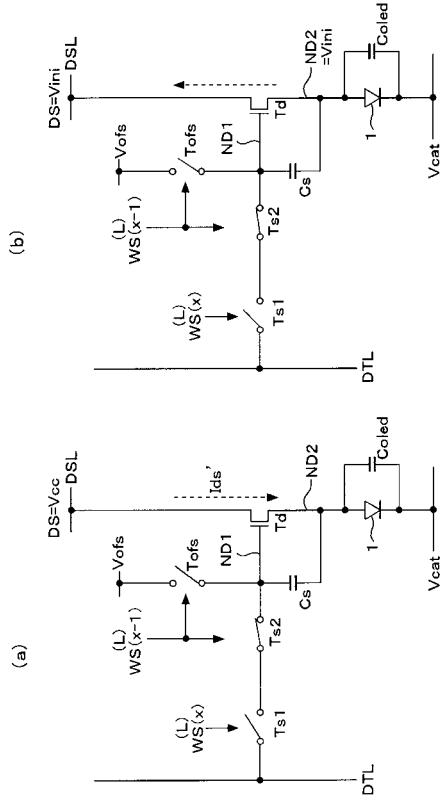
【 図 7 】



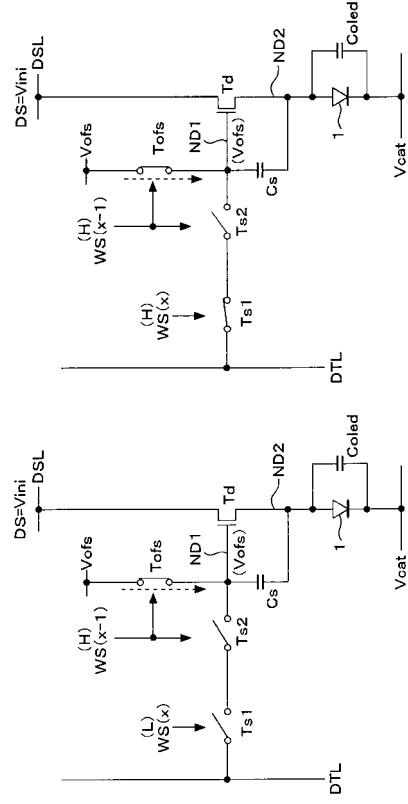
【 四 8 】



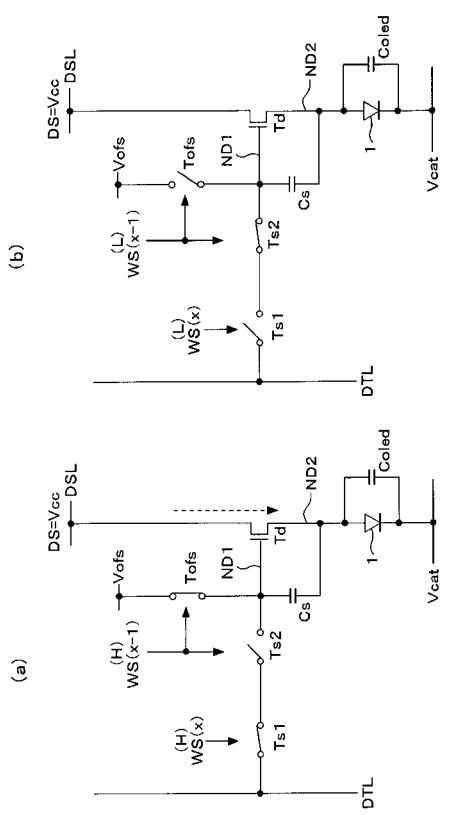
【図 9】

LT1: 消光  
LT0: 前の発光

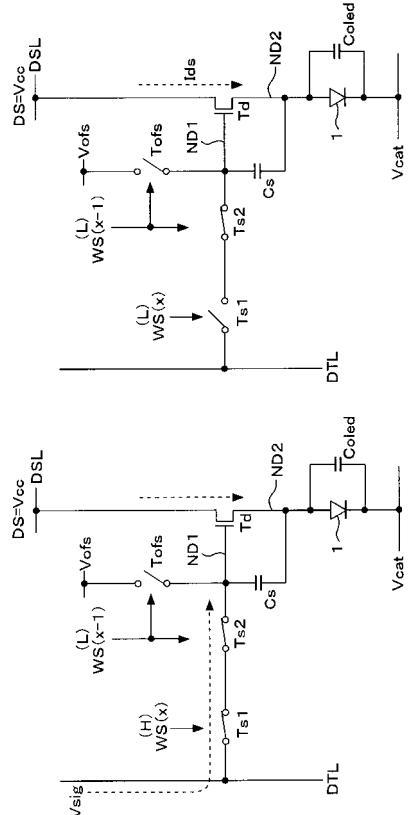
【図 10】

LT1: 消光  
LT2b: 閾値補正準備

【図 11】

LT3: 閾値補正  
(LT3a, LT3b, LT3c)  
休止期間

【図 12】



LT5: 発光

LT4: 書き込み+移動度補正

(LT3a, LT3b, LT3c)

## フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 4 B  
G 0 9 G 3/20 6 2 4 Z  
G 0 9 G 3/20 6 1 2 E  
H 0 5 B 33/14 A

F ターム(参考) 5C080 AA06 BB05 CC03 DD05 DD08 DD23 DD27 EE29 EE30 FF11

FF12 HH10 JJ02 JJ03 JJ04

5C380 AA01 AB06 AB23 AB34 BA12 BA28 BA34 BA38 BA39 BB02  
BC20 BD02 CA08 CA12 CA53 CA54 CB01 CB27 CB31 CC03  
CC05 CC06 CC07 CC26 CC30 CC33 CC41 CC63 CC64 CD022  
CD024 CE04 CF51 DA02 DA06 DA47 DA58 HA03 HA05 HA06  
HA12 HA13