



(12) 发明专利申请

(10) 申请公布号 CN 105074923 A

(43) 申请公布日 2015. 11. 18

(21) 申请号 201480009609. 3

(51) Int. Cl.

(22) 申请日 2014. 02. 18

H01L 27/115(2006. 01)

(30) 优先权数据

13/774, 522 2013. 02. 22 US

(85) PCT国际申请进入国家阶段日

2015. 08. 20

(86) PCT国际申请的申请数据

PCT/US2014/016791 2014. 02. 18

(87) PCT国际申请的公布数据

W02014/130413 EN 2014. 08. 28

(71) 申请人 美光科技公司

地址 美国爱达荷州

(72) 发明人 丹沢彻

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 路勇

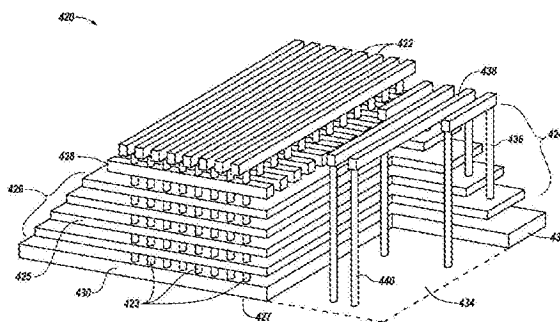
权利要求书3页 说明书10页 附图7页

(54) 发明名称

三维存储器的互连

(57) 摘要

本发明提供用于三维存储器的互连的设备及方法。一种实例设备可包含材料堆叠,所述材料堆叠包含多个材料对,每一材料对包含形成于绝缘材料上方的导电线。所述材料堆叠具有形成于在第一方向上延伸的一个边缘处的阶梯结构。每一阶梯包含所述材料对中的一者。第一互连耦合到阶梯的所述导电线,所述第一互连在实质上垂直于所述阶梯的第一表面的第二方向上延伸。



1. 一种设备,其包括:

材料堆叠,其包含多个材料对,材料对包含形成于绝缘材料上方的导电线,所述材料堆叠具有形成于在第一方向上延伸的一个边缘处的阶梯结构,阶梯包含所述材料对中的一者;

第一互连,其耦合到阶梯的所述导电线,所述第一互连在实质上垂直于所述阶梯的第一表面的第二方向上延伸;及

2. 根据权利要求 1 所述的设备,其进一步包括耦合到所述第一互连的第二互连,所述第二互连在实质上垂直于所述第一方向及所述第二方向两者的第三方向上延伸。

3. 根据权利要求 2 所述的设备,其中所述第二互连未延伸超过在一个侧上由所述材料堆叠定界且在第二侧上由所述阶梯结构定界的矩形区域。

4. 根据权利要求 2 所述的设备,其进一步包括耦合到所述第二互连的第三互连,所述第三互连在与所述第二方向相反的方向上延伸,所述第三互连与所述第一互连实质上平行。

5. 根据权利要求 4 所述的设备,其中所述第三互连延伸到低于所述材料堆叠的高度。

6. 根据权利要求 4 所述的设备,其进一步包括耦合到所述第三互连的第四互连,所述第四互连在所述第一方向上延伸。

7. 根据权利要求 4 所述的设备,其进一步包括耦合到所述第三互连的第四互连,所述第四互连在与所述第一方向相反的方向上延伸。

8. 根据权利要求 4 所述的设备,其中第四互连在所述材料堆叠下方延伸。

9. 根据权利要求 2 所述的设备,其中所述第二互连经布置使得所述第二互连的间距与所述材料堆叠在所述第二方向上的宽度无关。

10. 根据权利要求 1 到 9 中任一权利要求所述的设备,其中所述材料堆叠在垂直于所述第一方向的方向上具有第一宽度,且所述阶梯结构在垂直于所述第一方向的方向上具有第二宽度,所述第二宽度小于所述第一宽度。

11. 根据权利要求 10 所述的设备,其中所述阶梯结构的阶梯在所述第一方向上延伸对应于所述第二互连的所述间距的长度。

12. 一种形成存储器的方法,其包括:

形成材料对堆叠,所述材料对包含形成于绝缘材料上方的导电线,所述导电线在第一方向上具有最长尺寸,所述材料对堆叠具有宽的宽度部分及窄的宽度部分;

在所述材料对堆叠的一个边缘上形成阶梯结构;

在阶梯处形成耦合到所述导电线的递升互连;及

形成耦合到递升互连的顶部平面互连,

其中所述顶部平面互连在不同于所述第一方向的方向上具有最长尺寸。

13. 根据权利要求 12 所述的方法,其进一步包括形成耦合到所述顶部平面互连的递降互连。

14. 根据权利要求 13 所述的方法,其进一步包括形成耦合到所述递降互连的底部平面互连,其中所述底部平面互连在所述第一方向上具有最长尺寸。

15. 根据权利要求 14 所述的方法,其中第一底部平面互连在第一径向方向上从递降互连延伸,且第二底部平面互连在第二径向方向上从递降互连延伸,所述第二径向方向不同

于所述第一径向方向。

16. 根据权利要求 14 所述的方法,其中所述第二径向方向是与所述第一径向方向相反的径向方向。

17. 根据权利要求 13 到 16 中任一权利要求所述的方法,其中形成所述材料对堆叠包含在相邻于所述宽的宽度部分及所述窄的宽度部分的区域中移除所述材料对堆叠的部分。

18. 根据权利要求 17 所述的方法,其中移除所述材料对堆叠的所述部分是发生在形成所述阶梯结构之后,所述区域包含所述阶梯结构的部分。

19. 根据权利要求 17 所述的方法,其中所述递降互连在所述区域内通过。

20. 一种设备,其包括:

存储器阵列,其具有导电线堆叠,所述导电线堆叠具有宽的宽度部分及窄的宽度部分,所述窄的宽度部分具有阶梯结构;及

控制器,其耦合到所述存储器阵列,所述控制器经配置以控制:

执行数个操作;及

在完成所述数个操作之后使所述存储器阵列的块的存取线的电势均衡,

其中所述导电线堆叠通过耦合于递升互连与递降互连之间的顶部平面互连而耦合到所述存储器阵列下方的电路,所述顶部平面互连在不同于所述导电线的最长尺寸的方向的方向上具有最长尺寸。

21. 根据权利要求 20 所述的设备,其中所述导电线、所述递升互连、所述递降互连及所述顶部平面互连全部是由相同导电材料形成。

22. 根据权利要求 20 所述的设备,其中所述导电线堆叠通过耦合到所述递降互连的位于所述存储器阵列下方的底部平面互连而耦合到所述存储器阵列下方的电路。

23. 根据权利要求 20 所述的设备,其中所述递降互连在与所述导电线的所述最长尺寸的所述方向实质上相同的方向上具有最长尺寸。

24. 根据权利要求 20 到 23 中任一权利要求所述的设备,其中所述控制器经配置以控制将所述存储器阵列块的经均衡存取线的电势设置成参考电势。

25. 一种设备,其包括:

存储器单元的垂直串,其耦合到数据线;

多个存取线,其耦合到所述存储器单元及控制电路;及

可切换导电路径,其布置于所述多个存取线之间,

其中所述多个存取线通过由与所述多个存取线相同的材料形成的互连而耦合到所述控制电路,所述互连位于平行于其中形成所述多个存取线的平面的平面中且在不同于所述多个存取线的最长尺寸的方向的方向上具有最长尺寸。

26. 根据权利要求 25 所述的设备,其中所述可切换导电路径包含数个开关,所述数个开关布置于存取线对之间,使得所述多个存取线通过所述数个开关而可选择地耦合在一起。

27. 根据权利要求 26 所述的设备,其进一步包括:

选择栅极装置,其在存储器单元的所述垂直串的端处与所述数据线串联;及

选择栅极线,其耦合到所述选择栅极装置,

其中所述数个开关中的特定开关布置于所述多个存取线中的特定存取线与所述选择

栅极线之间,使得所述选择栅极线可与所述多个存取线短接在一起。

28. 一种操作存储器的方法,其包括:

执行读取操作或编程操作;

在完成所述读取操作或所述编程操作之后使所述存储器的块的存取线的电势均衡;及将所述存储器的所述块的经均衡存取线的电势设置成参考电势,

其中所述存储器是包含存取线堆叠的三维存储器,所述存取线堆叠经配置以在边缘上具有阶梯结构,所述存取线通过由与所述存取线相同的材料形成且在实质上垂直于所述存取线的最长尺寸的方向的方向上具有最长尺寸的互连而耦合到控制所述均衡的电路。

29. 根据权利要求 28 所述的方法,其进一步包括在均衡之后使所述存取线放电到接地参考电势。

30. 根据权利要求 29 所述的方法,其进一步包括在放电之后使所述存取线偏压到不同于所述参考电势的电势。

31. 根据权利要求 30 所述的方法,其中使所述存取线偏压到不同于所述参考电势的电势包含使所述存取线各自偏压到不同电势。

32. 根据权利要求 28 到 31 中任一权利要求所述的方法,其中使所述存取线均衡包含将所有所述存取线耦合在一起。

33. 根据权利要求 28 到 31 中任一权利要求所述的方法,其进一步包括在均衡之后使所述存取线各自偏压到不同电势。

34. 根据权利要求 28 到 31 中任一权利要求所述的方法,其进一步包括使所述存储器阵列的多个选择栅极线均衡为相同电势。

35. 根据权利要求 34 所述的方法,其中使所述多个选择栅极线均衡包含将所述多个选择栅极线耦合到所述存取线。

三维存储器的互连

技术领域

[0001] 本发明大体上涉及半导体存储器设备及其形成方法,且更特定地说,本发明涉及用于三维(3D)存储器的互连的设备及方法。

背景技术

[0002] 存储器装置通常用作计算机或其它电子装置中的内部半导体集成电路。存在许多不同类型的存储器,包含随机存取存储器(RAM)、只读存储器(ROM)、动态随机存取存储器(DRAM)、同步动态随机存取存储器(SDRAM)、电阻存储器(例如RRAM)及闪速存储器等等。

[0003] 存储器装置用作广泛范围的电子应用的易失性及非易失性数据存储装置。闪速存储器通常使用允许高存储器密度、高可靠性及低功耗的单晶体管存储器单元。可在(例如)个人计算机、便携式存储器棒、固态硬盘(SSD)、数码相机、蜂窝电话、便携式音乐播放器(例如MP3播放器)、电影播放器及其它电子装置中使用非易失性存储器。

[0004] 存储器装置可包括可布置成各种二维或三维配置的存储器单元的存储器阵列。耦合到存储器阵列的关联电路可布置成(例如)实质上平面配置且可经由互连而耦合到存储器单元。归因于电容耦合及其它问题,3D NAND的缩放可有问题。

附图说明

[0005] 图1A到C是说明来自3D存储器阵列的现有技术互连的框图。

[0006] 图2是现有技术3D存储器阵列的部分的透视图。

[0007] 图3A到D是说明根据本发明的数个实施例的来自3D存储器阵列的互连的框图。

[0008] 图4是根据本发明的数个实施例的具有互连的3D存储器阵列的部分的透视图。

[0009] 图5是说明根据本发明的数个实施例的用于3D存储器阵列的互连的示意图。

[0010] 图6是说明与根据本发明的数个实施例而操作的3D存储器装置的互连相关联的操作信号的时序图。

[0011] 图7是根据本发明的数个实施例的呈包含至少一个3D存储器阵列的计算系统的形式的设备的框图。

具体实施方式

[0012] 本发明提供用于三维(3D)存储器的互连的设备及方法。一种实例设备可包含材料堆叠,所述材料堆叠包含多个材料对,每一材料对包含形成于绝缘材料上方的导电线。所述材料堆叠具有形成于在第一方向上延伸的一个边缘处的阶梯结构。每一阶梯包含所述材料对中的一者。第一互连耦合到阶梯的所述导电线,所述第一互连在实质上垂直于所述阶梯的第一表面的第二方向上延伸。

[0013] 在本发明的以下详细描述中,参考形成本发明的部分的附图,且在附图中作为说明而展示可如何实践本发明的一或多个实施例。这些实施例经足够详细地描述以使所属领域的一般技术人员能够实践本发明的所述实施例,且应理解,在不脱离本发明的范围的情

况下可利用其它实施例且可作出过程、电及 / 或结构改变。

[0014] 本文中的图遵循编号惯例,其中首位或前几位数字对应于图式编号且剩余数字识别图式中的元件或组件。可通过使用类似数字而识别不同图之间的类似元件或组件。应了解,本文中的各种实施例中所示的元件可经添加、交换及 / 或消除以便提供本发明的数个额外实施例。此外,图中所提供的元件的比例及相对尺度打算说明本发明的各种实施例且并不用于限制意义。

[0015] 如本文中所使用,术语“实质上”意指特性无需为绝对的,而是足够接近以便实现特性的优点。例如,“实质上平行”并不限于绝对平行性,且可包含打算为平行的但归因于制造限制而可能不会正好平行的定向。例如,“实质上平行”特征与平行定向的接近程度至少大于与垂直定向的接近程度,且大体上形成为偏离平行数度。类似地,“实质上垂直”并不限于绝对垂直性,且可包含打算为平行的但归因于制造限制而可能不会正好垂直的定向。例如,“实质上垂直”特征与垂直定向的接近程度至少大于与平行定向的接近程度,例如偏离垂直数度。

[0016] 只为了便于使各种特征的命名彼此区分,可在本文中及 / 或在权利要求书中使用术语“第一”、“第二”、“第三”及“第四”。此类术语的使用未必暗示材料具有不同组合物,而是有时用于区别在不同高度处、在不同时间或以不同方式所形成的材料,即使其具有相同组合物也如此。此类术语的使用并非打算传达特征的特定排序,包含(但不限于)形成顺序。

[0017] 3D NAND 存储器可使用阶梯结构以使导电线堆叠中的相应导电线各自可为垂直于所述导电线而定向的互连所接达。然而,随着导电线堆叠中的导电线的数量增加,到互连的过渡可变得更具挑战性,这是因为待在导电线堆叠的宽度内完成的互连的数量也增加。因此,3D NAND 存储器的缩放可由此受到限制。将导电线及 / 或互连布置成彼此更紧密地接近还会增加电容耦合,这也可限制 3D NAND 存储器的缩放。因而,可由用于本发明的 3D 存储器的互连的设备与方法改善 3D NAND 存储器的缩放。

[0018] 图 1A 到 C 是说明来自 3D 存储器阵列的现有技术互连的框图。例如,图 1A 是材料堆叠 106 的侧视图(在 X-Z 平面中),图 1B 是材料堆叠 106 的俯视图(在 X-Y 平面中),且图 1C 是材料堆叠 106 的端视图(在 Y-Z 平面中)。由图 1A 中的剖切线 BB 展示由图 1B 提供的视图,且由图 1A 中的剖切线 CC 展示由图 1C 提供的视图。

[0019] 图 1A 展示材料堆叠 106 的横截面侧视图。材料堆叠 106 包含多个材料对 101,每一材料对 101 包含形成于绝缘材料上方的导电线 105。所述绝缘材料未在图 1A 中明确地展示,但位于每一导电线 105 下方,例如(例如)位于图 1A 所展示的导电线之间的间隙中。材料堆叠 106 具有形成于边缘处的阶梯结构 111。导电线 105 的方向 107 在图 1A 中被展示为对应于导电线 105 的最长尺寸的方向。

[0020] 垂直互连 112(例如通孔)耦合到阶梯的导电线 105。垂直互连 112 在实质上垂直于阶梯的导电线 105 的顶部表面的方向上延伸。在此实例中,105 的顶部表面位于 X-Y 平面中,且垂直互连 112 是在 Z 方向上。互连 114 耦合到垂直互连 112。互连 114 可为导电材料,例如(例如)金属。互连 114 的方向 109 是对应于互连 114 的最长尺寸的方向。如图 1A 所展示,互连 114 的方向 109 是在与导电线 105 的方向 107 相同的方向上,例如,在此实例中为 X 方向。在平行于其中定向导电线 105 的平面的平面(例如,在此实例中为 Y-Y 平

面)中定向互连 114。

[0021] 图 1B 展示材料堆叠 106 的俯视图。材料堆叠 106 的宽度在图 1B 中被指示为 W_{BLK} 。阶梯结构 111 包含在图 1B 中被指示为 N_{WL} 的数个阶梯。图 1A 到 C 所展示的阶梯结构 111 包含 4 个阶梯。互连 114 之间的间距在图 1B 中被指示为 P_{MO} , 其限于小于 (例如) W_{BLK}/N_{WL} 。随着导电线 105 的数量增加, N_{WL} 增加, 这对于给定 (例如恒定) W_{BLK} 造成 P_{MO} 减小。图 1C 是材料堆叠 106 的横截面端视图。

[0022] 图 2 是现有技术 3D 存储器阵列 200 的部分的透视图。存储器阵列 200 可包括 (例如) NAND 闪存存储器阵列。存储器阵列 200 包含正交于数个导电线 (例如存取线 205 及 / 或数据线 202) 而定向的串联耦合的存储器单元 203 的数个垂直串。如本文中所使用, A“耦合到”B 是指 A 及 B 操作地耦合在一起, 例如其中 A 及 B (例如) 通过直接欧姆连接或通过间接连接而彼此电连接。

[0023] 3D 存储器阵列 200 可包含具有多个材料对的材料堆叠 206, 每一对包含形成于绝缘材料上方的导电线 205。为清楚起见, 从图 2 省略各种导电线之间的绝缘材料。

[0024] 此外, 3D 存储器阵列 200 可在串联耦合的存储器单元 203 的垂直串的两端上包含第一选择栅极线 208 (耦合到第一选择栅极) 及第二选择栅极线 210 (耦合到第二选择栅极)。第一选择栅极线 208 (例如漏极选择栅极 (SGD) 线) 可布置于串联耦合的存储器单元 203 的数个垂直串的第一端处, 且第二选择栅极线 210 (例如源极选择栅极 (SGS) 线) 可布置于串联耦合的存储器单元 203 的所述垂直串的第二端 (例如相对端) 处。3D 存储器阵列 200 还可包含一或多个源极线 204。

[0025] 材料堆叠 206 及 (任选地) 选择栅极线 208/210 可具有形成于其边缘处的阶梯结构 111。垂直互连 212 (例如通孔) 耦合到阶梯的导电线 205 或选择栅极线 208/210。垂直互连 212 在实质上垂直于所述阶梯的顶部表面的方向上延伸。互连 214 耦合到垂直互连 212。互连 214 相较于图 2 所展示的情况可进一步延伸。

[0026] 图 3A 到 D 是说明根据本发明的数个实施例的来自 3D 存储器阵列的互连的框图。例如, 图 3A 是材料堆叠 306 的侧视图 (在 X-Z 平面中), 图 3B 是材料堆叠 306 的俯视图 (在 X-Y 平面中), 且图 3D 是材料堆叠 306 的端视图 (在 Y-Z 平面中)。图 3C 是材料堆叠 306 下方的俯视图 (在 X-Y 平面中)。由图 3A 中的剖切线 BB 展示由图 3B 提供的视图, 由图 3A 中的剖切线 CC 展示由图 3C 提供的视图, 且由图 3A 中的剖切线 DD 展示由图 3D 提供的视图。

[0027] 图 3A 展示材料堆叠 306 的横截面侧视图。材料堆叠 306 可包含多个材料对 301, 每一材料对 301 包含形成于绝缘材料上方的导电线 305。所述绝缘材料未在图 3A 中明确地展示, 但可位于每一导电线 305 下方, 例如 (例如) 位于图 3A 所展示的导电线之间的间隙中。导电线 305 可经形成以具有宽的宽度部分 327 及窄的宽度部分 332, 如关于图 3B 进一步所展示及讨论。

[0028] 材料堆叠 306 可具有形成于至少一个边缘上的阶梯结构 311。每一阶梯包含材料对中的一者, 其经布置使得其导电线 305 可为互连所接达。图 3A 所展示的导电线 305 的方向与针对图 1A 所展示的导电线 105 所指示的方向 107 (例如 X 方向) 相同。

[0029] 递升 (例如垂直) 互连 336 (例如通孔) 可耦合到相应阶梯的导电线 305。递升互连 336 可在实质上垂直于阶梯的导电线 305 的顶部表面 326 的方向上延伸。因为递升互连

336 位于对应递降互连 340(稍后讨论)后方,所以其在图 3A 中不可见。

[0030] 顶部平面互连 338 可耦合到递升互连 336。顶部平面互连 338 无需路由于存储器阵列 306 的顶部上方。如这里所使用,术语“顶部”只打算区别平行于其中形成导电线 305 的平面的平面中所路由的互连,例如区别位于导电线 305 上方的平行平面中的互连与位于导电线 305 下方的平行平面中的互连。

[0031] 顶部平面互连 338 可形成于实质上平行于其内形成导电线 305 的平面的平面(例如 X-T 平面)中。然而,可(例如)在垂直于导电线 305 及递升互连 336 中的每一者的方向上形成顶部平面互连 338,其中方向是沿着相应导电线 305、递升互连 336 及顶部平面互连 338 的最长尺寸。例如,顶部平面互连 338 具有进入/离开图 3A 中的页面的方向(例如 Y 方向),所述方向垂直于导电线 305(例如在 X 方向上延伸)且垂直于递升互连 336(例如在 Z 方向上延伸)。根据各种实例,顶部平面互连 338 被形成为在不同于导电线 305 的方向的方向上。

[0032] 递降互连 340 可耦合到顶部平面互连 338,如图 3A 所展示。递降互连 340 可延伸到材料堆叠 306 中的底部材料对 301 下方。根据数个实施例,递降互连 340 可在与递升互连 336 相同的方向上延伸,例如在 Z 方向上延伸。

[0033] 递降互连 340 相较于图 3A 所展示的情况可在材料堆叠 306 下方进一步延伸。导电材料、递升互连 336、顶部平面互连 338 及/或递降互连 340 可由(例如)金属或多晶硅或其它掺杂或未掺杂材料形成。绝缘材料可由(例如)氧化物及/或其它电介质材料形成。

[0034] 图 3B 展示材料堆叠 306 的俯视图。如上文所提及,导电线 305 可经形成以具有宽的宽度部分 327(如由宽度 W1 所指示)及窄的宽度部分 332(如由宽度 W2 所指示),其中 $W1 > W2$ 。材料堆叠 306 的宽度在图 3B 中被指示为 W_{BLK} ,其可为与 W1 相同的宽度。虽然图 3B 展示形成于宽的宽度部分 327 的一个侧(例如沿着同一边缘)处的窄的宽度部分 332,但是本发明的实施例并不限于此类配置,且窄的宽度部分 332 可形成于沿着材料堆叠 306 的宽度 W_{BLK} 的其它位置处。

[0035] 阶梯结构 311 可形成于窄的宽度部分 332 的至少一个边缘上,且递升互连 336 可在窄的宽度部分 332 内的阶梯结构 311 的阶梯的顶部表面处耦合到导电线 305。阶梯结构 311 可包含形成于窄的宽度部分 332 中的数个阶梯,如图 3B 中的 N_{WL} 所指示。图 3A、B 及 D 所展示的阶梯结构 311 包含 4 个阶梯。然而,本发明的实施例并不限于特定数量个阶梯。可通过使阶梯结构远离导电线 305 的宽的宽度部分 327 向外进一步延伸而容纳额外阶梯。

[0036] 顶部平面互连 338 之间的间距在图 3B 中被指示为 P_{M0} 。然而,与图 1B 所展示的现有技术结构不同,且因为可通过使窄的宽度部分 332(例如)在 X 方向上远离导电线 305 的宽的宽度部分 327 向外进一步延伸而在阶梯结构 311 中容纳更大数目个阶梯,所以对于本发明的实施例,顶部平面互连 338 之间的间距并不受到 W_{BLK} 或 N_{WL} 约束。

[0037] 根据数个实施例,递降互连 340 可位于区域 334 内。区域 334 可相邻于宽的宽度部分 327 及窄的宽度部分 332 中的每一者。区域 334 可具有等于 $W1-W2$ 的宽度,且可具有等于窄的宽度部分 332 从宽的宽度部分 327 延伸的距离的长度。例如,区域 334 可占据(例如)材料堆叠 306 的部分经移除以形成窄的宽度部分 332 之处所留下的占据面积。根据一些实施例,递降互连可彼此偏移以便在数个方向(例如 2 个方向)上维持其间的最小间距。

[0038] 图 3C 是材料堆叠 306 下方的高度的横截面俯视图。底部平面互连 342 及 344 可

耦合到相应递降互连 340。底部平面互连 342 可在一个方向上（例如在负 X 方向上）从递降互连 340 延伸，且底部平面互连 344 可在另一（例如不同）方向上（例如在正 X 方向上）从递降互连 340 延伸。根据数个实施例，底部平面互连 342 及 344 垂直于递降互连 340 及顶部平面互连 338 中的每一者而延伸。根据数个实施例，底部平面互连 342 及 344 沿着与导电线 305 相同的方向（例如沿着 X 方向）而延伸。

[0039] 例如，底部平面互连 344 可在与底部平面互连 342 从递降互连 340 延伸的方向（例如负 X 方向）相对的方向（例如正 X 方向）上从递降互连 340 延伸，如图 3C 所展示。底部平面互连 342 及 344 可从递降互连 340 延伸以便平行于导电线 305。然而，底部平面互连 342 及 344 所延伸到的位置及 / 或方向并不限于图 3C 所展示的位置及 / 或方向。即，底部平面互连 342 及 344 可（例如）在 X-Y 平面中在各种径向方向上从递降互连 340 个别地延伸，及 / 或可包含额外高度及 / 或路线改变。

[0040] 如图 3C 所展示，底部平面互连 342 及 344 可（例如）在 X-Y 平面中在不同（例如相对）方向上延伸。以此方式，可使间距 P_{w0} 放宽一半，例如 $N_{w0}/2$ 。例如，可在一个方向上放置串驱动器（例如线驱动器）的部分（例如一半）且在不同方向上放置另一部分（例如一半），其中所述两个方向对应于底部平面互连 342 及 344 分别路由的方向。

[0041] 图 3D 是材料堆叠 306 的横截面端视图，且展示在实质上垂直于导电线 305 的平面（例如 X-Y 平面）的方向上（例如在 Z 方向上）从阶梯的导电线 305 延伸的递升互连 336。例如，递升互连 336 可从位于阶梯的顶部表面处的导电线 305 延伸。图 3D 进一步展示耦合于递升互连 336 与递降互连 340 之间的顶部平面互连 338，其中递降互连 340 位于材料堆叠 306 的宽度内。图 3D 还展示在材料堆叠 306 下方向下延伸的递降互连 340。图 3D 中未展示底部平面互连 342 及 344。

[0042] 图 4 是根据本发明的数个实施例的具有互连的 3D 存储器阵列 420 的部分的透视图。存储器阵列 420 可包括（例如）3D NAND 闪速存储器阵列。存储器阵列 420 包含正交于数个导电线（例如存取线 425 及 / 或数据线 422）而定向的串联耦合的存储器单元 203 的数个垂直串。3D 存储器阵列 420 可包含具有多个材料对的材料堆叠 426，每一对包含形成于绝缘材料上方的导电线 425。为清楚起见，从图 4 省略各种导电线之间的绝缘材料。

[0043] 此外，3D 存储器阵列 420 可在串联耦合的存储器单元 423 的垂直串的两端上包含第一选择栅极线 428（耦合到第一选择栅极）及第二选择栅极线 430（耦合到第二选择栅极）。第一选择栅极线 428（例如漏极选择栅极（SGD）线）可布置于串联耦合的存储器单元 423 的数个垂直串的第一端处，且第二选择栅极线 430（例如源极选择栅极（SGS）线）可布置于串联耦合的存储器单元 423 的所述垂直串的第二端（例如相对端）处。

[0044] 材料堆叠 426 可具有形成于其边缘处的阶梯结构 424。阶梯结构 424 可经形成以还包含其它导电材料，例如第一选择栅极线 428、第二选择栅极线 430 及 / 或其它导电结构。形成阶梯结构的各种组件的数量及布置并不限于图 4 所展示的数量及布置。

[0045] 可在第一平面中（例如在 X-Y 平面中）定向在第一方向上（例如在 Y 方向上）延伸的多个数据线 422（例如位线）。可正交于所述第一平面（例如在 Z 方向上）定向串联耦合的存储器单元 423 的垂直串。可在实质上平行于所述第一平面而定向的平面中（例如在 X-Y 平面中）在第二方向上（例如在 X 方向上）定向多个存取线 425（例如字线）。可垂直于（例如）多个数据线 422 而定向多个存取线 425。可在所述第一方向上由串联耦合的存

存储器单元 423 的数个垂直串共享数据线 422,且可在所述第二方向上由串联耦合的存储器单元 423 的数个垂直串共享存取线 425。3D 存储器阵列 420 可包含数个源极线 204(图 4 中未展示)。

[0046] 选择栅极线 428 及 430 可操作以选择数据线 422 与源极线之间的串联耦合的存储器单元 423 的特定垂直串。因而,串联耦合的存储器装置 423 的垂直串可位于数据线 422 与源极线的交叉点处。

[0047] 存取线 425 可耦合到特定级别处的存储器单元的控制栅极(且在一些状况下,从所述控制栅极耦合存取线 425),且可用于选择垂直串内的串联耦合的存储器单元 423 中的特定存储器单元。以此方式,特定存储器单元 423 可经由操作第一选择栅极线 428、第二选择栅极线 430 及存取线 425 而被选择且电耦合到数据线 422。存取线 425 可经配置以选择串联耦合的存储器单元 423 的垂直串中的一或多个者内的特定位置处的存储器单元 423。

[0048] 如图 4 所展示,材料堆叠 426 可经形成以具有宽的宽度部分 427 及窄的宽度部分 432。可通过移除最初形成于区域 434 中的材料堆叠 426 的部分而形成窄的宽度部分 432。可在阶梯结构 424 形成之前或之后移除最初形成于区域 434 中的材料堆叠 426 的所述部分。即,可最初形成包含区域 434 内的所述部分的材料堆叠,且可沿着大于窄的宽度部分 432 的材料堆叠的边缘的至少一部分形成阶梯结构。例如,最初可跨材料堆叠的整个宽度 W_{BLK} 形成阶梯结构,其中移除最初形成于区域 434 中的材料堆叠的部分(包含形成于其内的所述阶梯结构的部分)。替代地,可通过不在区域 434 中形成材料堆叠 426 的部分或通过一些其它过程而形成窄的宽度部分 432。

[0049] 平面存取线 425 及(任选地)选择栅极线(例如 428 及/或 430)及其它材料可经配置以在窄的宽度部分 432 的边缘处形成 3D 阶梯结构 424 以(例如)由递升(例如垂直)导体 436 促进到 3D 阶梯结构 424 的垂直定向耦合。即,相应平面存取线 425 可被形成阶梯结构 424 的相应阶梯。如本文中所使用,阶梯结构 424 意指 3D 结构,其在横向方向上延伸到不同距离的不同高度处具有多个阶梯,例如大体上与一组阶梯相关联。

[0050] 根据本发明的数个实施例,较低的高度的阶梯可横向地延伸超过阶梯在紧邻较高的高度处所延伸的横向距离,如图 4 所展示。即,较低阶梯相较于上方阶梯在横向方向上进一步延伸。本发明的实施例可包含具有一或多个边缘的材料堆叠 426,所述边缘具有阶梯配置。本发明的实施例可只包含被形成为阶梯配置的堆叠边缘的部分(例如非全部)。例如,本发明的实施例可包含:材料堆叠的一个边缘的第一部分可经形成以具有阶梯配置,且所述一个边缘的第二部分可经形成成为不具有阶梯配置。

[0051] 较低阶梯可横向地延伸超过下一较高阶梯达足够距离,使得可进行到横向地延伸经过所述下一较高阶梯的所述较低阶梯的部分的垂直耦合。以此方式,递升导体 436 可耦合到特定阶梯。

[0052] 图 4 展示耦合到递升互连 436 中的相应递升互连的顶部平面互连 438。顶部平面互连 438 可形成于实质上平行于其内形成导电线 425 的平面的平面(例如 X-Y 平面)中。然而,顶部平面互连 438 可经形成以在垂直于导电线 425(例如在 X 方向上延伸)及递升互连 436(例如在 Z 方向上延伸)中的每一者的方向(例如 Y 方向)延伸,其中由相应导体的最长尺寸界定方向。根据数个实施例,可在相同或不同高度处在平行于数据线 422 的方向(例如 Y 方向)上形成顶部平面互连 438。

[0053] 递降互连 440 可耦合到顶部平面互连 438, 如图 4 所展示。根据数个实施例, 递降互连 440 可位于区域 434 内, 且相反地, 并非位于区域 434 外。递降互连 440 可延伸到材料堆叠 426 及 / 或第二选择栅极线 430 及 / 或源极线下方。递降互连 340 相较于图 4 所展示的情况可在材料堆叠 306 下方进一步延伸。根据本发明的数个实施例, 递升互连 436、顶部平面互连 438 及递降互连 440 全部可由 (例如) 多晶硅或其它掺杂或未掺杂材料形成。为清楚起见, 图 4 中未展示底部平面互连。

[0054] 存储器阵列 420 可耦合到与操作存储器阵列 420 相关联的各种电路。例如, 此类电路可包含串驱动器。与操作存储器阵列 420 相关联的电路可为 CMOS 电路, 其形成于存储器阵列 420 下方及 / 或存储器阵列 420 的高度下方 (如果没有直接在存储器阵列 420 下方) 的衬底附近。

[0055] 作为实例, 底部平面互连可从 (例如) 存储器阵列 420 路由到串驱动器。可 (例如) 经由底部平面互连而在包含导电线 425、选择栅极线 428/430 及 / 或源极线的材料堆叠与所述串驱动器之间进行电耦合。

[0056] 本发明的数个实施例的益处包含: 导电材料堆叠可包含比可在其中递升互连 436 局限于所述导电材料堆叠的宽度 W_{BLK} 的布置中针对给定间距设计规则可容纳的导电及绝缘材料对多的导电及绝缘材料对, 宽度 W_{BLK} 受到数量 W_{BLK}/N_{WL} 约束。

[0057] 图 5 是说明根据本发明的数个实施例的用于 3D 存储器阵列的互连的示意图。图 5 展示第一存储器阵列 562 及第二存储器阵列 563。第一存储器阵列 562 及第二存储器阵列 563 中的每一者包含介于数据线 (BL) 与源极线 (SRC) 之间的串联耦合的存储器单元的数个垂直串。串联耦合的存储器单元的所述垂直串是由数个存取线 (例如 WL0、WL1、WL2、WL3)、漏极选择栅极 (SGD) 及源极选择栅极 (SGS) 控制。

[0058] 图 5 说明第一存储器阵列 562 及第二存储器阵列 563 与全局控制线 566 (例如 GSGS、GWL0、GWL1、GWL2、GWL3 及 GSGD) 之间的耦合。耦合到全局控制线 566 的第一存储器阵列 562 及第二存储器阵列 563 中的特定存储器阵列是通过由块选择控制线控制的选择晶体管的操作而确定, 例如, BlkSel(n) 564 可经断言以将第一存储器阵列 562 耦合到全局控制线 566, 且 BlkSel(n+1) 565 可经断言以将第二存储器阵列 563 耦合到全局控制线 566。每一存储器阵列具有可选择性地耦合到全局控制线 566 的局部控制线, 例如存取线、选择栅极线。

[0059] 选择晶体管可位于存储器阵列 (例如 562 及 / 或 563) 之下 (例如位于存储器阵列下方, 但在存储器阵列的占据面积内), 或可位于某一高度处 (例如位于存储器阵列下方, 但在存储器阵列的占据面积外), 或两者的组合, 例如, 一些选择晶体管可位于存储器阵列之下的存储器阵列的占据面积内, 且其它选择晶体管可位于相同或不同高度处的存储器阵列的占据面积外。可形成用于 3D 存储器阵列 (例如关于图 3A 及 3B 所描述) 的局部控制线 (例如存取线、选择栅极线), 3D 存储器阵列使用阶梯结构来暴露可耦合到递升互连及 (任选地) 顶部平面互连及递降互连 (待适当地路由至选择晶体管, 如先前所描述的此类路由) 的局部控制线。全局控制线 566 可路由于存储器阵列之下, 或路由于存储器阵列 (例如 562、563) 上方, 或两者的组合, 例如, 一些全局控制线 566 可路由于存储器阵列之下, 且一些全局控制线 566 可路由于存储器阵列上方。

[0060] 表 1 提供用于基于 WL1 被选择用于读取及编程及第一存储器阵列 562 经选择使得

BlkSel (n) 高且第二存储器阵列 563 经取消选择使得 BlkSel (n+1) 低而进行读取、编程及擦除的实例操作参数（例如电压）：

[0061]

信号	读取	编程	擦除
BlkSel (n)	6V	22V	6V
BlkSel (n+1)	0V	0V	0V
BL (n)	1V	2V(“1”)/0V(“0”)	浮动
BL (n+1)	0V	2V	浮动
SL	0V	0V	浮动
GSGS	4V	0V	浮动
GWLO, 2, 3	4V	8V	0V
GWL1	0V	18V	0V
GSGD	4V	2V	浮动
SGS (n)	4V	0V	浮动
WLO, 2, 3 (n)	4V	8V	0V
WL1	0V	18V	0V
SGD (n)	4V	2V	浮动
SGS (n+1)	0V	0V	浮动
WLO-3 (n+1)	浮动	浮动	浮动
SGD (n+1)	0V	0V	浮动

[0062] 表 1

[0063] 根据本发明的数个实施例，调节器 558 的串驱动器 559 耦合到相应全局控制线 566。调节器 558 的串驱动器 559 是由调节器启用 (Reg_en) 信号 561 控制。均衡晶体管 562 位于全局控制线对 566 之间，使得当操作均衡晶体管 562 时，其提供全局控制线对 566 之间的导电路径。均衡晶体管 562 是由均衡启用 (Eq_en) 信号 560 控制。

[0064] 根据数个实施例，在完成编程及 / 或读取操作之后，（例如）通过使调节器启用信号 561 变为低态而停用调节器 558 的串驱动器 559。使全局存取线及选择栅极（例如 GWL、GSGS 及 GSGD）浮动。均衡晶体管 562 经操作以便（例如）通过使均衡启用信号 560 变为高态而导电。

[0065] 虽然在编程及读取操作期间全局控制线 566 之间可存在大电压差,但是在均衡之后,全局控制线 566 及耦合到全局控制线 566 的局部控制线可具有实质上相等的电势。

[0066] 继上述均衡之后,可使全局控制线 566 及耦合到全局控制线 566 的局部控制线放电到参考电势(例如接地)。虽然可由于存储器阵列的 3D 配置而使存储器阵列中的导电线之间存在电容,但是在均衡及放电到所述参考电势之后,全局控制线 566 及耦合到全局控制线 566 的局部控制线并不具有负电势。

[0067] 根据替代实施例,代替使全局控制线 566 及耦合到全局控制线 566 的局部控制线放电到参考电势或除使全局控制线 566 及耦合到全局控制线 566 的局部控制线放电到参考电势以外,还可(例如)由对应串驱动器 559 个别地控制全局控制线 566 及耦合到全局控制线 566 的局部控制线中的每一者以偏压到除所述参考电势(例如接地)以外的另一电势以为下一次操作做好准备。

[0068] 图 6 是说明与根据本发明的数个实施例而操作的 3D 存储器装置的互连相关联的操作信号的时序图。图 6 所展示的操作信号是基于 WL0 在编程操作的状况下被选择且在读取操作的状况下被取消选择,及 WL1 在编程操作的状况下被取消选择且在读取操作的状况下被选择。时间段 670 对应于其间发生相应读取或编程操作的时间,时间段 672 对应于其间发生均衡操作的时间段,且时间段 673 对应于其间发生放电操作的时间段。

[0069] 在时间段 670 期间,调节器启用(Reg_en)信号 676 为高态以使串驱动器(例如如图 5 中的 559)能够驱动特定存取线的电压,例如,WL0 电压信号针对实例编程操作被展示为高态且 WL1 电压信号针对实例读取操作被展示为高态。如所展示,在编程及读取操作期间通过使均衡启用(Eq_en)信号变为低态而停用均衡电路(例如如图 5 中的均衡晶体管 562),使得图 5 中的均衡晶体管 562 不导电。

[0070] 在时间段 670 期间,例如,在编程或读取操作之后,Reg_en 信号 676 变为低态以由此停用串驱动器(例如如图 5 中的 559),且 Eq_en 信号变为高态,使得图 5 中的均衡晶体管 562 导电以(例如)将 WL0 及 WL1 耦合在一起。因此,将 WL0 及 WL1 中的每一者上的电压驱动为相同(例如均衡)电压,如图 6 所展示。

[0071] 继均衡之后,Eq_en 信号变为低态,由此造成图 5 中的均衡晶体管 562 不导电,例如使 WL0 与 WL1 隔离。在时间段 673 期间,Reg_en 信号 676 变为高态以启用串驱动器(例如如图 5 中的 559),所述串驱动器可用于将数个存取线(例如 WL0 及 WL1)的电压驱动为不同于均衡电压的电压,如图 6 所展示。

[0072] 图 7 是根据本发明的数个实施例的呈包含至少一个 3D 存储器阵列 720 的计算系统 780 的形式的设备的框图。如本文中所使用,存储器系统 784、控制器 790、存储器装置 792 或存储器阵列 720 还可被单独视为“设备”。存储器系统 784 可为(例如)固态硬盘(SSD),且可包含主机接口 788、控制器 790(例如处理器及/或其它控制电路)及给存储器系统 784 提供存储容量的数个存储器装置 792(例如固态存储器装置,例如 NAND 闪速装置)。存储器装置 792 可包括数个存储器阵列 720,例如图 4 所展示的存储器阵列 420,或图 5 所展示的存储器阵列 562/563。

[0073] 在数个实施例中,控制器 790、数个存储器装置 792 及/或主机接口 788 可物理地位于单一裸片上或单一封装(例如管理型 NAND 应用)内。

[0074] 控制器 790 可经由一或多个通道而耦合到主机接口 788 及数个存储器装置 792,

且可用于在存储器系统 784 与主机 782 之间传送数据。接口 788 可呈标准化接口的形式。例如,当存储器系统 784 用于计算系统 780 中的数据存储装置时,接口 788 可为串行高级技术附件 (SATA)、快速外围组件互连 (PCIe) 或通用串行总线 (USB) 以及其它连接器及接口。然而,一般来说,接口 788 可提供用于在存储器系统 784 与具有用于主机接口 788 的兼容接收器的主机 782 之间传递控制、地址、数据及其它信号的接口。

[0075] 主机 782 可为主机系统,例如个人膝上型计算机、桌上型计算机、数码相机、移动电话或存储器卡阅读器以及各种其它类型的主机。主机 782 可包含系统主板及 / 或底板,且可包含数个存储器存取装置,例如数个处理器。主机 782 可通过通信通道 786 而耦合到主机接口 788。

[0076] 控制器 790 可与数个存储器装置 792 通信以控制数据读取、写入及擦除操作,以及包含均衡、放电及串驱动器操作的其它操作。控制器 790 可包含 (例如) 呈硬件及 / 或固件 (例如一或多个集成电路) 及 / 或软件的形式的一个或多个组件,其用于控制对数个存储器装置 792 的存取及 / 或用于促进主机 782 与数个存储器装置 792 之间的数据传送。

[0077] 数个存储器装置 792 可包含数个存储器单元阵列,例如 (例如) 图 4 及 5 所展示的阵列的阵列。所述阵列可为具有 (例如) NAND 架构的闪速阵列。然而,实施例并不限于特定类型的存储器阵列或阵列架构。例如,可将所述存储器单元分组成包含数个物理页的数个块。数个块可包含于存储器单元的平面中,且阵列可包含数个平面。

[0078] 虽然已在本文中说明及描述特定实施例,但是所属领域的一般技术人员应了解,经计算以实现相同结果的布置可取代所展示的特定实施例。本发明打算涵盖本发明的各种实施例的适配或变动。应理解,已以说明方式而非限制方式作出以上描述。所属领域的技术人员将在审阅以上描述后就明白以上实施例的组合及未在本文中明确地描述的其它实施例。本发明的各种实施例的范围包含其中使用以上结构及方法的其它应用。因此,应参考随附权利要求书及此类权利要求书所享有的全范围的等效物而确定本发明的各种实施例的范围。

[0079] 在前述具体实施方式中,为精简本发明的目的,在单一实施例中将各种特征分组在一起。本发明方法不应被解释为反映以下意图:本发明的所揭示实施例必须使用比每一权利要求中清楚地叙述的特征多的特征。更确切地,如所附权利要求书所反映,本发明的标的并不在于单一所揭示实施例的所有特征。因此,所附权利要求书据此并入到具体实施方式中,其中每一权利要求独自代表单独实施例。

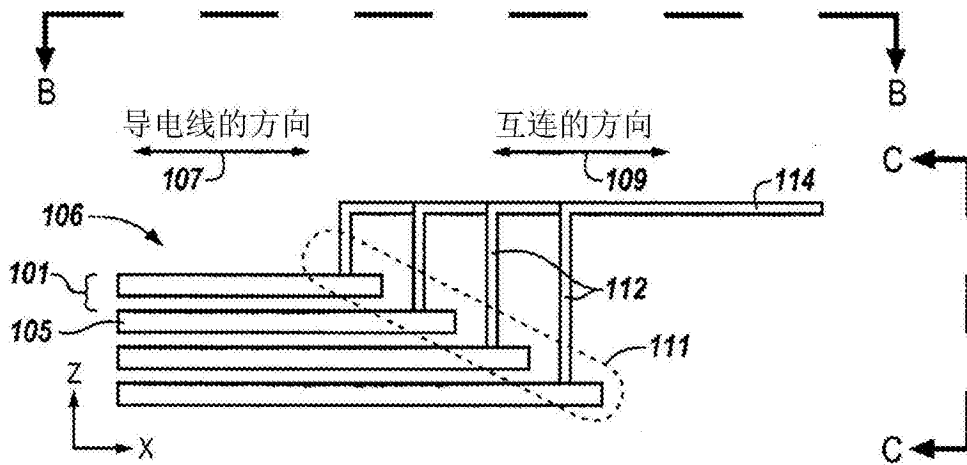


图 1A(现有技术)

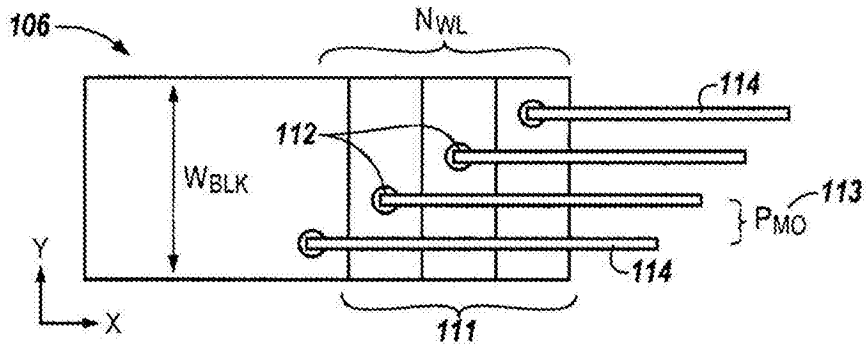


图 1B(现有技术)

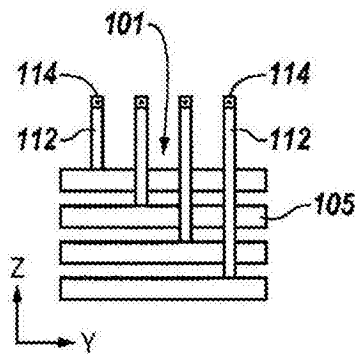


图 1C(现有技术)

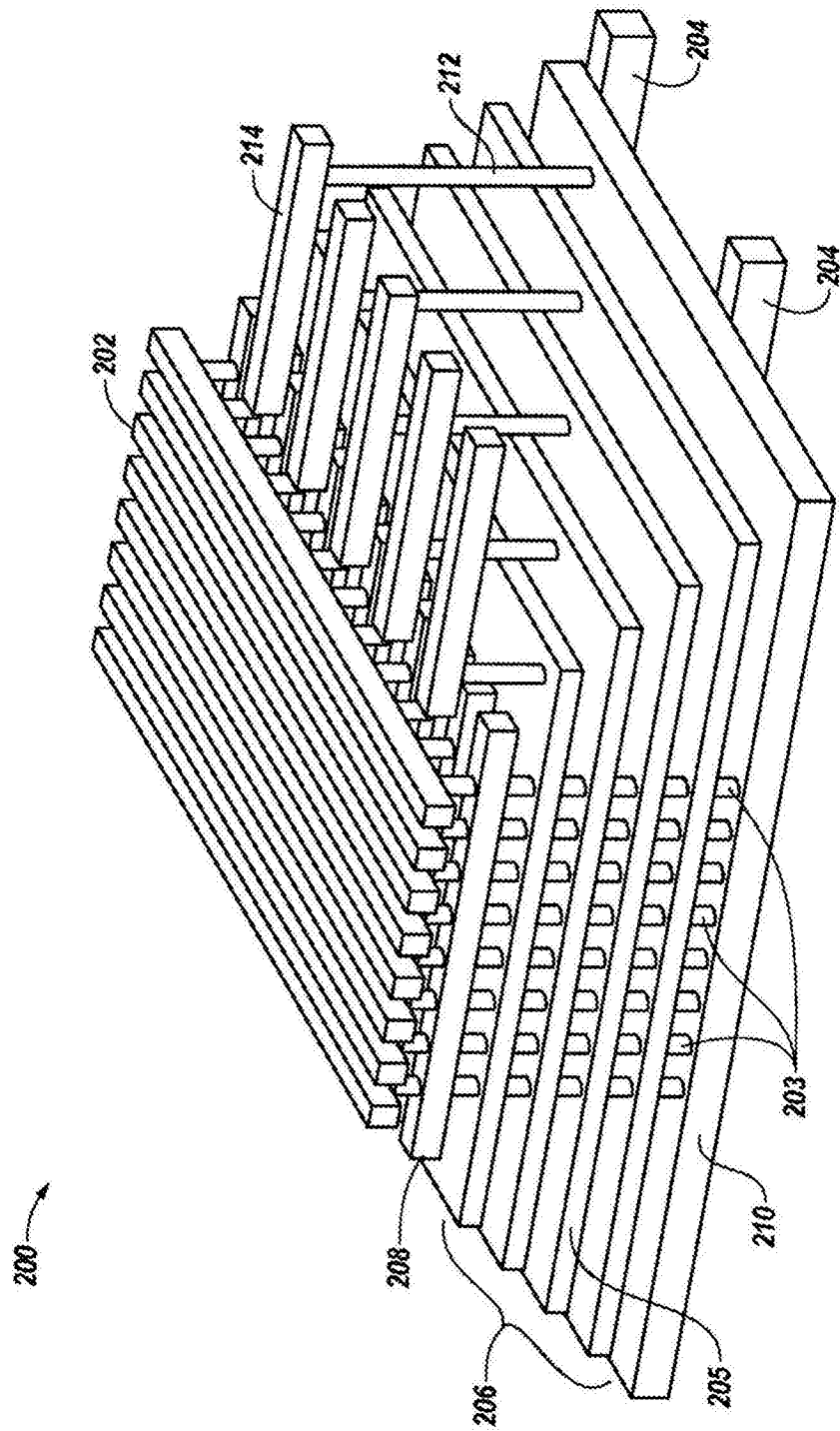


图 2(现有技术)

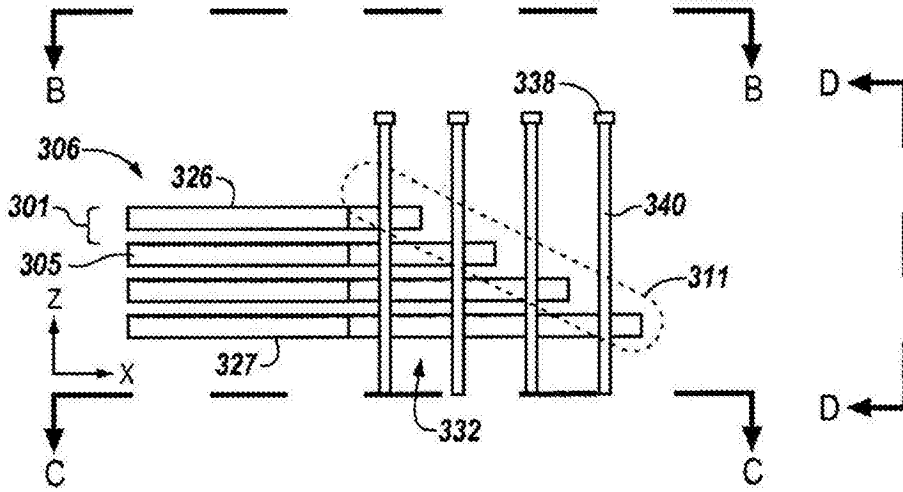


图 3A

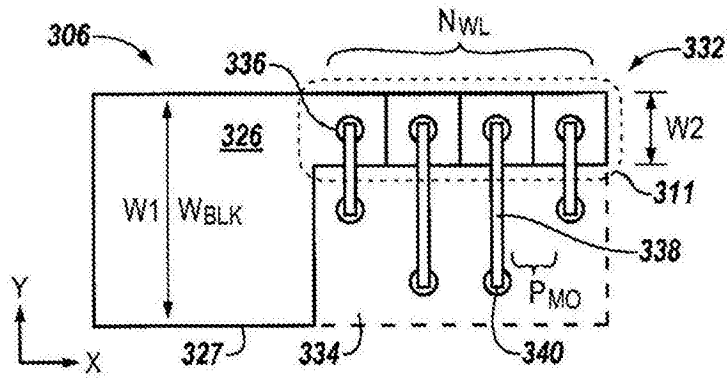


图 3B

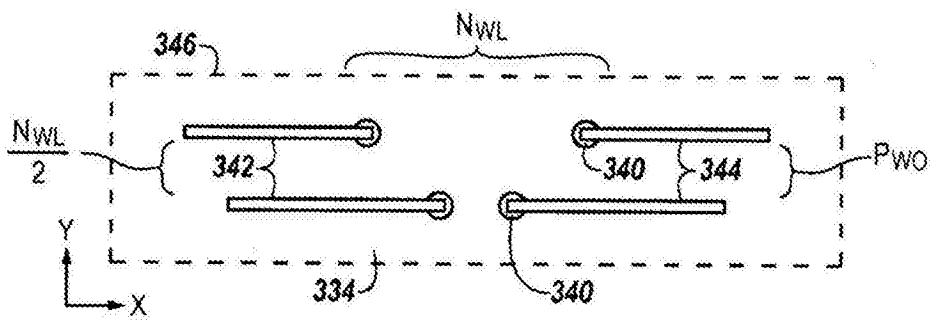


图 3C

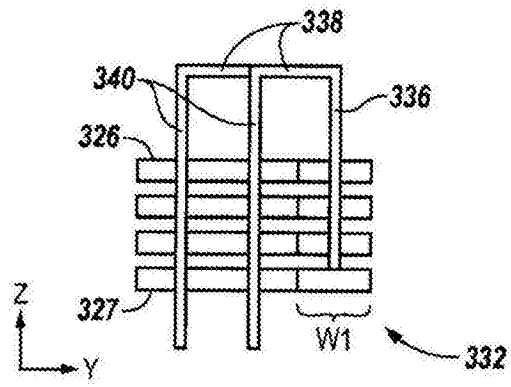


图 3D

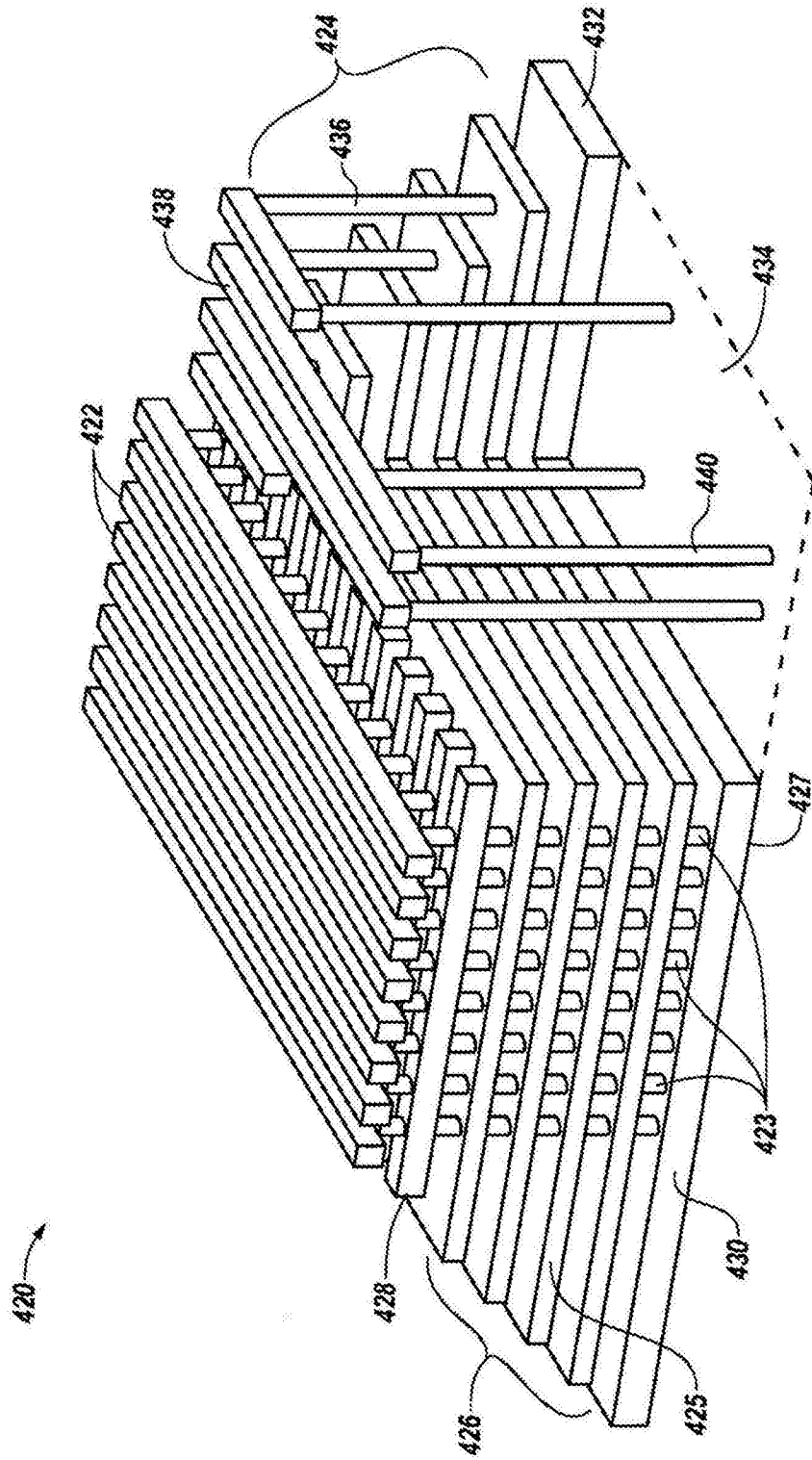


图 4

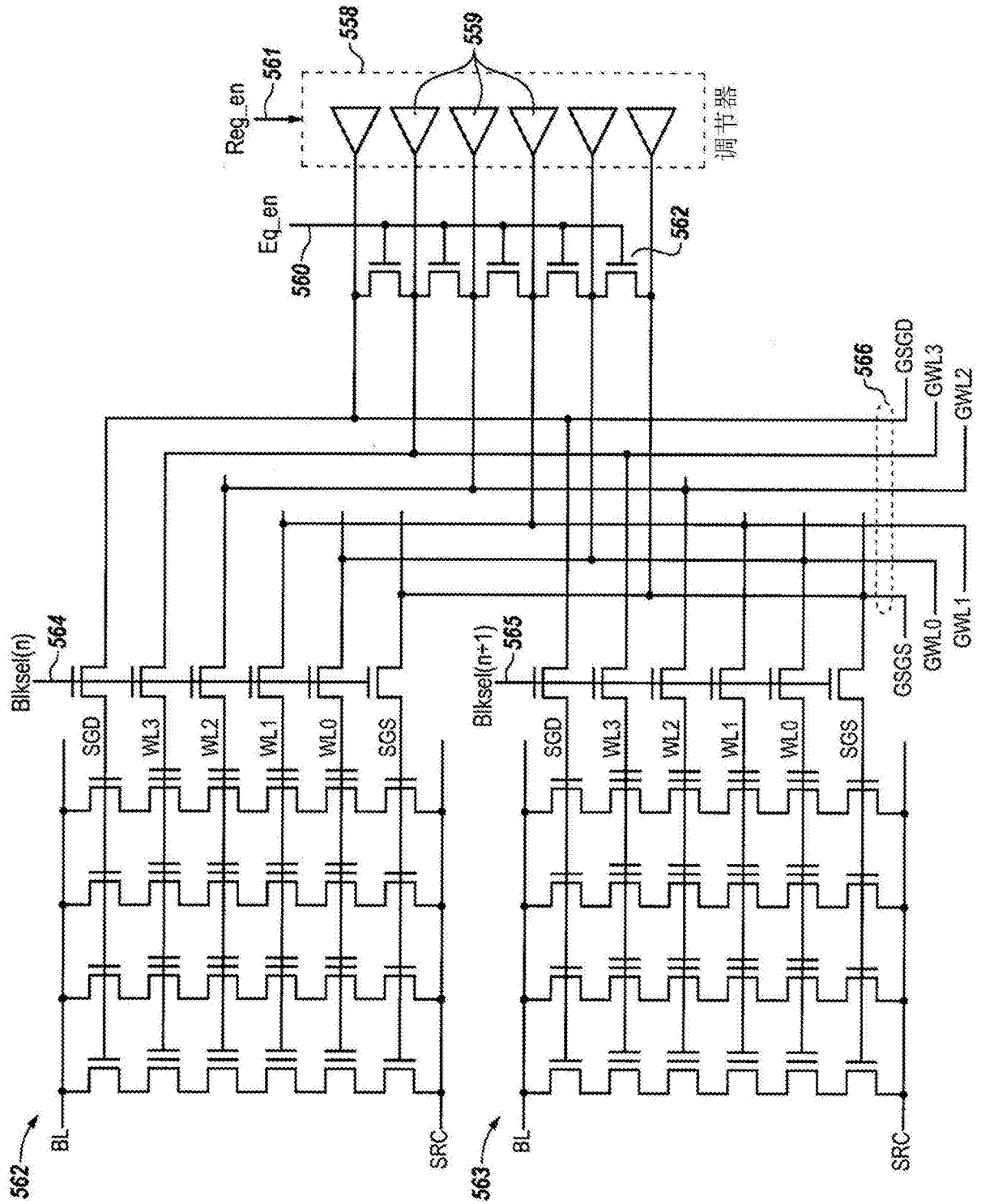


图 5

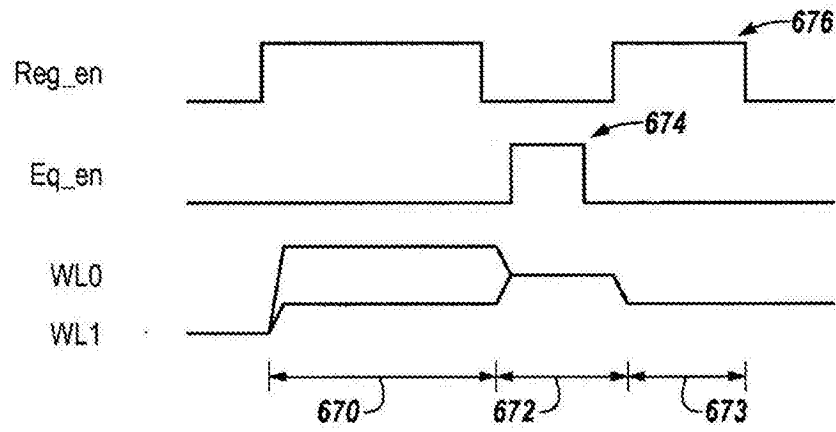


图 6

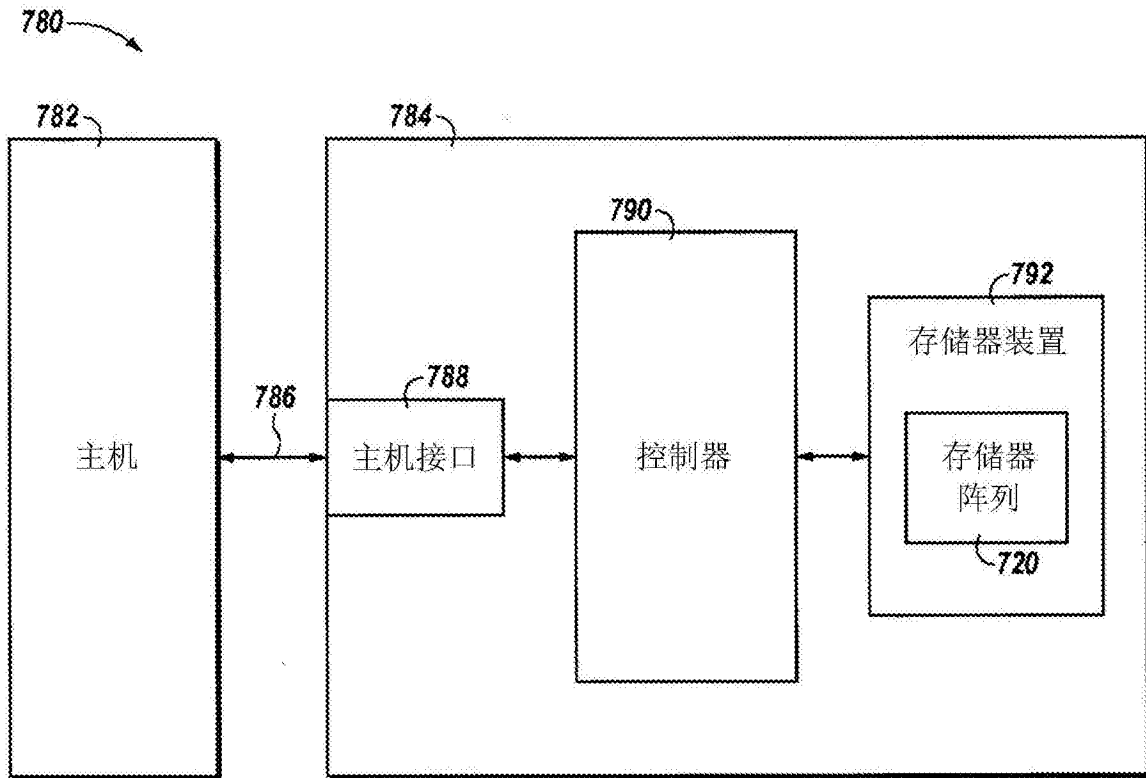


图 7