

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年10月4日(04.10.2018)

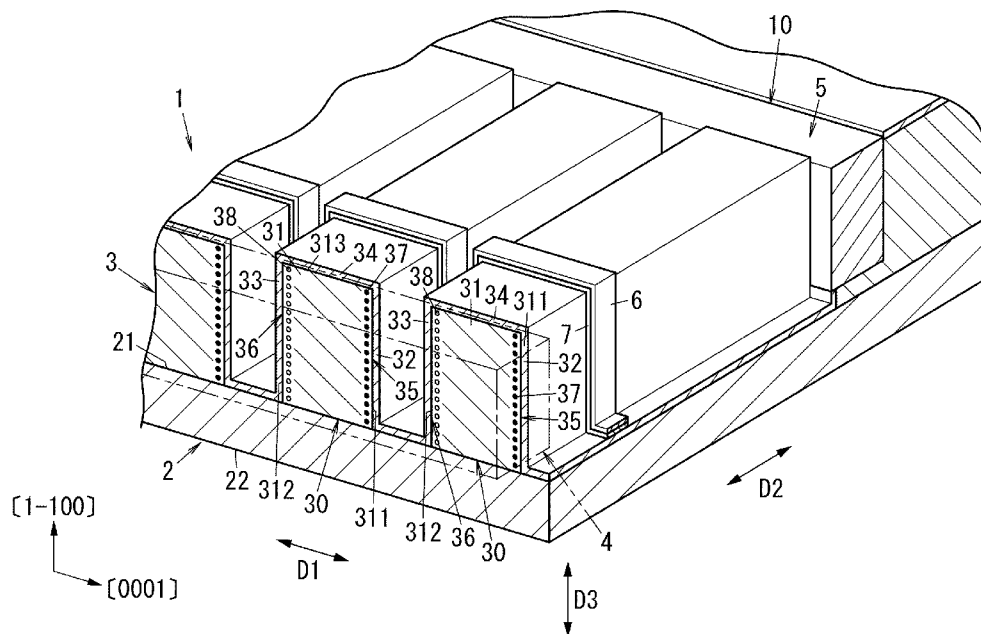


(10) 国際公開番号
WO 2018/181237 A1

- (51) 国際特許分類:
H01L 21/338 (2006.01) *H01L 29/808* (2006.01)
H01L 21/337 (2006.01) *H01L 29/812* (2006.01)
H01L 29/778 (2006.01)
- (21) 国際出願番号: PCT/JP2018/012280
- (22) 国際出願日: 2018年3月27日(27.03.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
 特願 2017-072704 2017年3月31日(31.03.2017) JP
- (71) 出願人: パナソニックIPマネジメント株式会社(PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) [JP/JP]; 〒5406207
- 大阪府大阪市中央区城見2丁目1番61号 Osaka (JP).
- (72) 発明者: 鈴木 朝実良 (SUZUKI, Asamira).
 上野 弘明 (UENO, Hiroaki). 石田 秀俊 (ISHIDA, Hidetoshi).
- (74) 代理人: 特許業務法人北斗特許事務所(HOKUTO PATENT ATTORNEYS OFFICE); 〒5300001 大阪府大阪市北区梅田1-12-17 梅田スクエアビル9F Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: The present invention addresses the problem of providing a semiconductor device which is able to have a lower resistance. A semiconductor device (1) according to the present invention is provided with a substrate (2), a semiconductor unit (3), a first electrode (4) and a second electrode (5). The substrate (2) has a first surface (21) and a second surface (22), which are positioned opposite to each other in the thickness direction (D3) of the substrate (2). The semiconductor unit (3) is provided on the first surface (21) of the substrate (2). The semiconductor unit (3) has a



WO 2018/181237 A1

HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

heterojunction (35) of a first compound semiconductor unit (31) and a second compound semiconductor unit (32), said heterojunction (35) intersecting with a first direction (D1) that is along the first surface (21) of the substrate (2). The first electrode (4) and the second electrode (5) are respectively arranged on a first end face (301) and a second end face (302) of the semiconductor unit (3) in a second direction (D2) that is along the first surface (21) of the substrate (2) and the heterojunction (35), and are electrically connected to the heterojunction (35).

(57) 要約: 本発明の課題は、低抵抗化を図ることが可能な半導体装置を提供することである。半導体装置(1)は、基板(2)と、半導体部(3)と、第1電極(4)及び第2電極(5)と、を備える。基板(2)は、基板(2)の厚さ方向(D3)において互いに反対側にある第1面(21)及び第2面(22)を有する。半導体部(3)は、基板(2)の第1面(21)上に設けられている。半導体部(3)は、第1化合物半導体部(31)と第2化合物半導体部(32)とのヘテロ接合(35)であって基板(2)の第1面(21)に沿った第1方向(D1)に交差するヘテロ接合(35)を有する。第1電極(4)及び第2電極(5)は、基板(2)の第1面(21)に沿ってかつヘテロ接合(35)に沿った第2方向(D2)において半導体部(3)の第1端面(301)及び第2端面(302)のそれぞれに配置されており、ヘテロ接合(35)に電氣的に接続されている。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、一般に半導体装置に関し、より詳細には、ヘテロ接合を有する半導体装置に関する。

背景技術

[0002] 従来、半導体装置として、GaN系の化合物半導体材料を用いた電界効果トランジスタ等の窒化物半導体装置が知られている（特許文献1）。

[0003] 特許文献1に記載された窒化物半導体装置は、主面の面方位が（0001）面であるサファイアからなる基板と、アンドープのGaNからなる第1の半導体層と、第1の半導体層の上に形成されたアンドープの $\text{Al}_{0.15}\text{Ga}_{0.85}\text{N}$ からなる第2の半導体層と、第2の半導体層の上に部分的に形成されたコントロール領域と、コントロール領域の上に形成されたゲート電極と、第2の半導体層の上に形成されたソース電極及びドレイン電極と、を有している。コントロール領域は、コントロール層と、コンタクト層と、からなる。コントロール層は、第2の半導体層の上に形成されたp型 $\text{Al}_{0.15}\text{Ga}_{0.85}\text{N}$ からなる。コンタクト層は、コントロール層の上に形成された高濃度のp型GaNからなる。

[0004] トランジスタ、ダイオード等の半導体装置では、オン状態のときの損失が低いのが好ましい。

先行技術文献

特許文献

[0005] 特許文献1：特開2007-201093号公報

発明の概要

[0006] 本発明の目的は、低抵抗化を図ることが可能な半導体装置を提供することにある。

課題を解決するための手段

- [0007] 本発明に係る一態様の半導体装置は、基板と、半導体部と、第1電極及び第2電極と、を備える。前記基板は、前記基板の厚さ方向において互いに反対側にある第1面及び第2面を有する。前記半導体部は、前記基板の前記第1面上に設けられている。前記半導体部は、第1化合物半導体部と第2化合物半導体部とのヘテロ接合であって前記基板の前記第1面に沿った第1方向に交差する前記ヘテロ接合を有する。前記第1電極及び前記第2電極は、前記基板の前記第1面に沿ってかつ前記ヘテロ接合に沿った第2方向において前記半導体部の第1端面及び第2端面のそれぞれに配置されている。前記第1電極及び前記第2電極は、前記ヘテロ接合に電氣的に接続されている。
- [0008] この半導体装置において、前記基板が窒化物半導体基板であり、前記基板の前記第1面がc軸に沿った結晶面であるのが好ましい。前記第1方向が前記c軸に沿った方向であるのが好ましい。前記第1化合物半導体部及び前記第2化合物半導体部の各々が窒化物半導体であるのが好ましい。
- [0009] この半導体装置において、前記半導体部は、前記ヘテロ接合を複数有するのが好ましい。
- [0010] この半導体装置において、前記複数のヘテロ接合が平行であるのが好ましい。
- [0011] この半導体装置において、前記半導体部では、前記第2化合物半導体部のバンドギャップエネルギーが前記第1化合物半導体部のバンドギャップエネルギーよりも大きい。この半導体装置では、前記第1電極と前記第2電極との間で前記第1方向に交差し少なくとも前記第2化合物半導体部を介して前記ヘテロ接合に対向するゲート電極を備えてもよい。
- [0012] この半導体装置では、前記第1方向において前記ゲート電極と前記第2化合物半導体部との間に介在し、前記第2化合物半導体部及び前記第1化合物半導体部に空乏層を形成するゲート層を更に備えるのが好ましい。
- [0013] 上述の半導体装置において、前記半導体部は、前記第1方向において前記第1化合物半導体部における前記第2化合物半導体部側とは反対側に位置する第3化合物半導体部を更に有する。前記半導体部では、前記第2化合物半

導体部のバンドギャップエネルギー及び前記第3化合物半導体部のバンドギャップエネルギーの各々が前記第1化合物半導体部のバンドギャップエネルギーよりも大きい。この半導体装置において、前記基板が窒化物半導体基板であり、前記基板の前記第1面がc軸に沿った結晶面であり、前記第1化合物半導体部、前記第2化合物半導体部及び前記第3化合物半導体部の各々が窒化物半導体であるのが好ましい。前記半導体部は、前記第1方向において互いに離れて並んでいる複数のダブルヘテロ構造部を有するのが好ましい。前記複数のダブルヘテロ構造部の各々は、前記第1方向において、前記第3化合物半導体部、前記第1化合物半導体部及び前記第2化合物半導体部がこの順に並んでおり、前記第1化合物半導体部と前記第2化合物半導体部との前記ヘテロ接合からなる第1ヘテロ接合と、前記第1化合物半導体部と前記第3化合物半導体部とのヘテロ接合からなる第2ヘテロ接合と、を有する。前記第1電極と前記第2電極とのうちいずれか一方がアノード電極を構成し、他方がカソード電極を構成してもよい。

図面の簡単な説明

- [0014] [図1]図1は、本発明の一実施形態に係る半導体装置の斜視図である。
- [図2]図2は、同上の半導体装置の平面図である。
- [図3]図3は、同上の半導体装置を示し、図2のX1-X1線断面図である。
- [図4]図4は、同上の半導体装置を示し、図2のX2-X2線断面図である。
- [図5]図5は、同上の半導体装置を示す横断面図である。
- [図6]図6A~6Cは、同上の半導体装置の製造方法を説明するための主要工程断面図である。
- [図7]図7A~7Cは、同上の半導体装置の製造方法を説明するための主要工程断面図である。
- [図8]図8A~8Cは、同上の半導体装置の製造方法を説明するための主要工程横断面図である。
- [図9]図9は、本発明の一実施形態の変形例1に係る半導体装置の斜視図である。

[図10]図10は、本発明の一実施形態の変形例2に係る半導体装置の斜視図である。

発明を実施するための形態

[0015] 下記の実施形態等において説明する図1～10は、模式的な図であり、図中の各構成要素の大きさや厚さそれぞれの比が、必ずしも実際の寸法比を反映しているとは限らない。

[0016] (実施形態)

以下では、本実施形態の半導体装置1について、図1～5に基づいて説明する。

[0017] 半導体装置1は、基板2と、半導体部3と、第1電極4及び第2電極5と、を備える。基板2は、基板2の厚さ方向D3において互いに反対側にある第1面21及び第2面22を有する。半導体部3は、基板2の第1面21上に設けられている。半導体部3は、第1化合物半導体部31と第2化合物半導体部32とのヘテロ接合35であって基板2の第1面21に沿った第1方向D1に交差するヘテロ接合35を有する。第1電極4及び第2電極5は、基板2の第1面21に沿ってかつヘテロ接合35に沿った第2方向D2において半導体部3の第1端面301（図2参照）及び第2端面302（図2参照）のそれぞれに配置されている。第1電極4及び第2電極5は、ヘテロ接合35に電氣的に接続されている。

[0018] 以上の構成により、半導体装置1は、第1電極4と第2電極5との間の抵抗の低抵抗化を図ることが可能となる。

[0019] 本実施形態の半導体装置1は、電界効果トランジスタチップであり、第1電極4及び第2電極5とは別に第3電極6を更に備える。ここにおいて、半導体装置1では、第1電極4、第2電極5及び第3電極6が、それぞれ、ソース電極、ドレイン電極及びゲート電極を構成している。以下では、説明の便宜上、第1電極4、第2電極5及び第3電極6を、それぞれ、ソース電極4、ドレイン電極5及びゲート電極6と称することもある。

[0020] 半導体装置1の各構成要素については、以下に、より詳細に説明する。

- [0021] 半導体装置1の平面視形状は、例えば、正形状である。「半導体装置1の平面視形状」とは、基板2の厚さ方向D3の一方向から見た半導体装置1の外周形状である。半導体装置1の平面視でのチップサイズ(chip size)は、例えば、 $1\text{ mm}\square$ ($1\text{ mm}\times 1\text{ mm}$)であるが、これに限らない。また、半導体装置1の平面視形状は、正形状に限らず、例えば、長形状等でもよい。
- [0022] 基板2は、半導体部3を支持している。基板2は、例えば、単結晶のGa₂N基板である。したがって、基板2の結晶構造は、六方晶系である。上述の第1方向D1は、基板2のc軸に沿った方向(例えば、基板2のc軸に平行な方向)である。基板2のc軸は、図2において右向きである。図1の左側には、基板2のc軸を表す結晶軸 $[0001]$ と、m軸を表す結晶軸 $[1-100]$ と、を示してある。単結晶のGa₂N基板は、半絶縁性Ga₂N基板であるが、これに限らず、n型Ga₂N基板でもよい。
- [0023] 基板2は、上述のように、基板2の厚さ方向D3において互いに反対側にある第1面21及び第2面22を有する。ここにおいて、基板2の第1面21は、m面である。m面は、例えば、 $(1-100)$ 面である。ここにおいて、面方位のミラー指数(Miller Index)に付加された“-”の符号は、当該符号に続く一の指数の反転を意味している。 $(1-100)$ 面は、4つの指数を括弧のなかに入れて表記したミラー指数による結晶面である。
- [0024] 基板2の第1面21は、c軸に沿った無極性面であればよく、m面に限らず、例えば、a面でもよい。a面は、例えば、 (1120) 面である。また、基板2の第1面21は、例えば、m面からのオフ角(以下、「第1オフ角」という)が 0° よりも大きく 5° 以下の結晶面でもよい。ここにおいて、「第1オフ角」とは、m面に対する第1面21の傾斜角である。したがって、第1オフ角が 0° であれば、第1面21は、m面である。同様に、基板2の第1面21は、例えば、a面からのオフ角(以下、「第2オフ角」という)が 0° よりも大きく 5° 以下の結晶面でもよい。ここにおいて、「第2オフ角」とは、a面に対する第1面21の傾斜角である。したがって、第2オ

フ角が 0° であれば、第1面21は、a面である。基板2の厚さは、例えば、 $100\mu\text{m}\sim 700\mu\text{m}$ である。

[0025] 半導体部3は、基板2の第1面21上に設けられている。半導体部3は、第1化合物半導体部31と、第2化合物半導体部32と、を有する。半導体部3では、第1化合物半導体部31と第2化合物半導体部32とが第1方向D1において並んでいる。また、半導体部3は、第3化合物半導体部33を更に有する。第3化合物半導体部33は、第1方向D1において第1化合物半導体部31における第2化合物半導体部32側とは反対側に位置している。また、半導体部3は、第4化合物半導体部34を更に有する。第4化合物半導体部34は、基板2の厚さ方向D3において第1化合物半導体部31における基板2側とは反対側に位置している。

[0026] 半導体部3では、第2化合物半導体部32、第3化合物半導体部33及び第4化合物半導体部34の各々のバンドギャップエネルギーが、第1化合物半導体部31のバンドギャップエネルギーよりも大きい。また、半導体部3では、第1方向D1において第2化合物半導体部32及び第3化合物半導体部33の各々の厚さが第1化合物半導体部31の厚さよりも薄い。また、半導体部3では、基板2の厚さ方向D3において第4化合物半導体部34の厚さが、第1化合物半導体部31の厚さよりも薄い。

[0027] 基板2の厚さ方向D3における第1化合物半導体部31の厚さは、例えば、 $10\mu\text{m}$ であるが、これに限らず、例えば $5\mu\text{m}\sim 25\mu\text{m}$ 程度であるのが好ましい。また、第1方向D1における第1化合物半導体部31の厚さは、例えば、 $8\mu\text{m}$ である。また、第1方向D1における第2化合物半導体部32及び第3化合物半導体部33の各々の厚さは、例えば、 20nm である。基板2の厚さ方向D3における第4化合物半導体部34の厚さは、例えば、 20nm である。

[0028] 第1化合物半導体部31、第2化合物半導体部32、第3化合物半導体部33及び第4化合物半導体部34の各々は、III-V族化合物半導体（ここでは、窒化物半導体）である。より詳細には、第1化合物半導体部31が、ア

ンドープのGaN結晶であり、第2化合物半導体部32、第3化合物半導体部33及び第4化合物半導体部34の各々が、アンドープのAlGaN結晶である。半導体部3では、第2化合物半導体部32の組成比と第3化合物半導体部33の組成比と第4化合物半導体部34の組成比とが同じであるが、これに限らず、異なってもよい。組成比は、例えば、EDX法（Energy Dispersive X-ray Spectroscopy）による組成分析で求めた値である。組成比の相対的な大小関係を議論する上では、組成比は、EDX法に限らず、例えば、オージェ電子分光法（Auger Electron Spectroscopy）による組成分析で求めた値でもよい。

[0029] 半導体部3は、第1化合物半導体部31と第2化合物半導体部32とのヘテロ接合35（以下、「第1ヘテロ接合35」ともいう）を有する。第1ヘテロ接合35は、基板2の第1面21に沿った第1方向D1に交差（本実施形態では、直交）する。また、半導体部3は、第1化合物半導体部31と第3化合物半導体部33とのヘテロ接合36（以下、「第2ヘテロ接合36」ともいう）を有する。第2ヘテロ接合36は、基板2の第1面21に沿った第1方向D1に交差（本実施形態では、直交）する。第1ヘテロ接合35及び第2ヘテロ接合36の各々は、第1方向D1に直交する（つまり、第1ヘテロ接合35及び第2ヘテロ接合36の各々と第1方向D1とのなす角度が90°である）場合に限らない。第1ヘテロ接合35及び第2ヘテロ接合36の各々は、例えば、第1方向D1に80°～100°の範囲で交差してもよい。

[0030] 第1化合物半導体部31は、基板2の第1面21上に直接形成されている。第1化合物半導体部31は、第1方向D1において互いに反対側にある第1表面311及び第2表面312と、基板2の厚さ方向D3において基板2側とは反対側の第3表面313と、を有する。第1表面311は、第1化合物半導体部31のIII族極性面（本実施形態では、Ga極性面）である。Ga極性面（+c面）は、(0001)面である。第1表面311は、III族極性面に限らず、III族極性面に対して1°～10°程度傾いた結晶面でもよい。

第2表面312は、第1化合物半導体部31のV族極性面（本実施形態では、N極性面）である。N極性面（-c面）は、(000-1)面である。第2表面312は、V族極性面に限らず、V族極性面に対して1°～10°程度傾いた結晶面でもよい。第3表面313は、第1化合物半導体部31の無極性面（本実施形態では、m面）である。第3表面313は、m面に限らず、例えば、a面でもよい。また、第3表面313は、m面からのオフ角（「第3オフ角」）が0°よりも大きく5°以下の結晶面でもよい。また、第3表面313は、a面からのオフ角（「第4オフ角」）が0°よりも大きく5°以下の結晶面でもよい。

[0031] 半導体部3では、第1化合物半導体部31の第1表面311を含むように第1ヘテロ接合35が形成されている。また、半導体部3では、第1化合物半導体部31の第2表面312を含むように第2ヘテロ接合36が形成されている。

[0032] 半導体部3では、第1方向D1に交差する第1ヘテロ接合35の近傍に、窒化物半導体（ここでは、第2化合物半導体部32を構成するアンドープのAlGaIn結晶）の自発分極及びピエゾ分極によって、2次元電子ガス（two-dimensional electron gas）37が発生している。言い換えれば、半導体部3では、第1化合物半導体部31と第2化合物半導体部32とのヘテロ接合35が、2次元電子ガス37を発生させる。2次元電子ガス37を含む領域（以下、「2次元電子ガス層」ともいう）は、nチャネル層（電子伝導層）として機能することが可能である。また、半導体部3では、窒化物半導体（ここでは、第3化合物半導体部33を構成するアンドープのAlGaIn結晶）の自発分極及びピエゾ分極によって、第1方向D1に交差する第2ヘテロ接合36の近傍に、2次元正孔ガス（two-dimensional hole gas）38が発生している。2次元正孔ガス38を含む領域（以下、「2次元正孔ガス層」ともいう）は、pチャネル層（正孔伝導層）として機能することが可能である。2次元電子ガス37及び2次元正孔ガス38の各々は、基板2と電氣的に絶縁されている。

[0033] 半導体部3は、第1方向D1において互いに離れて並んでいる複数（例えば、1000個）のダブルヘテロ構造部30を有するのが好ましい。複数のダブルヘテロ構造部30の各々は、第1方向D1において、第3化合物半導体部33、第1化合物半導体部31及び第2化合物半導体部32がこの順に並んでいる。半導体部3では、複数のダブルヘテロ構造部30の各々が、第4化合物半導体部34を有する。半導体部3は、第1化合物半導体部31、第2化合物半導体部32、第3化合物半導体部33及び第4化合物半導体部34の各々を複数有する。

[0034] 複数のダブルヘテロ構造部30の各々は、上述の第1ヘテロ接合35と、第2ヘテロ接合36と、を有する。これにより、半導体部3は、第1ヘテロ接合35を複数（例えば、1000個）有し、かつ、第2ヘテロ接合36を複数（例えば、1000個）有する。ここにおいて、半導体部3では、複数の第1ヘテロ接合35が平行であり、かつ、複数の第2ヘテロ接合36が平行である。半導体装置1では、複数の第1ヘテロ接合35が第1方向D1において略等間隔で並んでいる。半導体装置1では、第1方向D1において隣り合う第1ヘテロ接合35間の距離が、例えば10 μ mである。また、半導体装置1では、第1方向D1において隣り合う第2ヘテロ接合36間の距離が、例えば10 μ mである。

[0035] 半導体部3は、例えば、エピタキシャル成長技術、フォトリソグラフィ技術及びエッチング技術等を利用して形成されている。

[0036] 第1化合物半導体部31は、例えば、エピタキシャル成長法等を利用して形成することができる。この場合のエピタキシャル成長法は、例えば、MOVPE (Metal Organic Vapor Phase Epitaxy) である。エピタキシャル成長法は、MOVPEに限らず、例えば、HVPE (Hydride Vapor Phase Epitaxy)、MBE (Molecular Beam Epitaxy) 等を採用してもよい。第2化合物半導体部32、第3化合物半導体部33及び第4化合物半導体部34は、例えば、エピタキシャル成長法等を利用して形成することができる。この場合のエピタキシャル成長法は、MOVPEを採用するのが好ましい。アンドー

プのGaN結晶及びアンドープのAlGaN結晶は、それぞれの成長時に不可避免的に混入されるMg、H、Si、C、O等の不純物が存在してもよい。

[0037] 半導体装置1は、上述のように、第1電極4（ソース電極4）、第2電極5（ドレイン電極5）及び第3電極6（ゲート電極6）を備える。

[0038] ソース電極4及びドレイン電極5は、基板2の第1面21に沿ってかつ第1ヘテロ接合35に沿った第2方向D2において半導体部3の第1端面301及び第2端面302のそれぞれに配置されている。第1電極4及び第2電極5は、第1ヘテロ接合35に電氣的に接続されている。より詳細には、第1電極4及び第2電極5は、複数の第1ヘテロ接合35に電氣的に接続されている。また、第1電極4及び第2電極5は、複数の第2ヘテロ接合36に電氣的に接続されている。第1電極4及び第2電極5の各々は、複数の第1ヘテロ接合35及び複数の第2ヘテロ接合36それぞれとオーミック接触（Ohmic Contact）が得られるように形成されている。

[0039] ゲート層7は、半導体部3に空乏層8（図4及び5参照）を発現させてノーマリオフの電界トランジスタを実現するための層である。ゲート層7は、第2方向D2において第1電極4及び第2電極5それぞれから離れている。ゲート層7は、第1方向D1においてゲート電極6とダブルヘテロ構造部30との間に介在する。ゲート層7は、半導体装置1において、ゲート電極6とソース電極4との間に電圧が印加されておらず、ドレイン電極5とソース電極4との間に電圧が印加されていないときに、半導体部3に空乏層8を形成する。

[0040] 本実施形態の半導体装置1では、第2方向D2におけるゲート層7とソース電極4との距離は、第2方向D2におけるゲート層7とドレイン電極5との距離よりも短い。ゲート層7は、第2方向D2に直交する断面で見ると、半導体部3の表面に沿って形成されている。要するに、ゲート層7は、複数のダブルヘテロ構造部30に跨って形成されている。ここにおいて、ゲート層7は、第2方向D2に直交する面内において蛇行した形状である。ゲート層7は、例えば、p型金属酸化物半導体層である。ここにおいて、p型金属

酸化物半導体層は、NiO層である。NiO層は、例えば、リチウム、ナトリウム、カリウム、ルビジウム及びセシウムの群から選ばれる少なくとも1種のアルカリ金属を不純物として含んでいてもよい。また、NiO層は、例えば、不純物として添加されたときに一価となる銀、銅等の遷移金属を含んでいてもよい。第1方向D1におけるゲート層7の厚さは、例えば、100nmである。

[0041] ゲート電極6は、ゲート層7上に形成されている。要するに、ゲート電極6は、ゲート層7の表面に沿って形成されている。ゲート電極6は、第2方向D2に直交する断面で見ると、ゲート層7を介して半導体部3の表面に沿って形成されている。ゲート電極6は、ゲート層7を介して、複数のダブルヘテロ構造部30に跨って形成されている。ここにおいて、ゲート電極6は、第2方向D2に直交する面内において蛇行した形状である。

[0042] 半導体装置1では、基板2の厚さ方向D3においてソース電極4、ドレイン電極5及びゲート電極6と基板2との間に、半導体部3の一部が介在しているが、基板2が半絶縁性GaN基板なので、第1電極4、第2電極5及び第3電極6それぞれの少なくとも一部が、例えば基板2上に直接形成されていてもよい。ただし、基板2がn型GaN基板の場合には、ソース電極4、ドレイン電極5及びゲート電極6を互いに絶縁分離するために、基板2の厚さ方向D3においてソース電極4、ドレイン電極5及びゲート電極6と基板2との間に、半導体部3の一部が介在しているのが好ましい。

[0043] 半導体装置1を構成する電界効果トランジスタチップは、電界効果トランジスタ部10と、基板2と、を備える。ここにおいて、電界効果トランジスタ部10は、半導体部3、ソース電極4、ドレイン電極5、ゲート電極6及びゲート層7を含む。

[0044] 半導体装置1では、ゲート電極6とドレイン電極5との間の距離であるゲートドレイン間距離 L_{gd} (図2参照)によって半導体装置1の耐圧を決めることができる。また、半導体装置1では、ドレイン電極5とソース電極4との間の距離であるドレインソース間距離 L_{ds} によって抵抗(オン抵抗)

を決めることができる。オン抵抗は、ドレインソース間距離 L_{ds} だけでなく、基板2の厚さ方向 D_3 に沿った方向における第1ヘテロ接合35の長さ等にも依存する。

[0045] 以上説明した本実施形態の半導体装置1は、基板2と、半導体部3と、第1電極4及び第2電極5と、を備える。基板2は、基板2の厚さ方向 D_3 において互いに反対側にある第1面21及び第2面22を有する。半導体部3は、基板2の第1面21上に設けられている。半導体部3は、第1化合物半導体部31と第2化合物半導体部32とのヘテロ接合35であって基板2の第1面21に沿った第1方向 D_1 に交差するヘテロ接合35を有する。第1電極4及び第2電極5は、基板2の第1面21に沿ってかつヘテロ接合35に沿った第2方向 D_2 において半導体部3の第1端面301及び第2端面302のそれぞれに配置されており、ヘテロ接合35に電氣的に接続されている。

[0046] 以上の構成により、半導体装置1は、第1電極4と第2電極5との間の抵抗の低抵抗化を図ることが可能となる。

[0047] また、半導体装置1では、基板2が窒化物半導体基板であり、基板2の第1面21が c 軸に沿った結晶面である。半導体装置1では、第1化合物半導体部31及び第2化合物半導体部32の各々が窒化物半導体である。これにより、半導体装置1では、高耐圧化及び低抵抗化を図ることが可能となる。

[0048] 半導体装置1では、基板2の厚さ方向 D_3 における第1ヘテロ接合35の長さを長くするほど半導体装置1の R_{onA} （単位面積当たりのオン抵抗であり、単位は例えば $\Omega \cdot \text{cm}^2$ ）の低抵抗化を図れる。ここにおいて、「 R_{onA} 」は、 R_{on} （オン抵抗であり、単位は Ω ）と電界効果トランジスタ部10の面積（平面視における電界効果トランジスタチップのチップ面積であり、例えば、 $1\text{cm} \times 1\text{cm} = 1\text{cm}^2$ ）との積である。

[0049] また、半導体装置1では、第1ヘテロ接合35の数が多いほど低抵抗化を図れるので、第1方向 D_1 において隣り合う第1ヘテロ接合35間の距離を短くして第1ヘテロ接合35の数を増やすことにより、半導体装置1の R_{on}

Aの低抵抗化を図ることが可能となる。要するに、半導体装置1では、高耐圧化を図りつつR_{onA}の低抵抗化を図ることが可能となる。

[0050] 以下では、半導体装置1の製造方法の一例について図6A～8Cに基づいて簡単に説明する。

[0051] 半導体装置1の製造方法では、まず、複数の半導体装置1それぞれの基板2の元になるウェハ20（図6A参照）を準備する。ウェハ20は、例えば、Ga_{0.5}N_{0.5}ウェハである。ウェハ20は、その厚さ方向において互いに反対側にある第1面201及び第2面202を有する。

[0052] 半導体装置1の製造方法では、ウェハ20を準備した後、第1工程～第6工程を順次行う。

[0053] 第1工程では、ウェハ20の前処理を行ってから、ウェハ20をエピタキシャル成長装置に導入し、その後、ウェハ20の第1面201上に第1化合物半導体部31の元になる第1化合物半導体層310（ここでは、アンドープのGa_{0.5}N_{0.5}層）をエピタキシャル成長法により積層（エピタキシャル成長）する（図6A参照）。ウェハ20の第1面201は、基板2の第1面21に相当する表面である。エピタキシャル成長装置としてMOVPE装置を採用する場合、Gaの原料ガスとしては、例えば、トリメチルガリウム（TMGa）を採用する。また、Nの原料ガスとしては、NH₃を採用する。各原料ガスそれぞれのキャリアガスとしては、例えば、H₂ガス、N₂ガス、H₂ガスとN₂ガスとの混合ガス等を採用する。第1化合物半導体層310の成長条件については、基板温度、V/III比、各原料ガスの供給量、成長圧力等を適宜設定すればよい。「基板温度」とは、ウェハ20の温度を意味する。エピタキシャル成長装置としてMOVPE装置を採用する場合、「基板温度」は、例えば、ウェハ20を支持するサセプタ（susceptor）の温度を代用することができる。例えば、基板温度は、熱電対により測定したサセプタの温度を代用することができる。「V/III比」とは、III族元素の原料ガスのモル供給量[μmol/min]に対するV族元素の原料ガスのモル供給量[μmol/min]の比である。「成長圧力」とは、各原料ガス及び各キャリアガスをMOVPE装置

の反応炉内に供給している状態における反応炉内の圧力である。

- [0054] 第1工程では、第1化合物半導体層310をエピタキシャル成長した後、ウェハ20と第1化合物半導体層310を含むウェハ20Aをエピタキシャル成長装置から取り出す。
- [0055] 第2工程では、フォトリソグラフィ技術及びエッチング技術等を利用して第1化合物半導体層310をパターニングする(図6B参照)。より詳細には、第2工程では、ウェハ20Aにおいて第1化合物半導体層310の表面から複数のトレンチ330を形成することによって、ウェハ20とパターニングされた第1化合物半導体層310を含むウェハ20Bを得る。複数のトレンチ330は、第1方向D1において並んでいる。トレンチ330の深さは、例えば、基板2の厚さ方向D3における第1ヘテロ接合35の設計長さと同じ値である。ウェハ20Aでは、ウェハ20が半絶縁性Ga_{0.5}In_{0.5}Nウェハの場合、トレンチ330の深さがウェハ20に達する深さでもよいが、ウェハ20がn型Ga_{0.5}In_{0.5}Nウェハの場合、トレンチ330の底面とウェハ20の第1面201との間に第1化合物半導体層310の一部が介在しているのが好ましい。これにより、ウェハ20がn型Ga_{0.5}In_{0.5}Nウェハの場合でも、半導体装置1において半導体部3の2次元電子ガス37及び2次元正孔ガス38の各々と基板2とが電氣的に絶縁される。複数のトレンチ330を形成する工程でのエッチング装置としては、例えば、ICP(Inductive Coupled Plasma)型のドライエッチング装置を用いる。エッチングガスとしては、例えば、Cl₂ガス、SF₆ガス等を用いる。
- [0056] 第3工程では、ウェハ20Bをエピタキシャル成長装置に導入し、その後、第2化合物半導体層320(ここでは、アンドープのAlGa_{0.5}In_{0.5}N層)を、第1化合物半導体層310を覆うようにウェハ20B上にエピタキシャル成長法により積層(エピタキシャル成長)する(図6C参照)。これにより、ウェハ20とパターニングされた第1化合物半導体層310と第2化合物半導体層320とを含むウェハ20Cを得る。第2化合物半導体層320は、第2化合物半導体部32と第3化合物半導体部33と第4化合物半導体部3

4とを含む。エピタキシャル成長装置としてMOVPE装置を採用する場合、Alの原料ガスとしては、例えば、トリメチルアルミニウム(TMAI)を採用する。また、Gaの原料ガスとしては、例えば、トリメチルガリウム(TMGa)を採用する。また、Nの原料ガスとしては、NH₃を採用する。各原料ガスそれぞれのキャリアガスとしては、例えば、H₂ガス、N₂ガス、H₂ガスとN₂ガスとの混合ガス等を採用する。第3工程では、第2化合物半導体層320をエピタキシャル成長した後、第2化合物半導体層320を含むウェハ20Cをエピタキシャル成長装置から取り出す。

[0057] 第4工程では、リソグラフィ技術及びエッチング技術等を利用して第2化合物半導体層320及び第1化合物半導体層310をパターニングする(図7A及び8A参照)。これにより、第4工程では、第1端面301及び第2端面302を有する半導体部3が形成される。これにより、ウェハ20と半導体部3とを含むウェハ20Dを得る。

[0058] 第5工程では、第1電極4及び第2電極5を形成する(図7B及び8B参照)。より詳細には、第5工程では、薄膜形成技術等を利用して第1電極4及び第2電極5の元になる所定パターンの金属層を形成し、オーミック接触を得るための熱処理であるシンタ(sinter)を行う。これにより、第5工程では、第1ヘテロ接合35及び第2ヘテロ接合36に電氣的に接続された第1電極4及び第2電極5を形成する。これにより、ウェハ20と半導体部3と第1電極4及び第2電極5とを含むウェハ20Eを得る。

[0059] 第6工程では、ゲート層7及びゲート電極6を形成する(図7C及び8C参照)。ゲート層7がNiO層の場合、例えば、ALD(Atomic Layer Deposition)等によってゲート層7を形成すればよい。また、第6工程では、例えば、ゲート電極6の元になるPd膜とAu膜との積層膜又はNi膜とAu膜との積層膜を所定パターンに形成する。これにより、ウェハ20と半導体部3と第1電極4及び第2電極5とゲート層7とゲート電極6とを含むウェハ20Fを得る。ここにおいて、ウェハ20Fには、複数の半導体装置1が形成されている。要するに、半導体装置1の製造方法では、第1工程～第6

工程を行うことによって、半導体装置 1 が複数形成されたウェハ 20F を得ることができる。

[0060] 半導体装置 1 の製造方法では、ウェハ 20F を例えばダイシングソー (Dicing Saw) 等によって切断することで、1 枚のウェハ 20F から複数の半導体装置 1 を得ることができる。半導体装置 1 の製造方法では、ウェハ 20F を切断する前に、ウェハ 20 の厚さを基板 2 の所望の厚さとするようにウェハ 20 を第 1 面 201 とは反対の第 2 面 202 側から研磨してもよい。

[0061] 上記の実施形態は、本発明の様々な実施形態の一つに過ぎない。上記の実施形態は、本発明の目的を達成できれば、設計等に依じて種々の変更が可能である。

[0062] 図 9A 及び 9B は、実施形態の変形例 1 の半導体装置 1a の断面図である。変形例 1 の半導体装置 1a に関し、実施形態の半導体装置 1 と同様の構成要素には実施形態の半導体装置 1 と同一の符号を付して説明を省略する。

[0063] 変形例 1 の半導体装置 1a では、第 1 方向 D1 に直交する平面と第 2 ヘテロ接合 36 とのなす角度を 10° よりも更に大きくすることで、第 2 ヘテロ接合 36 の近傍における 2 次元正孔ガス 38 (図 1 参照) の発生は抑制されるが、半導体装置 1a の製造時のドライエッチングのエッチング条件 (上記第 2 工程でのドライエッチングのエッチング条件) 等の製造上の条件的な制約を緩和できる。ここにおいて、半導体装置 1a では、第 1 化合物半導体部 31 の第 2 表面 312 を、第 1 方向 D1 に直交する平面に対して 10° よりも更に傾斜させた傾斜面としている。

[0064] 変形例 1 の半導体装置 1 を構成する電界効果トランジスタチップは、電界効果トランジスタ部 10a を備える。ここにおいて、電界効果トランジスタ部 10a は、実施形態 1 の半導体装置 1 における電界効果トランジスタ部 10 と同様、半導体部 3、ソース電極 4、ドレイン電極 5、ゲート電極 6 及びゲート層 7 を含む。

[0065] 図 10 は、実施形態の変形例 2 の半導体装置 1b の断面図である。変形例 2 の半導体装置 1b に関し、実施形態の半導体装置 1 と同様の構成要素には

実施形態の半導体装置 1 と同一の符号を付して説明を省略する。

[0066] 変形例 2 の半導体装置 1 b は、ダイオードチップである。このため、実施形態の半導体装置 1 におけるゲート電極 6 及びゲート層 7 を備えていない。変形例 2 の半導体装置 1 b では、実施形態の半導体装置 1 と同様、複数のダブルヘテロ構造部 30 が第 1 方向 D 1 において並んでいるので、第 1 方向 D 1 においてアンドープの AlGaIn 結晶とアンドープの GaIn 結晶とが交互に並んでいる。これにより、変形例 2 の半導体装置 1 b では、半導体部 3 が、第 1 方向 D 1 において複数の 2 次元電子ガス層と複数の 2 次元正孔ガス層とが交互に並んでいる。第 1 電極 4 と第 2 電極 5 とのうちいずれか一方がアノード電極を構成し、他方がカソード電極を構成している。半導体装置 1 b は、第 1 電極 4 と第 2 電極 5 との間に電圧を印加されたときに第 1 電極 4 と第 2 電極 5 とのうち相対的に高電位となるほうが、アノード電極を構成し、相対的に低電位となるほうがカソード電極を構成する。また、上述の説明から分かるように、半導体装置 1 b では、半導体装置 1 b を構成するダイオードチップは、ダイオード部 10 b と、基板 2 と、を備える。ダイオード部 10 b は、半導体部 3 と、第 1 電極 4 及び第 2 電極 5 と、を含むマルチチャンネルダイオードである。

[0067] 上記の実施形態は、本発明の目的を達成できれば、変形例 1、2 以外にも、設計等に応じて種々の変更が可能である。

[0068] 例えば、基板 2 は、GaIn 基板に限らず、例えば、AlIn 基板等でもよい。

[0069] また、複数のダブルヘテロ構造部 30 は、必ずしも等間隔で並んでいる必要はない。

[0070] また、ゲート層 7 は、NiO 層に限らず、例えば、p 型 AlGaIn 層でもよい。p 型 AlGaIn 層は、その成長時に Mg がドーピングされており、Mg を含有している。ゲート層 7 として例えば p 型 AlGaIn 層を採用する場合、ゲート電極 6 がゲート層 7 にオーミック接触している必要がある。

[0071] また、実施形態の半導体装置 1 及び変形例 1 の半導体装置 1 a では、ゲー

ト層 7 を備えているが、ゲート層 7 は、必須の構成要素ではない。ゲート層 7 を備えていない場合には、ゲート電極 6 を第 1 方向 D 1 において第 2 化合物半導体部 3 2 に直接接触するように配置すればよい。実施形態の半導体装置 1 及び変形例 1 の半導体装置 1 a の各々は、ゲート層 7 を備えていない場合、ノーマリオン型の電界効果トランジスタを実現することが可能となる。

[0072] また、実施形態の半導体装置 1 及び変形例 1 の半導体装置 1 a の各々は、第 1 電極 4 に電氣的に接続された第 1 パッド電極と、第 2 電極 5 に電氣的に接続された第 2 パッド電極と、第 3 電極 6 に電氣的に接続された第 3 パッド電極と、を更に備えていてもよい。第 1 パッド電極、第 2 パッド電極及び第 3 パッド電極は、外部接続用の電極である。

[0073] また、実施形態の半導体装置 1 は、電界効果トランジスタ部 1 0 と変形例 2 のダイオード部 1 0 b とが 1 チップに集積化されていてもよい。要するに、半導体装置 1 は、電界効果トランジスタ部 1 0 とダイオード部 1 0 b とが 1 つの基板 2 の第 1 面 2 1 上で集積化されたチップでもよい。

[0074] また、実施形態の半導体装置 1 及び変形例 1 の半導体装置 1 a の各々は、電界効果トランジスタ部 1 0 を 2 つ備え、この 2 つの電界効果トランジスタ部 1 0 のソース電極 4 同士を電氣的に接続することで 2 つの電界効果トランジスタ部 1 0 が逆直列に接続されていてもよい。

[0075] また、半導体部 3 では、第 1 化合物半導体部 3 1 と第 2 化合物半導体部 3 2 とのヘテロ接合 3 5 が、2 次元電子ガス 3 7 を発生させることができればよく、第 1 化合物半導体部 3 1、第 2 化合物半導体部 3 2、第 3 化合物半導体部 3 3 及び第 4 化合物半導体部 3 4 は、窒化物半導体に限らず、他の III-V 族化合物半導体でもよい。例えば、半導体装置 1 では、第 1 化合物半導体部 3 1 がアンドープの GaAs 結晶であり、第 2 化合物半導体部 3 2、第 3 化合物半導体部 3 3 及び第 4 化合物半導体部 3 4 が Si ドープの AlGaAs 結晶でもよい。この場合、基板 2 は、例えば、半絶縁性 GaAs 基板であるのが好ましい。

[0076] (まとめ)

以上説明した実施形態等から以下の態様が開示されている。

- [0077] 第1の態様に係る半導体装置(1、1a、1b)は、基板(2)と、半導体部(3)と、第1電極(4)及び第2電極(5)と、を備える。基板(2)は、基板(2)の厚さ方向(D3)において互いに反対側にある第1面(21)及び第2面(22)を有する。半導体部(3)は、基板(2)の第1面(21)上に設けられている。半導体部(3)は、第1化合物半導体部(31)と第2化合物半導体部(32)とのヘテロ接合(35)であって基板(2)の第1面(21)に沿った第1方向(D1)に交差するヘテロ接合(35)を有する。第1電極(4)及び第2電極(5)は、基板(2)の第1面(21)に沿ってかつヘテロ接合(35)に沿った第2方向(D2)において半導体部(3)の第1端面(301)及び第2端面(302)のそれぞれに配置されている。第1電極(4)及び第2電極(5)は、ヘテロ接合(35)に電氣的に接続されている。
- [0078] 以上の構成により、半導体装置(1、1a、1b)は、低抵抗化を図ることが可能となる。これにより、半導体装置(1、1a、1b)は、低損失化を図ることが可能となる。
- [0079] 第2の態様に係る半導体装置(1、1a、1b)では、第1の態様において、基板(2)が窒化物半導体基板であり、基板(2)の第1面(21)がc軸に沿った結晶面である。第1方向D1が基板(2)のc軸に沿った方向である。第1化合物半導体部(31)及び第2化合物半導体部(32)の各々が窒化物半導体である。これにより、半導体装置(1、1a、1b)では、高耐圧化及び低抵抗化を図ることが可能となる。
- [0080] 第3の態様に係る半導体装置(1、1a、1b)では、第1又は2の態様において、半導体部(3)は、ヘテロ接合(35)を複数有する。これにより、半導体装置(1、1a、1b)では、高耐圧化及び低抵抗化を図ることが可能となる。
- [0081] 第4の態様に係る半導体装置(1、1a、1b)は、第3の態様において、複数のヘテロ接合(35)が平行である。これにより、半導体装置(1、

1 a、1 b) では、低抵抗化を図ることが可能となる。

[0082] 第5の態様に係る半導体装置(1、1 a)では、第1乃至4のいずれか一つの態様において、半導体部(3)では、第2化合物半導体部(3 2)のバンドギャップエネルギーが第1化合物半導体部(3 1)のバンドギャップエネルギーよりも大きい。半導体装置(1、1 a)は、ゲート電極(6)を備える。ゲート電極(6)は、第1電極(4)と第2電極(5)との間で第1方向(D 1)に交差する。ゲート電極(6)は、少なくとも第2化合物半導体部(3 2)を介してヘテロ接合(3 5)に対向する。これにより、半導体装置(1、1 a)は、オン抵抗の低抵抗化を図ることが可能となる。

[0083] 第6の態様に係る半導体装置(1、1 a)は、第5の態様において、ゲート層(7)を更に備える。ゲート層(7)は、第1方向(D 1)においてゲート電極(6)と第2化合物半導体部(3 2)との間に介在する。ゲート層(7)は、第2化合物半導体部(3 2)及び第1化合物半導体部(3 1)に空乏層(8)を形成する。これにより、半導体装置(1、1 a)では、ノーマリオフ型の電界効果トランジスタを実現することが可能となる。

[0084] 第7の態様に係る半導体装置(1、1 a、1 b)では、第1の態様において、半導体部(3)は、第3化合物半導体部(3 3)を更に有する。第3化合物半導体部(3 3)は、第1方向(D 1)において第1化合物半導体部(3 1)における第2化合物半導体部(3 2)側とは反対側に位置する。半導体部(3)では、第2化合物半導体部(3 2)のバンドギャップエネルギー及び第3化合物半導体部(3 3)のバンドギャップエネルギーの各々が第1化合物半導体部(3 1)のバンドギャップエネルギーよりも大きい。半導体装置(1、1 a、1 b)では、基板(2)が窒化物半導体基板であり、基板(2)の第1面(2 1)がc軸に沿った結晶面である。半導体装置(1、1 a、1 b)では、第1化合物半導体部(3 1)、第2化合物半導体部(3 2)及び第3化合物半導体部(3 3)の各々が窒化物半導体である。半導体部(3)は、第1方向(D 1)において互いに離れて並んでいる複数のダブルヘテロ構造部(3 0)を有する。複数のダブルヘテロ構造部(3 0)の各々は、第

1方向(D1)において、第3化合物半導体部(33)、第1化合物半導体部(31)及び第2化合物半導体部(32)がこの順に並んでいる。複数のダブルヘテロ構造部(30)の各々は、第1化合物半導体部(31)と第2化合物半導体部(32)とのヘテロ接合(35)からなる第1ヘテロ接合(35)と、第1化合物半導体部(31)と第3化合物半導体部(33)とのヘテロ接合(36)からなる第2ヘテロ接合(36)と、を有する。半導体装置(1、1a、1b)では、第1電極(4)と第2電極(5)とのうちいずれか一方がアノード電極を構成し、他方がカソード電極を構成する。これにより、半導体装置(1、1a、1b)では、高耐圧化を図りつつ低抵抗化を図ることが可能となる。

符号の説明

- [0085] 1、1a、1b 半導体装置
- 2 基板
 - 21 第1面
 - 22 第2面
 - 3 半導体部
 - 30 ダブルヘテロ構造部
 - 31 第1化合物半導体部
 - 32 第2化合物半導体部
 - 33 第3化合物半導体部
 - 35 ヘテロ接合(第1ヘテロ接合)
 - 36 ヘテロ接合(第2ヘテロ接合)
 - 301 第1端面
 - 302 第2端面
 - 4 第1電極
 - 5 第2電極
 - 6 第3電極
 - 7 ゲート層

8 空乏層

D 1 第 1 方向

D 2 第 2 方向

D 3 厚さ方向

請求の範囲

- [請求項1] 厚さ方向において互いに反対側にある第1面及び第2面を有する基板と、
- 前記基板の前記第1面上に設けられており、第1化合物半導体部と第2化合物半導体部とのヘテロ接合であって前記基板の前記第1面に沿った第1方向に交差する前記ヘテロ接合を有する半導体部と、
- 前記基板の前記第1面に沿ってかつ前記ヘテロ接合に沿った第2方向において前記半導体部の第1端面及び第2端面のそれぞれに配置されており、前記ヘテロ接合に電氣的に接続されている第1電極及び第2電極と、を備える
- ことを特徴とする半導体装置。
- [請求項2] 前記基板が窒化物半導体基板であり、
- 前記基板の前記第1面がc軸に沿った結晶面であり、
- 前記第1方向が前記c軸に沿った方向であり、
- 前記第1化合物半導体部及び前記第2化合物半導体部の各々が窒化物半導体である
- ことを特徴とする請求項1記載の半導体装置。
- [請求項3] 前記半導体部は、前記ヘテロ接合を複数有する
- ことを特徴とする請求項1又は2記載の半導体装置。
- [請求項4] 前記複数のヘテロ接合が平行である
- ことを特徴とする請求項3記載の半導体装置。
- [請求項5] 前記半導体部では、前記第2化合物半導体部のバンドギャップエネルギーが前記第1化合物半導体部のバンドギャップエネルギーよりも大きく、
- 前記第1電極と前記第2電極との間で前記第1方向に交差し少なくとも前記第2化合物半導体部を介して前記ヘテロ接合に対向するゲート電極を備える
- ことを特徴とする請求項1乃至4のいずれか一項に記載の半導体装

置。

[請求項6] 前記第1方向において前記ゲート電極と前記第2化合物半導体部との間に介在し、前記第2化合物半導体部及び前記第1化合物半導体部に空乏層を形成するゲート層を更に備えることを特徴とする請求項5記載の半導体装置。

[請求項7] 前記半導体部は、前記第1方向において前記第1化合物半導体部における前記第2化合物半導体部側とは反対側に位置する第3化合物半導体部を更に有し、

前記半導体部では、前記第2化合物半導体部のバンドギャップエネルギー及び前記第3化合物半導体部のバンドギャップエネルギーの各々が前記第1化合物半導体部のバンドギャップエネルギーよりも大きく、

前記基板が窒化物半導体基板であり、

前記基板の前記第1面がc軸に沿った結晶面であり、

前記第1化合物半導体部、前記第2化合物半導体部及び前記第3化合物半導体部の各々が窒化物半導体であり、

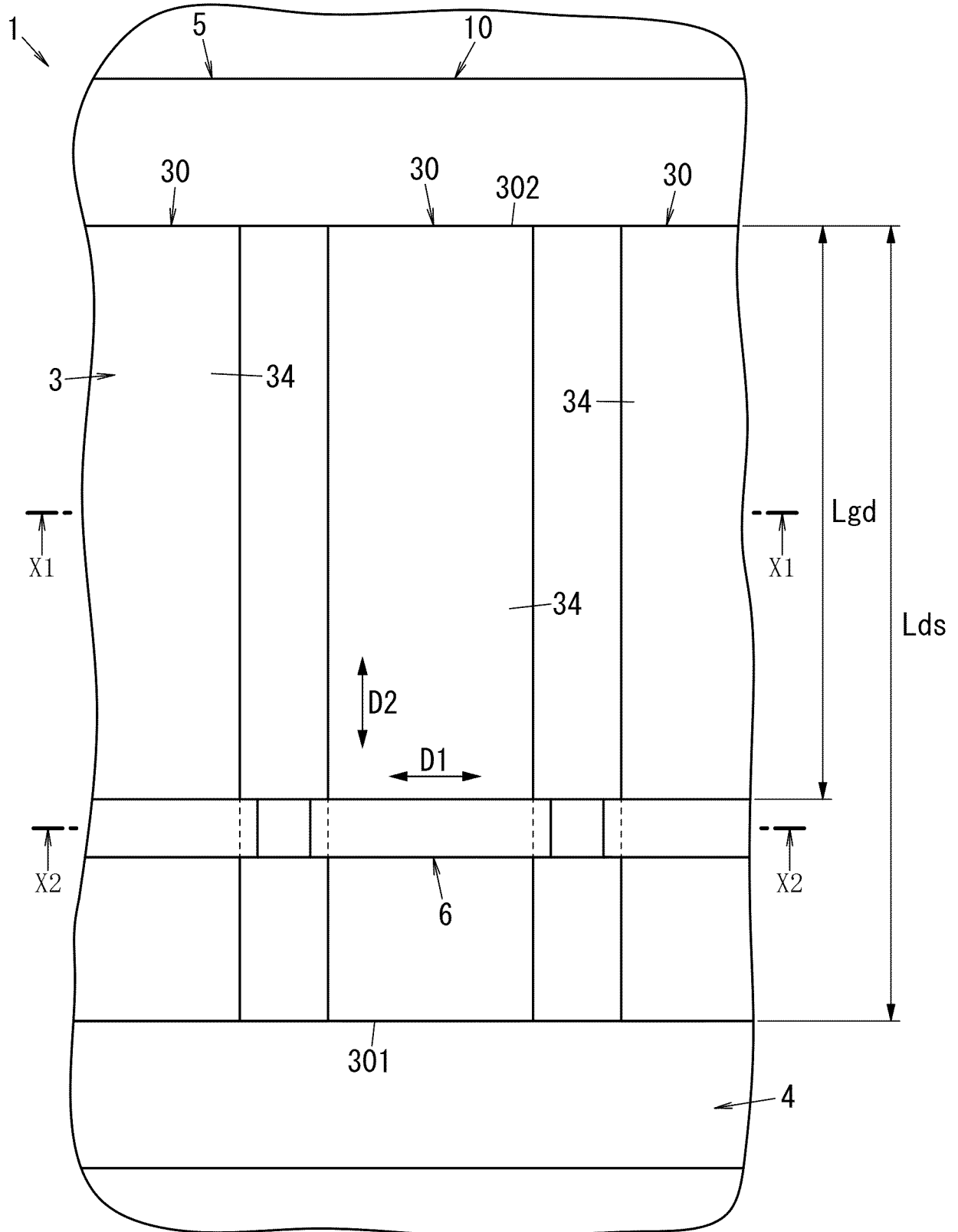
前記半導体部は、前記第1方向において互いに離れて並んでいる複数のダブルヘテロ構造部を有し、

前記複数のダブルヘテロ構造部の各々は、前記第1方向において、前記第3化合物半導体部、前記第1化合物半導体部及び前記第2化合物半導体部がこの順に並んでおり、前記第1化合物半導体部と前記第2化合物半導体部との前記ヘテロ接合からなる第1ヘテロ接合と、前記第1化合物半導体部と前記第3化合物半導体部とのヘテロ接合からなる第2ヘテロ接合と、を有し、

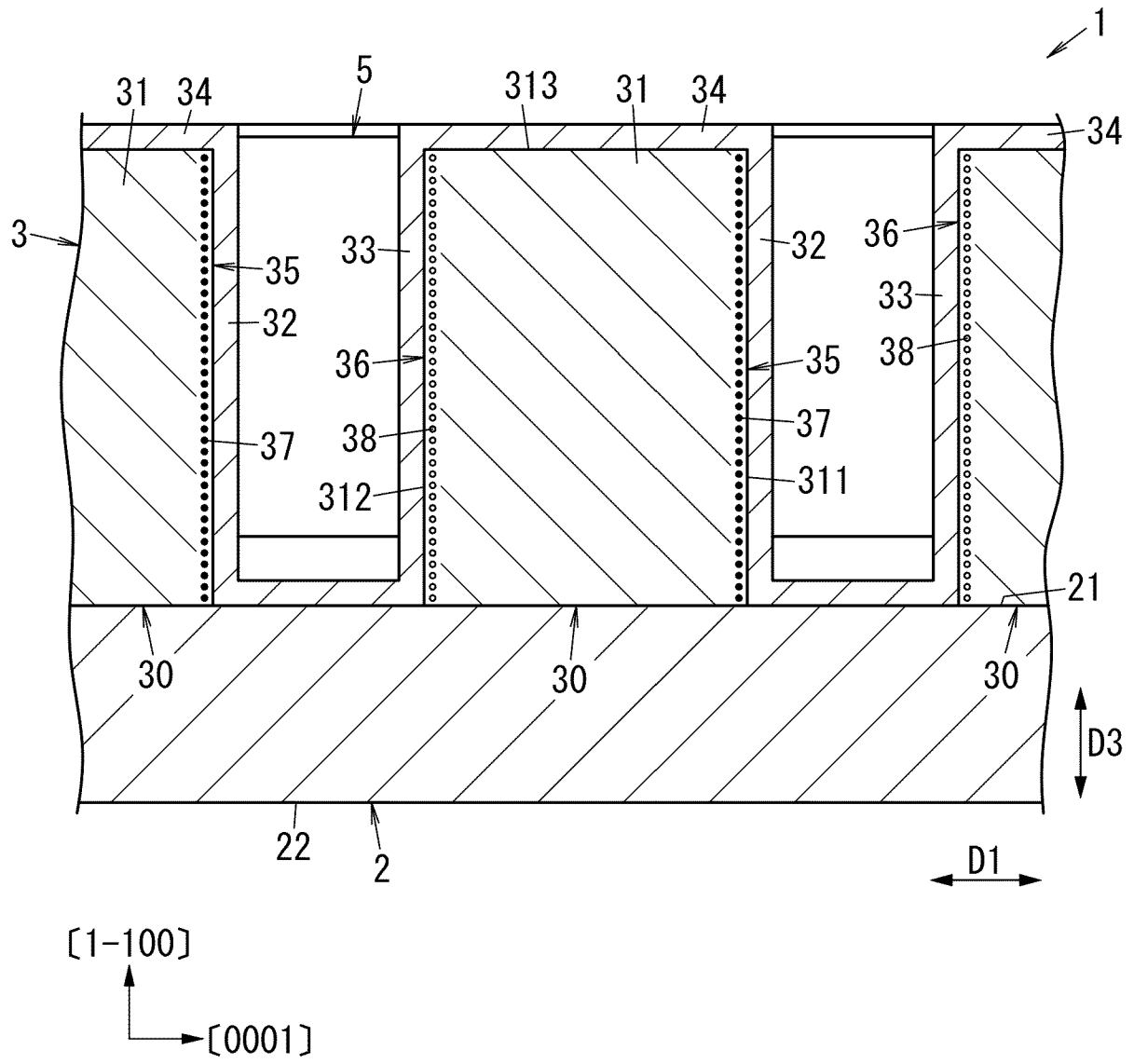
前記第1電極と前記第2電極とのうちいずれか一方がアノード電極を構成し、他方がカソード電極を構成する

ことを特徴とする請求項1記載の半導体装置。

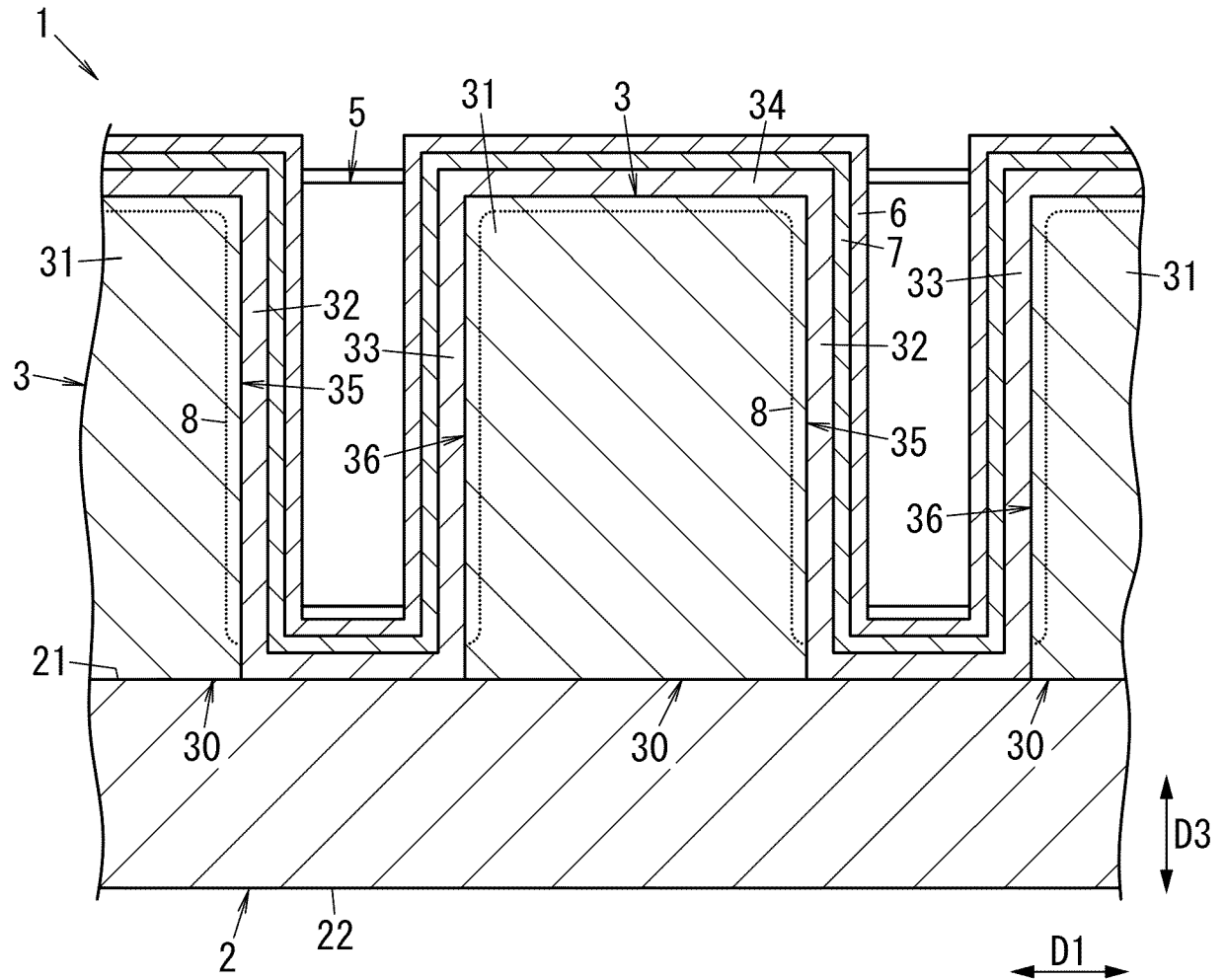
[図2]



[図3]



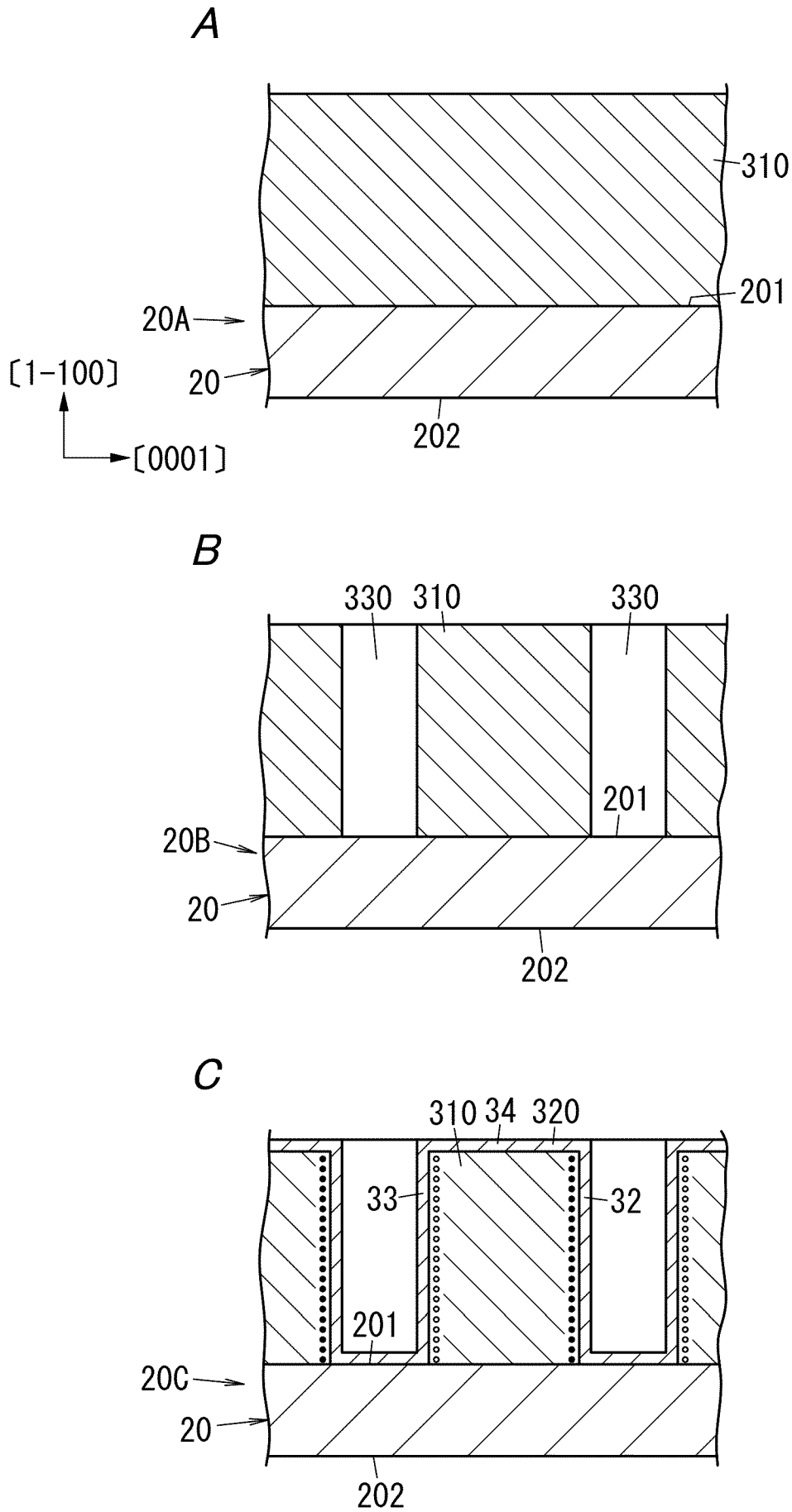
[図4]



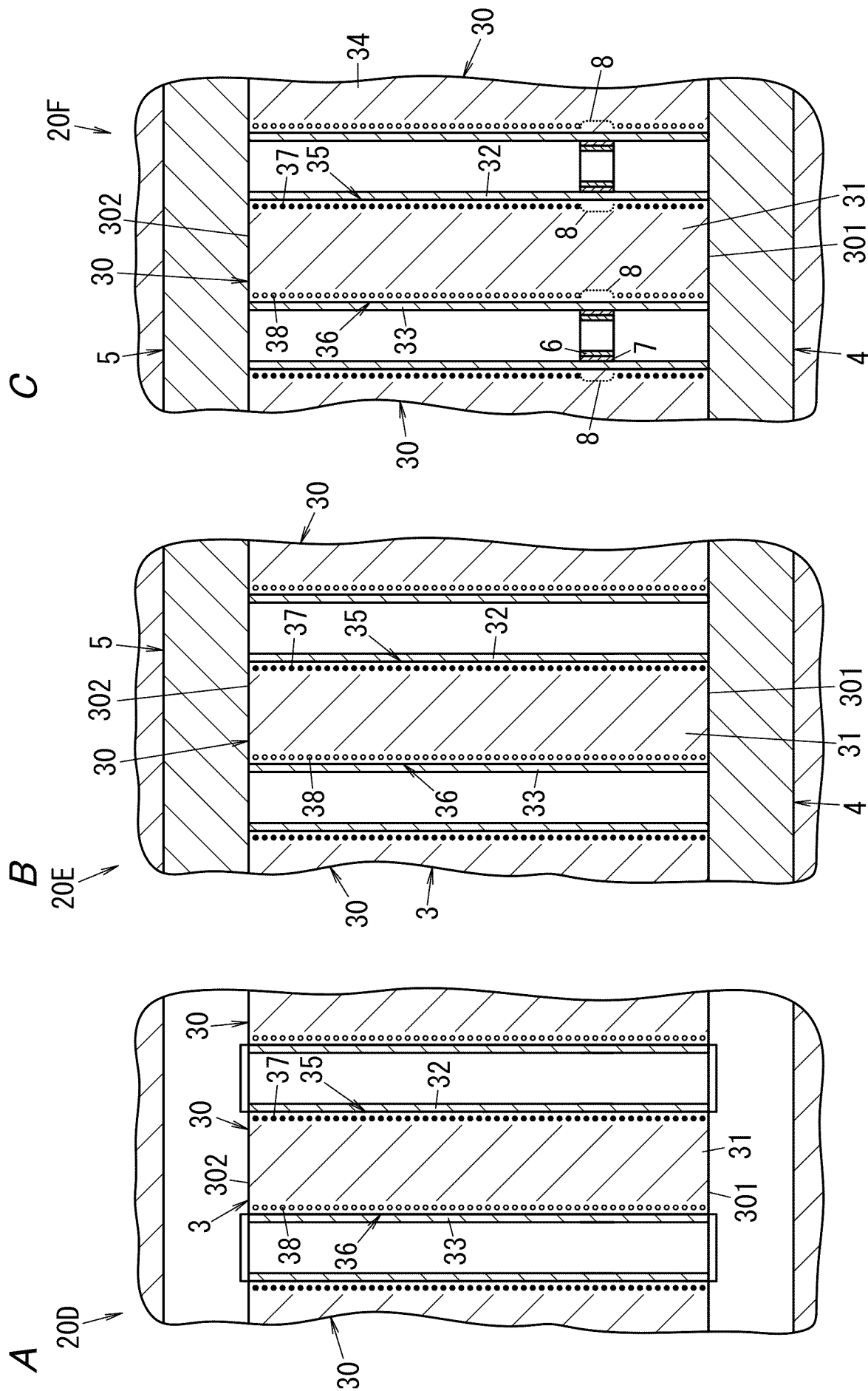
[1-100]

[0001]

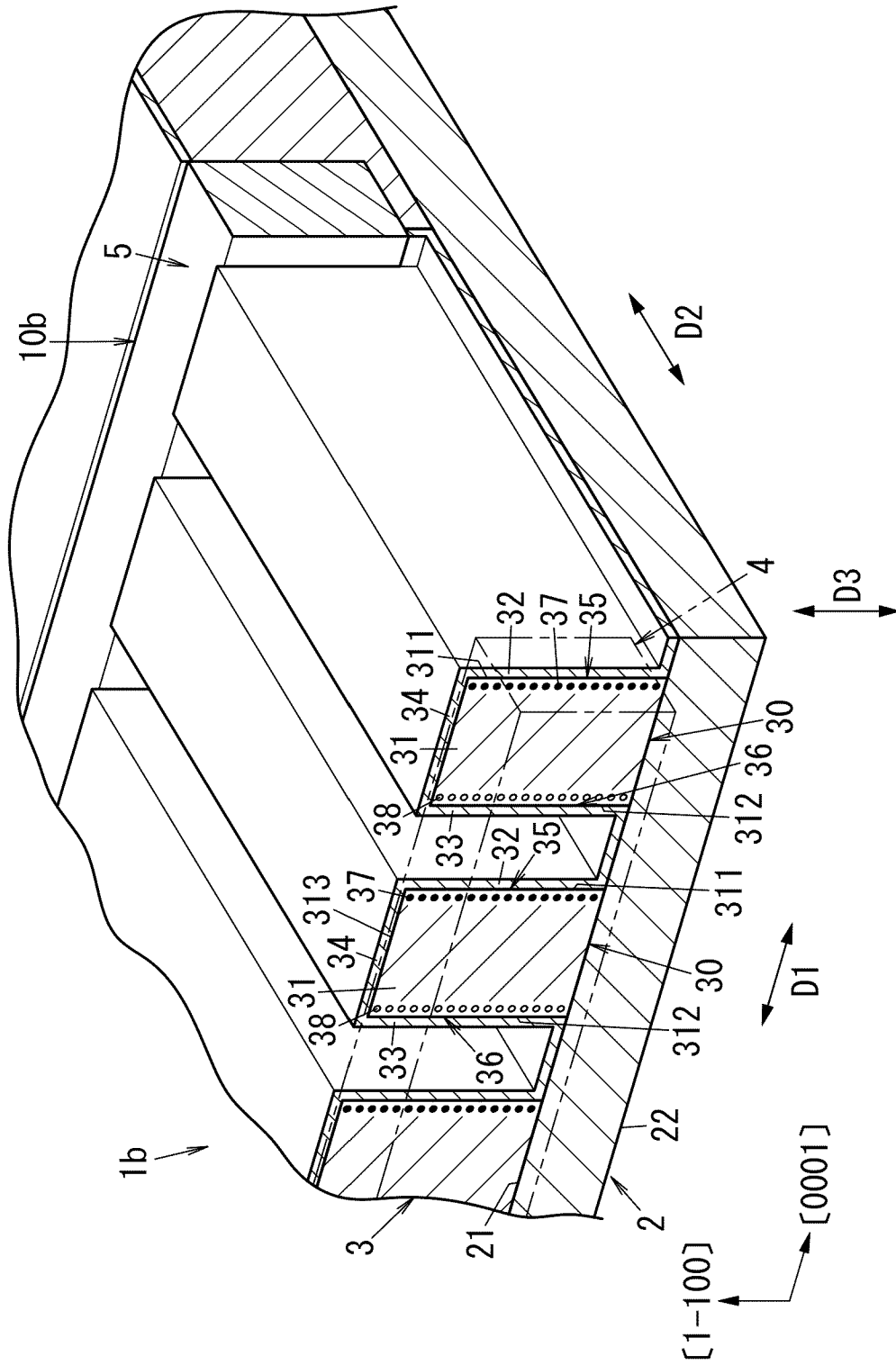
[図6]



[図8]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/012280

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/338(2006.01)i, H01L21/337(2006.01)i, H01L29/778(2006.01)i,
H01L29/808(2006.01)i, H01L29/812(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/338, H01L21/337, H01L29/778, H01L29/808, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 2013/0277683 A1 (THEN et al.) 24 October 2013, paragraphs [0023]-[0051], fig. 1-2, 5 & WO 2013/095346 A1 & TW 201332104 A & KR 10-2014-0085540 A	1-5 6-7
X Y A	JP 4-369843 A (MITSUBISHI ELECTRIC CORP.) 22 December 1992, paragraphs [0011]-[0020], fig. 1-2 (Family: none)	1, 3-5 6 2, 7

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
22 May 2018 (22.05.2018)

Date of mailing of the international search report
29 May 2018 (29.05.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/012280

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 7-507659 A (SIEMENS AG) 24 August 1995, page 3, upper left column, line 1 to page 3, lower right column, line 12, fig. 1-5 & WO 1993/026036 A1, page 4, line 11 to page 9, line 17, fig. 1-5 & EP 643873 A1 & DE 4218650 A1	1, 3-5 2, 6-7
Y A	JP 2013-74179 A (FUJITSU LTD.) 22 April 2013, paragraphs [0016]-[0021], [0039]-[0042], fig. 8 & US 2013/0075751 A1, paragraphs [0028]-[0033], [0051]-[0054], fig. 8 & CN 103035672 A & KR 10-2013-0034585 A	6 7
Y A	JP 59-22367 A (NEC CORP.) 04 February 1984, page 2, lower left column, line 3 to page 3, lower right column, line 7, fig. 6-7 & EP 100529 A1, page 12, line 13 to page 18, line 21, fig. 6-7	6 7
Y	WO 2013/005372 A1 (PANASONIC CORP.) 10 January 2013, paragraphs [0032]-[0057], [0067]-[0071], fig. 1, 5, 10 & US 2014/0110759 A1, paragraphs [0046]-[0071], [0081]-[0085], fig. 1, 5, 10	7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/338(2006.01)i, H01L21/337(2006.01)i, H01L29/778(2006.01)i, H01L29/808(2006.01)i, H01L29/812(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/338, H01L21/337, H01L29/778, H01L29/808, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	US 2013/0277683 A1 (THEN et al.) 2013. 10. 24, 段落[0023]-[0051], 図 1-2, 5 & WO 2013/095346 A1 & TW 201332104 A & KR 10-2014-0085540 A	1-5 6-7
X Y A	JP 4-369843 A (三菱電機株式会社) 1992. 12. 22, 段落[0011]-[0020], 図 1-2 (ファミリーなし)	1, 3-5 6 2, 7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

22. 05. 2018

国際調査報告の発送日

29. 05. 2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

杉山 芳弘

5 F

6311

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 7-507659 A (シーメンス アクチエンゲゼルシャフト) 1995.08.24, 第3頁左上欄第1行-第3頁右下欄12行, 第1図-第5 図 & WO 1993/026036 A1 第4頁第11行-第9頁第17行, 第1図-第5 図 & EP 643873 A1 & DE 4218650 A1	1, 3-5 2, 6-7
Y A	JP 2013-74179 A (富士通株式会社) 2013.04.22, 段落[0016]-[0021], [0039]-[0042], 図8 & US 2013/0075751 A1, 段落[0028]-[0033], [0051]-[0054], 図8 & CN 103035672 A & KR 10-2013-0034585 A	6 7
Y A	JP 59-22367 A (日本電気株式会社) 1984.02.04, 第2頁左下欄第3行-第3頁右下欄第7行, 第6図-第7 図 & EP 100529 A1, 第12頁第13行-第18頁第21行, 第6図-第7 図	6 7
Y	WO 2013/005372 A1 (パナソニック株式会社) 2013.01.10, 段落[0032]-[0057], [0067]-[0071], 図1, 5, 10 & US 2014/0110759 A1, 段落[0046]-[0071], [0081]-[0085], 図1, 5, 10	7