

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-141110

(P2009-141110A)

(43) 公開日 平成21年6月25日(2009.6.25)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 O 2 E	5 F O 4 8
HO 1 L 27/088 (2006.01)	HO 1 L 29/78 6 5 6 A	5 F 1 4 0
HO 1 L 27/04 (2006.01)	HO 1 L 29/78 6 5 3 B	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 K	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 2 L	

審査請求 未請求 請求項の数 7 O L (全 30 頁) 最終頁に続く

(21) 出願番号 特願2007-315747 (P2007-315747)
 (22) 出願日 平成19年12月6日 (2007.12.6)

(71) 出願人 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100106909
 弁理士 棚井 澄雄
 (74) 代理人 100108578
 弁理士 高橋 詔男
 (74) 代理人 100138759
 弁理士 大房 直樹
 (74) 代理人 100140774
 弁理士 大浪 一徳
 (72) 発明者 大湯 静憲
 東京都中央区八重洲二丁目2番1号 エル
 ピーダメモリ株式会社内

最終頁に続く

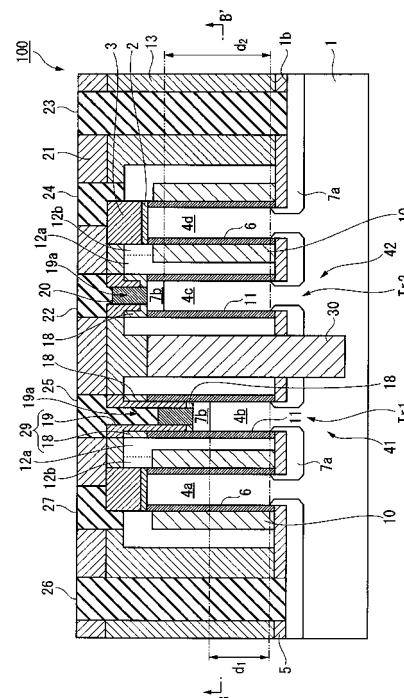
(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】異なるチャネル長のトランジスタを有し、設計の自由度が向上され、かつ、ゲート容量の増加を防止できる半導体装置及びその製造方法を提供することを目的とする。

【解決手段】半導体基板1に、第一の導電型の活性領域41、42を形成し、チャネル用シリコン柱4b、4cを含む複数のシリコン柱4a~4dを形成した後、第二の導電型の第一半導体領域7aを形成する工程と、容量増加防止用絶縁膜10を設けてゲート電位供給用シリコン柱4a、4dを形成する工程と、前記チャネル用シリコン柱4b、4cの周囲にゲート絶縁膜11を設ける工程と、ゲート電位供給用電極12bとゲート電極12aを形成し、接続する工程と、第一層間絶縁膜13を形成する工程と、前記チャネル用シリコン柱4bの高さを低くする工程と、第二の導電型の第二半導体領域7bを形成する工程と、を有する半導体装置100の製造方法を用いることにより、上記課題を解決できる。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

半導体基板の一面に、浅型素子分離領域によって分離された複数の第一の導電型の活性領域を形成する工程と、

前記活性領域にシリコン窒化膜をマスクにしてチャンネル用シリコン柱を含む複数のシリコン柱を形成した後、前記シリコン窒化膜をシリコン柱の上に残したまま、前記シリコン柱の基端側に第二の導電型の第一半導体領域を形成する工程と、

前記シリコン柱を埋めるように、SOG法により犠牲用絶縁膜を形成する工程と、

前記シリコン柱のうちチャンネル用シリコン柱以外のシリコン柱の周囲の前記犠牲用絶縁膜を除去した後、除去された部分に容量増加防止用絶縁膜を設けてゲート電位供給用シリコン柱を形成する工程と、

前記犠牲用絶縁膜の残部を除去した後、前記チャンネル用シリコン柱の周囲にゲート絶縁膜を設ける工程と、

前記容量増加防止用絶縁膜を覆うようにゲート電位供給用電極を形成するとともに、前記ゲート絶縁膜を覆うようにゲート電極を形成することによって、前記ゲート電位供給用電極と前記ゲート電極を接続する工程と、

前記ゲート電位供給用電極と前記ゲート電極を覆うように第一層間絶縁膜を形成する工程と、

前記チャンネル用シリコン柱の少なくとも1つの先端側にある前記シリコン窒化膜を除くことで前記チャンネル用シリコン柱を露出させた後、エッチングによりそのチャンネル用シリコン柱の高さを低くする工程と、

前記チャンネル用シリコン柱の残りの先端側を露出させた後、前記チャンネル用シリコン柱の露出された先端側に第二の導電型の第二半導体領域を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項 2】

前記チャンネル用シリコン柱の上にエピタキシャル成長シリコン層を形成する工程と、

前記第一層間絶縁膜と前記エピタキシャル成長シリコン層を覆うように第二層間絶縁膜を形成する工程と、

前記第一層間絶縁膜と前記第二層間絶縁膜にコンタクトプラグ用孔部を形成した後、前記コンタクトプラグ用孔部を埋めてコンタクトプラグ電極を形成する工程と、を有することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記複数のシリコン柱にソース・ドレイン電位供給用シリコン柱が含まれ、

前記複数のシリコン柱のうち前記チャンネル用シリコン柱と前記ソース・ドレイン電位供給用シリコン柱以外のシリコン柱の周囲の犠牲用絶縁膜を除去した後、除去された部分に容量増加防止用絶縁膜を設けてゲート電位供給用シリコン柱を形成する工程と、

前記ソース・ドレイン電位供給用シリコン柱の先端側を露出させた後、エッチングにより前記ソース・ドレイン電位供給用シリコン柱の高さを低くする工程と、

前記チャンネル用シリコン柱と前記ソース・ドレイン電位供給用シリコン柱の先端側を露出させた後、前記チャンネル用シリコン柱と前記ソース・ドレイン電位供給用シリコン柱の先端側に第二の導電型の第二半導体領域を形成し、前記ソース・ドレイン電位供給用シリコン柱の先端側に形成された第二の導電型の第二半導体領域を基端側の第二の導電型の第一半導体領域に接続させる工程と、を有することを特徴とする請求項 1 または請求項 2 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 4】

半導体基板と、前記半導体基板の一面に設けられ浅型素子分離領域によって分離された複数の第一の導電型の活性領域と、前記活性領域にそれぞれ形成されたチャンネル用シリコン柱と、前記チャンネル用シリコン柱の基端側に設けられてソースまたはドレインとなる第二の導電型の第一半導体領域と、前記チャンネル用シリコン柱の先端側に設けられ、ソースまたはドレインとなる第二の導電型の第二半導体領域と、前記チャンネル用シリコン柱を取

10

20

30

40

50

り囲むように形成されたゲート絶縁膜と、前記ゲート絶縁膜を取り囲むように設けられたゲート電極と、を有する半導体装置であって、

前記活性領域にそれぞれ形成された前記チャンネル用シリコン柱の少なくとも1つが他の前記チャンネル用シリコン柱と異なる高さのチャンネル用シリコン柱とされることを特徴とする半導体装置。

【請求項5】

前記活性領域にゲート電位供給用シリコン柱が形成され、前記ゲート電位供給用シリコン柱を取り囲むように絶縁膜が形成され、前記絶縁膜を取り囲むようにゲート電位供給用電極が設けられ、前記ゲート電位供給用電極が前記チャンネル用シリコン柱の周囲に設けられたゲート電極と接続され、前記ゲート電極と前記絶縁膜との間に、前記絶縁膜よりも膜厚の厚い容量増加防止用絶縁膜が備えられていることを特徴とする請求項4に記載の半導体装置。

10

【請求項6】

前記活性領域にソース・ドレイン電位供給用シリコン柱が形成され、その先端側に形成された第二の導電型の第二半導体領域が基端側の第二の導電型の第一半導体領域に接続され、前記ソース・ドレイン電位供給用シリコン柱の先端側に、前記ソース・ドレイン電位供給用シリコン柱の上に形成された第一層間絶縁膜の中に形成されたソース・ドレイン用のコンタクトプラグ電極が接続されていることを特徴とする請求項4または請求項5のいずれか1項に記載の半導体装置。

【請求項7】

20

前記チャンネル用シリコン柱および前記ソース・ドレイン電位供給用シリコン柱の先端側に形成された前記コンタクトプラグ電極および前記エピタキシャル成長層の周囲にバリア層が形成されていることを特徴とする請求項4～6のいずれか1項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置および半導体装置の製造方法に関するものであり、特に、異なるチャンネル長を有する縦型MOSトランジスタを備えた半導体装置に関するものである。

【背景技術】

【0002】

30

従来の3次元トランジスタ、即ち縦型MOSトランジスタは、特許文献1のFig. 2に示すように、ソース・ドレイン拡散層とチャンネルを形成するシリコン柱において、チャンネル部はゲート絶縁膜およびゲート電極に囲まれた構造であり、また、ソース・ドレイン拡散層はシリコン柱全体に形成してチャンネル部を完全に覆う構造である。

上記の縦型MOSトランジスタでは、耐圧の異なる縦型MOSトランジスタの配置については考慮されていなかった。

【0003】

特許文献2には、従来のプレーナー型MOSトランジスタTr2のほかに、2つの縦型トランジスタTr1を備える半導体装置が開示されている。これらの2つの縦型トランジスタTr1は、島状半導体層の上部と下部に第二導電型拡散層を備え、島状半導体層の両側にゲート絶縁膜を介してゲート電極を備える。

40

しかし、これらの2つの縦型MOSトランジスタTr1はほぼ同様な構成とされ、チャンネル長も等しいので、半導体装置の回路設計の自由度が制限される場合があった。

【0004】

特許文献3には、nチャンネルMOSFETと、pチャンネルMOSFETを備える半導体装置が開示されている。nチャンネルMOSFETを構成する第一の島状積層体は、第一のn型シリコン半導体層と、第二のp型シリコン半導体層と、第三のn型シリコン半導体層よりなる。また、pチャンネルMOSFETを構成する第二の島状積層体は、第二のp型シリコン半導体層と第三のn型シリコン半導体層と、第四のp型シリコン半導体層よりなる。第一の島状積層体と第二の島状積層体の高さは異なっている。また、第一の島状積層体

50

と第二の島状積層体には、それぞれ熱酸化膜が形成され、その両側にゲート電極が形成されている。さらにまた、第二のp型シリコン半導体層および第三のn型シリコン半導体層はソース・ドレイン領域とチャネル領域とに共用されている。

しかし、前記の構成においては、多層の半導体層から構成されるので、製造工程が複雑となる。さらに、熱酸化膜の膜厚が薄く絶縁性が不十分であるため、第二のp型シリコン半導体層および第三のn型シリコン半導体層に蓄えられるゲート容量の増加し、電流電圧特性が不安定となる場合があった。

【0005】

さらに、最近の半導体装置では、高密度化および低消費電力化が求められている。しかし、特許文献1～3に示した構成では、高密度化および低消費電力化を具現化する微細な配線あるいはコンタクト配置の設計を行うことができなかった。

【特許文献1】米国特許出願公開第2004/262681号明細書

【特許文献2】特開2007-134593号公報

【特許文献3】特開平08-116068号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、以上の問題を鑑みてなされたものであり、異なるチャネル長のトランジスタを有し、設計の自由度が向上され、かつ、ゲート容量の増加を防止できる半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の半導体装置の製造方法は、半導体基板の一面に、浅型素子分離領域によって分離された複数の第一の導電型の活性領域を形成する工程と、前記活性領域にシリコン窒化膜をマスクにしてチャネル用シリコン柱を含む複数のシリコン柱を形成した後、前記シリコン窒化膜をシリコン柱の上に残したまま、前記シリコン柱の基端側に第二の導電型の第一半導体領域を形成する工程と、前記シリコン柱を埋めるように、SOG法により犠牲用絶縁膜を形成する工程と、前記シリコン柱のうちチャネル用シリコン柱以外のシリコン柱の周囲の前記犠牲用絶縁膜を除去した後、除去された部分に容量増加防止用絶縁膜を設けてゲート電位供給用シリコン柱を形成する工程と、前記犠牲用絶縁膜の残部を除去した後、前記チャネル用シリコン柱の周囲にゲート絶縁膜を設ける工程と、前記容量増加防止用絶縁膜を覆うようにゲート電位供給用電極を形成するとともに、前記ゲート絶縁膜を覆うようにゲート電極を形成することによって、前記ゲート電位供給用電極と前記ゲート電極を接続する工程と、前記ゲート電位供給用電極と前記ゲート電極を覆うように第一層間絶縁膜を形成する工程と、前記チャネル用シリコン柱の少なくとも1つの先端側にある前記シリコン窒化膜を除くことで前記チャネル用シリコン柱を露出させた後、エッチングによりそのチャネル用シリコン柱の高さを低くする工程と、前記チャネル用シリコン柱の残りの先端側を露出させた後、前記チャネル用シリコン柱の露出された先端側に第二の導電型の第二半導体領域を形成する工程と、を有することを特徴とする。

【0008】

本発明の半導体装置の製造方法は、前記チャネル用シリコン柱の上にエピタキシャル成長シリコン層を形成する工程と、前記第一層間絶縁膜と前記エピタキシャル成長シリコン層を覆うように第二層間絶縁膜を形成する工程と、前記第一層間絶縁膜と前記第二層間絶縁膜にコンタクトプラグ用孔部を形成した後、前記コンタクトプラグ用孔部を埋めてコンタクトプラグ電極を形成する工程と、を有することを特徴とする。

【0009】

本発明の半導体装置の製造方法は、前記複数のシリコン柱にソース・ドレイン電位供給用シリコン柱が含まれ、前記複数のシリコン柱のうち前記チャネル用シリコン柱と前記ソース・ドレイン電位供給用シリコン柱以外のシリコン柱の周囲の犠牲用絶縁膜を除去した後、除去された部分に容量増加防止用絶縁膜を設けてゲート電位供給用シリコン柱を形成

10

20

30

40

50

する工程と、前記ソース・ドレイン電位供給用シリコン柱の先端側を露出させた後、エッチングにより前記ソース・ドレイン電位供給用シリコン柱の高さを低くする工程と、前記チャンネル用シリコン柱と前記ソース・ドレイン電位供給用シリコン柱の先端側を露出させた後、前記チャンネル用シリコン柱と前記ソース・ドレイン電位供給用シリコン柱の先端側に第二の導電型の第二半導体領域を形成し、前記ソース・ドレイン電位供給用シリコン柱の先端側に形成された第二の導電型の第二半導体領域を基端側の第二の導電型の第一半導体領域に接続させる工程と、を有することを特徴とする。

【0010】

本発明の半導体装置は、半導体基板と、前記半導体基板の一面に設けられ浅型素子分離領域によって分離された複数の第一の導電型の活性領域と、前記活性領域にそれぞれ形成されたチャンネル用シリコン柱と、前記チャンネル用シリコン柱の基端側に設けられてソースまたはドレインとなる第二の導電型の第一半導体領域と、前記チャンネル用シリコン柱の先端側に設けられ、ソースまたはドレインとなる第二の導電型の第二半導体領域と、前記チャンネル用シリコン柱を取り囲むように形成されたゲート絶縁膜と、前記ゲート絶縁膜を取り囲むように設けられたゲート電極と、を有する半導体装置であって、前記活性領域にそれぞれ形成された前記チャンネル用シリコン柱の少なくとも1つが他の前記チャンネル用シリコン柱と異なる高さのチャンネル用シリコン柱とされることを特徴とする。

10

【0011】

本発明の半導体装置は、前記活性領域にゲート電位供給用シリコン柱が形成され、前記ゲート電位供給用シリコン柱を取り囲むように絶縁膜が形成され、前記絶縁膜を取り囲むようにゲート電位供給用電極が設けられ、前記ゲート電位供給用電極が前記チャンネル用シリコン柱の周囲に設けられたゲート電極と接続され、前記ゲート電極と前記絶縁膜との間に、前記絶縁膜よりも膜厚の厚い容量増加防止用絶縁膜が備えられていることを特徴とする。

20

【0012】

本発明の半導体装置は、前記活性領域にソース・ドレイン電位供給用シリコン柱が形成され、その先端側に形成された第二の導電型の第二半導体領域が基端側の第二の導電型の第一半導体領域に接続され、前記ソース・ドレイン電位供給用シリコン柱の先端側に、前記ソース・ドレイン電位供給用シリコン柱の上に形成された第一層間絶縁膜の中に形成されたソース・ドレイン用のコンタクトプラグ電極が接続されていることを特徴とする。

30

【0013】

本発明の半導体装置は、前記チャンネル用シリコン柱および前記ソース・ドレイン電位供給用シリコン柱の先端側に形成された前記コンタクトプラグ電極および前記エピタキシャル成長層の周囲にバリア層が形成されていることを特徴とする。

【発明の効果】

【0014】

本発明によれば、異なるチャンネル長のトランジスタを有し、設計の自由度が向上され、かつ、ゲート容量の増加を防止できる半導体装置及びその製造方法を提供することができる。

【発明を実施するための最良の形態】

40

【0015】

以下、本発明を実施するための形態について説明する。

(実施形態1)

図1～3は、本発明の実施形態である半導体装置の一例を説明する図であって、図1は平面図であり、図2は図1のA-A'線における断面図であり、図3は図2のB-B'線における断面図である。

図1に示すように、本発明の実施形態である半導体装置100は、平面視したときに、第二層間絶縁膜21に直列に配列された円形のコンタクトプラグ電極22～27が露出されている。コンタクトプラグ電極22～27は、縦型MOSトランジスタTr1、Tr2のソース・ドレインおよびゲートに電流を供給する電極である。

50

【 0 0 1 6 】

図 2 は、図 1 の A - A ' 線における断面図である。

本発明の実施形態である半導体装置 1 0 0 は、半導体基板 1 に設けられた浅型素子分離領域 3 0 によって分離された第一の導電型の活性領域 4 1、4 2 にそれぞれ縦型 M O S トランジスタ T r 1、T r 2 が形成されて構成されている。なお、第一の導電型あるいは第二の導電型は、それぞれ n 型あるいは p 型のイオンを注入することにより形成される。

縦型 M O S トランジスタ T r 1、T r 2 は、第一の導電型の活性領域 4 1、4 2 にそれぞれ形成されたチャネル用シリコン柱 4 b、4 c をチャネルとして、その基端側にソース・ドレインとなる第二の導電型の第一半導体領域 7 a が配置され、その先端側にソース・ドレインとなる第二の導電型の第二半導体領域 7 b が配置され、チャネル用シリコン柱 4 b、4 c の側面にゲート絶縁膜 1 1 とゲート電極 1 2 a が配置されて形成されている。

10

【 0 0 1 7 】

浅型素子分離領域 3 0 によって分離された第一の導電型の活性領域 4 1、4 2 にそれぞれ形成された第二の導電型の第一半導体領域 7 a は、それぞれコンタクトプラグ電極 2 6、2 3 と接続されている。

そのため、コンタクトプラグ電極 2 6、2 3 に電位を加えることによって、チャネル用シリコン柱 4 b、4 c の基端側に形成されたソースまたはドレインとなる第二の導電型の第一半導体領域 7 a に電位を加えることができる構成とされている。

【 0 0 1 8 】

チャネル用シリコン柱 4 b、4 c の先端側に形成された第二の導電型の第二半導体領域 7 b は、それぞれエピタキシャル成長膜 2 0 を介して、コンタクトプラグ電極 2 5、2 2 と接続されている。

20

そのため、コンタクトプラグ電極 2 5、2 2 に電位を加えることによって、チャネル用シリコン柱 4 b、4 c の先端側に形成されてソースまたはドレインとなる第二の導電型の第二半導体領域 7 b に電位を加えることができる構成とされている。

なお、エピタキシャル成長シリコン層 2 0 は、筒状のサイドスペーサ 1 9 の孔部 1 9 a を所定の深さだけ埋めるように形成されている。

【 0 0 1 9 】

なお、エピタキシャル成長膜 2 0、コンタクトプラグ電極 2 5、2 2 の周囲には筒状のサイドスペーサ 1 9 およびシリコン酸化膜 1 8 からなるバリア層 2 9 が形成され、チャネル用シリコン柱 4 b、4 c を取り囲むように形成されたゲート電極 1 2 a と導通されないようにされている。

30

【 0 0 2 0 】

チャネル用シリコン柱 4 b、4 c を取り囲むようにそれぞれゲート絶縁膜 1 1 が形成されており、ゲート絶縁膜 1 1 を取り囲むようにゲート電極 1 2 a が形成されている。さらに、ゲート電極 1 2 a はゲート電位供給用電極 1 2 b と接続されており、ゲート電位供給用電極 1 2 b はコンタクトプラグ電極 2 7、2 4 に接続されている。

そのため、コンタクトプラグ電極 2 7、2 4 に電位を加えることによって、ゲート電極 1 2 a に電位を加えることができる構成とされている。

【 0 0 2 1 】

40

なお、第一の導電型の活性領域 4 1、4 2 には、それぞれゲート電位供給用シリコン柱 4 a、4 d が形成されている。ゲート電位供給用シリコン柱 4 a、4 d の先端側には、シリコン酸化膜 2 とシリコン窒化膜 3 が形成されている。そのため、コンタクトプラグ 2 7、2 4 とゲート電位供給用シリコン柱 4 a、4 d の間の絶縁性が確保される構成とされている。

【 0 0 2 2 】

また、ゲート電位供給用シリコン柱 4 a、4 d の側面を取り囲むように絶縁膜 6 が形成され、絶縁膜 6 を取り囲むように容量増加防止用絶縁膜 1 0 が形成され、容量増加防止用絶縁膜 1 0 を取り囲むようにゲート電位供給用電極 1 2 b が形成されている。

容量増加防止用絶縁膜 1 0 の膜厚は絶縁膜 6 よりも厚くされて形成されているので、ゲ

50

ート電位供給用電極 1 2 b とゲート電位供給用シリコン柱 4 a、4 d の間の絶縁性が保持される構成とされている。そのため、ゲート容量の増加を防止することができ、安定した電位をチャンネル用シリコン柱 4 b、4 c の周囲に形成したゲート電極 1 2 a に供給することができる構成とされている。

【 0 0 2 3 】

コンタクトプラグ電極 2 3 ~ 2 6 はそれぞれ、第一層間絶縁膜 1 3 および第二層間絶縁膜 2 1 にコンタクトプラグ用孔部が設けられ、コンタクトプラグ用孔部に導電物を埋め込んで形成されている。

【 0 0 2 4 】

以上の構成により、縦型 MOS トランジスタ $T r 1$ 、 $T r 2$ が形成され、チャンネル用シリコン柱 4 b、4 c それぞれの第二の導電型の第一半導体領域 7 a と第二の導電型の第二半導体領域 7 b の間の距離である d_1 、 d_2 とされている。

このように、チャンネル用シリコン柱 4 b、4 c の高さを変えることにより、ゲート長（チャンネル長）の異なる縦型 MOS トランジスタを容易に得ることができるので、設計の自由度を向上させ、高密度化、低消費電力化を具現化することができる。

【 0 0 2 5 】

図 3 は図 2 の B - B ' 線における断面図である。

本発明の実施形態である半導体装置 1 0 0 は、浅型素子分離領域 3 0 に囲まれて、2 つの矩形状に形成された第一層間絶縁膜 1 3 が並列に形成されている。第一層間絶縁膜 1 3 には 2 本の円形のコンタクトプラグ電極 2 6、2 3 と、チャンネル用シリコン柱 4 b、4 c とゲート電位供給用シリコン柱 4 a、4 d が直線状に配列されて概略構成されている。

【 0 0 2 6 】

第一層間絶縁膜 1 3 を分離する浅型素子分離領域 3 0 を挟んでチャンネル用シリコン柱 4 b、4 c が形成され、チャンネル用シリコン柱 4 b、4 c を取り囲むようにゲート絶縁膜 1 1 が形成され、さらにゲート絶縁膜 1 1 を取り囲むようにゲート電極 1 2 a が形成されている。

チャンネル用シリコン柱 4 b、4 c でそれぞれ浅型素子分離領域 3 0 の反対側に、ゲート電位供給用シリコン柱 4 a、4 d が形成されている。ゲート電位供給用シリコン柱 4 a、4 d を取り囲むように絶縁膜 6 が形成され、絶縁膜 6 を取り囲むように容量増加防止用絶縁膜 1 0 が形成されている。さらにまた、容量増加防止用絶縁膜 1 0 を取り囲むようにゲート電位供給用電極 1 2 b が形成されており、ゲート電位供給用電極 1 2 b はシリコン柱 4 b を取り囲むように形成されたゲート電極 1 2 a と接続されている。また、浅型素子分離領域 3 0 に接して、ゲート用残留電極 1 2 c が形成されている。

【 0 0 2 7 】

本発明の半導体装置 1 0 0 は、第一の導電型の活性領域 4 1、4 2 にそれぞれ形成されたチャンネル用シリコン柱 4 b、4 c の少なくとも 1 つのチャンネル用シリコン柱 4 b が他のチャンネル用シリコン柱 4 c と異なる高さのチャンネル用シリコン柱とされる構成なので、ゲート長（チャンネル長）の異なる縦型 MOS トランジスタを容易に得ることができ、設計の自由度を向上させ、高密度化、低消費電力化を具現化することができる。

【 0 0 2 8 】

本発明の半導体装置 1 0 0 は、ゲート電位供給用電極 1 2 b がチャンネル用シリコン柱 4 b、4 c の周囲に設けられたゲート電極 1 2 a と接続され、ゲート電極 1 2 a と絶縁膜 6 との間に、絶縁膜 6 よりも膜厚の厚い容量増加防止用絶縁膜 1 0 が備えられる構成なので、ゲート電位供給用電極 1 2 b とゲート電位供給用シリコン柱 4 a、4 d との間の絶縁性を確保して、ゲート容量の増加を防止することができ、安定した電位をチャンネル用シリコン柱 4 b、4 c の周囲に形成したゲート電極 1 2 a に供給することができる。

【 0 0 2 9 】

本発明の半導体装置 1 0 0 は、コンタクトプラグ電極 2 5、2 2 およびエピタキシャル成長層 2 0 の周囲にサイドスペーサ 1 9 とシリコン酸化膜 1 8 からなるバリア層 2 9 が形成される構成なので、コンタクトプラグ電極 2 5、2 2 およびエピタキシャル成長層 2 0

10

20

30

40

50

とゲート電極 1 2 a との間の絶縁性を確保して、第二の導電型の第二半導体領域 7 b に印加する電位を安定して供給することができ、縦型 MOS トランジスタ Tr 1、Tr 2 の特性を安定化することができる。

【0030】

「半導体装置の製造方法」

次に、実施形態 1 に示した半導体装置の製造方法について説明する。

本発明の実施形態である半導体装置 100 の製造方法は、活性領域、浅型素子分離領域、シリコン柱を形成する工程、第一半導体領域を形成する工程、絶縁膜を形成した後、SOG 法により犠牲用絶縁膜を形成する工程、容量増加防止用絶縁膜を設けてゲート電位供給用シリコン柱を形成する工程、前記犠牲用絶縁膜を除去した後、ゲート絶縁膜を形成する工程、ゲート電極を形成した後、第一層間絶縁膜を形成する工程、チャンネル用シリコン柱の少なくとも 1 本の高さを低くする工程、第二半導体領域を形成する工程、サイドスペーサ、エピタキシャル成長シリコン層を形成する工程、コンタクトプラグ電極を形成する工程、とからなる。

10

【0031】

< 活性領域、浅型素子分離領域、シリコン柱を形成する工程 >

まず、シリコンからなる半導体基板 1 に、p 型ウエル層からなる活性領域を形成した後、浅溝素子分離領域 30 を形成して複数の第一の導電型の活性領域 4 1、4 2 ... に分離する。図 4 では、2 つの第一の導電型の活性領域 4 1、4 2 を示す。

【0032】

次に、図 4 に示すように、半導体基板 1 の一面 1 a を覆うようにシリコン酸化膜 2 を形成し、さらにシリコン酸化膜 2 を覆うようにシリコン窒化膜 3 を形成する。

シリコン酸化膜 2 およびシリコン窒化膜 3 の厚さは、たとえば、それぞれ 5 nm および 120 nm とする。ここで、シリコン酸化膜 2 は熱酸化法により、また、シリコン窒化膜 3 は CVD 法により形成する。

20

【0033】

次に、図 5 に示すように、シリコン窒化膜 3 をフォトリソグラフィとドライエッチングによりパターンングしたのち、シリコン窒化膜 3 をマスクとしてドライエッチング法によりシリコン酸化膜 2 と半導体基板 1 をエッチングしてシリコン柱 4 a、4 b、4 c、4 d を作成する。シリコン柱 4 a、4 b、4 c、4 d の基端側の半導体基板 1 の一面は平坦部 1 b とされている。

30

【0034】

< 第一半導体領域を形成した後、絶縁膜を形成する工程 >

次に、図 6 に示すように、半導体基板 1 の平坦部 1 b およびシリコン柱 4 a、4 b、4 c、4 d の基端側に、ソースまたはドレインとなる第二の導電型の第一半導体領域 7 a をイオン注入と熱処理により形成する。なお、第二の導電型は、n 型である。

さらに、半導体基板 1 の平坦部 1 b にシリコン酸化膜 5 を CVD 法により形成し、シリコン柱 4 a、4 b、4 c、4 d の側面部にシリコン酸化膜 6 を熱酸化法により形成する。

【0035】

< SOG 法により犠牲用絶縁膜を形成する工程 >

次に、図 7 に示すように、シリコン基板 1 の平坦部 1 b のシリコン酸化膜 5 およびシリコン柱 4 a、4 b、4 c、4 d を覆うように SOG (Spin On Glass) 法によりシリコン酸化膜からなる犠牲用絶縁膜 8 を堆積する。

40

次に、シリコン窒化膜 3 の表面が露出するまで、犠牲用絶縁膜 8 の表面を CMP 法により平坦化する。

【0036】

< 容量増加防止用絶縁膜を設けてゲート電位供給用シリコン柱を形成する工程 >

次に、図 8 に示すように、まず、ゲート電位供給用シリコン柱 4 a、4 d の周辺部分 9 の犠牲用絶縁膜 8 をフォトリソグラフィとドライエッチングにより除去する。

次に、図 9 に示すように、犠牲用絶縁膜 8 が除去された周辺部分 9 を埋めるように、C

50

V D法によりシリコン酸化膜からなる容量増加防止用絶縁膜 10 を形成する。

さらに、浅型素子分離領域 30 が露出するまで、シリコン窒化膜 3 をマスクとして犠牲用絶縁膜 8 および容量増加防止用絶縁膜 10 をエッチバック除去する。

【0037】

< 前記犠牲用絶縁膜を除去した後、ゲート絶縁膜を形成する工程 >

次に、図 10 に示すように、HF 系薬液を用いて、S O G法で形成した犠牲用絶縁膜 8 をすべて除去する。

S O G法で形成したシリコン酸化膜からなる犠牲用絶縁膜 8 を HF 系薬液でエッチングする速度は、C V D法で形成したシリコン窒化膜 3 やシリコン酸化膜 5、熱酸化法で形成したシリコン酸化膜 6 および C V D法により形成したシリコン酸化膜からなる容量増加防止用絶縁膜 10 を HF 系薬液でエッチングする速度より 10 倍以上速い。

10

そのため、HF 系薬液を用いてエッチングすると、S O G法で形成した犠牲用絶縁膜 8 を全て除去しても、C V D法で形成したシリコン窒化膜 3 やシリコン酸化膜 5、熱酸化法で形成したシリコン酸化膜 6 および C V D法により形成したシリコン酸化膜からなる容量増加防止用絶縁膜 10 をほとんどそのまま残すことができる。

【0038】

次に、シリコン酸化膜 6 を除去した後、図 11 に示すように、チャンネル用シリコン柱 4 b、4 c の側面に熱酸化法によりシリコン酸化膜からなるゲート絶縁膜 11 を形成する。

【0039】

< ゲート電極を形成した後、第一層間絶縁膜を形成する工程 >

20

次に、チャンネル用シリコン柱 4 b とチャンネル用シリコン柱 4 c とをそれぞれ取り囲むように多結晶シリコンなどのゲート電極材を C V D法により堆積してゲート電極 12 a を形成するとともに、ゲート電位供給用シリコン柱 4 a とゲート電位供給用シリコン柱 4 d をそれぞれ取り囲むようにゲート電位供給用電極 12 b を形成してゲート電極 12 a とゲート電位供給用電極 12 b とを接合する。

次に、シリコン柱 4 a ~ 4 d の先端側に形成されたシリコン窒化膜 3 が半分程度露出するまでゲート電極 12 a とゲート電位供給用電極 12 b をエッチバックする。

【0040】

次に、図 12 に示すように、高密度プラズマ C V D法により第一層間絶縁膜 13 を堆積したのち、シリコン窒化膜 3 が露出するまで、C M P法によりその表面を平坦化する。

30

【0041】

< チャンネル用シリコン柱の少なくとも 1 本の高さを低くする工程 >

さらに、プラズマ C V D法により第一層間絶縁膜 13 を覆うようにシリコン酸化膜 14 を形成した後、図 12 に示すように、チャンネル用シリコン柱 4 b の先端側のシリコン酸化膜 14 をフォトリソグラフィとドライエッチングにより開口して、チャンネル用シリコン柱 4 b の先端側のシリコン窒化膜 3 の表面を露出させる。

【0042】

次に、図 13 に示すように、チャンネル用シリコン柱 4 b の先端側のシリコン窒化膜 3 およびシリコン酸化膜 2 を除去し、開口部 15 を形成する。

次に、図 14 に示すように、露出されたチャンネル用シリコン柱 4 b の先端側からシリコンのドライエッチングを行い、チャンネル用シリコン柱 4 b の高さを他のチャンネル用シリコン柱 4 c の高さより低くなるように加工して、高さの異なるチャンネル用シリコン柱 4 b を形成する。

40

【0043】

次に、シリコン酸化膜 14 を除去した後、プラズマ C V D法により第一層間絶縁膜 13 を覆うようにシリコン酸化膜 16 を形成した後、図 15 に示すように、チャンネル用シリコン柱 4 b の先端側のシリコン酸化膜 16 をフォトリソグラフィとドライエッチングにより開口して、チャンネル用シリコン柱 4 c の先端側に形成されたシリコン窒化膜 3 の表面を露出させる。

【0044】

50

次に、図 16 に示すように、チャンネル用シリコン柱 4 c の先端側のシリコン窒化膜 3 およびシリコン酸化膜 2 を除去し、開口部 17 を形成する。

次に、図 17 に示すように、シリコン酸化膜 16 を除去する。

【0045】

<第二半導体領域を形成する工程>

次に、図 18 に示すように、熱酸化により、開口部 15、17 により露出されたゲート電極 12 の部分およびチャンネル用シリコン柱 4 b、4 c の露出面上にシリコン酸化膜 18 を形成する。

その後、イオン注入と熱処理によりチャンネル用シリコン柱 4 b、4 c の先端側に第二の導電型の第二半導体領域 7 b を形成する。

【0046】

(9) サイドスペーサ、エピタキシャル成長シリコン層を形成する工程。

次に、図 19 に示すように、チャンネル用シリコン柱 4 b、4 c の先端側に筒状のサイドスペーサ 19 をシリコン窒化膜の堆積とエッチバックにより形成する。その後、シリコン柱 4 b、4 c の先端側の露出面に形成されていたシリコン酸化膜 18 を除去する。その結果、筒状のサイドスペーサ 19 の下部には除去されていないシリコン酸化膜 18 が残る。

なお、筒状のサイドスペーサ 19 には、貫通する孔部 19 a が設けられる。

【0047】

次に、図 20 に示すように、筒状のサイドスペーサ 19 の孔部 19 a を所定の高さまで埋めるようにエピタキシャル成長シリコン層 20 を形成する。

【0048】

<コンタクトプラグ電極を形成する工程>

次に、図 21 に示すように、第一層間絶縁膜 13 を覆うように、またサイドスペーサ 19 の孔部 19 a を埋めるようにシリコン酸化膜からなる第二層間絶縁膜 21 を CVD 法により堆積する。

【0049】

最後に、図 2 に示すように、第一層間絶縁膜 13、第二層間絶縁膜 21 およびシリコン酸化膜 5 にコンタクトプラグ用孔部を明けた後、コンタクトプラグ用孔部を埋めるようにコンタクトプラグ電極 22 ~ 27 を形成して、チャンネル長 d1 の短い縦型 MOS トランジスタ Tr1 と、チャンネル長 d2 の長い縦型 MOS トランジスタ Tr2 を有する半導体装置を製造する。

【0050】

本発明の半導体装置 100 の製造方法は、シリコン柱 4 a ~ 4 d に絶縁膜 6 を形成した後、絶縁膜 6 を覆って SOG 法により犠牲用絶縁膜 8 を形成する工程を有するので、シリコン柱 4 a ~ 4 d のうちチャンネル用シリコン柱 4 b、4 c 以外のシリコン柱 4 a、4 d の周囲の犠牲用絶縁膜 8 を除去した後、除去された部分に容量増加防止用絶縁膜 10 を設けてゲート電位供給用シリコン柱 4 a、4 d を形成した後、犠牲用絶縁膜 8 の残部を除去して、チャンネル用シリコン柱 4 b、4 c の周囲にゲート絶縁膜 11 を設けることができる構成とされているので、ゲート電位供給用シリコン柱 4 a、4 d とチャンネル用シリコン柱 4 b、4 c を選択的に設定することができ、チャンネル長の異なる縦型 MOS トランジスタ Tr1、Tr2 を有する半導体装置 100 を容易に製造することができ、また、その製造工程を簡略化することができる。

【0051】

本発明の半導体装置 100 の製造方法は、容量増加防止用絶縁膜 10 を覆うようにゲート電位供給用電極 4 a、4 d を形成し、ゲート絶縁膜 11 を覆うようにゲート電極 12 a を形成し、同時に、ゲート電位供給用電極 12 b とゲート電極 12 a を接続する工程を有するので、ゲート電位供給用電極 4 a、4 d のコンタクトプラグ電極 27、24 からチャンネル長の異なる縦型 MOS トランジスタ Tr1、Tr2 のゲート電極 12 a に電位を印加する構造を容易に形成することができ、また、その製造工程を簡略化することができる。

【0052】

10

20

30

40

50

本発明の半導体装置 100 の製造方法は、チャンネル用シリコン柱 4 b、4 c の少なくとも 1 つのチャンネル用シリコン柱 4 b の先端側を露出させた後、エッチングによりチャンネル用シリコン柱 4 b の高さを低くする工程を有するので、容易に高さの異なるチャンネル用シリコン柱 4 b、4 c を形成することができ、チャンネル長の異なる縦型 MOS トランジスタ Tr 1、Tr 2 を有する半導体装置 100 を容易に製造することができ、また、その製造工程を簡略化することができる。

【0053】

本発明の半導体装置 100 の製造方法は、チャンネル用シリコン柱 4 b、4 c の露出された先端側に筒状のサイドスペーサ 19 を形成した後、サイドスペーサ 19 の孔部 19 a を埋めるようにエピタキシャル成長シリコン層 20 を形成した後、コンタクトプラグ電極 25、22 を形成する工程を有するので、縦型 MOS トランジスタ Tr 1、Tr 2 の第二の導電型の第二半導体領域 7 b に電位を供給するコンタクトプラグ電極 25、22 およびエピタキシャル成長層 20 とゲート電極 12 a との間の絶縁性を確保した構造を容易に形成することができる。

【0054】

(実施形態 2)

図 22 は、本発明の実施形態である半導体装置の別の一例を説明する断面図である。なお、実施形態 1 と同じ部材については同じ符号をつけて記載している。

本発明の実施形態である半導体装置 101 は、半導体基板 1 に形成された浅型素子分離領域 30 によって分離されて形成された第一の導電型の活性領域 43 に、チャンネル用シリコン柱 4 f をチャンネルとして、チャンネル用シリコン柱 4 f の基端側にはソース・ドレインとなる第二の導電型の第一半導体領域 7 a が形成され、チャンネル用シリコン柱の先端側にはソース・ドレインとなる第二の導電型の第二半導体領域 7 b が形成され、チャンネル用シリコン柱 4 f の側面にゲート絶縁膜 11 が形成されており、ゲート絶縁膜 11 がゲート電極 12 a で囲まれて、縦型 MOS トランジスタ Tr 3 が概略構成されている。

【0055】

活性領域 43 には、ソース・ドレイン電位供給用シリコン柱 4 e と、チャンネル用シリコン柱 4 f と、ゲート電位供給用シリコン柱 4 g が形成されている。

【0056】

ソース・ドレイン電位供給用シリコン柱 4 e は、柱の高さが半導体基板 1 の平坦部 1 b の近傍まで低くされており、ソース・ドレイン電位供給用シリコン柱 4 e の基端側では第二の導電型の第二半導体領域 7 b が第二の導電型の第一半導体領域 7 a に接するようにして形成されている。

ソース・ドレイン電位供給用シリコン柱 4 e の先端側には、エピタキシャル成長層 20 が形成され、エピタキシャル成長層 20 はコンタクトプラグ電極 23 と接続されている。そのため、コンタクトプラグ電極 23 は、エピタキシャル成長膜 20 および第二の導電型の第二半導体領域 7 b を介して、第二の導電型の第一半導体領域 7 a に電位を供給することができる構成とされている。第二の導電型の第一半導体領域 7 a は、チャンネル用シリコン柱 4 c の基端側まで形成されているので、供給された電位は縦型 MOS トランジスタ Tr 3 の一方のソース・ドレイン電位とすることができる。

【0057】

チャンネル用シリコン柱 4 f は、実施形態 1 で示したチャンネル用シリコン柱 4 b、4 c と同様の構成とされている。

【0058】

チャンネル用シリコン柱 4 f の先端側にはエピタキシャル成長層 20 が形成され、エピタキシャル成長層 20 はコンタクトプラグ電極 22 と接続されている。

そのため、コンタクトプラグ電極 22 は、エピタキシャル成長層 20 を介して、第二の導電型の第二半導体領域 7 b に電位を供給することができる構成とされている。

【0059】

ゲート電位供給用シリコン柱 4 g は、実施形態 1 で示したゲート電位供給用シリコン柱

10

20

30

40

50

4 a、4 dと同様の構成とされている。

【0060】

なお、ゲート電位供給用シリコン柱4 gは、チャネル用シリコン柱4 fの側面に形成されたゲート電極1 2 aと接続されたゲート電位供給用電極1 2 bを有している。このゲート電極供給用電極1 2 bは、コンタクトプラグ電極2 4と接続されている。そのため、コンタクトプラグ電極2 4は、ゲート電位供給用電極1 2 bを介して、ゲート電極1 2 aに電位を供給することができる構成とされている。

なお、ゲート電位供給用電極1 2 bは、ゲート電極供給用シリコン柱4 gを取り囲んで形成された絶縁膜6と、絶縁膜6を取り囲んで形成された容量増加防止用膜10を取り囲むように形成されている。この容量増加防止用絶縁膜10は、絶縁膜6よりも膜厚が厚く形成されているので、ゲート電極1 2 aとゲート電位供給用シリコン柱4 gとの絶縁性を確保することができ、ゲート電極1 2 aに電位を安定して供給できるようにされている。

10

【0061】

本発明の半導体装置101は、活性領域43にソース・ドレイン電位供給用シリコン柱4 eが形成され、その先端側に形成された第二の導電型の第二半導体領域7 bが第二の導電型の第一半導体領域7 aに接続される構成なので、コンタクトプラグ電極2 3から、エピタキシャル成長層20およびソース・ドレイン電位供給用シリコン柱4 eを介して、第二の導電型の第一半導体領域7 aに電位を加えることができる。そのため、第二の導電型の第一半導体領域7 aに電位を加えるためのコンタクトプラグ電極を形成する必要が無く、製造工程を簡略化できるとともに、微細なコンタクト配置ができるようになり、設計の自由度を増すことができる。

20

【0062】

「半導体装置の製造方法」

次に、実施形態2に示した半導体装置101の製造方法について説明する。実施形態1で示した工程と同様な工程については記載を省略する。

【0063】

ソース・ドレインとなる第二の導電型の第一半導体領域7 aに電位を供給するコンタクトプラグ電極を形成せず、ソース・ドレイン電位供給用シリコン柱4 fを形成することが異なる点である。ソース・ドレイン電位供給用シリコン柱4 fは、その高さを半導体基板1の平坦部1 b近傍まで低くされ、その後のイオン注入により第二の導電型の第二半導体領域7 bを第二の導電型の第一半導体領域7 aと接するように形成されている。

30

【0064】

本発明の実施形態である半導体装置101の製造方法は、活性領域、浅型素子分離領域、シリコン柱を形成する工程、第一半導体領域を形成する工程、絶縁膜を形成した後、SOG法により犠牲用絶縁膜を形成する工程、容量増加防止用絶縁膜を設けてゲート電位供給用シリコン柱を形成する工程、前記犠牲用絶縁膜を除去した後、ゲート絶縁膜を形成する工程、ゲート電極を形成した後、第一層間絶縁膜を形成する工程、ソース・ドレイン電位供給用シリコン柱の高さを低くする工程、第二半導体領域を形成する工程、サイドスペーサ、エピタキシャル成長シリコン層を形成する工程、コンタクトプラグ電極を形成する工程、とからなる。

40

【0065】

< 活性領域、浅型素子分離領域、シリコン柱を形成する工程 >

実施形態1と同様にして、第一の導電型の活性領域43を形成する。さらに、半導体基板1の一面1 aを覆うようにシリコン酸化膜2を熱酸化法により形成し、さらにシリコン酸化膜2を覆うようにシリコン窒化膜3をCVD法により形成する。

次に、シリコン窒化膜3をフォトリソグラフィとドライエッチングによりパターンニングしたのち、シリコン窒化膜3をマスクとしてドライエッチング法によりシリコン酸化膜2と半導体基板1をエッチングしてシリコン柱4 e、4 f、4 gを作成する。シリコン柱4 e、4 f、4 gの基端側の半導体基板1の一面は平坦部1 bとされている。

【0066】

50

< 第一半導体領域を形成した後、絶縁膜を形成する工程 >

次に、半導体基板 1 の平坦部 1 b およびシリコン柱 4 e、4 f、4 g の基端側に、ソースまたはドレインとなる第二の導電型の第一半導体領域 7 a をイオン注入と熱処理により形成する。さらに、半導体基板 1 の平坦部 1 b にシリコン酸化膜 5 を CVD 法により形成し、シリコン柱 4 e、4 f、4 g の側面にシリコン酸化膜 6 を熱酸化法により形成する。

【0067】

< SOG 法により犠牲用絶縁膜を形成する工程 >

半導体基板 1 の平坦部 1 b のシリコン酸化膜 5 およびシリコン柱 4 e、4 f、4 g を覆うように、SOG 法によりシリコン酸化膜からなる犠牲用絶縁膜 8 を堆積する。次に、シリコン窒化膜 3 の表面が露出するまで、犠牲用絶縁膜 8 の表面を CMP 法により平坦化する。

10

【0068】

< 容量増加防止用絶縁膜を設けてゲート電位供給用シリコン柱を形成する工程 >

まず、ゲート電位供給用シリコン柱 4 g の周辺部分 9 の犠牲用絶縁膜 8 をフォトリソグラフィとドライエッチングにより除去する。次に、犠牲用絶縁膜 8 が除去された周辺部分 9 を埋めるように、CVD 法によりシリコン酸化膜からなる容量増加防止用絶縁膜 10 を形成する。さらに、浅型素子分離領域 30 が露出するまで、シリコン窒化膜 3 をマスクとして、犠牲用絶縁膜 8 および容量増加防止用絶縁膜 10 をエッチバック除去する。

【0069】

< 前記犠牲用絶縁膜を除去した後、ゲート絶縁膜を形成する工程 >

20

H F 系薬液を用いて、SOG 法で形成した犠牲用絶縁膜 8 を除去する。

次に、シリコン酸化膜 6 を除去した後、シリコン酸化膜 6 を除去したチャンネル用シリコン柱 4 f の側面に熱酸化法によりシリコン酸化膜からなるゲート絶縁膜 11 を形成する。

【0070】

< ゲート電極を形成した後、第一層間絶縁膜を形成する工程 >

チャンネル用シリコン柱 4 f を取り囲むように多結晶シリコンなどのゲート電極材を CVD 法により堆積してゲート電極 12 a を形成するとともに、ゲート電位供給用シリコン柱 4 g を取り囲むようにゲート電位供給用電極 12 b を形成してゲート電極 12 a とゲート電位供給用電極 12 b とを接合する。

次に、シリコン柱 4 e ~ 4 g の先端側に形成されたシリコン窒化膜 3 が半分程度露出するまでゲート電極 12 a とゲート電位供給用電極 12 b をエッチバックする。

30

【0071】

次に、高密度プラズマ CVD 法により第一層間絶縁膜 13 を堆積したのち、シリコン窒化膜 3 が露出するまで、CMP 法によりその表面を平坦化する。

【0072】

< チャンネル用シリコン柱の少なくとも 1 本の高さを低くする工程 >

さらに、プラズマ CVD 法により、第一層間絶縁膜 13 を覆うようにシリコン酸化膜 14 を形成した後、ソース・ドレイン電位供給用シリコン柱 4 e の先端側のシリコン酸化膜 14 をフォトリソグラフィとドライエッチングにより開口して、ソース・ドレイン電位供給用シリコン柱 4 e の先端側のシリコン窒化膜 3 の表面を露出させる。

40

【0073】

次に、ソース・ドレイン電位供給用シリコン柱 4 e の先端側のシリコン窒化膜 3 およびシリコン酸化膜 2 を除去し、開口部 15 を形成する。

次に、ソース・ドレイン電位供給用シリコン柱 4 e の先端側からシリコンのドライエッチングを行い、半導体基板 1 の平坦部 1 b 近傍までソース・ドレイン電位供給用シリコン柱 4 e の高さが低くなるように加工する。

【0074】

次に、シリコン酸化膜 14 を除去した後、プラズマ CVD 法により第一層間絶縁膜 13 を覆うようにシリコン酸化膜 16 を形成した後、チャンネル用シリコン柱 4 f の先端側のシリコン酸化膜 16 をフォトリソグラフィとドライエッチングにより開口して、チャンネル

50

用シリコン柱 4 f の先端側のシリコン窒化膜 3 の表面を露出させる。

【 0 0 7 5 】

次に、チャンネル用シリコン柱 4 f の先端側のシリコン窒化膜 3 およびシリコン酸化膜 2 を除去し、開口部 1 7 を形成する。

次に、シリコン酸化膜 1 6 を除去する。

【 0 0 7 6 】

< 第二半導体領域を形成する工程 >

次に、熱酸化により、開口部 1 5、1 7 により露出されたゲート電極 1 2 の表面およびソース・ドレイン電位供給用シリコン柱 4 e およびチャンネル用シリコン柱 4 f の露出面上にシリコン酸化膜 1 8 を形成する。

その後、イオン注入と熱処理によりソース・ドレイン電位供給用シリコン柱 4 e およびチャンネル用シリコン柱 4 f の先端側に第二の導電型の第二半導体領域 7 b を形成する。

このとき、ソース・ドレイン電位供給用シリコン柱 4 e の高さは、半導体基板 1 の平坦部 1 b 近傍まで低くなるように加工されているので、ソース・ドレイン電位供給用シリコン柱 4 e の先端側に形成する第二の導電型の第二半導体領域 7 b は、半導体基板 1 の平坦部 1 b 近傍に形成されている第二の導電型の第一半導体領域 7 a に接するように形成される。

【 0 0 7 7 】

< サイドスペーサ、エピタキシャル成長シリコン層を形成する工程 >

次に、ソース・ドレイン電位供給用シリコン柱 4 e およびチャンネル用シリコン柱 4 f の先端側に筒状のサイドスペーサ 1 9 をシリコン窒化膜の堆積とエッチバックにより形成する。その後、シリコン柱 4 e、4 f の先端側の露出面に形成されていたシリコン酸化膜 1 8 を除去する。その結果、筒状のサイドスペーサ 1 9 の下部には除去されていないシリコン酸化膜 1 8 が残る。

【 0 0 7 8 】

次に、サイドスペーサ 1 9 の孔部 1 9 a を所定の高さまで埋めるようにエピタキシャル成長シリコン層 2 0 を形成する。

【 0 0 7 9 】

< コンタクトプラグ電極を形成する工程 >

次に、第一層間絶縁膜 1 3 を覆うように、およびサイドスペーサ 1 9 の孔部 1 9 a を埋めるようにシリコン酸化膜からなる第二層間絶縁膜 2 1 を C V D 法により堆積する。

【 0 0 8 0 】

最後に、図 2 2 に示すように、第一層間絶縁膜 1 3 および第二層間絶縁膜 2 1 のシリコン酸化膜およびシリコン酸化膜 5 にコンタクトプラグ用孔部を明け、コンタクトプラグ用孔部を埋めるようにコンタクトプラグ電極 2 2 ~ 2 7 を形成して、縦型 M O S トランジスタ T r 3 を有する半導体装置 1 0 1 を製造する。

【 0 0 8 1 】

本発明の半導体装置 1 0 1 の製造方法は、ソース・ドレイン電位供給用シリコン柱 4 e の高さが低くなるように形成して、ソース・ドレイン電位供給用シリコン柱 4 e の先端側に形成された第二の導電型の第二半導体領域 7 b が基端側の第二の導電型の第一半導体領域 7 a に接続されるように形成される構成なので、ソース・ドレイン電位を供給するためのコンタクトプラグ電極を形成する必要は無くなり、製造工程を簡略化することができる。

【 産業上の利用可能性 】

【 0 0 8 2 】

本発明は、縦型 M O S トランジスタを備えた半導体装置およびその製造方法に関するものであって、半導体装置を製造・利用する産業において利用可能性がある。

【 図面の簡単な説明 】

【 0 0 8 3 】

【 図 1 】 本発明の半導体装置を示す断面模式図である。

10

20

30

40

50

【図 2】本発明の半導体装置を示す断面模式図である。

【図 3】本発明の半導体装置を示す断面模式図である。

【図 4】本発明の半導体装置の製造方法を示す工程断面図である。

【図 5】本発明の半導体装置の製造方法を示す工程断面図である。

【図 6】本発明の半導体装置の製造方法を示す工程断面図である。

【図 7】本発明の半導体装置の製造方法を示す工程断面図である。

【図 8】本発明の半導体装置の製造方法を示す工程断面図である。

【図 9】本発明の半導体装置の製造方法を示す工程断面図である。

【図 10】本発明の半導体装置の製造方法を示す工程断面図である。

【図 11】本発明の半導体装置の製造方法を示す工程断面図である。

10

【図 12】本発明の半導体装置の製造方法を示す工程断面図である。

【図 13】本発明の半導体装置の製造方法を示す工程断面図である。

【図 14】本発明の半導体装置の製造方法を示す工程断面図である。

【図 15】本発明の半導体装置の製造方法を示す工程断面図である。

【図 16】本発明の半導体装置の製造方法を示す工程断面図である。

【図 17】本発明の半導体装置の製造方法を示す工程断面図である。

【図 18】本発明の半導体装置の製造方法を示す工程断面図である。

【図 19】本発明の半導体装置の製造方法を示す工程断面図である。

【図 20】本発明の半導体装置の製造方法を示す工程断面図である。

【図 21】本発明の半導体装置の製造方法を示す工程断面図である。

20

【図 22】本発明の半導体装置の別の一例を示す断面模式図である。

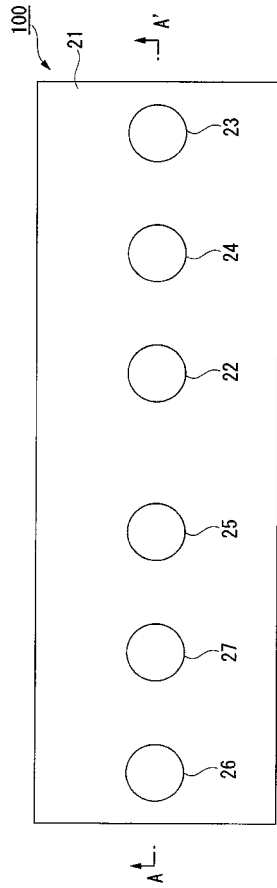
【符号の説明】

【0084】

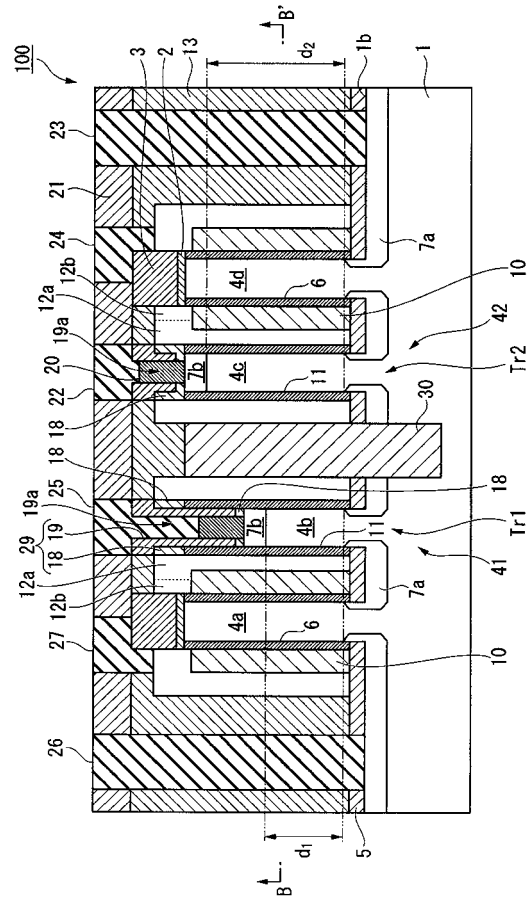
1 ... 半導体基板、1 a ... 一面、1 b ... 平坦部、2 ... シリコン酸化膜、3 ... シリコン窒化膜、4 b、4 c ... チャネル用シリコン柱、4 a、4 d ... ゲート電位供給用シリコン柱、4 e ... ソース・ドレイン電位供給用シリコン柱、4 f ... チャネル用シリコン柱、4 g ... ゲート電位供給用シリコン柱、5 ... シリコン酸化膜、6 ... シリコン酸化膜、7 a ... 第一半導体領域、7 b ... 第二半導体領域、8 ... 犠牲用絶縁膜、9 ... 周辺部分、10 ... 容量増加防止用絶縁膜、11 ... ゲート絶縁膜、12 a ... ゲート電極、12 b ... ゲート電位供給用電極、12 c ... ゲート用残留電極、13 ... 第一層間絶縁膜、14 ... シリコン酸化膜、15 ... 開口部、16 ... シリコン酸化膜、17 ... 開口部、18 ... シリコン酸化膜、19 ... サイドスペーサ、19 a ... 孔部、20 ... エピタキシャル成長層、21 ... 第二層間絶縁膜、22、23、24、25、26、27 ... コンタクトプラグ用電極、30 ... 浅型素子分離領域、41、42、43 ... 活性領域、100、101 ... 半導体装置。

30

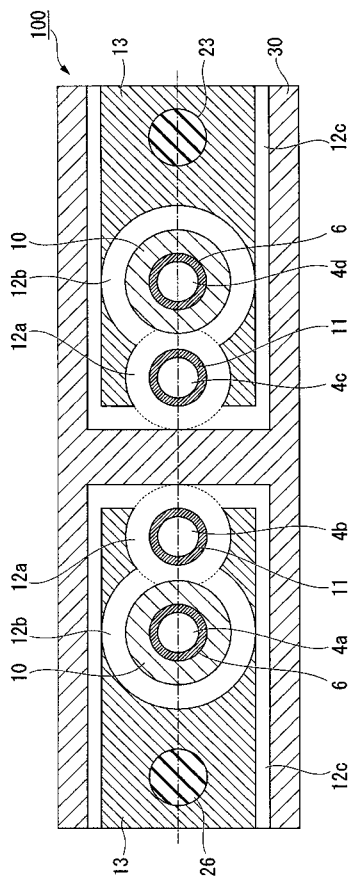
【 図 1 】



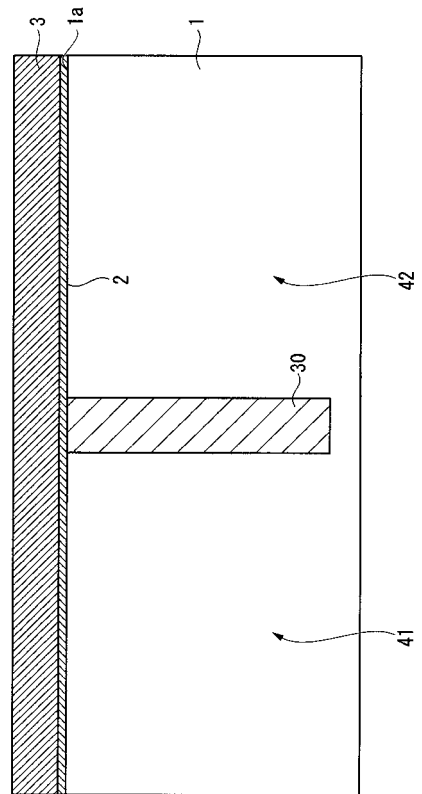
【 図 2 】



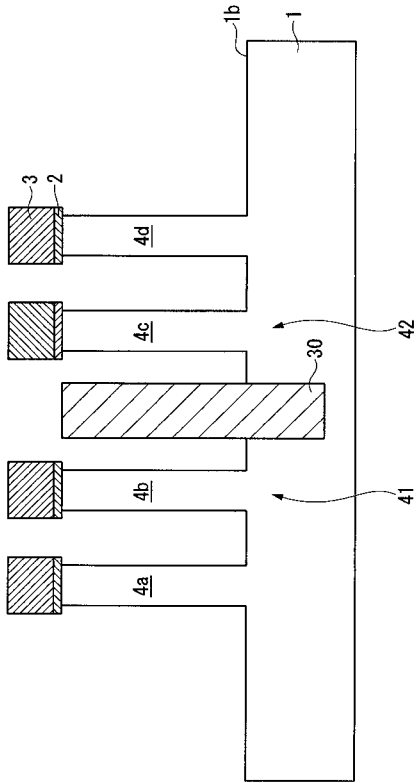
【 図 3 】



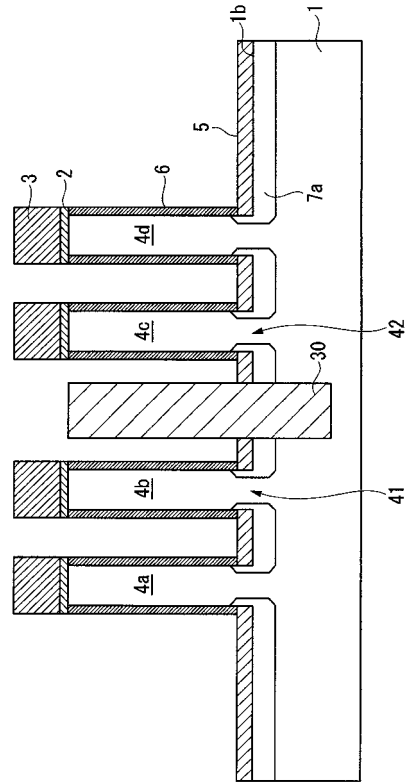
【 図 4 】



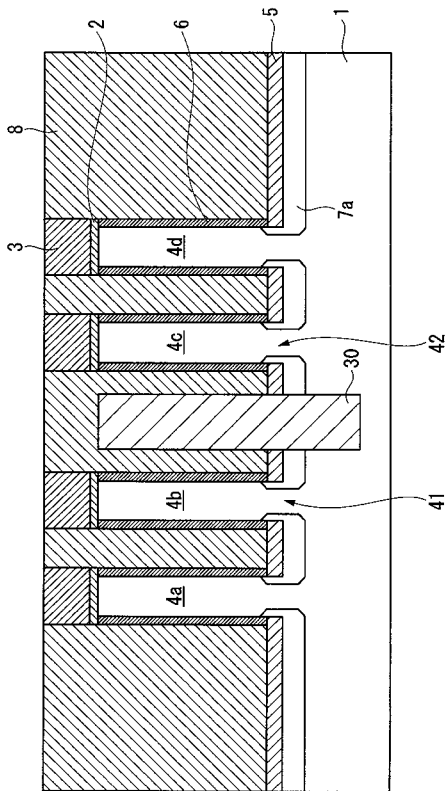
【 図 5 】



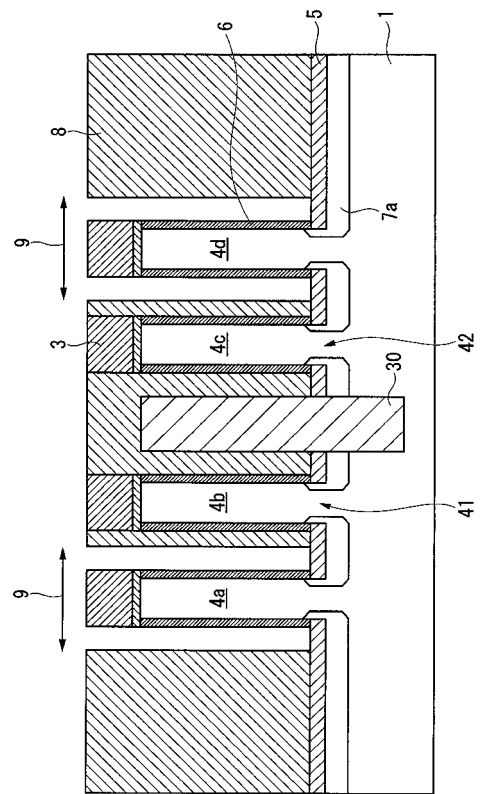
【 図 6 】



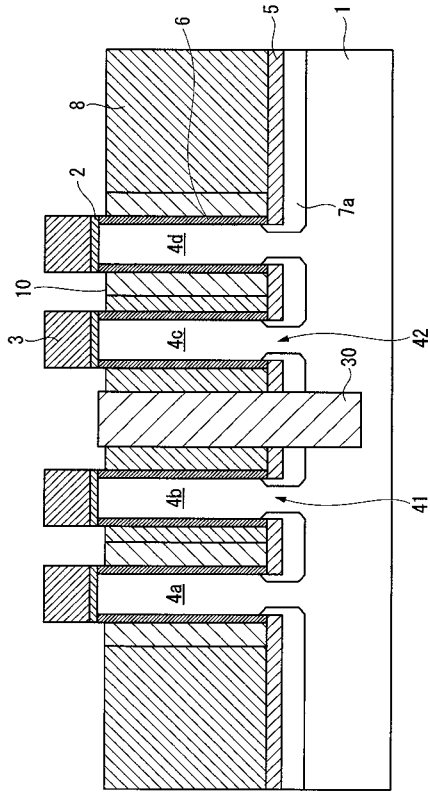
【 図 7 】



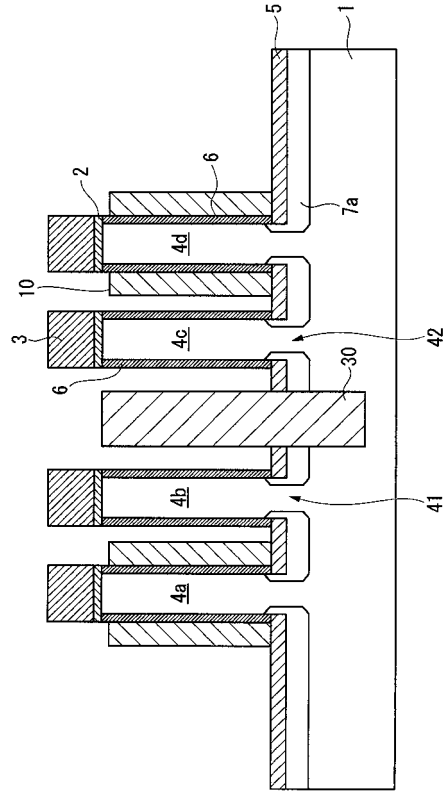
【 図 8 】



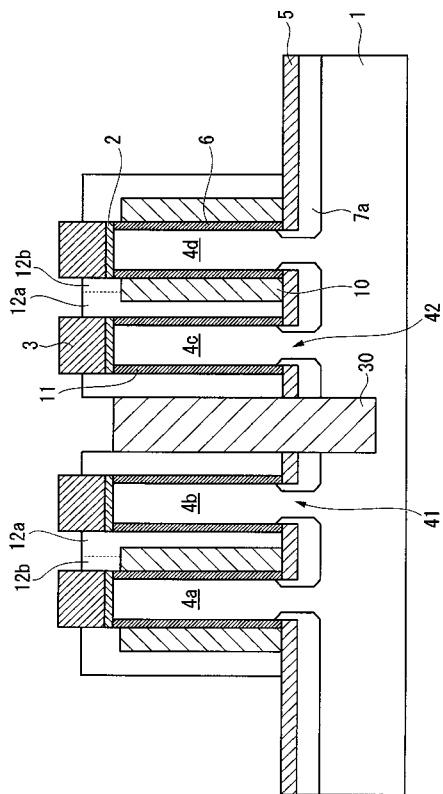
【図 9】



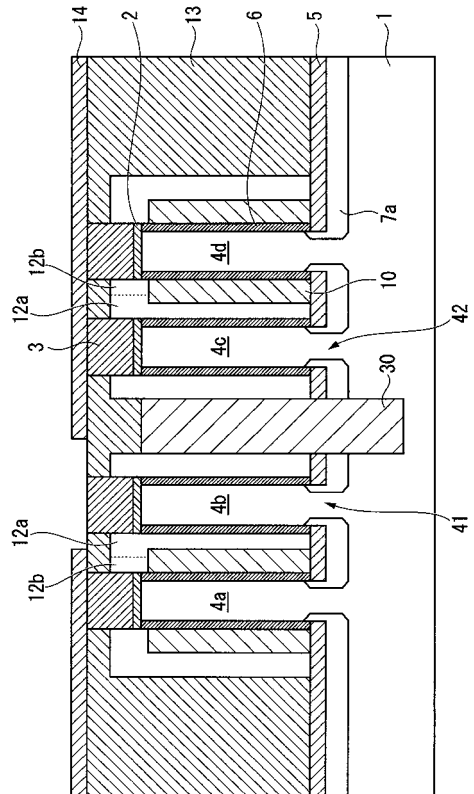
【図 10】



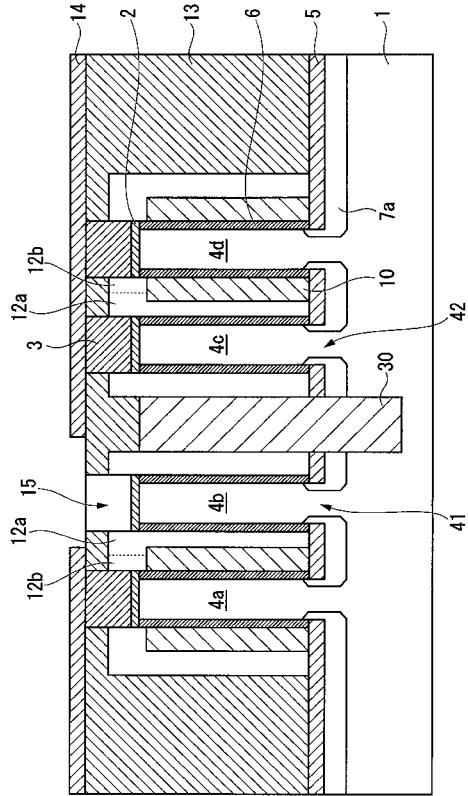
【図 11】



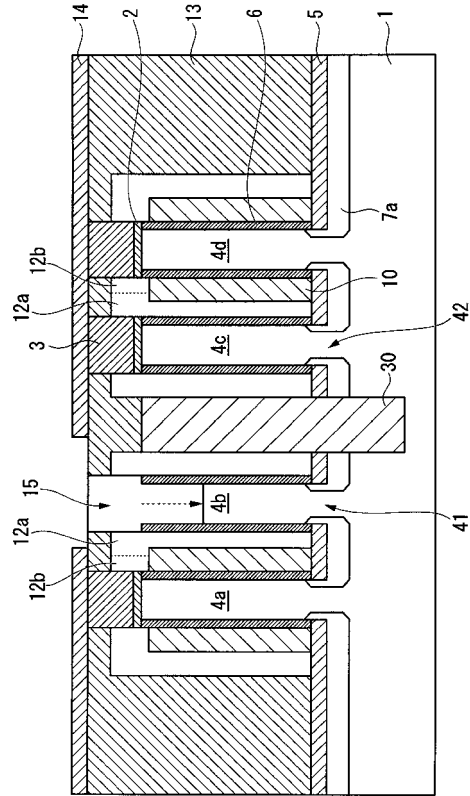
【図 12】



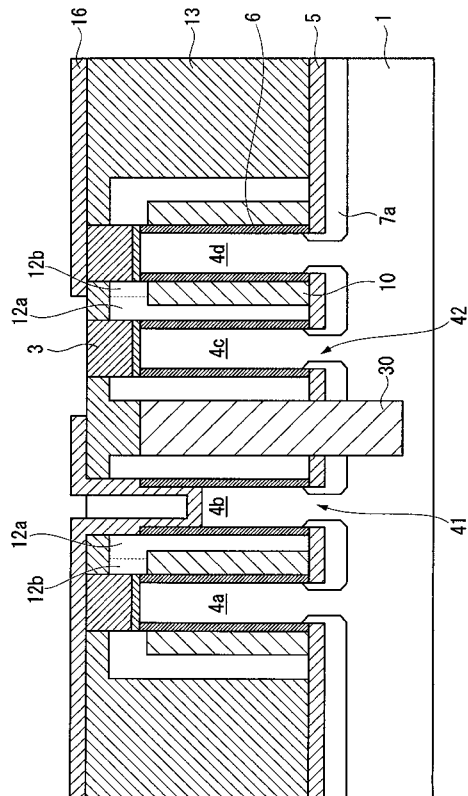
【図 13】



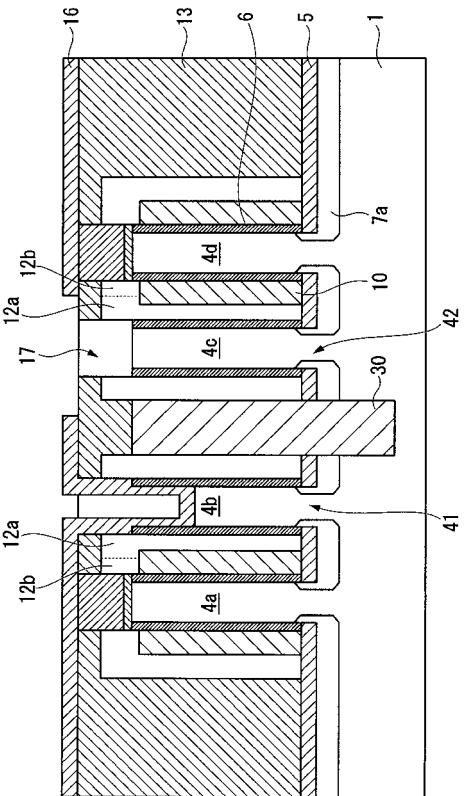
【図 14】



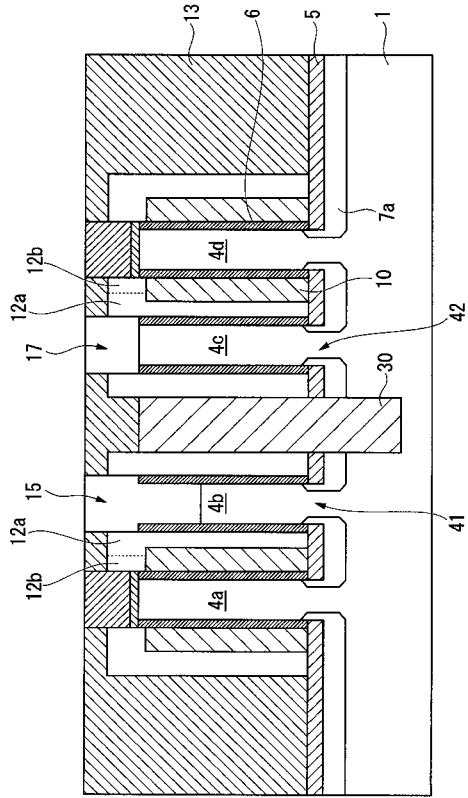
【図 15】



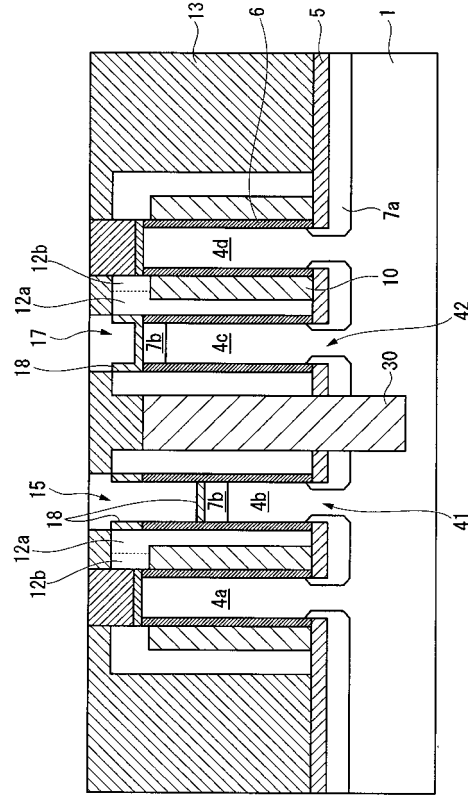
【図 16】



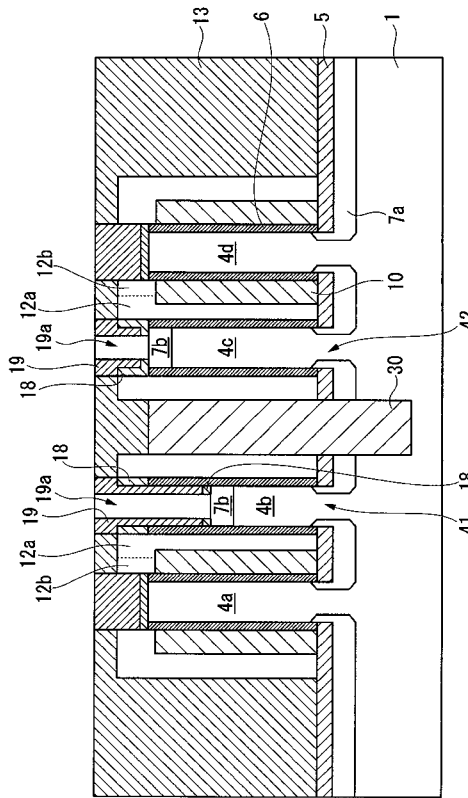
【図 17】



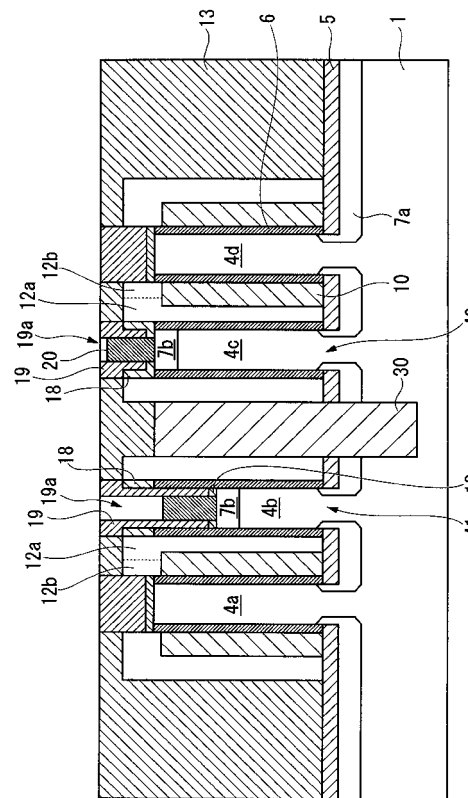
【図 18】



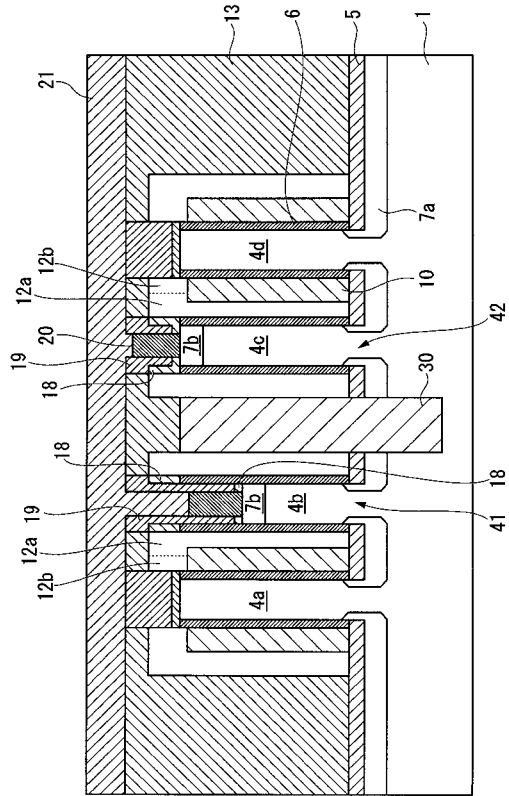
【図 19】



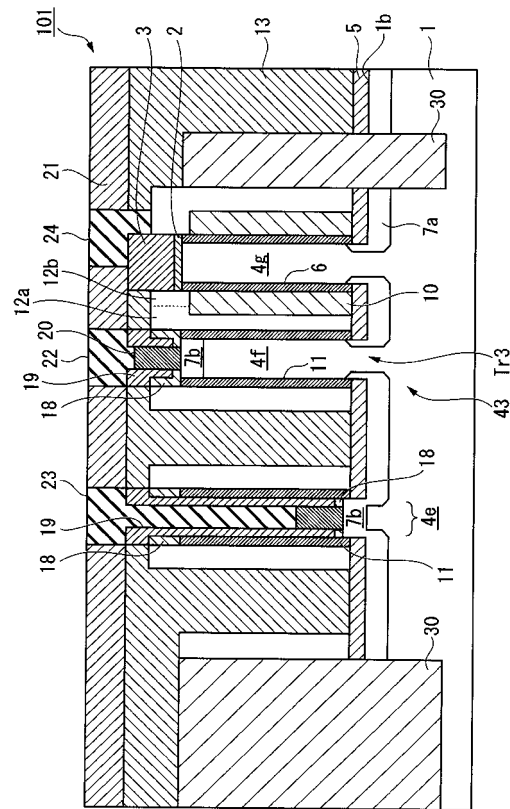
【図 20】



【図 2 1】



【図 2 2】



【手続補正書】

【提出日】平成20年10月20日(2008.10.20)

【手続補正 1】

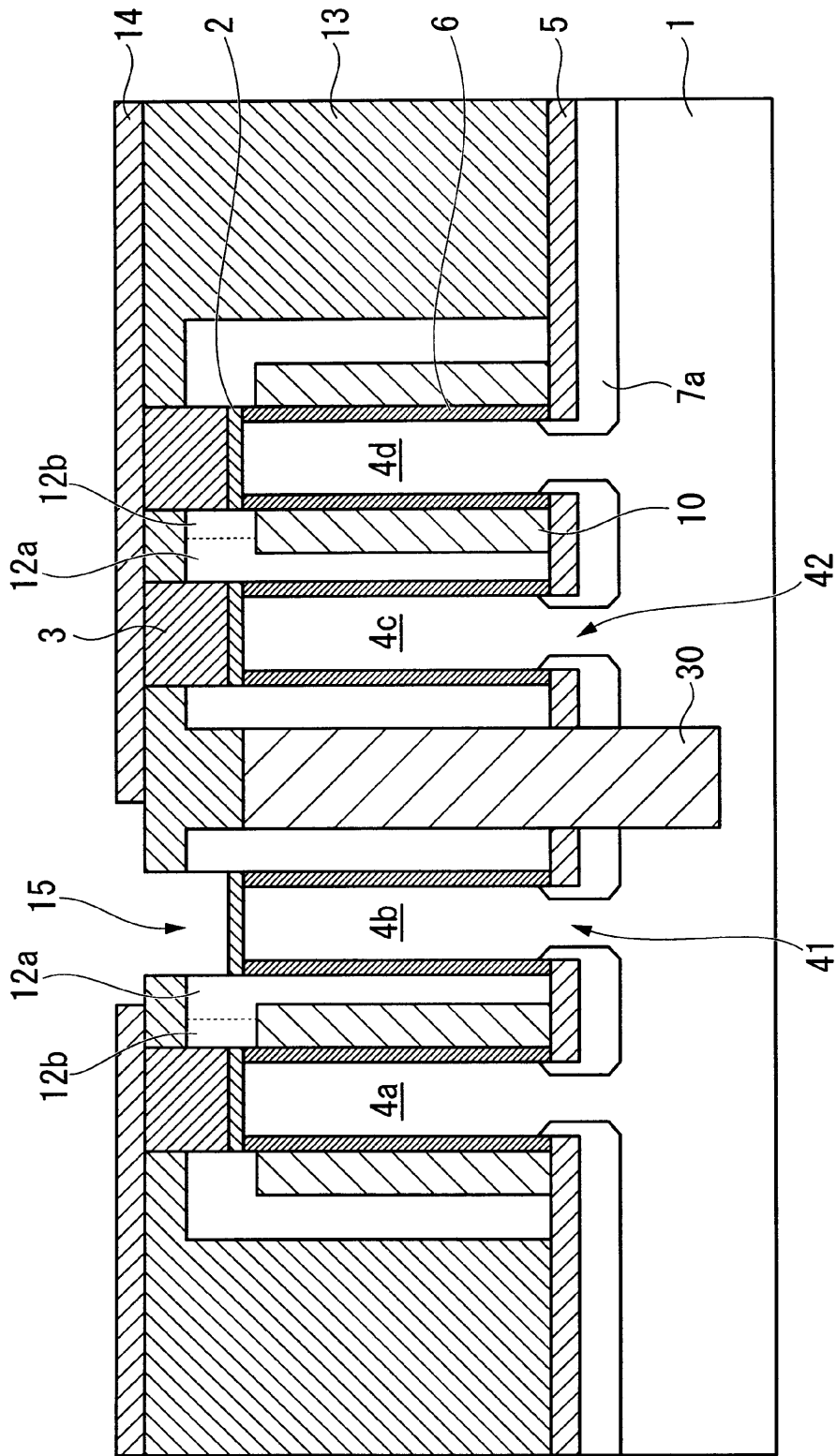
【補正対象書類名】図面

【補正対象項目名】図 1 3

【補正方法】変更

【補正の内容】

【 図 1 3 】



【 手続補正 2 】

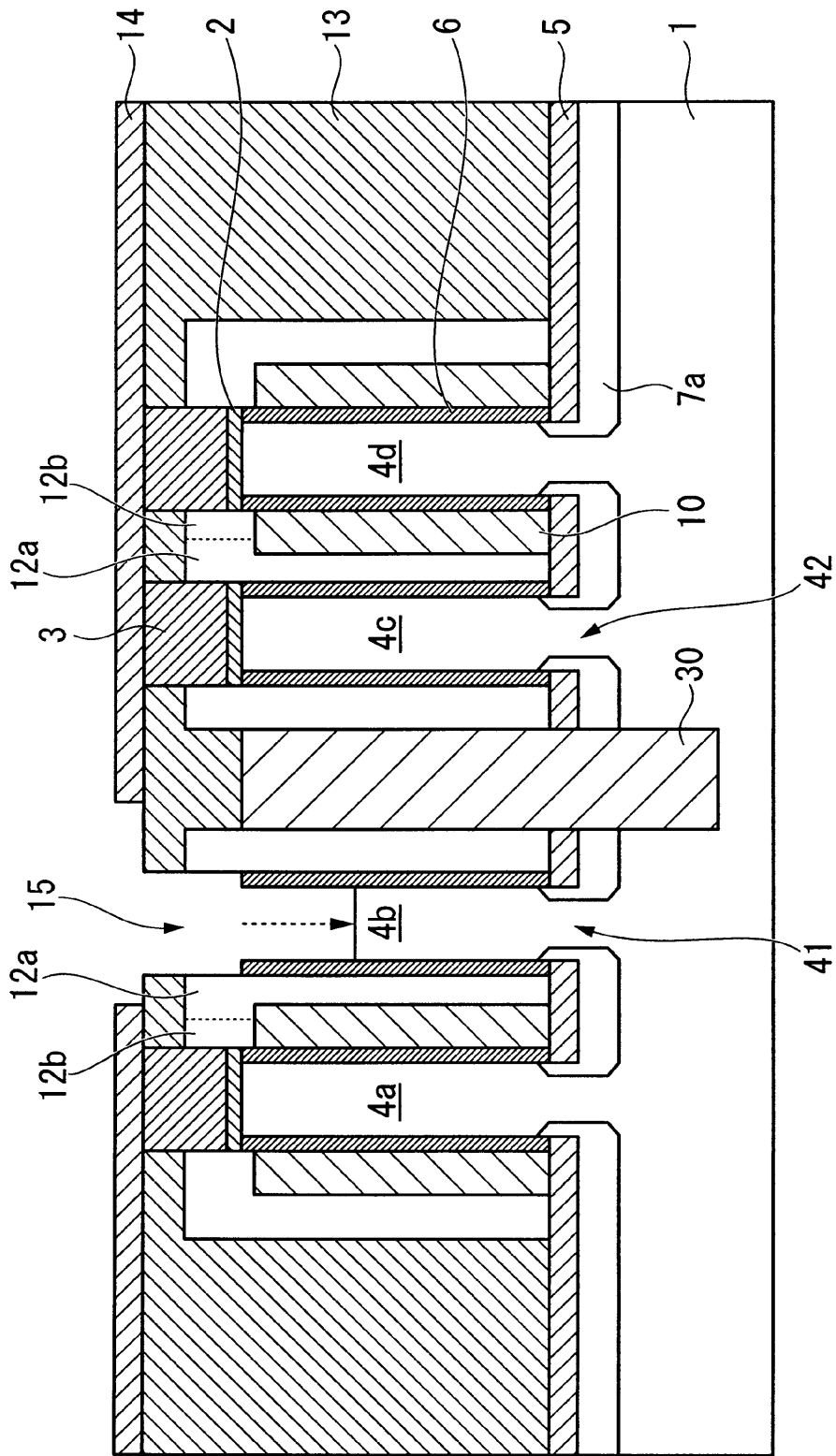
【 補正対象書類名 】 図面

【 補正対象項目名 】 図 1 4

【 補正方法 】 変更

【 補正の内容 】

【 図 1 4 】



【 手続補正 3 】

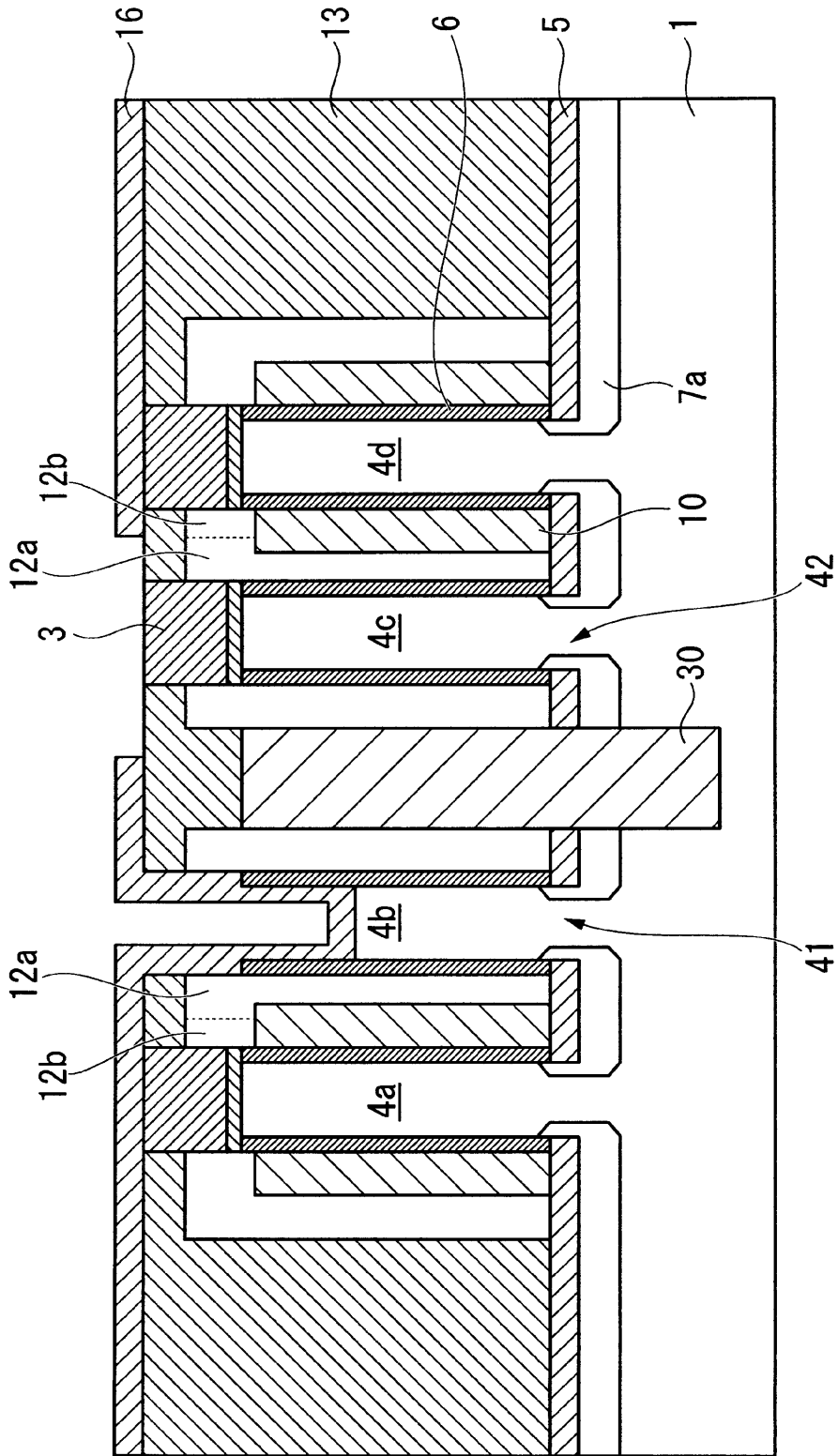
【 補正対象書類名 】 図面

【 補正対象項目名 】 図 1 5

【 補正方法 】 変更

【 補正の内容 】

【 図 1 5 】



【 手続補正 4 】

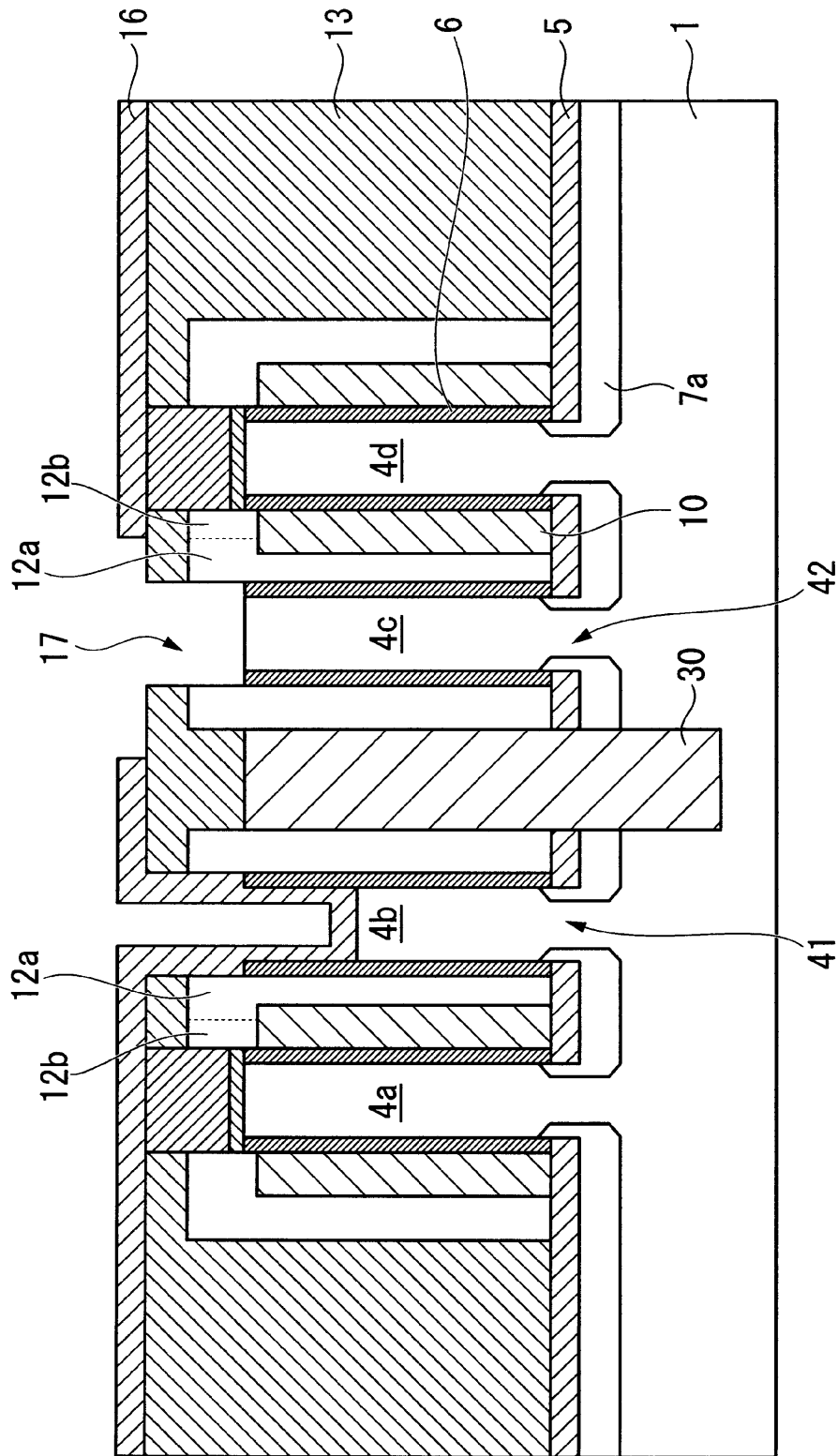
【 補正対象書類名 】 図面

【 補正対象項目名 】 図 1 6

【 補正方法 】 変更

【 補正の内容 】

【図 16】



【手続補正 5】

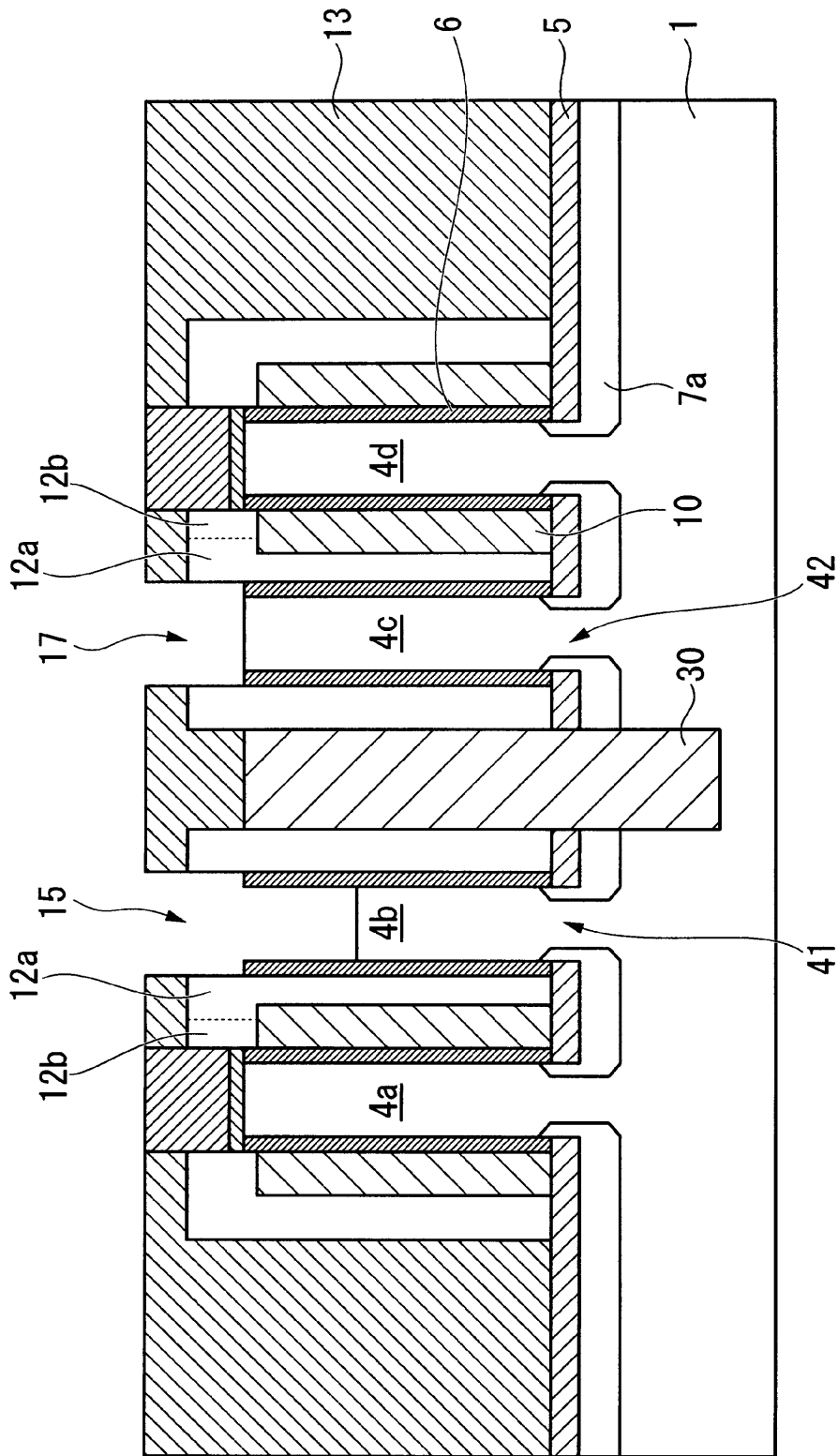
【補正対象書類名】図面

【補正対象項目名】図 17

【補正方法】変更

【補正の内容】

【 図 1 7 】



【 手続補正 6 】

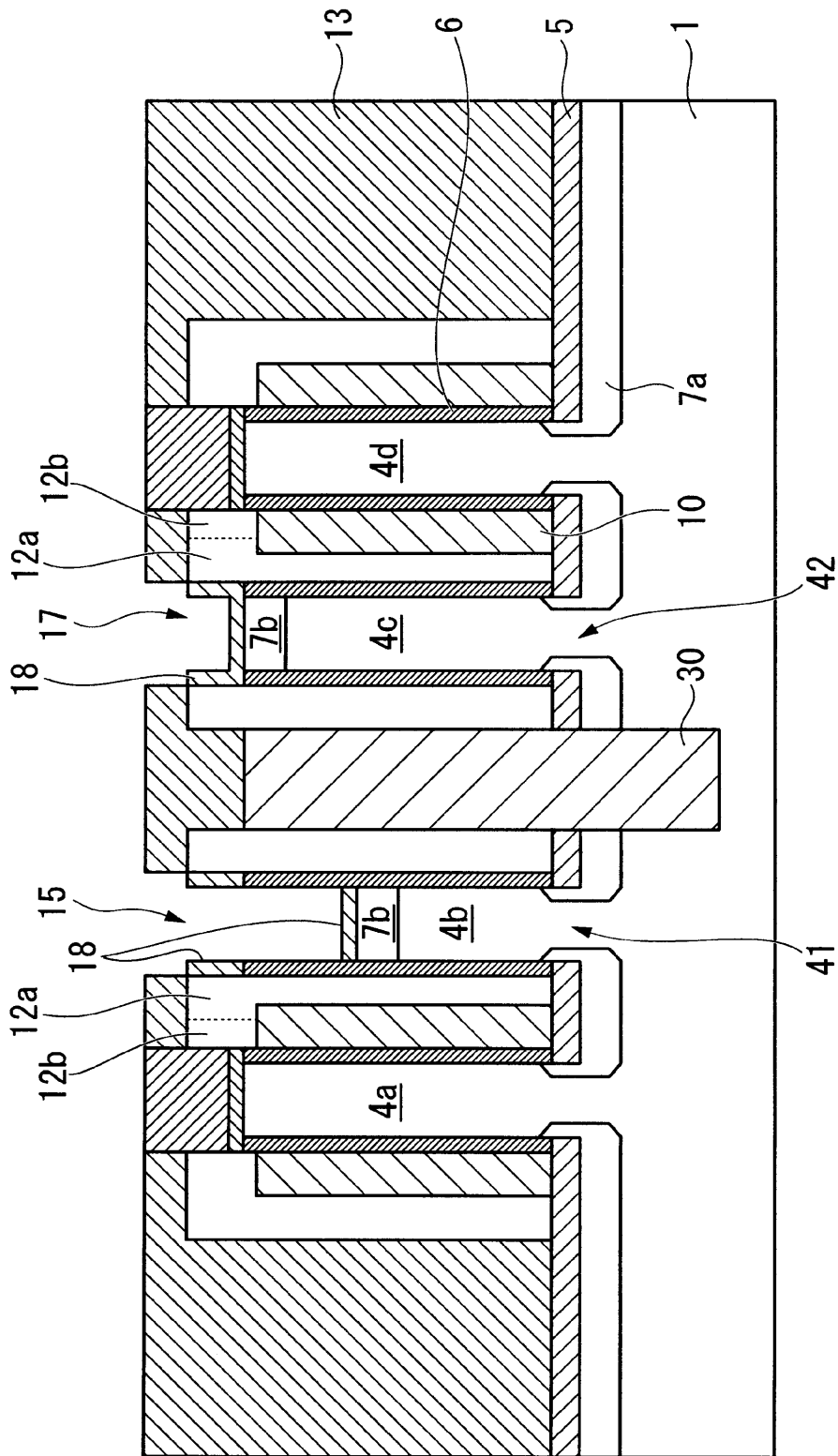
【 補正対象書類名 】 図面

【 補正対象項目名 】 図 1 8

【 補正方法 】 変更

【 補正の内容 】

【 図 1 8 】



【 手続補正 7 】

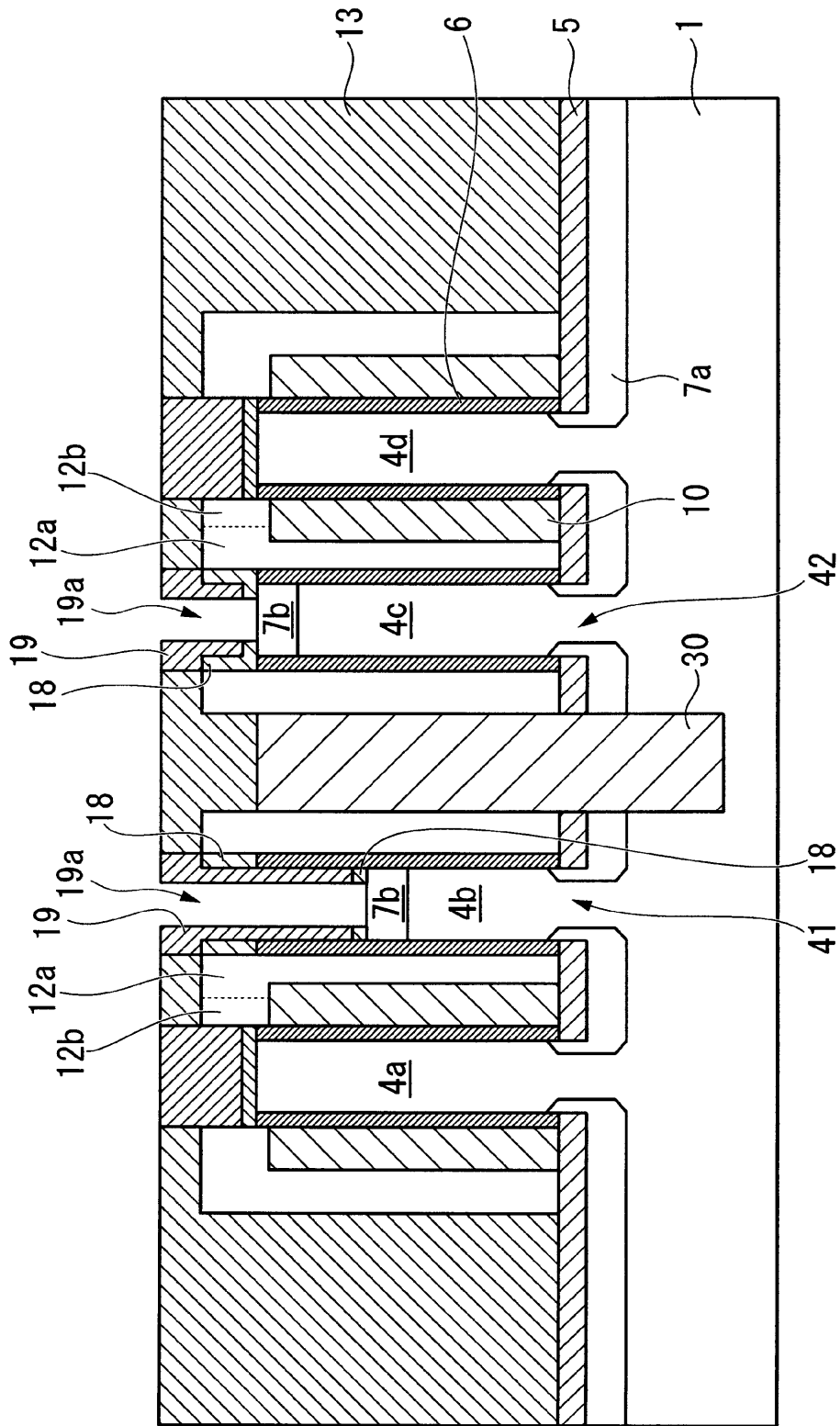
【 補正対象書類名 】 図面

【 補正対象項目名 】 図 1 9

【 補正方法 】 変更

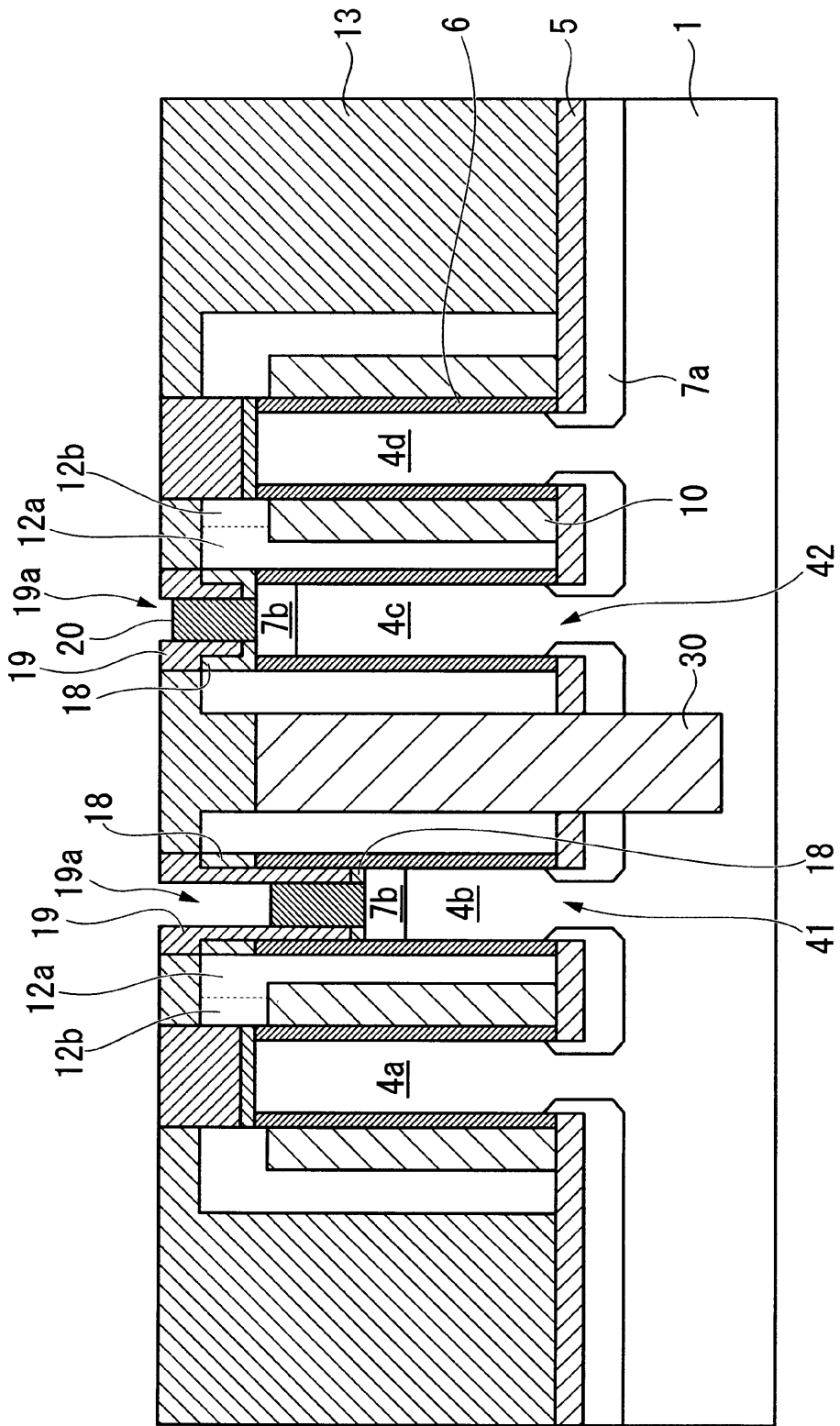
【 補正の内容 】

【図 19】



【手続補正 8】
【補正対象書類名】図面
【補正対象項目名】図 20
【補正方法】変更
【補正の内容】

【図 20】



 フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

 H 0 1 L 29/78 6 5 8 G
 H 0 1 L 29/78 6 5 8 F
 H 0 1 L 29/78 6 5 8 A
 H 0 1 L 27/08 1 0 2 B
 H 0 1 L 27/08 1 0 2 D
 H 0 1 L 29/78 3 0 1 X

 F ターム(参考) 5F048 AA00 AA01 AA09 AC01 BA01 BB01 BB03 BB05 BC03 BD07
 BD10 BF15 BF16 BG13
 5F140 AA02 AA39 AB01 AC23 BA01 BB01 BB04 BC15 BE07 BF01
 BF04 BF43 BF54 BG28 BG37 BH04 BH25 BH26 BH30 BH47
 BJ27 BK13 BK20 CB04 CC01 CC03 CC08 CC13 CE07