



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I570914 B

(45) 公告日：中華民國 106 (2017) 年 02 月 11 日

(21) 申請案號：099124963

(22) 申請日：中華民國 99 (2010) 年 07 月 28 日

(51) Int. Cl. : H01L29/423 (2006.01)

H01L29/78 (2006.01)

H01L27/04 (2006.01)

H01L21/76 (2006.01)

(30) 優先權：2009/11/17 南韓

10-2009-0110927

(71) 申請人：美格納半導體有限公司 (南韓) MAGNACHIP SEMICONDUCTOR, LTD. (KR)
南韓

(72) 發明人：車載漢 CHA, JAE-HAN (KR)；李倞鎬 LEE, KYUNG-HO (KR)；金善玟 KIM, SUN-GOO (KR)；崔瑩石 CHOI, HYUNG-SUK (KR)；金胃浩 KIM, JU-HO (KR)；蔡振榮 CHAE, JIN-YOUNG (KR)；吳仁澤 OH, IN-TAEK (KR)

(74) 代理人：陳長文

(56) 參考文獻：

TW 200636908A

JP 2002-033382A

JP 2009-170671A

審查人員：黃本立

申請專利範圍項數：20 項 圖式數：4 共 35 頁

(54) 名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57) 摘要

一種半導體裝置包括具有一或多個作用區之一基板及一隔離層，該隔離層經形成而包圍一作用區並比該一或多個作用區深地延伸至該基板中。該半導體進一步包括一閘電極，該閘電極覆蓋該作用區之一部分，且具有在該隔離層上方延伸之一末端部分。

A semiconductor device includes a substrate with one or more active regions and an isolation layer formed to surround an active region and to extend deeper into the substrate than the one or more active regions. The semiconductor further includes a gate electrode, which covers a portion of the active region, and which has one end;portion thereof extending over the isolation layer.

指定代表圖：

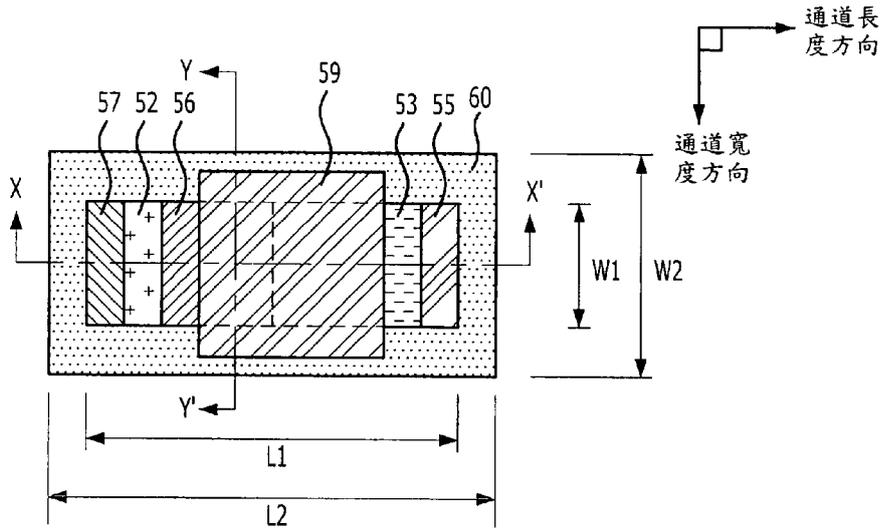
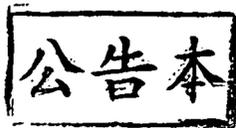


圖2A

符號簡單說明：

- 52 . . . 第一導電類型第二井
- 53 . . . 第二導電類型第二井
- 55 . . . 第二導電類型汲極區
- 56 . . . 第二導電類型源極區
- 57 . . . 第一導電類型拾取區
- 59 . . . 閘電極
- 60 . . . 隔離層
- L1 . . . 操作長度
- L2 . . . 裝置長度
- W1 . . . 操作寬度
- W2 . . . 裝置寬度



發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：99124963

※申請日：99.7.28

※IPC 分類：H01L 29/423 (2006.01)

H01L 29/78 (2006.01)

H01L 27/04 (2006.01)

H01L 21/76 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

二、中文發明摘要：

一種半導體裝置包括具有一或多個作用區之一基板及一隔離層，該隔離層經形成而包圍一作用區並比該一或多個作用區深地延伸至該基板中。該半導體進一步包括一閘電極，該閘電極覆蓋該作用區之一部分，且具有在該隔離層上方延伸的一末端部分。

三、英文發明摘要：

A semiconductor device includes a substrate with one or more active regions and an isolation layer formed to surround an active region and to extend deeper into the substrate than the one or more active regions. The semiconductor further includes a gate electrode, which covers a portion of the active region, and which has one end portion thereof extending over the isolation layer.

四、指定代表圖：

(一)本案指定代表圖為：第 (2A) 圖。

(二)本代表圖之元件符號簡單說明：

52	第一導電類型第一井
53	第二導電類型第二井
55	第二導電類型汲極區
56	第二導電類型源極區
57	第一導電類型拾取區
59	閘電極
60	隔離層
L1	操作長度
L2	裝置長度
W1	操作寬度
W2	裝置寬度

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明大體上係關於半導體裝置之製造；且更特定而言係關於高壓半導體裝置之製造。

本申請案依據35 U.S.C. §119主張2009年11月17日申請之韓國專利申請案第10-2009-110927號之優先權，該案之全文以引用之方式併入本文中。

【先前技術】

包括一或多個高壓電晶體連同低壓電路之各種積體電路廣泛用於不同電氣應用中。諸如延伸汲極MOS(EDMOS)電晶體、橫向雙擴散MOS(LDMOS)電晶體及其類似者之高壓電晶體佔用此等積體電路中之大量空間。

為了與較高整合密度之趨勢並駕齊驅，亦需要使高壓半導體裝置在大小上按比例縮小，同時仍維持足夠操作特性。

在圖1A中以平面圖說明習知延伸汲極MOS(EDMOS)電晶體。圖1B為沿圖1A之線X-X'之橫截面圖，而圖1C為沿圖1A之線Y-Y'的另一橫截面圖。

參看圖1A至圖1C，習知EDMOS電晶體包括作用區22、一P型雜質區14、一閘電極20、一閘極絕緣層19、一N型汲極區16、一N型源極區17及一P型拾取區18。作用區22包括形成於基板11上方之一N型第二井12及形成於N型第二井12中之一P型第一井13。P型雜質區14接面隔離相鄰作用區22。閘電極20與P型第一井13及N型第二井12交叉。閘極絕

緣層 19 介入於閘電極 20 與基板 11 之間。N 型源極區 17 與閘電極 20 之一末端相鄰而形成於 P 型第一井 13 中。N 型汲極區 16 形成於 N 型第二井 12 中，且與閘電極 20 隔開。P 型拾取區 18 形成於 P 型第一井 13 中，且與 N 型源極區 17 隔開。

因為相鄰作用區 22 藉由不同於 N 型第二井 12 之導電類型之 P 型雜質區 14 彼此接面隔離，所以此種習知 EDMOS 電晶體具有以下缺陷：除 P 型雜質區 14 外亦需要非操作區以便確保可能具有不同於彼此之電位的作用區 22 之間的隔離且亦需要作用區 22 的足夠高之操作電壓。

亦即，雖然非操作區並未涉及於 EDMOS 電晶體之實際操作中，但仍然需要此非操作區以允許相鄰作用區 22 以足夠電壓及彼此隔離之形式操作。非操作區指示 EDMOS 電晶體間距，該 EDMOS 電晶體間距可定義為藉由自整個裝置區減去操作區而獲得之區域，其中操作區為藉由操作長度 $L1$ 乘以操作寬度 $W1$ 而定義之區域，且係在操作之間在 EDMOS 電晶體中發生實際載子傳送所處之區，且其中整個裝置區係定義為裝置長度 $L2$ 乘以裝置寬度 $W2$ 的區域。

對包括非操作區之需要使得難以增大 EDMOS 電晶體之整合密度。此問題可能並非僅與 EDMOS 電晶體相關聯之問題，而是可能為所有接面隔離之高壓半導體裝置的共同問題。

【發明內容】

本發明之一或多個態樣係針對一種高壓半導體裝置，其具有高整合密度能力及足夠操作電壓能力。

本發明之各種目標、特徵及優點自本發明之若干實施例之以下描述將變得顯而易見。

根據本發明之一態樣，可提供一種半導體裝置，該半導體裝置可包括：一基板，在該基板中形成有一作用區；一隔離層，其形成於該基板中以包圍該作用區之側壁；及一閘電極，其組態於該基板上方以覆蓋該作用區之一部分，該閘電極具有在該隔離層之一上方部分上方延伸之一末端部分。

該隔離層可比該作用區深地延伸至該基板中。

可經由一深渠溝隔離(DTI)製程而形成該隔離層。

該作用區可包含一第一導電類型第一井及一第二導電類型第二井，其在面向該半導體裝置之一通道縱向方向之各別井接觸側壁處彼此接觸。該第一導電類型第一井及該第二導電類型第二井之除該等井接觸側壁外之剩餘側壁可與該隔離層接觸。

該閘電極可沿該通道縱向方向在該第一導電類型第一井及該第二導電類型第二井兩者之部分上方延伸，且可具有沿該半導體裝置之一通道橫向方向在該隔離層之該上方部分上方延伸之一末端部分。

該半導體裝置可進一步包含：一第二導電類型源極區，其與該閘電極之一第一側末端相鄰而形成於該第一導電類型第一井中；及一汲極區，其形成於該第二導電類型第二井中。該汲極區可在關於該閘電極與該第二導電類型源極區相對之一側上，且可與相對於該閘電極之該第一側末端

相對之一第二側末端隔開達一距離，該距離大於該第二導電類型源極區與該閘電極之該第一側末端之間的一距離。

面向該半導體裝置之一通道橫向方向的該第二導電類型源極區及該汲極區中之每一者之各別側壁中之每一者可與該隔離層接觸。

該作用區可或者包含一第二導電類型深井及形成於該第二導電類型深井中的一第一導電類型井。該第二導電類型深井之側壁中之每一者可與該隔離層接觸。面向該半導體裝置之該通道橫向方向的該第一導電類型井之該等側壁可與該隔離層接觸。

該閘電極可具有與該第一導電類型井之一部分重疊之沿該半導體裝置之該通道縱向方向的一末端，且可具有向該隔離層之該上方部分延伸之沿該半導體裝置之該通道橫向方向的另一末端。

該半導體裝置可另外包含：一第二導電類型源極區，其形成於該第一導電類型第一井中而與該閘電極之一第一側末端相鄰；及一第二導電類型汲極區，其與相對於該閘電極之該第一側末端之一第二側末端相鄰而形成於該第二導電類型深井中。

面向該半導體裝置之該通道橫向方向的該源極區及該汲極區中之每一者的兩個側壁可與該隔離層接觸。

該閘電極可連接至該第一導電類型井以便充當一陽極。該第二導電類型深井可充當一陰極。

根據本發明之另一態樣，可提供形成於一基板上之半導

體裝置，其包括一或多個作用半導體區、一隔離渠溝及一導電電極。該一或多個作用半導體區可具有各別深度，該一或多個作用半導體區沿一方向延伸至該基板中達該等各別深度。該隔離渠溝可包圍該一或多個作用半導體區中之一相關聯作用半導體區，以便電隔離該一或多個作用半導體區中之該相關聯作用半導體區與該一或多個作用半導體區中的相鄰之其他作用半導體區，且可沿該方向延伸至該基板中達一深度，該深度大於該一或多個作用半導體區之該等各別深度。該導電電極可以一方式在該一或多個作用半導體區中之該相關聯作用半導體區與該隔離渠溝之間的一邊界面界面上方延伸以便覆蓋該一或多個作用半導體區中之該相關聯作用半導體區及該隔離渠溝兩者之各別部分。

該一或多個作用半導體區中之該相關聯作用半導體區可包含一第一導電類型之一第一井及不同於該第一導電類型之一第二導電類型之一第二井。該第二井可相對於該第一井以一方式配置以使得該第二井之周邊邊界具有與該第一井接觸之一部分及與該隔離渠溝接觸之其他部分。該導電電極可以一方式延伸以便覆蓋該第一井及該第二井兩者之各別部分。

根據一實施例，該第二井可具有其與該第一井接觸之周邊邊界之至少兩個相對部分。

該半導體裝置可包含一電晶體。該一或多個作用半導體區中之該相關聯作用半導體區可包含形成於該第一井中之一源極區、形成於該第二井中之一汲極區及一通道區，該

通道區之一長度沿由該導電電極覆蓋之該第二井之一部分自該源極區延伸。

該半導體裝置可進一步包含形成於該導電電極與該通道區之間的一絕緣層。

該半導體裝置可進一步包含該第一導電類型之一內埋雜質層。該內埋雜質層可具有第一導電類型雜質，其濃度高於該第一井中之第一導電類型雜質之濃度。

該源極區及該汲極區中之每一者具有與該隔離渠溝接觸的一部分。

該汲極區可與該導電電極隔開。該半導體裝置可進一步包含沿該通道區之該長度之一方向在該導電電極之一部分與該汲極區之間延伸的一淺隔離渠溝。該淺隔離渠溝可沿該方向延伸至該基板中達一深度，該深度淺於該一或多個作用半導體區中之該相關聯作用半導體區。

【實施方式】

本發明之各種特徵及優點參看附加圖式藉由本發明之若干實施例之以下詳細描述將變得更顯而易見。

下文將詳細參看隨附圖式來描述本發明之若干實施例。應理解，此等實施例並不意欲限制本發明之完整範疇且不應解釋為限制本發明之完整範疇，且本發明之態樣及特徵可以不同於在本文中描述之彼等實施例中具體詳述之建構、組態及元件的建構、組態及元件來進行。實情為，此等實施例經提供以使得本發明將為透徹且完整的，且將向熟習此項技術者充分傳達本發明之範疇。遍及本發明，類

似參考數字遍及本發明之各種圖及實施例指代類似部分。該等圖式未必按比例繪製，且在一些個例中，可能已為清楚起見誇示比例。當第一層被稱為「在一第二層上」或「在一基板上」時，其不僅指代第一層與第二層或基板直接接觸而形成之狀況，而且指代第三層存在於第一層與第二層或基板之間的狀況。

以下揭示內容提供高壓半導體裝置之若干實施例，該等實施例具有高整合密度能力且能夠以足夠操作電壓操作。因此，本發明之一或多個態樣提供具有不同電位之區藉由隔離層而彼此隔離，該隔離層係經由深渠溝隔離(DTI)製程來形成。根據本發明之一或多個態樣，接面隔離技術可用以使相鄰作用區彼此隔離，以藉此移除或最小化所需非操作區。本發明之此等態樣因此使得有可能實現整合密度之改良同時仍維持適合於高壓半導體裝置之足夠操作電壓。

為說明方便起見，藉由實例來描述具有N通道之延伸汲極MOS(EDMOS)電晶體。在該實例中，第一導電類型為P型，而第二導電類型指代N型。當然，以下描述大體上同樣適用於具有P通道之EDMOS電晶體，然而，在該狀況下，第一導電類型對應於N型，而第二導電類型對應於P型。

圖2A至圖2C說明根據本發明之一實施例之半導體裝置。圖2A為半導體裝置之平面圖。圖2B為沿線X-X'切割之半導體裝置之橫截面圖，而圖2C為沿線Y-Y'切割的半導

體裝置之橫截面圖。

參看圖 2A 至圖 2C，根據本發明之一實施例之半導體裝置可包括：作用區 54，該等作用區 54 各自包括形成於基板 51 上方之一第一導電類型第一井 52 及一第二導電類型第二井 53，該基板 51 包括一裝置隔離層 62；一隔離層 60，其形成於該基板 51 上方以包圍每一作用區 54 以用於將相鄰作用區 54 彼此隔離；一閘電極 59，其經形成以延伸從而覆蓋作用區 54 之一部分並具有在隔離層 60 之上方部分上方延伸的一或多個末端；一閘極絕緣層 58，其介入於閘電極 59 與基板 51 之間；一第二導電類型源極區 56，其與閘電極 59 之一末端部分相鄰而形成於第一導電類型第一井 52 中；一第二導電類型汲極區 55，其形成於該第二導電類型第二井 53 中以與閘電極 59 隔開；及一第一導電類型拾取區 57，其形成於第一導電類型第一井 52 中以與第二導電類型源極區 56 隔開。根據一實施例，可經由淺渠溝隔離 (STI) 製程來形成裝置隔離層 62。

根據本發明之一實施例之半導體裝置可進一步包括一第二導電類型內埋雜質層 61，其形成於作用區 54 下方以由隔離層 60 包圍。根據一實施例，第二導電類型內埋雜質層 61 可具有高於作用區 54 之雜質摻雜濃度的雜質摻雜濃度，且可改良 EDMOS 電晶體之崩潰電壓特性。

隔離層 60 可具有一距基板 51 之上表面深於作用區 54 之深度的深度，以便將相鄰作用區 54 彼此有效地隔離。可經由深渠溝隔離 (DTI) 製程來形成具有以上結構之隔離層 60。

作用區 54 包括彼此接觸之導電類型第二井 53 及第一導電類型第一井 52。除第一導電類型第一井 52 與導電類型第二井 53 接觸之側壁(或接面表面)外之第一導電類型第一井 52 及導電類型第二井 53 之剩餘側壁可與隔離層 60 接觸。

第二導電類型源極區 56 及第二導電類型汲極區 55 可具有與隔離層 60 接觸之沿通道長度方向的兩個側壁。當第二導電類型源極區 56 及第二導電類型汲極區 55 之側壁中的任一者沿通道長度方向(亦即圖 2A 中之 X-X' 方向)延伸時，操作寬度 W_1 減少達隔開之距離。結果，操作特性可能惡化，且同時產生非操作區，因此不利地影響半導體裝置之整合密度。

為了防止操作特性之此惡化及非操作區之產生，根據一實施例，第一導電類型拾取區 57 及第二導電類型汲極區 55 可各自具有與隔離層 60 接觸之在通道寬度方向上延伸的一側壁。

閘電極 59 可具有一結構，該結構沿通道長度方向(其為展示於圖 2A 中之 X-X' 方向)與第一導電類型第一井 52 及導電類型第二井 53 兩者交叉，且具有沿通道寬度方向(其為 Y-Y' 方向)在隔離層 60 之上方部分上方延伸的一或多個末端。藉由允許閘電極 59 之末端部分在通道寬度方向上在隔離層 60 之上方部分上方延伸，可實現整合密度之改良。按照慣例，閘電極 59 可經設計以具有一寬於通道寬度之寬度，以便防止通道寬度歸因於處理誤差而變化。然而，當超過通道寬度之閘電極 59 之彼等部分定位於作用區 54 上方

時，可使有效裝置寬度 W_2 增大與閘電極之額外部分一樣多。結果，可減小半導體裝置之整合密度。

根據本發明之一實施例之上述結構的半導體裝置可包括一隔離層 60，該隔離層 60 包圍作用區 54 以將分別具有不同電位之作用區彼此有效地隔離同時維持足夠操作電壓。

特定言之，當與基於習知接面隔離技術隔離相鄰作用區 54 之狀況比較時，根據本發明之一實施例之半導體裝置可藉由不需要形成非操作區之情況下提供相鄰作用區 54 之彼此隔離而具有改良之整合密度，同時維持足夠操作電壓。

在閘電極 59 之一或多個末端在通道寬度方向及/或長度方向上在隔離層 60 之上方部分上方延伸的情況下，有可能進一步改良半導體裝置之整合密度。

如上文所描述，藉由包括包圍作用區 54 之隔離層 60，且藉由藉此增大半導體裝置之整合密度，高壓半導體裝置之比導通電阻 (RSP) 可減少以藉此改良操作特性。特定言之，根據本發明之一實施例之半導體裝置可顯著減小整個區 (定義為裝置長度 L_2 乘以裝置寬度 W_2) 與操作區 (其定義為操作長度 L_1 乘以操作寬度 W_1) 之間的差，以便大體上減小不必要之非操作區，且使得整個區大體上變為在操作之間傳送載子所在的操作區。由於有可能減小整個區之總大小，因此可減小定義為存在於第二導電類型源極區 56 與第二導電類型汲極區 55 之間的電阻分量之總和乘以整個區的比導通電阻，藉此改良半導體裝置之操作特性。

此後，出於說明本發明之態樣之目的，將描述根據一實施例之具有N通道之LDMOS電晶體的實例。在此實例中，第一導電類型為P型，而第二導電類型為N型。當然，具有P通道之LDMOS電晶體可或者實施為適合使用大體上相同之描述之另一實施例，然而，在該狀況下，第一導電類型為N型，而第二導電類型為P型。

圖3A至圖3C說明根據本發明之另一實施例之半導體裝置，其中圖3A為半導體裝置之平面圖，圖3B為沿線X-X'之半導體裝置之橫截面圖，且圖3C為沿線Y-Y'的半導體裝置之橫截面圖。

參看圖3A至圖3C，根據本發明之一實施例之半導體裝置可包括：作用區82，該等作用區82各自包括形成於基板71上方之一第二導電類型深井73及形成於第二導電類型深井73中之一第一導電類型井74，該基板71包括一裝置隔離層81；一隔離層80，其形成於該基板71上方以包圍每一作用區82並將相鄰作用區82彼此隔離；一閘電極79，其形成於基板71上方以覆蓋作用區82之一部分並具有向隔離層80之上方部分延伸之一末端；一閘極絕緣層78，其介入於閘電極79與基板71之間；一第二導電類型源極區76，其形成於第一導電類型井74中以在閘電極79之一側之一末端處排成陣列；一第二導電類型汲極區75，其形成於該第二導電類型深井73中以與閘電極79之另一側之一末端隔開達一預定距離；及一第一導電類型拾取區77，其形成於第一導電類型井74中。可經由淺渠溝隔離(STI)製程來形成裝置隔離

層 81。

根據本發明之實施例之半導體裝置可進一步包括一第二導電類型內埋雜質層 72，其形成於作用區 82 之下方部分中以由隔離層 80 包圍。第二導電類型內埋雜質層 72 可改良 LDMOS 電晶體之崩潰電壓特性。第二導電類型內埋雜質層 72 之雜質摻雜濃度可高於作用區 82 (特定而言，第二導電類型深井 73) 的雜質摻雜濃度。

隔離層 80 可具有一自基板 71 之上表面延伸之深於作用區 82 之深度的深度，以便將相鄰作用區 82 彼此有效地隔離。可經由深渠溝隔離 (DTI) 製程來形成具有以上結構之隔離層 80。

在由第二導電類型深井 73 及形成於第二導電類型深井 73 內之第一導電類型井 74 形成的作用區 82 中，第二導電類型深井 73 之所有側壁與隔離層 80 接觸，而第一導電類型井 74 可具有一結構，其中其面向通道寬度方向 (其為 Y-Y' 方向) 之側壁兩者與隔離層 80 接觸。

第二導電類型源極區 76 及第二導電類型汲極區 75 可具有與隔離層 80 接觸之面向通道寬度方向的兩個側壁。當面向通道寬度方向 (其為 Y-Y' 方向) 的第二導電類型源極區 76 及第二導電類型汲極區 75 之側壁中之任一者並不接觸隔離層 80 而是與隔離層 80 隔開時，操作寬度 W1 減少達此隔開之距離。結果，操作特性可能惡化，且同時可形成非操作區，藉此降低可實現之半導體裝置之整合密度。為了防止操作特性之惡化及非操作區之形成，第二導電類型汲極區

75可具有與隔離層80接觸之面向通道長度方向(其為X-X'方向)的一側壁。

閘電極79可具有一結構，該結構沿通道長度方向(其為X-X'方向)與第一導電類型井74及第二導電類型深井73兩者交叉以具有與第一導電類型井74之一部分重疊之一末端，且可具有在通道寬度方向(其為Y-Y'方向)上向隔離層80之上方部分延伸之一末端。因為閘電極79之一末端在通道寬度方向上向隔離層80之上方部分延伸，所以可改良半導體裝置之整合密度。按照慣例，閘電極經設計以具有一寬於通道寬度之寬度，以便防止通道寬度在製造時歸因於處理誤差而變化。當超過通道寬度之此等習知閘電極之部分定位於作用區82上方時，裝置寬度W2增大與閘電極之附加寬度一樣多。結果，可不利地影響半導體裝置之整合密度。

根據本發明之一實施例之上述結構的半導體裝置可包括隔離層80，該隔離層80包圍作用區82以使具有不同電位之作用區82彼此隔離同時維持足夠操作電壓。

特定言之，當與基於習知接面隔離技術隔離相鄰作用區82之狀況比較時，根據本發明之上述實施例之半導體裝置可藉由在大體上減小之非操作區之情況下將相鄰作用區82彼此隔離而改良整合密度，同時維持足夠操作電壓。

藉由提供包括沿通道寬度方向向隔離層80之上方部分延伸之閘電極79之一末端部分的上述結構，有可能實現半導體裝置之整合密度之進一步改良。

如上文所描述，藉由包括包圍作用區82之隔離層80，且藉由藉此增大半導體裝置之整合密度，高壓半導體裝置之比導通電阻(RSP)可減小，從而導致半導體裝置之操作特性的改良。

在迄今描述之彼等實施例中，雖然將諸如EDMOS電晶體、LDMOS電晶體及其類似者之高壓MOS電晶體作為說明性實例來描述，但本發明之特徵及態樣可適用於其他高壓半導體裝置，該等其他高壓半導體裝置可被提供如本文中所描述經由DTI製程所形成之隔離層以使作用區或井隔離。舉例而言，現將根據本發明之另一實施例之高壓靜電放電(ESD)裝置作為另一說明性實例來描述。在以下實例中，第一導電類型為P型，而第二導電類型為N型。當然，取決於特定應用，可將導電類型顛倒，亦即，在替代實施例中，第一導電類型可為N型，而第二導電類型可為P型。

圖4A至圖4C說明根據本發明之另一實施例之半導體裝置，在該等圖中，圖4A為半導體裝置之平面圖，圖4B為沿線X-X'之半導體裝置之橫截面圖，且圖4C為沿線Y-Y'的半導體裝置之橫截面圖。

參看圖4A至圖4C，根據本發明之一實施例之半導體裝置可包括：一基板91，其具有經由STI製程形成之裝置隔離層98；作用區90，該等作用區90各自包括形成於基板91上方之一第二導電類型深井93及形成於第二導電類型深井93內之一第一導電類型井94；一隔離層100，其形成於基板91上方以包圍每一作用區90並將相鄰作用區90彼此隔

離；一閘電極99，其形成於基板91上方以覆蓋作用區90之一部分，且具有向隔離層100之上方部分延伸之一末端；一閘極絕緣層97，其介入於閘電極99與基板91之間；一第一導電類型第一接面區96，其形成於第一導電類型井94中且在閘電極99之一末端處排成陣列；及一第二導電類型第二接面區95，其形成於第二導電類型深井93中以與閘電極99隔開達一預定距離。可(例如)經由淺渠溝隔離(STI)製程來形成裝置隔離層98。

根據一實施例之半導體裝置可進一步包括一第二導電類型內埋雜質層92，其形成於作用區90之下方部分中以由隔離層100包圍。第二導電類型內埋雜質層92可改良ESD裝置之崩潰電壓特性。第二導電類型內埋雜質層92之雜質摻雜濃度可高於作用區90(特定而言，第二導電類型深井93)的雜質摻雜濃度。

隔離層100可具有一自基板91之上表面延伸之深於作用區90之深度的深度，以便將相鄰作用區82彼此有效地隔離。可經由深渠溝隔離(DTI)製程來形成具有以上結構之隔離層100。

在由第二導電類型深井93及形成於第二導電類型深井93內之第一導電類型井94形成的作用區90中，面向通道寬度方向(其為圖4A中之Y-Y'方向)的第二導電類型深井93之側壁可與隔離層100接觸，同時面向通道寬度方向的第一導電類型井94之側壁可與隔離層100接觸。

第二導電類型第二接面區95及第一導電類型第一接面區

96可具有與隔離層100接觸之面向通道寬度方向的兩個側壁。當第一導電類型第一接面區96及第二導電類型第二接面區95之面向通道寬度方向之側壁中的任一者與隔離層100隔開時，操作寬度 $W1$ 減小達隔開之間隙。結果，半導體裝置之操作特性可能惡化，且整合密度歸因於非操作區之形成可變低。為了防止操作特性之此惡化並減小非操作區之形成，第二導電類型第二接面區95可進一步具有亦與隔離層100接觸之面向通道長度方向(亦即，圖4A中之X-X'方向)的一側壁。

閘電極99可具有一結構，該結構沿通道長度方向(亦即，X-X'方向)與第一導電類型井94及第二導電類型深井93兩者交叉，可具有與第一導電類型井94之一部分重疊之一末端部分，且可具有沿通道寬度方向(亦即，Y-Y'方向)向隔離層100之上方部分延伸之一末端部分。具有沿通道寬度方向向隔離層100之上方部分延伸之末端之閘電極99實現半導體裝置之整合密度的改良。按照慣例，閘電極經設計以具有一寬於通道寬度之寬度，以便解決在製造期間之通道寬度之可能變化。當經形成而延伸超過預定通道寬度之此習知閘電極之區定位於作用區上方時，裝置寬度 $W2$ 增大與閘電極之額外區一樣多，從而導致可藉由此半導體裝置實現之較低整合密度。

具有上述結構之根據本發明之一實施例之半導體裝置可包括一PN接面二極體，其中閘電極99及第一導電類型井94彼此連接以充當陽極，而第二導電類型深井93充當陰極，

且可因此可作為ESD裝置來操作。第一導電類型第一接面區96關於第一導電類型井94改良接觸特性，而第二導電類型第二接面區95關於第二導電類型深井93改良接觸特性。

藉由包圍作用區90之隔離層100，根據本發明之實施例之半導體裝置可提供可以不同各別電位操作之作用區90之間的有效隔離同時維持足夠操作電壓，且亦同時減小非操作區之形成或必要性，且可藉此實現所得半導體裝置之整合密度的增大。

根據一實施例之閘電極99具有含有沿通道寬度方向向隔離層100之上方部分延伸的一末端的結構，且因此可實現半導體裝置之整合密度的進一步改良。

根據本發明之一或多個態樣，與依賴於習知接面隔離技術來隔離相鄰作用區之習知裝置相比較，具有包圍作用區之側壁之隔離層的上述結構可較有效地改良高壓半導體裝置之操作電壓特性及整合密度。

根據本發明之一或多個態樣，藉由允許閘電極之一末端向隔離層之上方部分延伸，可實現高壓半導體裝置之操作電壓特性及/或整合密度的進一步改良。

另外，根據本發明之一或多個態樣，本文中所描述之特徵及結構藉由減小半導體裝置之總裝置面積而實現半導體裝置之比導通電阻之減小，且可藉此實現半導體裝置之操作特性的改良。

雖然藉由特定細節參看本發明之若干實施例特定展示並描述本發明，但對於一般熟習此項技術者而言將顯而易見

的是，可在不偏離本發明之原理及精神的情況下對此等實施例進行各種改變，本發明之範疇定義於以下申請專利範圍及其等效物中。

【圖式簡單說明】

圖1A至圖1C說明習知延伸汲極MOS(EDMOS)電晶體；

圖2A至圖2C說明根據本發明之一實施例之半導體裝置；

圖3A至圖3C說明根據本發明之另一實施例之半導體裝置；及

圖4A至圖4C說明根據本發明之另一實施例之半導體裝置。

【主要元件符號說明】

11	基板
12	N型第二井
13	P型第一井
14	P型雜質區
16	N型汲極區
17	N型源極區
18	P型拾取區
19	閘極絕緣層
20	閘電極
22	作用區
51	基板
52	第一導電類型第一井

53	第二導電類型第二井
54	作用區
55	第二導電類型汲極區
56	第二導電類型源極區
57	第一導電類型拾取區
58	閘極絕緣層
59	閘電極
60	隔離層
61	第二導電類型內埋雜質層
62	裝置隔離層
71	基板
72	第二導電類型內埋雜質層
73	第二導電類型深井
74	第一導電類型井
75	第二導電類型汲極區
76	第二導電類型源極區
77	第一導電類型拾取區
78	閘極絕緣層
79	閘電極
80	隔離層
81	裝置隔離層
82	作用區
90	作用區
91	基板

92	第二導電類型內埋雜質層
93	第二導電類型深井
94	第一導電類型井
95	第二導電類型第二接面區
96	第一導電類型第一接面區
97	閘極絕緣層
98	裝置隔離層
99	閘電極
100	隔離層
L1	操作長度
L2	裝置長度
W1	操作寬度
W2	裝置寬度

七、申請專利範圍：

1. 一種半導體裝置，其包含：

一基板，在該基板中形成有一作用區，該作用區包含一第一導電類型第一井及一第二導電類型第二井；

一渠溝隔離層，其形成於該基板中以包圍該作用區之側壁；

一閘電極，其組態於該基板上方以覆蓋該作用區之一部分，該第一井與該第二井在該作用區中彼此接觸；及

一閘極絕緣層，其形成於該閘電極與該基板之間；且

其中該閘電極具有一末端部分，該末端部分經由該閘極絕緣層與該隔離層之一上方部分接觸。

2. 如請求項 1 之半導體裝置，其中該隔離層比該作用區深地延伸至該基板中。

3. 如請求項 1 之半導體裝置，其中該隔離層係經由一深渠溝隔離(DTI)製程而形成。

4. 一種半導體裝置，其包含：

一基板，在該基板中形成有一作用區；

一隔離層，其形成於該基板中以包圍該作用區之側壁；及

一閘電極，其經配置於該基板上方以覆蓋該作用區之一部分，該閘電極具有在該隔離層之一上方部分上方延伸的一末端部分，

其中該作用區包含一第一導電類型第一井及一第二導電類型第二井，其在面向該半導體裝置之一通道縱向方

向之各別井接觸側壁處彼此接觸，該第一導電類型第一井及該第二導電類型第二井之除該等井接觸側壁外之剩餘側壁與該隔離層接觸。

5. 如請求項4之半導體裝置，其中該閘電極沿該通道縱向方向在該第一導電類型第一井及該第二導電類型第二井兩者之部分上方延伸，且具有沿該半導體裝置之一通道橫向方向在該隔離層之該上方部分上方延伸的一末端部分。

6. 如請求項4之半導體裝置，其進一步包含：

一第二導電類型源極區，其與該閘電極之一第一側末端相鄰而形成於該第一導電類型第一井中；及

一汲極區，其形成於該第二導電類型第二井中，該汲極區在關於該閘電極與該第二導電類型源極區相對之一側上，且與相對於該閘電極之該第一側末端相對之一第二側末端隔開達一距離，該距離大於該第二導電類型源極區與該閘電極之該第一側末端之間的一距離。

7. 如請求項6之半導體裝置，其中面向該半導體裝置之一通道橫向方向的該第二導電類型源極區及該汲極區中之每一者之各別側壁與該隔離層接觸。

8. 一種半導體裝置，其包含：

一基板，在該基板中形成有一作用區；

一隔離層，其形成於該基板中以包圍該作用區之側壁；及

一閘電極，其經組態於該基板上以覆蓋該作用區之

一部分，該閘電極具有在該隔離層之一上方部分上方延伸之一末端部分，

其中該作用區包含一第二導電類型深井及形成於該第二導電類型深井中的一第一導電類型井，該第二導電類型深井之側壁中之每一者與該隔離層接觸，面向該半導體裝置之一通道橫向方向的該第一導電類型井之側壁中之每一者與該隔離層接觸。

9. 如請求項8之半導體裝置，其中該閘電極具有與該第一導電類型井之一部分重疊之沿該半導體裝置之一通道縱向方向之一末端，且具有向該隔離層之該上方部分延伸之沿該半導體裝置之一通道橫向方向的另一末端。

10. 如請求項8之半導體裝置，其進一步包含：

一第二導電類型源極區，其形成於該第一導電類型第一井中而與該閘電極之一第一側末端相鄰；及

一第二導電類型汲極區，其與相對於該閘電極之該第一側末端之一第二側末端相鄰而形成於該第二導電類型深井中。

11. 如請求項8之半導體裝置，其中面向該半導體裝置之該通道橫向方向之源極區及汲極區中之每一者的兩個側壁與該隔離層接觸。

12. 如請求項8之半導體裝置，其中該閘電極連接至該第一導電類型井以充當一陽極，該第二導電類型深井充當一陰極。

13. 一種形成於一基板上之半導體裝置，其包含：

一或多個作用半導體區，其具有各別深度，該一或多個作用半導體區沿一方向延伸至該基板中達該等各別深度；

一隔離渠溝，其包圍該一或多個作用半導體區中之一相關聯作用半導體區，以便電隔離該一或多個作用半導體區中之該相關聯作用半導體區與該一或多個作用半導體區中的相鄰之其他作用半導體區，該隔離渠溝沿該方向延伸至該基板中達一深度，該深度大於該一或多個作用半導體區之該等各別深度；

一導電電極，其以一方式在該一或多個作用半導體區中之該相關聯作用半導體區與該隔離渠溝之間的一邊界界面上方延伸；及

一閘極絕緣層，其形成於該導電電極與該基板之間；且

其中該導電電極經由該閘極絕緣層覆蓋該一或多個作用半導體區中之該相關聯作用半導體區與該隔離渠溝兩者之各別部分，

其中該一或多個作用半導體區中之該相關聯作用半導體區包含一第一導電類型之一第一井及不同於該第一導電類型之一第二導電類型之一第二井；且該導電電極以一方式延伸以便覆蓋該第一井及該第二井兩者之各別部分。

14. 如請求項13之半導體裝置，其中該第二井相對於該第一井以一方式配置以使得該第二井之一周邊邊界具有與該

第一井接觸之一部分及與該隔離渠溝接觸之其他部分。

15. 如請求項14之半導體裝置，其中該第二井具有與該第一井接觸之周邊邊界之至少兩個相對部分。
16. 如請求項14之半導體裝置，其中該半導體裝置包含一電晶體，該一或多個作用半導體區中之該相關聯作用半導體區包含形成於該第一井中之一源極區、形成於該第二井中之一汲極區及一通道區，該通道區之一長度沿由該導電電極覆蓋之該第二井之一部分自該源極區延伸。
17. 如請求項16之半導體裝置，其進一步包含形成於該導電電極與該通道區之間的一絕緣層。
18. 如請求項16之半導體裝置，其進一步包含該第一導電類型之一內埋雜質層，該內埋雜質層具有第一導電類型雜質，其濃度高於該第一井中之第一導電類型雜質之濃度。
19. 如請求項16之半導體裝置，其中該源極區及該汲極區中之每一者具有與該隔離渠溝接觸的一部分。
20. 如請求項16之半導體裝置，其中該汲極區與該導電電極隔開，且

其中該半導體裝置進一步包含沿該通道區之該長度之一方向在該導電電極之一部分與該汲極區之間延伸的一淺隔離渠溝，該淺隔離渠溝沿該方向延伸至該基板中達一深度，該深度淺於該一或多個作用半導體區中之該相關聯作用半導體區。

八、圖式：

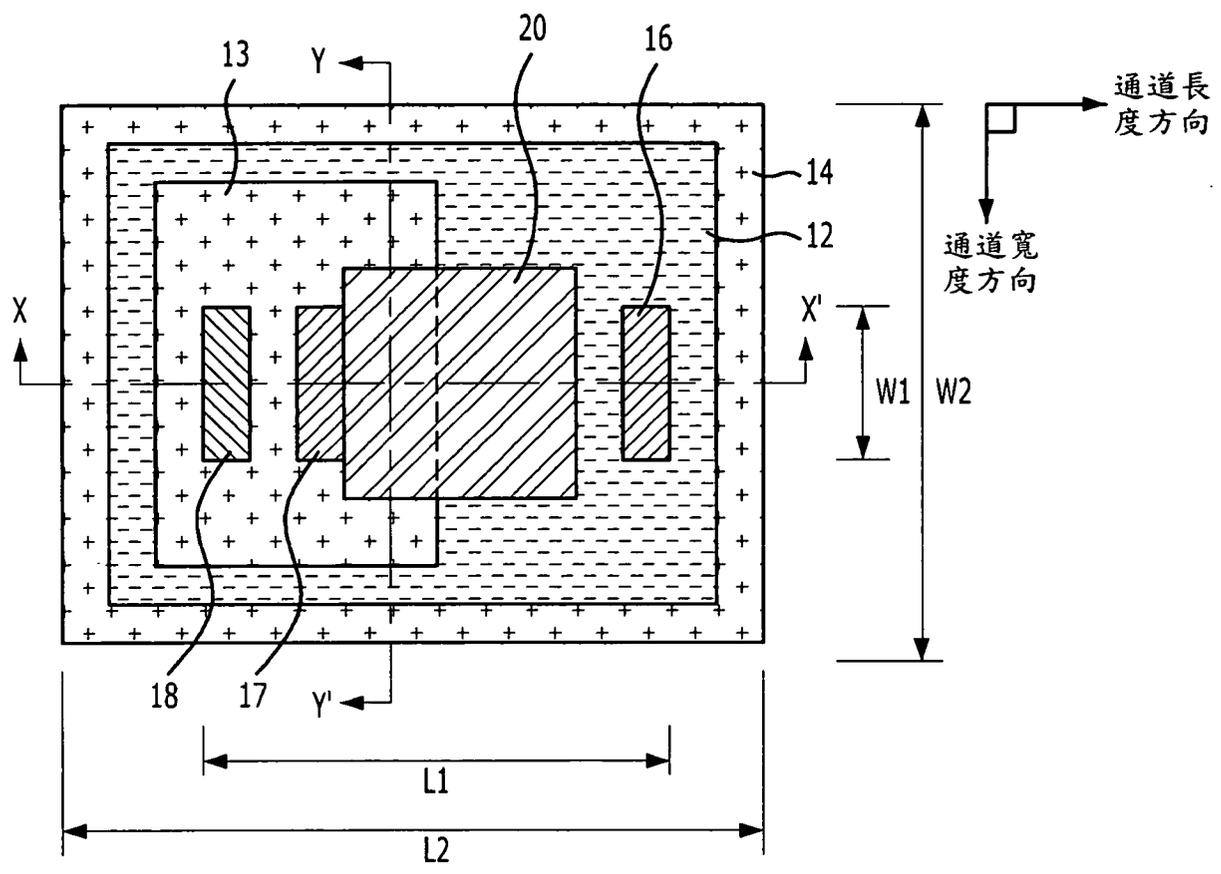


圖1A

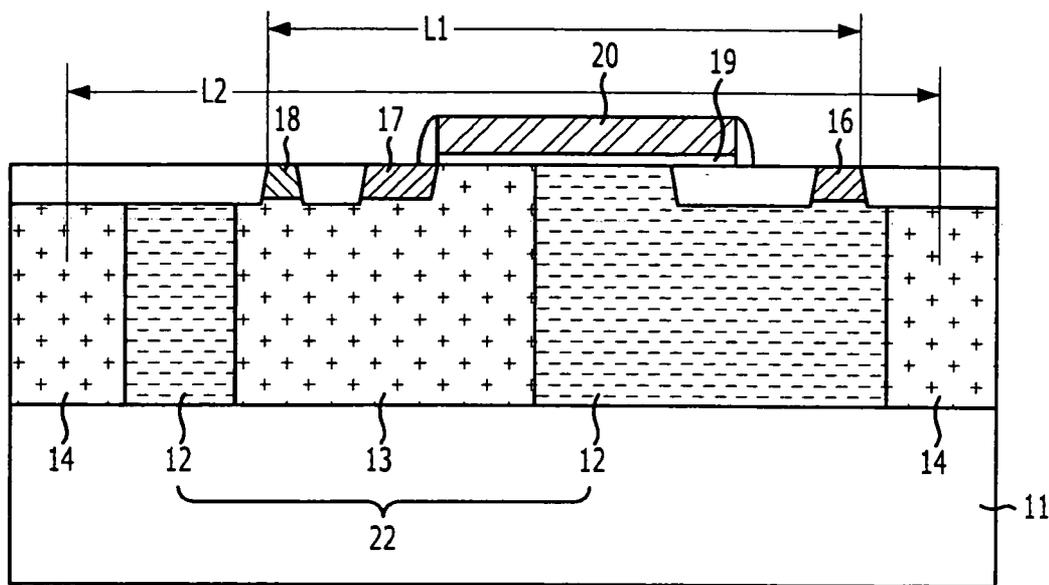


圖 1B

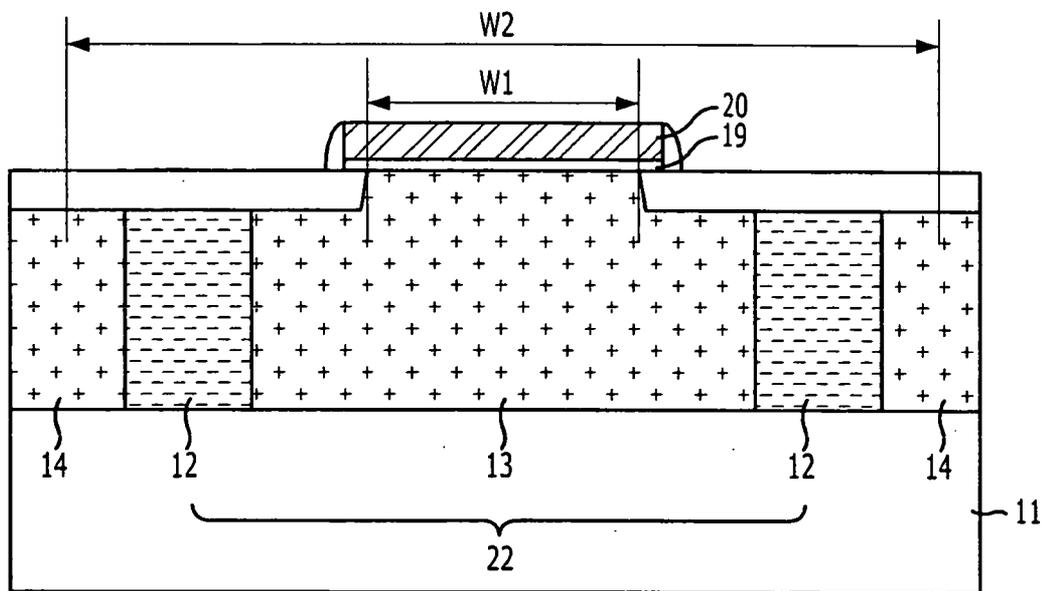


圖 1C

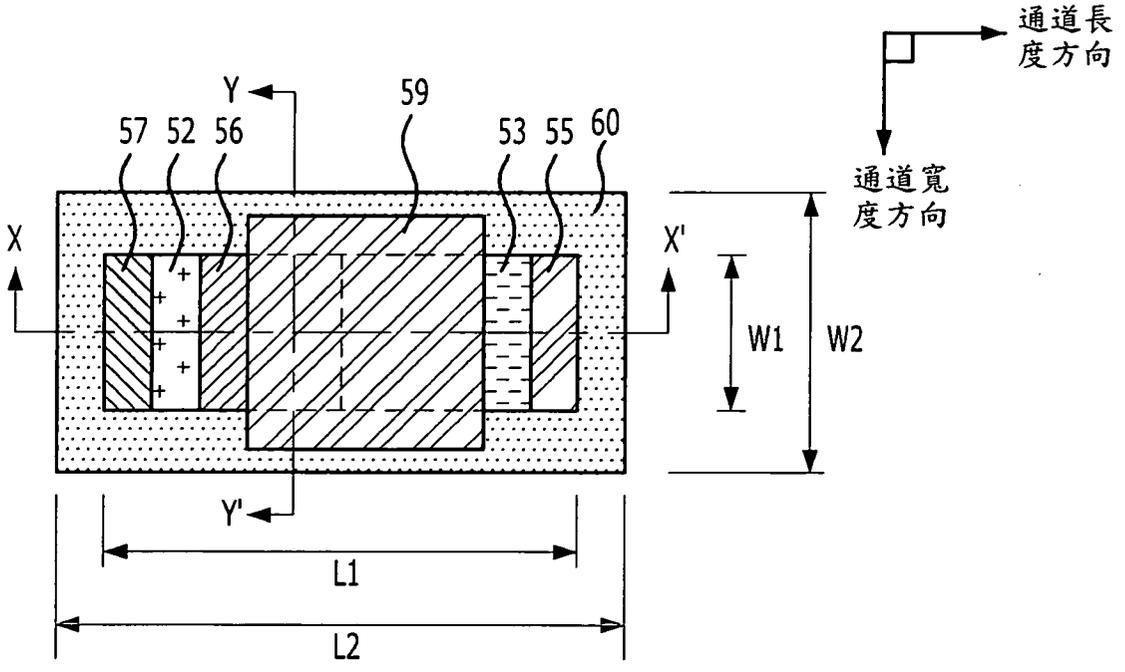


圖2A

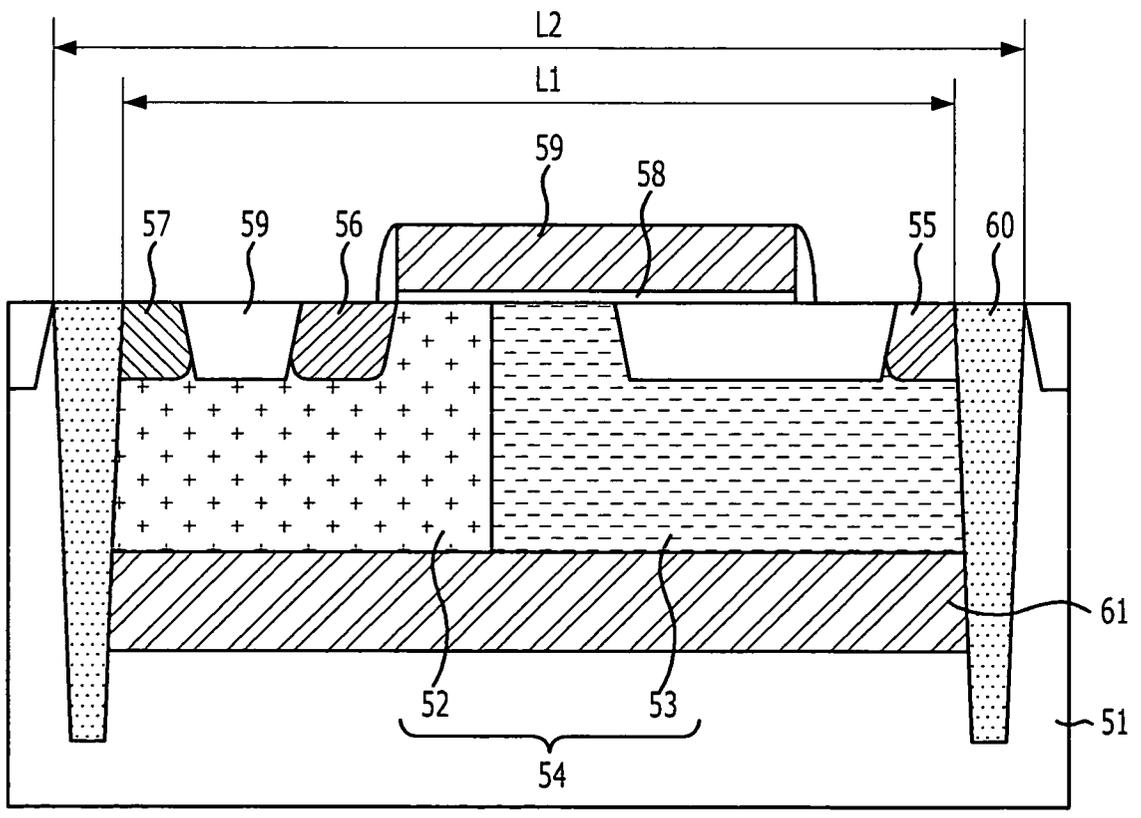


圖2B

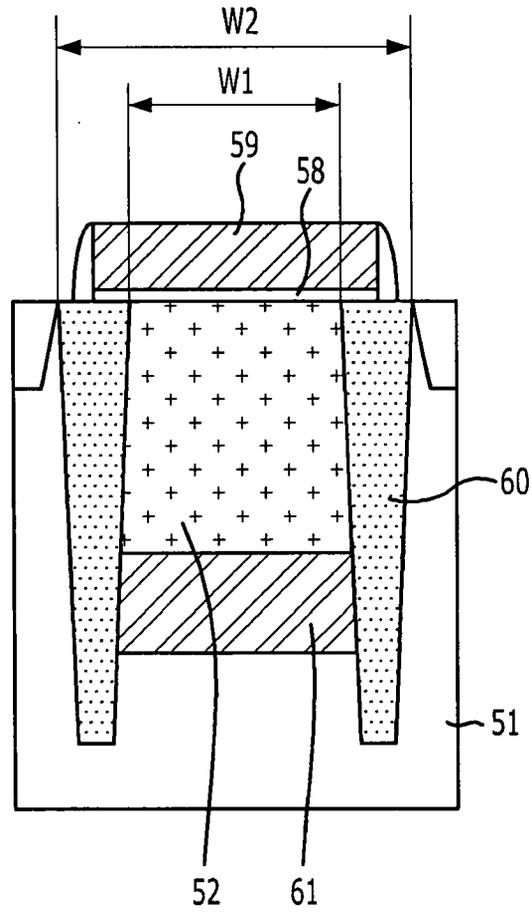


圖 2C

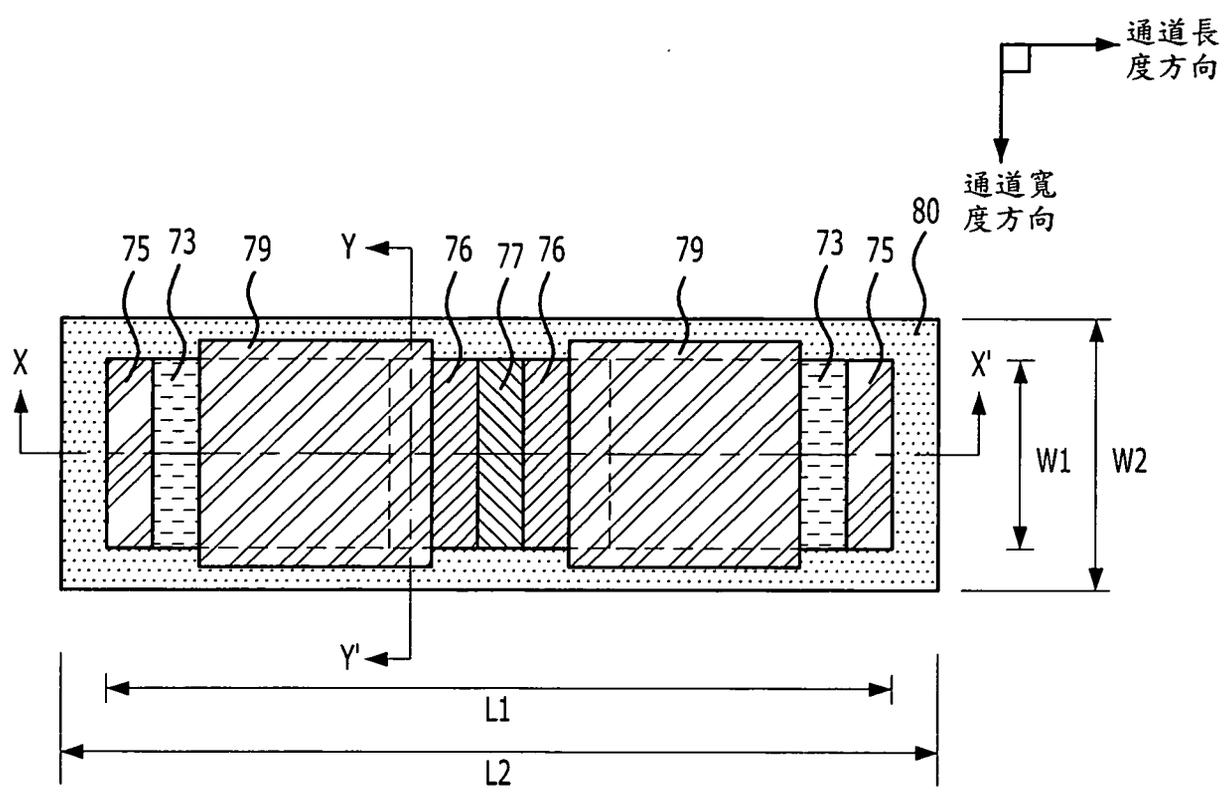


圖3A

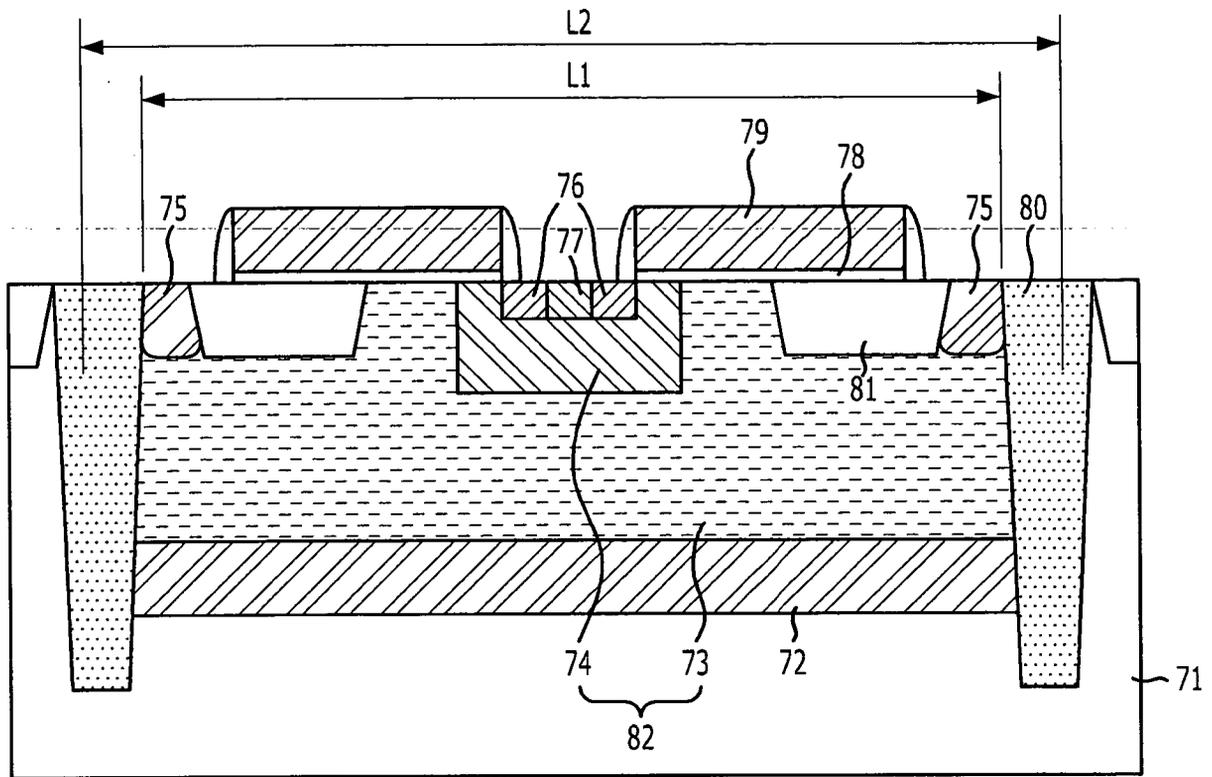


圖 3B

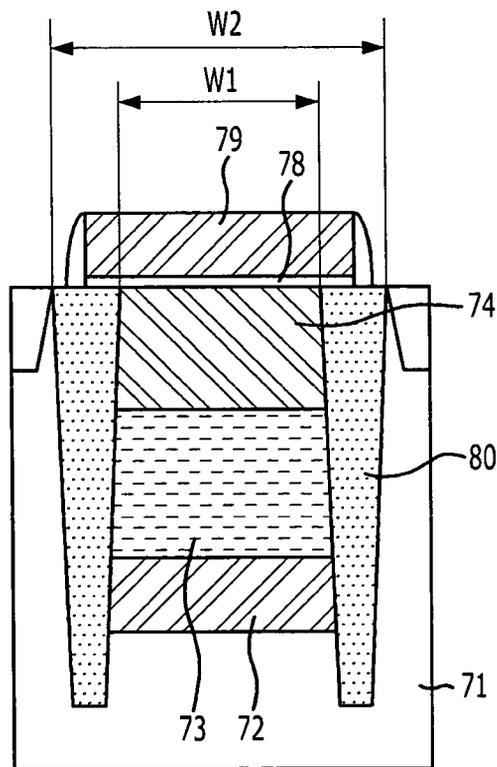


圖 3C

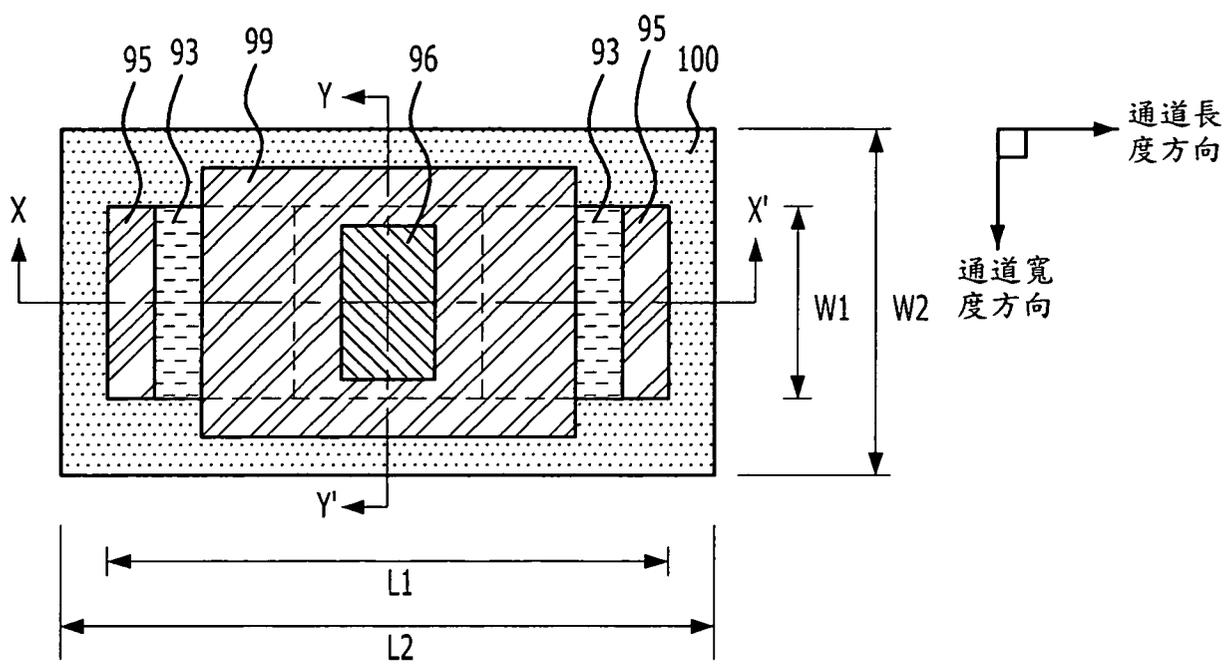


圖 4A

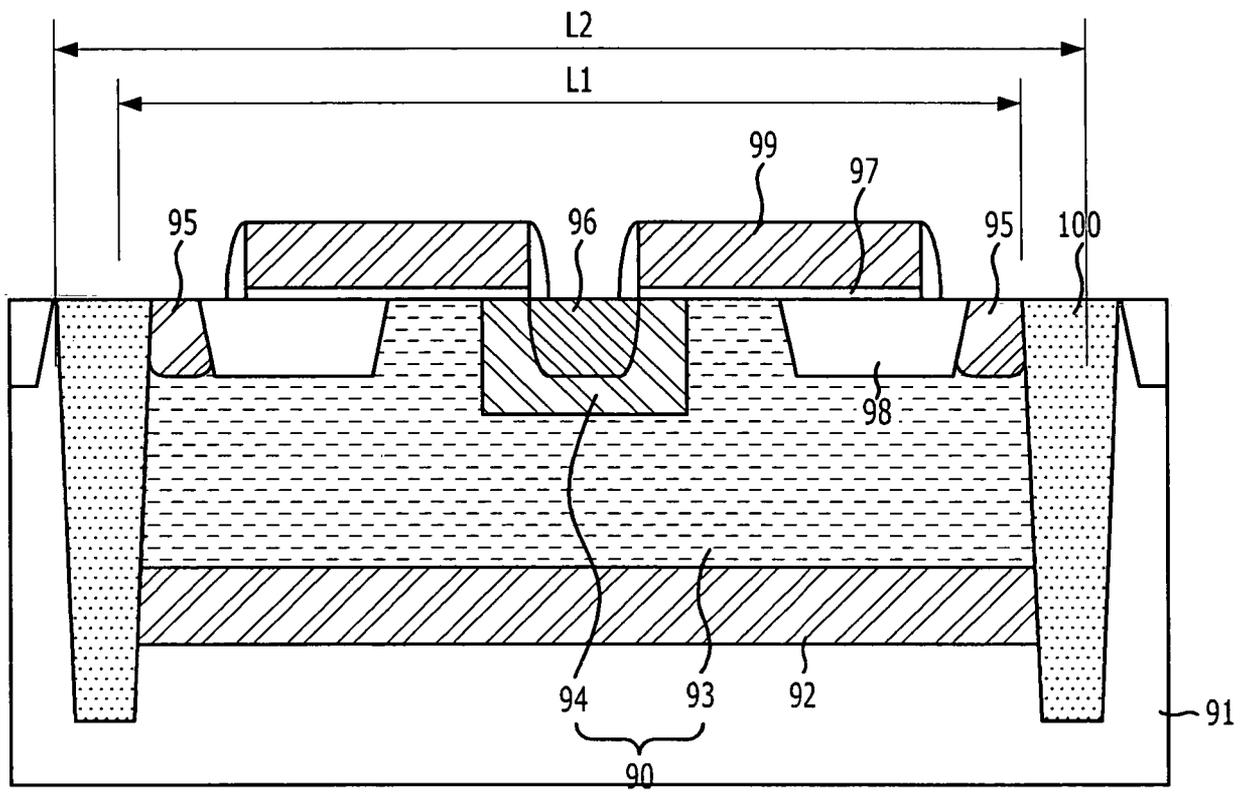


圖 4B

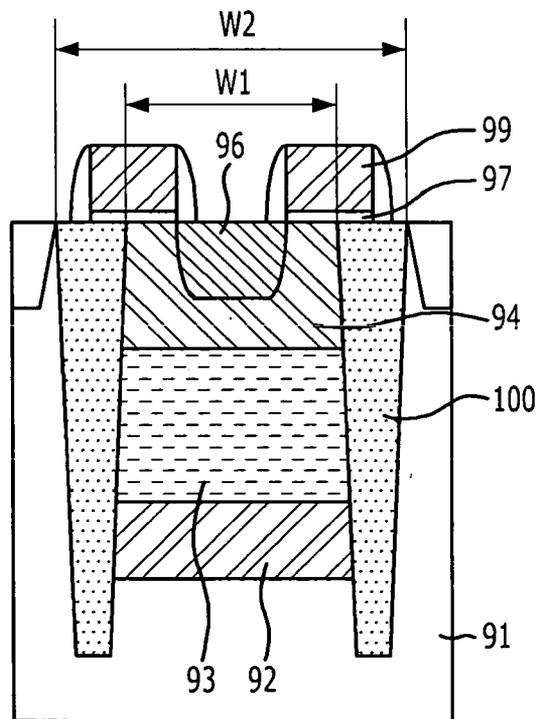


圖 4C