(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년11월25일
(11) 등록번호 10-0928472
(24) 등록일자 2009년11월18일

(51) Int. Cl.
G06K 19/077 (2006.01) *G06K 19/07* (2006.01)
(21) 출원번호 10-2006-0064329
(22) 출원일자 2006년07월10일
심사청구일자 2007년11월19일
(65) 공개번호 10-2007-0006622
(43) 공개일자 2007년01월11일
(30) 우선권주장
11/452,108 2006년06월12일 미국(US)
60/697,599 2005년07월08일 미국(US)
(56) 선행기술조사문헌
KR1020050070632 A
JP2000124411 A
JP2004343000 A
US20050148121 A1
전체 청구항 수 : 총 16 항

(73) 특허권자
코비오 인코포레이티드
미국 캘리포니아 95035 밀피타스 233 사우스. 힐 뷰 드라이브
(72) 발명자
클리브스 제임스 몬태규
미국 94602 캘리포니아주 레드우드 시티 서밋 드라이브551
맥켄지 제이. 데빈
미국 94070 캘리포니아주 산 카를로스 포토피노 드라이브#4 404
카마트 아르빈드
미국 94043 캘리포니아주 마운티 뷰 타이렐라 코트 32
(74) 대리인
유미특허법인

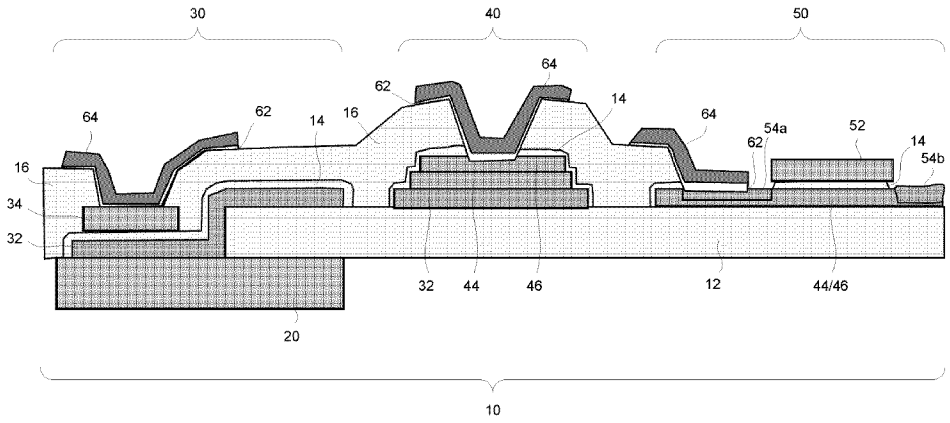
심사관 : 이재훈

(54) RFID 태그 제조 방법 및 그로부터 형성된 구조물

(57) 요 약

무선 주파수 식별(Radio frequency identification, RFID) 태그(tag) 및 그 제조 방법을 개시한다. RFID 디바이스는 일반적으로 (1) 금속 안테나 및/또는 인덕터, (2) 상기 금속 안테나 및/또는 인덕터 위에 형성되어, 상기 금속 안테나 및/또는 인덕터를 지지하고, 이로부터 집적회로를 절연시키는 유전체층, (3) 상기 유전체층 상의 복수의 다이오드 및 복수의 트랜지스터, 그리고 (4) 상기 금속 안테나 및/또는 인덕터와, 상기 다이오드 중 적어도 일부와 전기적으로 접속되는 복수의 커패시터를 포함하며, 상기 다이오드들은 상기 트랜지스터들과 공유하는 적어도 하나의 층을 가지고, 상기 복수의 커패시터는 상기 복수의 다이오드 및/또는, 상기 다이오드들 및 상기 트랜지스터들에 대한 콘택(contact)과 공유하는 적어도 하나의 층을 가진다. 본 방법은, 바람직하게는 액상 실리콘 함유 잉크 침적(liquid silicon-containing ink deposition)을 비용 효율이 높은 방식으로 통합(integrate)하는, RFID 회로를 제조하는 통합된 제조 프로세스이다. 또한, 본 RFID 태그는 일반적으로 유기 전자 디바이스(organic electronic device)를 포함하는 태그에 비해 더 높은 성능(예를 들면, 향상된 전기적 특성)을 제공한다.

대 표 도



특허청구의 범위

청구항 1

집적 회로의 제조 방법으로서,

a) 제1 실리콘 함유 (silicon-containing) 잉크로, 유전체층의 제1 면 상에 적어도 하나의 제1 반도체층 요소(element)를 형성하는 단계;

b) 제2 실리콘 함유 잉크로, 상기 제1 반도체층 요소 및 상기 유전체층의 제1 면 중 적어도 하나 상에, 상기 제1 반도체층 요소와 상이한 적어도 하나의 제2 반도체층 요소를 형성하는 단계; 및

c) 상기 제1 반도체층 요소 및 상기 제2 반도체층 요소 중 적어도 하나 위에 적어도 하나의 금속 요소를 형성하는 단계

를 포함하며,

상기 유전체층은 전기적 활성 기판 상에 있으며, 상기 제1 반도체층 요소는 커패시터 판(plate), 트랜지스터의 채널 영역, 및 제1 다이오드층 중 적어도 하나를 포함하고,

상기 제2 반도체층 요소는, 제2 다이오드층, 트랜지스터의 소스/드레인 단자(상기 제1 실리콘 함유 잉크가 트랜지스터의 채널 영역을 형성하는 경우), 및 트랜지스터의 채널 영역(상기 제1 실리콘 함유 잉크가 상기 트랜지스터의 채널 영역을 형성하지 않는 경우) 중 적어도 하나를 포함하며,

상기 금속 요소는 금속 콘택(metal contact), 쇼트키 다이오드 콘택(Schottky diode contact), 제2 커패시터 판, 및 금속 게이트(상기 제2 반도체 층이 상기 트랜지스터의 소스/드레인 단자를 형성하지 않는 경우) 중 적어도 하나를 포함하는, 집적 회로의 제조 방법.

청구항 2

제1항에 있어서,

상기 기판은 금속 호일(metal foil)을 포함하는, 집적 회로의 제조 방법.

청구항 3

제2항에 있어서,

상기 금속 요소를 형성하는 단계 이후에, 상기 금속 호일로부터 회로 요소를 형성하는 단계를 더 포함하는, 집적 회로의 제조 방법.

청구항 4

제1항에 있어서,

상기 제2 실리콘 함유 잉크와 상이한 제3 실리콘 함유 잉크로, 적어도 하나의 상기 제2 반도체층 요소 상에 적어도 하나의 제3 반도체층 요소를 형성하는 단계를 더 포함하고,

상기 제3 반도체층 요소는 제3 다이오드층 및 트랜지스터의 소스/드레인 단자(상기 제2 실리콘 함유 잉크가 상기 트랜지스터의 채널 영역을 형성하는 경우) 중 적어도 하나를 포함하는, 집적 회로의 제조 방법.

청구항 5

제1항에 있어서,

상기 적어도 하나의 제1 반도체층 요소는, 복수의 제1 다이오드층 및 복수의 상기 트랜지스터 채널 영역을 포함하는, 제조 방법.

청구항 6

무선 주파수 식별(RFID) 디바이스에 있어서,

(a) 금속 안테나, 또는 금속 인덕터, 또는 금속 안테나 및 인덕터;

(b) 상기 금속 안테나, 또는 금속 인덕터, 또는 금속 안테나 및 인덕터 위에, 상기 금속 안테나, 또는 금속 인덕터, 또는 금속 안테나 및 인덕터로부터 집적회로(integrated circuitry)를 절연시키고 지지하도록 구성되는 유전체층;

(c) 상기 유전체층 상의 복수의 다이오드 및 복수의 트랜지스터; 및

(d) 상기 금속 안테나, 또는 금속 인덕터, 또는 금속 안테나 및 인덕터와, 상기 다이오드들 중 적어도 일부와 전기적으로 연결되는 복수의 커패시터

를 포함하며,

상기 다이오드들은 상기 트랜지스터들과 공유하는 적어도 하나의 반도체층을 가지고,

상기 복수의 커패시터는,

상기 복수의 다이오드와 공유하는 적어도 하나의 반도체층, 또는

상기 다이오드들 및 상기 트랜지스터들에 대한 콘택과 공유하는 적어도 하나의 금속층, 또는

상기 적어도 하나의 반도체층 및 상기 적어도 하나의 금속층

을 가지는, 무선 주파수 식별(RFID) 디바이스.

청구항 7

제6항에 있어서,

상기 복수의 다이오드는, 상기 복수의 트랜지스터와 공유하는 적어도 두 개의 상이한 반도체층을 구비하는, 무선 주파수 식별(RFID) 디바이스.

청구항 8

제7항에 있어서,

상기 적어도 두 개의 상이한 반도체층 중 첫 번째 것은 저농도로 도핑된 무기 반도체(inorganic semiconductor)를 포함하고, 상기 적어도 두 개의 상이한 반도체층 중 두 번째 것은 고농도로 도핑된 무기 반도체를 포함하는, 무선 주파수 식별(RFID) 디바이스.

청구항 9

제6항에 있어서,

전력 변환 블록, 로직 블록, 및 메모리 블록을 포함하며,

상기 전력 변환 블록은, 상기 금속 안테나, 또는 금속 인덕터, 또는 금속 안테나 및 인덕터로부터 신호를 수신하고, 상기 다이오드들 중 제1 서브세트(subset) 및 상기 커패시터들 중 적어도 하나의 서브세트를 포함하며,

상기 로직 블록은 상기 전력 변환 블록으로부터 전력을 공급받고 상기 메모리 블록과 연결되며, 상기 로직 블록은 상기 트랜지스터들 중 제1 서브세트를 포함하고,

상기 메모리 블록은, 상기 다이오드들 중 제2 서브세트, 또는 상기 트랜지스터들 중 제2 서브세트, 또는 상기 다이오드들 중 제2 서브세트 및 상기 트랜지스터들 중 제2 서브세트를 포함하는, 무선 주파수 식별(RFID) 디바이스.

청구항 10

제9항에 있어서,

상기 금속 안테나, 또는 금속 인덕터, 또는 금속 안테나 및 인덕터로부터 상기 신호를 수신하도록 구성된 클록 복구 블록, 또는 디모듈레이터 블록, 또는 클록 복수 및 디모듈레이터 블록;

상기 로직 블록으로부터 정보를 수신하고 상기 금속 안테나, 또는 금속 인덕터, 또는 금속 안테나 및 인덕터에

출력 신호를 제공하도록 구성된 모듈레이터 블록; 및

상기 클록 복구 블록, 또는 디모듈레이터 블록, 또는 클록 복구 및 디모듈레이터 블록으로부터 입력 신호를 수신하고 상기 정보를 상기 모듈레이터 블록에 제공하도록 구성된 입출력 제어 (서브)블록

를 더 포함하며,

상기 클록 복구 블록, 또는 디모듈레이터 블록, 또는 클록 복구 및 디모듈레이터 블록은, 상기 다이오드들 중 제3 서브세트, 또는 상기 트랜지스터들 중 제3 서브세트, 또는 상기 다이오드들 중 제3 서브세트 및 상기 트랜지스터들 중 제3 서브세트를 포함하고,

상기 모듈레이터 블록은, 상기 다이오드들 중 제4 서브세트, 또는 상기 트랜지스터들 중 제4 서브세트, 또는 상기 다이오드들 중 제4 서브세트 및 상기 트랜지스터들 중 제4 서브세트를 포함하며,

상기 입출력 제어 (서브)블록은 상기 트랜지스터들 중 제5 서브세트를 포함하는, 무선 주파수 식별(RFID) 디바이스.

청구항 11

집적 회로의 제조 방법으로서,

(a) 실리콘 함유(silicon-containing) 잉크로, 제1 유전체층의 제1 면 상에 적어도 하나의 반도체층 요소를 형성하는 단계;

(b) 상기 적어도 하나의 반도체층 요소 위에 게이트층을 형성하는 단계;

(c) 상기 게이트층, 상기 적어도 하나의 반도체층 요소, 및 상기 제1 유전체층의 제1 면의 적어도 일부 상에, 적어도 하나의 제2 유전체층을 형성하는 단계;

(d) 상기 적어도 하나의 반도체층 요소 위에, 그리고 상기 게이트층 상에 적어도 하나의 금속 요소를 형성하는 단계

를 포함하며,

상기 제1 유전체층은 전기적 활성 기판 상에 있으며, 상기 반도체층 요소는 트랜지스터의 채널 영역을 포함하고,

상기 제2 유전체층은 상기 게이트층 및 상기 적어도 하나의 반도체층 요소의 단자들에 대한 콘택을 위한 개구부들을 구비하며,

상기 적어도 하나의 금속 요소 중 적어도 일부는 상기 단자 중 두 개를 서로 전기적으로 접속시키거나 또는 상기 단자 중 하나를 상기 게이트층과 전기적으로 접속시키는, 집적 회로의 제조 방법.

청구항 12

제11항에 있어서,

상기 게이트층을 형성하는 단계 이후, 그리고 상기 제2 유전체층을 형성하는 단계 이전에, 상기 적어도 하나의 반도체층 요소에 소스 단자 및 드레인 단자를 형성하는 단계를 더 포함하는, 집적 회로의 제조 방법.

청구항 13

집적 회로의 제조 방법으로서,

(a) 제1 반도체 함유(semiconductor-containing) 잉크로, 유전체층의 제1 면 상에 적어도 하나의 제1 반도체층 요소를 형성하는 단계;

(b) 제2 반도체 함유 잉크로, 상기 제1 반도체층 요소 및 상기 유전체층의 상기 제1 면 중 적어도 하나 상에, 상기 제1 반도체층 요소와 상이한 적어도 하나의 제2 반도체층 요소를 형성하는 단계;

(c) 상기 제1 반도체층 요소 및 상기 제2 반도체층 요소 중 적어도 하나 위에 적어도 하나의 금속 요소를 형성하는 단계

를 포함하며,

상기 유전체층은 전기적 활성 기판 상에 있으며, 상기 제1 반도체층 요소는 커패시터 판, 트랜지스터의 채널 영역, 및 제1 다이오드층 중 적어도 하나를 포함하고,

상기 제2 반도체층 요소는, 제2 다이오드층, 트랜지스터의 소스/드레인 단자(상기 제1 반도체 함유 잉크가 트랜지스터의 채널 영역을 형성하는 경우), 및 트랜지스터의 채널 영역(상기 제1 반도체 함유 잉크가 트랜지스터의 채널 영역을 형성하지 않는 경우) 중 적어도 하나를 포함하며,

상기 금속 요소는 금속 콘택, 쇼트키 다이오드 콘택, 제2 커패시터 판, 및 금속 게이트(상기 제2 반도체 층 요소가 트랜지스터의 소스/드레인 단자를 형성하지 않는 경우) 중 적어도 하나를 포함하는, 집적 회로의 제조 방법.

청구항 14

무선 주파수 식별(RFID) 디바이스용의 집적 회로의 제조 방법으로서,

(a) 반도체 함유 잉크로, 제1 유전체층의 제1 면 상에 적어도 하나의 반도체층 요소를 형성하는 단계;

(b) 상기 적어도 하나의 반도체층 요소 위에 게이트층을 형성하는 단계;

(c) 상기 게이트층, 상기 적어도 하나의 반도체층 요소, 및 상기 제1 유전체층의 제1 면의 적어도 일부 상에, 적어도 하나의 제2 유전체층을 형성하는 단계;

(d) 상기 적어도 하나의 반도체층 요소 위에, 그리고 상기 게이트층 상에 적어도 하나의 금속 요소를 형성하는 단계

를 포함하며,

상기 제1 유전체층은 전기적 활성 기판 상에 있으며, 상기 반도체층 요소는 트랜지스터의 채널 영역을 포함하고,

상기 제2 유전체층은 상기 게이트층 및 상기 적어도 하나의 반도체층 요소의 단자들에 대한 콘택을 위한 개구부들을 구비하며,

상기 적어도 하나의 금속 요소 중 적어도 일부는, 상기 단자 중 두 개를 서로 전기적으로 접속시키거나 또는 상기 단자 중 하나를 상기 게이트층과 전기적으로 접속시키는, 집적 회로의 제조 방법.

청구항 15

제1항에 있어서,

상기 제1 반도체층 요소를 형성하는 단계는, 제1 패턴으로 상기 제1 실리콘 함유 잉크를 인쇄하는 단계를 포함하고,

상기 제2 반도체층 요소를 형성하는 단계는 제2 패턴으로 상기 제2 실리콘 함유 잉크를 인쇄하는 단계를 포함하는, 집적 회로의 제조 방법.

청구항 16

제14항에 있어서,

상기 적어도 하나의 반도체층 요소를 형성하는 단계는 상기 반도체 함유 잉크를 패턴으로 인쇄하는 단계를 포함하는, 집적 회로의 제조 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<13> 관련 출원

<14> 본 출원은 2005년 7월 8일에 출원된 미국 가출원 제60/697,599호(대리인 문서번호 제IDR0501호)와, 2006년 6월 12일에 출원된 미국 출원 제11/452,108호(대리인 문서번호 제IDR0502호)에 대한 우선권의 혜택을 주장하며, 이들의 내용 전부는 참조에 의해 본 명세서에 통합된다.

<15> 본 발명은 일반적으로 무선 주파수 식별(radio frequency identification, RFID) 태그(tag) 및 그 제조 방법에 관한 것이다.

<16> RFID 태그 또는 전자 바코드(electronic barcode)는 일반적으로 태그가 부착된 제품에 대한 식별이나 다른 정보를 제공하기 위해 사용되며, 판독 시스템과의 무선 링크를 통하여 해당 정보를 포착하여 전형적으로 디지털 형태로 다양한 데이터베이스, 의사결정(판정) 시스템(decision-making system) 또는 기타 전자 추적 시스템(other electronic tracking system)에 전달하는 것이다.

<17> 수동 태그의 경우, 캐리어 주파수(carrier frequency) 신호가 칩(chip)에 전원을 공급하기 위한 RF 에너지를 공급하여, 태그 상에 전원을 설치하는 비용을 회피함으로써 저 비용을 이유로 일반적으로 가장 흥미를 끈다

<18> 통상적으로 판독기(reader) → 태그 RF 신호로부터 발생되는 클록 신호 복구(clock signal recovery) 및 동기화(synchronization)도 또한 중요한 시스템 속성/기능(attributes/ function)이다. 클록 주파수는 태그로부터 판독기 그리고 판독기로부터 태그로의 동작 주파수와 데이터 통신 속도를 규정할 수 있다.

<19> HF에서, 국가 및 국제 규정에 의해 부과된 주파수 대역폭 관련사항(frequency bandwidth concerns)으로 인해, 클록 신호는 종종 캐리어 주파수를 하향 분할(dividing down)함으로써 태그 회로에 의해 발생된다. UHF 주파수 이상에서, 클록 신호는 일반적으로 캐리어 주파수에 대한 서브캐리어 주파수(subcarrier frequency) 변조로부터 발생된다. 이것은 여러 가지 이유에 기인한다. 약 869 MHz 및 915 MHz에서, 유럽 및 미국 각각에서, 대역폭 제약(bandwidth constraints)은 HF 주파수에 비해 덜 제한적이다. 이것은 판독기와 태그 사이의 고속 데이터 통신이 가능하도록 하는, 충분한 주파수의 서브캐리어 변조를 부가할 수 있도록 해준다. 또한 캐리어 주파수의 하향 분할은 GHz 속도의 클록킹 회로를 직접적으로 필요로 하고, 그와 관련된 에너지 손실이 불가피하다. 대신에, 10^4 - 10^5 Hz 서브캐리어 신호를 간단하게 복조하거나 변조할 수 있는데, 저손실 서브회로(subcircuit)는 박막 트랜지스터(Thin Film Transistor, TFT), 다이오드, 커패시터, 인덕터, 및 레지스터로 만들 수 있다.

<20> 태그에서 판독기로의 통신은 일반적으로 임피던스 변조에 의해 일어난다. HF 이하의 범위에서, 태그는 대개 RF 캐리어의 자유 공간 파장보다 상당히 작은, 근접계(near field), 유도 결합 범위(inductive-coupling range) 내에 있다. 이 경우에, 캐리어 주파수 또는 그 근처에서 동조되는 공진 인덕터-커패시터(LC) 루프를 일반적으로 구비하는 태그와, 단순한 인덕터 기반 AC 변압기의 제1 코일 및 제2 코일로서의 판독기 사이에 직접적인 유도 결합이 존재한다. 일반적으로 (트랜지스터에 의해 공급될 수 있는) 가변 저항성 부하를 통한, 태그 내의 LC 루프의 공진 특성 변조는, 판독기의 프론트엔드(front end) 회로에서 검출 가능한 임피던스 변화를 초래한다. 태그 회로는 판독기에 대한 이 변조 신호를 통해 데이터를 순차 판독한다.

<21> UHF 주파수에서, 판독기와 태그의 거리는 일반적으로 더 멀고, 캐리어 파장은 더 짧다. 이 때문에, 이 둘 사이의 RF 링크는, 일반적으로 레이더, AM/FM 라디오 또는 이동 전화의 경우처럼, 전자기파 전파(propagation)의 물리적 현상 범위 내에 들어간다. 이 경우, 태그는 반사되는 후방 산란 신호(backscatter signal)에 의해 판독기와 링크된다. 태그의 안테나의 임피던스를 변조함으로써, 판독기로 다시 반사되는 신호의 파워(power)량 또는 위상 또는 주파수는 변화될 수 있으며, 시변하는(time-varying) 신호는 이런 형태의 변조로 부호화될 수 있다. 이 변조는 트랜지스터를 사용하거나, 또는 태그 안테나의 임피던스의 허수부(imaginary part)를 변조하는 버랙터(varactor)를 사용하여 개별적으로 실행될 수 있다.

<22> 더욱 기본적인 수준에서, RFID 태그 회로는 일반적으로 다음 기능의 일부 또는 전부를 수행한다.

<23> 1. 판독기 계(field)로부터의 RF 에너지 흡수

<24> 2. 이 RF 신호를, 칩에 전력을 공급하는 DC 신호로 변환

<25> 3. 판독기로부터의 RF 신호에서 이용 가능한 들어오는 클록, 타이밍 및/또는 커맨드 신호를 복조

<26> 4. 들어오는 명령 또는 미리 설정된 명령에 동작하는 로직(logic) 제어 및 상태 머신 판정(state machine decision making)

<27> 5. 메모리 어레이 또는 다른 소스(예를 들면, 센서 출력)로부터 디지털 형태의 데이터를 카운터 기반 또는 레지스터 기반으로 판독

<28> 6. 판독기로 판독될, 및/또는 보안 인증(security authentication)에 사용될 ID 코드 또는 기타 정보를 기억하는 기억 소자(예를 들면, 메모리)

<29> 7. 태그 판독기로의 전송을 위해 태그 안테나로 돌려주는 부호화된 데이터, 타이밍 신호 또는 기타 커맨드의 변조

발명이 이루고자 하는 기술적 과제

<30> 본 발명의 실시예는 무선 주파수 식별(radio frequency identification, RFID) 디바이스 및 그 제조 방법, 그리고 그 직접회로 제조 방법에 관한 것이다.

발명의 구성 및 작용

<31> 상기 방법은 일반적으로, (a) 제1 실란(silane) 잉크로, 유전체층의 제1 면 상에 적어도 제1 반도체층 요소(element)를 형성하는 단계; (b) 제2 실란 잉크로, 상기 제1 반도체층 요소 및 상기 유전체층의 제1 면 중 적어도 하나 상에, 상기 제1 반도체층 요소와 상이한 적어도 하나의 제2 반도체층 요소를 형성하는 단계; 및 (c) 상기 제1 반도체층 요소 및 상기 제2 반도체층 요소 중 적어도 하나 위에, 적어도 하나의 금속 요소를 형성하는 단계를 포함하며; 상기 유전체층은 전기적 활성 기판 상에 있으며, 상기 제1 반도체층 요소는 커패시터 판(plate), 트랜지스터의 채널 영역, 및 제1 다이오드층 중 적어도 하나를 포함하고; 상기 제2 반도체층 요소는, 제2 다이오드층, 트랜지스터의 소스/드레인 단자(상기 제1 실란 잉크가 상기 트랜지스터의 채널 영역을 형성하는 경우), 및 트랜지스터의 채널 영역(상기 제1 실란 잉크가 상기 트랜지스터의 채널 영역을 형성하지 않는 경우) 중 적어도 하나를 포함하며; 상기 금속 요소는 금속 콘택(metal contact), 제2 커패시터 판, 및 금속 게이트(상기 제2 실란 잉크가 상기 트랜지스터의 소스/드레인 단자를 형성하지 않는 경우) 중 적어도 하나를 포함한다.

<32> 이와는 달리, 상기 방법은, 상기 유전체층 및/또는 활성 기판 상에 N+ 또는 P+ 도핑된 실란 잉크를 침적(예를 들면, 프린팅 또는 잉크젯팅)하는 단계; 상기 도핑된 실란 잉크로부터 생성되는 도핑된 실리콘 필름을 결정화(crystallizing)하고, (1) 트랜지스터를 형성하는 영역과 (2) 종형 다이오드(vertical diode)로 만들어질 영역의 상기 N+ 또는 P+ 도핑된 실란 잉크 상에, N- 또는 P- 도핑된 실란 잉크를 침적(예를 들면, 프린팅 또는 잉크젯팅)하는 단계; 상기 도핑된 실란 잉크로 형성된 하나 이상의 필름을 (선택적으로) 패터닝하여, 트랜지스터 영역 및 다이오드의 메사 영역으로 분리하는 단계; 커패시터 유전체 (예를 들면, 매우 고농도로 도핑된(havily doped) 영역) 및/또는 게이트 유전체(예를들면, 매우 저농도로 도핑된(lightly doped) 영역)로 작용할 수 있는 옥사이드 필름을 성장 또는 침적하는 단계; 게이트 도체(conductor)를 침적 및/또는 패터닝하는 단계; 소스 및 드레인 영역을 선택적으로 도핑하는 단계; 트랜지스터 영역과 다이오드 영역 위에 콘택 홀(contact hole)이 형성될 유전체 필름을 침적하는 단계; 이들 콘택 개구부(contact opening)에 콘택층(예: 실리사이드)을 (선택적으로) 형성하는 단계; 및 직접 또는 간접으로 상기 트랜지스터 영역 및 상기 다이오드 영역과 접속하는 도체를 침적 및 패터닝하여 인터커넥트 배선(interconnect wiring)을 형성하는 단계를 포함한다.

<33> RFID 디바이스는 일반적으로 (1) 금속 안테나 및/또는 인덕터; (2) 적어도 부분적으로 도전성이고 상기 안테나 또는 인덕터에 부착된 선택적인 인터포저 스트랩(interposer strap); (3) 상기 인터포저 스트랩 상에, 상기 금속 안테나 및/또는 인덕터로부터 집적회로를 절연시키고 지지하도록 구성되는 유전체층; (4) 상기 유전체층 상의 복수의 다이오드 및 복수의 트랜지스터; 및 (5) 상기 금속 안테나 및/또는 인덕터와, 상기 다이오드들 중 적어도 일부와 전기적으로 연결되는 복수의 커패시터를 포함하며; 상기 다이오드들은 상기 트랜지스터와 공유하는 적어도 하나의 층을 가지고; 상기 복수의 커패시터는 상기 복수의 다이오드와 공유하는 적어도 하나의 층, 및/또는 상기 다이오드들 및 상기 트랜지스터들에 대한 콘택과 공유하는 적어도 하나의 금속층을 가진다.

<34> 본 발명은 액상 Si 침적(liquid Si deposition)을 비용 효율이 높은 방식으로 통합(integrate)하는, RFID 회로를 제조하는 통합된 제조 프로세스를 제공한다. 다이오드 및 트랜지스터를 포함하는 많은 능동 반도체 소자(active semiconductor component)는 박막 필름 기반이다. 이동도(mobility), 도핑/캐리어 농도 및 기타 파라미터 등의 파라미터에 있어, Si 잉크로 생성되는(ink-derived) 반도체 필름이 나타내는 성능에 기초하여, LF, HF, UHF 및 마이크로파 캐리어 주파수 방식(regime)의 기능적 RFID 태그가 가능하다. 본 Si 잉크를 사용하는 박막 접근법은, 단위 면적당 비교적 저 비용으로 수행될 수 있어, 저비용으로 안테나 상에 직접 통합될 수 있는 비교적 대규모 다이(die)의 비용을 더욱 낮출 수 있으며, 및/또는 도전성 접착 및 크림프 본딩(conductive adhesive and crimp bonding)과 같은 프로세스를 사용하여, 안테나에 저비용으로 신속하게 부착될 수 있기 때문에 매력적이다. 또한, 본 RFID 태그는 일반적으로 유기 전자 디바이스를 포함하는 태그에 비해 더 높은 성능

(예를 들면, 향상된 전기적 특성)을 제공한다.

<35> 본 발명은 여기에 개시된 아래의 새로운 개념 중 어느 하나 또는 어느 하나의 조합으로 반드시 한정되는 것은 아니다.

<36> ● 상업적으로 수용 가능한 RFID 태그/디바이스의 일부 또는 모든 필수 구성요소를, 실리콘으로(본 발명의 경우, 액상 소스로) 코팅 및/또는 선택적으로 침적하여 형성;

<37> ● 상업적으로 수용 가능한 RFID 태그/디바이스의 모든 필수 구성요소를, 비교적 적은 수의 프로세스 흐름으로 집적(통합);

<38> ● 트랜지스터 게이트 옥사이드 및 커패시터 유전체 양자를 각각 생성하기 위해, 저농도로 노핑된 트랜지스터 채널 영역 및 고농도로 도핑된 캐패시터 판 영역 양자 상에 옥사이드를 동시 성장;

<39> ● 기생 커패시턴스를 제한하기 위해, 일부 능동 회로 소자 아래쪽에서 기판 금속 제거;

<40> ● 고 이동도 및/또는 고 전도성 실리콘 및 게이트 옥사이드(들)를 각각 형성하기 위해, Si의 열산화(thermal oxidation)와 노 기반 결정화(furnace based crystallization) 양자를 모두 사용할 수 있는, 절연체(예를 들면, 인쇄되거나 종래의 방식으로(conventionally) SOG(Spin-On Glass) 침적, 또는 CVD 옥사이드 및/또는 나이트라이드)로 밀봉 및/또는 코팅된 스테인리스 스틸 기판의 선택;

<41> ● 긴 활성 영역(elongated active region)에 비교적 가까이 위치되어, 다이오드에 대한 금속성 콘택들 사이의 직렬 저항을 제한하여, 더욱 간단하고 더욱 저비용으로 전체를 집적할 수 있도록 하는, 다이오드의 하부 전극에 대한 긴 (가로형) 콘택;

<42> ● 추가적인 금속 인터커넥트층의 필요를 없애고 커패시터 유전체층을 동시 성상할 수 있도록, 고농도로 도핑된 다이오드용의 저부(bottom) 콘택/인터커넥트층(다이오드는 선택적으로 p- 또는 n-/금속 쇼트키 다이오드 또는 p/n 다이오드일 수 있음);

<43> ● 커패시터의 저부 콘택을 형성하기 위해, 스테인리스 스틸 상에 직접 또는 배리어 금속 위에 인쇄 또는 침적되는 고농도로 도핑된 실란 잉크;

<44> ● 기판의 후면을 포함하는, 산화 또는 기타 처리 시에, SOG 또는 다른 절연층으로 금속 기판(예를 들면, 스테인리스 스틸)을 캡슐화(encapsulating) 또는 보호;

<45> ● 실리콘 및/또는 기판의 전면 및 후면의 활성 영역과 비활성 영역을 포함하는 패터닝된 SOG 영역으로, 산화 또는 기타 처리 시에 금속 기판을 보호(Si 영역들의 경우, 이것은 n+ 또는 p+ 도핑이 도움을 줄 수 있는, 금속 기반을 통한 전기적 접속도 고려한다);

<46> ● 후속하는 제조/처리 단계, 주로 스퍼터 에칭(sputter etching) 시에 금속 기판에 의한 오염을 제한하기 위해, 옥사이드로 금속 기판의 상부면 전체를 덮음(Si로 덮인 부분은 제외);

<47> ● 다이폴(안테나)과 분리되고 상당히 낮은 기생 커패시턴스를 가질 수 있도록, 호일 기판(예를 들면, 스테인리스 스틸 또는 알루미늄) 위에 또는 호일이 없는 영역 내의, 옥사이드 필름 상의 커패시터들 및 커패시터 전극들;

<48> ● 금속층의 총수를 줄이는(따라서, 적절한 회로 토폴로지를 제공하고 서로 호환 가능한, 배치, 집적/제조 프로세스 및 비아/층간 절열체(ILD)/메탈라이제이션(metallization) 프로세스를 주의 깊게 설계하여야 하지만 가공 비용을 줄이며, 예를 들면, 쇼트키 콘택의 형성, 비도핑 또는 저농도로 도핑된 반도체층에 접속하는 인터컨택트 및 쇼트키 금속 양자로 모두 사용할 수 있는 Ti/Al과 같은 공통의 메탈라이제이션을 포함하는 배치의 경우), 회로의 많은 상이한 구성요소(금속 기판 다이폴 콘택, 상호접속 및 커패시터용 게이트 도체 콘택, 다이오드용 Si 콘택, 및 트랜지스터 소스/드레인 단자에 대한 콘택)를 위한 단일 금속 인터커넥트층; 및

<49> ● 로직 및 RF 동작을 위한, 작은 채널 길이, 낮은 커패시턴스, 낮은 풋프린트(foot print), 고속 디바이스를 얻기 위해 실란 잉크를 사용하는 자기 정렬(self-aligned) 게이트 프로세스. 자기 정렬 프로세스는 주입(implantation), 고체 소스 도핑(예를 들면, SOG로부터), 또는 소스 및 드레인 도핑 소스로서 도핑된 실란을 주입(implantation)에 사용할 수 있으며, 이 모두는 게이트 전체에 자기 정렬될 수 있다.

<50> 본 발명의 이러한 이점 및 다른 이점은 이하의 바람직한 실시예에 대한 상세한 설명으로부터 용이하게 명백해질 것이다.

<51> 바람직한 실시예에 대한 상세한 설명

<52> 이하, 본 발명의 바람직한 실시예로서, 첨부 도면에 나타낸 예들에 대해 상세하게 설명한다. 본 발명은 바람직한 실시예와 관련하여 설명하지만, 이것은 본 발명을 그러한 실시예로 한정하도록 의도되는 것이 아님은 물론이다. 반대로, 본 발명은, 본 발명의 기술적 사상과 범위 내에 포함될 수 있는 대체예, 변형예 및 등가물을 포함하도록 의도된다. 또한, 이하의 본 발명의 상세한 설명에서는 본 발명의 완전한 이해를 위해 다수의 구체적인 세부사항을 기술한다. 하지만, 본 발명은 그러한 구체적인 세부사항이 없이도 실시될 수 있음을, 이 기술분야의 당업자는 용이하게 알 수 있을 것이다. 다른 경우에, 공지된 방법, 절차, 구성요소 및 회로는, 본 발명의 국면들이 불필요하게 모호해지지 않도록 기술하지 않는다.

<53> 본 발명의 다양한 국면에서, 대표적인 실시예에 대해 이하에 상세하게 설명한다.

<54> RFID 태그를 제조하는 대표적인 프로세스

<55> 도 1은 첫 번째 대표적인 RFID 태그(10)를 나타낸 것으로, 안테나(20), 안테나(20)에 연결된 커패시터(30), 다이오드(40) 및 트랜지스터(50)를 포함한다. RFID 태그(10)를 만드는 대표적인 프로세스를 이하에 설명한다. 대표적인 RFID 태그(10)의 단면과 구체적인 프로세스 흐름은 또한 도 1에 도시되어 있으며, p/n 다이오드 (및 대응하는 태그 단면) 만들기에 적합한 프로세스 흐름의 한 변형은 도 2에 도시되어 있다.

<56> 먼저, SOG(Spin On Glass)층(12)이 종래의 금속 호일에 침적될 수 있다[예를 들면, 2004년 7월 6일(대리인 사건 번호 제IDR0121호) 출원되고, 발명의 명칭 "MOS Electronic Article Surveillance, RF and/or RF Identification Tag/Device, and Methods for Making and Using the Same"인 미국 특허출원 제10/885,283호 참조, 관련 부분은 참조에 의해 본 명세서에 통합된다]. 본 경우에, 전기적 활성 기판은, 일반적으로 신호 송신 및/또는 수신(특히 미리 정해진 주파수 범위에서 또는 그 내에서), 전하 축적 (charge storage)(예를 들면, 하나 이상의 커패시터 전극), 신호 스위칭, 정류 및/또는 필터링 등의, 하나 이상의 미리 정해진 전기적 특성 및/또는 기능을 가지는 기판을 가리킨다. 바람직하게는, 기판은 하나 이상의 전기적으로 도전 및/또는 반도전 특성을 갖는다. 침적은, 하나 이상의 종래의 SOG 성분(component), 종래의 SOG 조성물(composition)에 대한 하나 이상의 종래의 용매, 및 하나 이상의 종래의 계면 활성제, 장력 저하제(tension reducing agent), 결합 및/또는 농(밀)화제(binder and/or thickening agent)를 포함하는 SOG 잉크 조성물의, 종래의 스핀 코팅(spin coating), 프린팅(예를 들면, 잉크젯 ["IJ"] 프린팅), 블레이드 코팅(blade coating), 딥코팅(dip coating), 메니스커스 코팅(meniscus coating), 슬롯(slot coating), 그라비어 프린팅(gravure printing), 또는 스프레이 코팅(spray coating)을 포함할 수 있다. 일반적으로 SOG층(12)을 침적하는 단계 다음은 종래의 경화 및 세정 단계이다.

<57> 다음에, 고농도로 도핑된 반도체층(32)이 SOG층(12)과, 커패시터(30)(및 후속하여 형성된 안테나(20)와 적어도 부분적으로 접촉하는 부분) 및 다이오드(40)에 대응하는 호일의 영역 상에 (예를 들면, n-도핑된 실란과 같은 실리콘 함유 잉크를 프린팅 또는 잉크젯팅하여) 침적된다[2004년 9월 24일, 2004년 9월 24일, 2004년 10월 1일, 2005년 10월 6일, 및 2005년 10월 11일에 각각 출원된, 미국 특허출원 제10/950,373호, 제10/949,013호, 제10/956,714호, 제11/246,014호 및 제11/249,167호(대리인 문서번호 제IDR0301호, 제IDR0302호, 제IDR0303호, 제IDR0422호 및 제IDR0423호)를 참조하기 바라며, 이들의 관련 부분은 참조에 의해 본 명세서에 통합된다]. 실리콘 함유 잉크는 부가적으로 또는 대안적으로 하나 이상의 반도체 혼합물(compound)[예를 들면, 종래의 처리에 의해 그것에 (공유) 결합된 족(group)들의 제거 시에 실리콘 함유 필름을 제공하는 선형(linear), 브랜치형(branched), 사이클릭(cyclic) 또는 폴리사이클릭(polycyclic) 실리콘 전구체 혼합물] 및/또는 하나 이상의 반도체 나노입자(nanoparticle)(예를 들면, Si, Ge, SiGe 등의 IV족(group)의 나노입자)를 포함할 수 있다. 다르게는, 상기 잉크는 하나 이상의 반도체 혼합물[유기 반도체 또는 종래의 처리에 의한 리간드(ligand) 및/또는 공유결합 족의 제거 시에 반도체 필름(GaAs, CdSe, CdTe, ZnO, ZnS 등)을 제공하는 반도체 전구체 혼합물 등], 및/또는 하나 이상의 반도체 나노입자(예를 들면, GaAs와 같은 반도체 물질, ZnO, ZnS, CdSe, CdTe 등의 칼코게나이드 반도체의 나노입자)를 포함하거나 함유할 수 있다. 상기 잉크는 일반적으로, 위의 나노입자 및/또는 혼합물이 용해되거나 부유될 수 있는(soluble or suspendable) 용매를 포함한다[예를 들면, 하나 이상의 할로겐으로 대체될 수 있는 C_6-C_{20} 브랜치형 또는 비브랜치형 알칸, C_6-C_{20} 브랜치형(branched) 또는 비브랜치형(unbranced) 알칸, 하나 이상의 할로겐으로 대체되는 C_2-C_6 브랜치형 또는 비브랜치형 알칸, 시클로헥산, 시클로옥탄 또는 데카린과 같은 C_5-C_{20} 시클로알칸, 톨루엔, 크실렌, 테트라린과 같은 C_6-C_{10} 방향족계 용매, 적어도 총 4개의 탄소 원자를 가지는 디-C_1-C_{10} 알킬 에테르, 및/또는 테트라하이드로퓨란 또는 디옥산과 같은 C_4-C_{10} 사이

클릭 알킬 에테르 등; 2003년 7월 8일 출원된 미국 특허출원 제10/616,147호(대리인 문서번호 제KOV-004호)를 참조하기 바라며, 그 관련 부분은 참조에 의해 본 명세서에 통합된다]. 상기 잉크는 표면 장력 저하제, 결합 및/또는 농(밀)화제를 더 포함할 수 있지만, 그러한 첨가제((additives) 또는 작용제(agent)를 유리하게 뺄 수도 있다.

<58> 현재, 쇼트키 다이오드의 경우, 그 제조 방법은 쇼트기 다이오드에서 다른 기능적인 층들을 형성하기 전에, 고농도로 도핑된 반도체 층을 먼저 형성하거나 침적하는 단계를 포함한다. 다이오드(40)에 대한 연결은, 예를 들면 다이오드(40)와 커패시터(30) 사이에 스트랩이 형성되도록 층(32)을 형성하거나, 프린팅하거나, 또는 패터닝함으로써 커패시터(30)로부터 형성될 수 있다. 고농도로 도핑된 층(32)의 범위는 비정질 IVA족 원소 함유 물질(예를 들면, Si 및/또는 Ge)을 포함하며, 바람직하게는 후속하는 다음 층의 침적 이전에 고농도로 도핑된 층(32)을 결정화하는 것이다. 그 후, 하나 이상의 저농도로 도핑된 반도체층(44/46)이 마찬가지로 다이오드(40)와 트랜지스터(50)에 대응하는 영역의 기판 상에 침적되거나 프린팅된다. 저농도로 도핑된(예를 들면, N^-) 반도체(실리콘 또는 [시클로]실란) 잉크 조성물은 또한 미국 특허출원 제10/950,373호, 제10/949,013호, 제10/956,714호, 및 제11/249,167호에 개시되어 있다. P^+층 및 P^-층은, 일반적으로 N^+ 영역 및 N^- 영역 직전이나 직후에 수행되는 유사한 프린팅 단계로 형성될 수 있다. 반도체 영역들은 그 후 노 어닐링(furnace annealing) 또는 레이저 결정화(laser crystallization)에 의해 결정화된 다음, 활성 섬(active island)들로 패터닝된다. 그 위에 얇은 옥사이드 표면층(14)이 (일반적으로 산소와 같은 산화성 분위기(oxidizing atmosphere)에서 그 구조를 가열 또는 레이저 조사사에 의해) 성장된다. 이 산화 단계는 게이트 유전체와 커패시터 유전체 양자를 모두 형성한다. 이와는 달리, 게이트 유전체와 커패시터 유전체는 종래의 상응하는 유전체 재료의 침적 및 패터닝에 의해 형성될 수 있다.

<59> 도핑되거나 도핑되지 않은 액상 실리콘 함유(예를 들면, 실란) 조성물이, 그 후 트랜지스터 영역(50)의 대략 중간 위에 침적되어 트랜지스터(50)의 게이트(52)와 커패시터(30)의 상부 판(34)을 규정한다[예를 들면, 미국 특허출원 제10/616,147호(대리인 문서번호 제KOV-004호로서 2003년 7월 8일 출원), 제10/789,317호(대리인 문서번호 제IDR0020호로서 2004년 2월 7일 출원), 제0/950,373호, 제10/949,013호 및/또는 제10/956,714호 참조). 따라서, 일 실시예에서, 실리콘 조성물의 침적은 실란 잉크를 프린팅(예를 들면, 잉크젯팅)하는 것을 포함한다. 만약 도핑된 실란 조성물을 사용하면, 다층을 형성할 수 있다. 만약 도핑되지 않은 실란 조성물을 사용하면, 단일층을 형성할 수 있고, 그 위에 금속(코발트[Co]나 니켈[Ni] 등)으로 이루어지는 층을, 일반적으로 유전체층(16)의 형성 후에, 예를 들면 종래의 포토리소그래피나 레이저 리소그래피/패터닝과 같은 고해상도의 패터닝으로, 도금(또는 선택적으로 성장시키거나 침적)할 수 있다(아래의 단락 참조). (게이트 재료로부터 실리사이드를 결정화 및/또는 형성하기에 충분한 온도에서의) 후속하는 열처리는, 일반적으로 많은 경우에 추가적인 변경 없이 사용될 수 있는 게이트(52)와 커패시터 판(34)을 형성한다.

<60> 하지만, 일 실시예에서, 게이트 금속층은 포토리소그래픽으로 규정되거나 레이저 패터닝되고[바람직하게는 (i) 침적된 금속층을 열적 레지스트(thermal resist) 또는 다른 종래의 레지스트 함유하는 IR 염료로 코팅하고, (ii) 레이저로 상기 레지스트를 선택적으로 조사; 예를 들면 2005년 3월 18일 및 2005년 8월 11에 각각 출원된, 미국 특허출원 제11/084,448호 및 제11/203,563호(대리인 문서 번호는 각각 제IDR0211호 및 제IDR0213호)를 참조하기 바라며, 이들의 관련 부분은 참조에 의해 본 명세서에 통합된다], 여분의 게이트 금속 재료를 에칭(바람직하게는 습식 에칭)에 의해 제거할 수 있다. 다르게는, 게이트 금속층은 엠보싱(embossing), 임프린팅(imprinting) 또는 기타 고해상도 패터닝 기술을 포함하는 다른 리소그래픽 방법으로 규정될 수 있다.

<61> 종래의 박리(stripping)(예를 들면, 필요한 및/또는 원하는 범위까지 포토레지스터의 박리) 및/또는 세정 이후에, 다른 SOG층(16)을 그 구조 상에 프린팅 또는 코팅할 수 있다. 프린팅하는 경우, 커패시터(30), 다이오드(40) 및/또는 트랜지스터(50) 중 하나 이상(바람직하게는 적어도 트랜지스터(50))이 노출된 채로 있을 수 있다. 코팅하는 경우, 커패시터 판(34), 다이오드층(46) 및 트랜지스터(50) 위의 SOG층(16)의 부분은 포토리소그래픽[종래의 SOG 경화 다음에, 포토레지스트로 코팅, 마스크를 통해 포토레지스트를 조사, 에칭(바람직하게는 습식 에칭)한 다음, 포토레지스트 박리 및 디바이스의 표면을 세정함으로써] 또는 미국 특허출원 제11/203,563호(대리인 문서번호 제 IDR0213호, 2005년 8월 11일 출원, 그 관련 부분은 참조에 의해 본 명세서에 통합됨)에 기술된 레이저 레지스트 프로세스에 의해 제거될 수 있다. 적절한 조건 하에서 공지의 에칭액 조성물(etchant composition)을 사용하여, 에칭 단계에서는 또한 노출된 옥사이드 박막(14) 및 선택적으로 저농도로 도핑된 폴리실리콘층(44/46)을 소량(예를 들면, 최대 약 30 nm) 제거할 수 있다. 임의의 이러한 조사 단계 및 에칭 단계는 바람직하게는 전체 게이트층(52)을 노출시키고, 충분한 크기(dimension)의 게이트층(52) 양측에서 저농도로

도핑된 반도체층(들)(44/46)의 부분 위로부터 SOG층(16)을 제거하여, 그 위에 고농도로 도핑된 소스 및 드레인 단자 층 및 그곳에 도전성 콘택을 형성할 것이다. 옥사이드 박막(14)의 어떤 부분이 여전히 노출되어 있으면, 그것도 또한 추가적인 처리에 앞서 에칭에 의해 제거된다(그리고 그 결과로 얻은 표면은 세정된다)

<62> 이 시점에서, 고농도로 도핑된 반도체층이 트랜지스터(50)의 노출된 면[예를 들면, 저농도로 도핑된 폴리실리콘층(44/46) 및 게이트층(52)] 상에 프린트되거나 그렇지 않으면 침적되고, 열적으로 경화되며, 레이저 조사되고, 그 중 결정화되지 않은 부분이 선택성 습식 에칭에 의해 제거되어, 게이트층(52)에 대해 자기정렬될 수 있는, 소스 콘택층(54a) 및 드레인 콘택층(54b)을 형성한다[예를 들면, 2005년 3월 18일과 2005년 8월 11일에 각각 출원된, 미국 특허출원 제11/084,448호와 제11/203,563호(대리인 문서번호는 각각 제 IDR0211와 제 IDR0213호)를 참조하기 바라며, 이들의 관련 부분은 참조에 의해 본 명세서에 통합된다]. 다르게는, 어닐링에 의해 도핑된 Si가 소스 콘택 및 드레인 콘택으로 변환된 후에, 주입(implantation), 플라스마 증착(plasma deposition), 레이저 분해(laser decomposition), 기상 증착(vapor deposition) 또는 기타 기술로, 도펀트 원자들을 노출된 Si 면 상이나 내로 도입할 수 있다. 전술한 바와 같이, N+ 영역과 P+ 영역은 개별적으로 침적될 수 있다(단, 경화, 레이저 조사 및 습식 에칭은 동일한 처리 단계에서 이루어진다).

<63> 콘택 (및 제1 수준의 메탈라이제이션)은 집적회로/반도체 제조 업계에서 종래에 사용되는 메탈라이제이션 처리[예를 들면, Ti, TiN 또는 TiN-온-Ti 이중층(bilayer)과 같은 비교적 얇은 배리어 및/또는 접착층(62)의 스퍼터링, 그 후 Al 또는 Al-Cu 합금(0.5 - 4 wt.% Cu)과 같은 비교적 두꺼운 벌크 도체층(64)을 스퍼터링, 이어서 후속하여 금속 실리사이드에 대해 에칭(바람직하게는 Al, TiN 및 Ti와 같은 금속을 선택적으로 에칭하는 종래의 NH_4OH/H_2O_2 에칭 조성물을 사용한 습식 에칭)되는 콘택 및 금속 선의 종래의 포토리소그래픽 정의]에 의해 형성될 수 있다. 다르게는, 게이트층(52)과 마찬가지로, 실리콘 또는 배리어 금속(62)으로 이루어지는 층은, 커패시터 판(34), 다이오드층(46), 및 트랜지스터(50)의 노출된 면, 그리고 그 위에 (층(62)이 본질적으로 실리콘으로 구성될 때, 금속 실리사이드를 형성하기 위해 선택적으로 후속하는 열처리 또는 어닐링과 함께) 선택적으로 도금, 침적 또는 프린팅되는 도전성 금속(64) 상에 프린팅되거나 그렇지 않으면 침적되거나 형성될 수 있다. 물론, 게이트층(52)에 대한 콘택 및/또는 메탈라이제이션은, 일반적으로 일반적으로 소스 영역과 드레인 영역의 바깥 부분에, 커패시터 및 다이오드에 대한 콘택 및 메탈라이제이션과 동시에 형성될 수 있다. 그 후 포토레지스트를 종래의 방식(conventionally)으로 제거할 수 있으며, 디바이스를 종래의 방식으로 세정할 수 있다. 이와는 달리, 콘택 및/또는 메탈라이제이션은 미국 특허출원 제11/203,563호(대리인 문서번호 제IDR0213호로서 2005년 8월 11일 출원, 그 관련 부분은 참조에 의해 본 명세서에 통합됨)에 기재된 바와 같은 레이저-레지스트 프로세스 또는 미국 특허출원 제10/722,255호(대리인 문서번호 제KOV-015호로서 2003년 11월 24 출원, 그 관련 부분은 참조에 의해 본 명세서에 통합됨)에 기재된 바와 같은 레이저 기반 프로세스에 의해 패터닝될 수 있다.

<64> 디바이스를 완성하기 위해, SOG층이, 상기 디바이스(도 1에는 도시되지 않았지만 도 2에 도시되어 있으며 후술함) 위에 (예를 들면, 잉크젯팅에 의해) 프린팅 또는 (예를 들면, 종래의 스핀 코팅, 블레이드 코팅, 스크린 프린팅, 딥 코팅, 메니스커스 코팅, 슬롯, 그라비어 프린팅, 또는 스프레이 코팅에 의해) 블랭킷(blanket) 침적될 수 있다. 만약 추가적인 메탈라이제이션의 층이 필요하면, 메탈라이제이션층(62/64) 내의 미리 정해진 장소 위의 콘택 홀이, SOG 층 내에 종래의 방식으로 형성될 수 있고(또는 다음 프린팅에도 잔존할 수 있으며), 메탈라이제이션의 제2 층이 메탈라이제이션층(62/64)과 동일한 방식으로 형성될 수 있다. 그 후 최상부(uppermost) 캡 또는 패시베이션층(예를 들면, SOG 층을 포함)이, 여기에 기술한 바와 같이 전체 디바이스 위에 형성되어 경화될 수 있으며, 그곳에 (선택적으로) 밀봉제(encapsulant), 지지제(support), 또는 접착제(adhesive)가 적층(laminate)될 수 있다.

<65> 디바이스의 후면[즉, 금속 호일이나, 안테나 및/또는 인덕터(20)가 형성되는 시트]이나 인터포저를, 그 후 [예를 들면, 종래의 포토레지스터, 레이저 패턴형 레지스터 또는 (SOG와 같은) 프린팅된 레지스트/마스트 재료로] 마스킹, (예를 들면 종래의 금속 습식 에칭을 사용하여) 에칭, 그리고 세정하여 안테나/인덕터/인터포저(20)를 형성한다. 끝으로, 밀봉제(예를 들면, 열가소성 수지나 열경화성 수지를 포함하는 종래의 방수 또는 발수 밀봉제; 도 1에는 도시되지 않았지만 도 2에 도시되어 있으며 후술함)를 디바이스의 에칭된 후면 상에 도포(dispense)하여, RFID 디바이스(10)의 형성을 완료한다.

<66> 도 2는 거의 완성된, 다른 디바이스(100)의 단면도이다. 디바이스(100)는, 어떤 점에서, 도 1의 디바이스(10)의 변형(예를 들면, "이중 유전체" 실시예)이다. 디바이스(100)는, 커패시터가 더욱 밀집된 패킹 밀도를 위해 밀봉되지 않은(non-enclosed) 콘택은 물론, 낮은 기생 커패시턴스를 가질 수 있도록 하는 배리어 유전체(102)를 포함한다.

<67> 도 2를 참조하면, 얇고 "높은 k"의 유전체 재료(102)(예:HfO_x)가, [예를 들면, 졸-겔 제제(sol-gel formulation)로] 유전체(112) 상에 프린팅이나 그렇지 않으면 형성 또는 침적될 수 있다. 하나 이상의 저농도로 도핑된 폴리실리콘층이 위의 폴리실리콘층(44, 46)과 마찬가지로 그 위에 (예를 들면, 프린팅 또는 잉크젯팅에 의해) 형성되거나 침적될 수 있으며, 트랜지스터(150a, 150b)의 채널층(144)과 (선택적으로) 후속하여 도핑될, 다이오드(140a, 140b)의 베이스층(142)을 형성한다. 다르게는, 임의의 블랭킷 침적되거나 전체적으로 침적된 실리콘 또는 금속층(그리고 선택적으로 프린팅된 실리콘 또는 금속층)은 레이저 패터닝(레지스트가 사용되는 곳에서는 레이저 노광)에 의해 또한 규정될 수 있다. 이와는 달리, 층들(예를 들면, 금속 및/또는 실리콘 등)은 "레이저 묘화(laser writing)"에 의해 패터닝될 수 있다[미국 특허출원 제11/203,563호(대리인 문서번호 제IDR0213호로서 2005년 11월 8일 출원)를 참조하기 바라며, 그 관련부분은 참조에 의해 본 명세서에 통합된다]. 이 기술들은 또한 도 1에 나타낸 대표적인 프로세스 및 디바이스의 동일한 층에도 적용할 수 있다. 그 후, 게이트 유전체층(예를 들면, 114)을 성장시키고, 그 위에 게이트 재료를 프린팅하거나 그렇지 않으면 침적하여, 도 1의 유전체층(14) 및 게이트(52)와 동일한 방식으로 게이트(152a, 152b)를 형성할 수 있다. 노출된 옥사이드에 대한 후속하는 에칭은, 트랜지스터의 소스 및 드레인 영역(150a, 150b)으로부터 옥사이드를, 그리고 다이오드의 폴리실리콘층(142) 상에 형성된 임의의 옥사이드를 제거할 것이다.

<68> 그 후에, 고농도로 도핑된 하부(lower) 다이오드층(146)과 트랜지스터(150a)의 소스 및 드레인 단자(154a, 154b)를, 위의 소스 및 드레인 단자(54) 또는 폴리실리콘층(32)과 마찬가지로 형성한다. 따라서, 하부 다이오드층(146)과 소스 및 드레인 단자(154a, 154b)를 이온 주입법 또는 전술한 바와 같이 고농도로 도핑된 실란 잉크를 프린팅하여 형성할 수 있다. 일 실시예에서, 하부 다이오드층(146)은 N^+ 도핑된 실리콘층을 포함한다. (여기 및 다른 곳에서 기술한 바와 같이) 결정화 및 도펀트 활성화(activation) 후, 제2 SOG 층을 그 위에 프린팅하거나, 그렇지 않으면 형성할 수 있으며, 그 안에 종래의 방식으로 형성된 개구부가 층간 유전체층(ILD)(116a - 116g)을 형성한다. 그 위에(특히, 다이오드 영역(140a, 140b)의 콘택 개구부에) 비교적 두껍고 저농도로 도핑된 폴리실리콘층이, 위의 폴리실리콘층(32)과 마찬가지로 프린팅되거나 침적되어, 상부 다이오드층(148)을 형성할 수 있다. 하부 다이오드층(146)이 고농도로 도핑된 층을 포함하는 경우, 폴리실리콘(148)은 저농도로 도핑될 수 있다. 이 실시예에서, 하부 다이오드층(146) 및 상부 다이오드층(148)은 상이한 도펀트 농도 또는 밀도[예를 들면, 하부 다이오드층(146)은 N^+ 도핑되고, 상부 다이오드층(148)은 상이한(또는 상보적인) 도펀트 타입(예를 들면, 하부 다이오드층(146)은 N^+ 도핑될 수 있고, 상부 다이오드층(148)은 표면에 선택적인 P^+도핑된 층을 갖는 P^- 도핑될 수 있다)]. 그 후에, 메탈라이제이션층(164)이 위의 메탈라이제이션(62/64)과 동일한 방식으로 순차적으로 형성되어, 커패시터(120a, 120b)의 상부 판과, 트랜지스터(150a,150b)의 소스, 드레인 및 게이트 단자 및 다이오드(140a, 140b)에 대한 콘택을 형성할 수 있다.

<69> 최상부 캡 또는 패시베이션층(170)(예를 들면, SOG층 포함)은 그 후 종래의 침적(예를 들면, 스핀 코팅, 스프레이 코팅, 잉크젯 프린팅 등) 기술로 디바이스 전체 위에 형성되어, 경화될 수 있다. 안테나, 인덕터, 또는 (인덕터 및 커패시터와 전기적으로 연결되는) 공진기(20)를 형성한 후, 그곳에 밀봉제, 지지제 또는 접착제(180)가 적층될 수 있다. 선택적으로, 두 개의 실질적으로 동일한 인덕터(20a, 20b)를 형성할 수 있다. 디바이스(100)는 한편 도 1의 대표적인 디바이스(10)에 대해 앞서 설명한 바와 같이 만들어진다. 이 프로세스의 추가적인 변형은, 종형 다이오드 소자를 생략하고, 전술한 단계들을 사용하여, DC 전력 생성 및 신호 복조를 위한 다이오드로서 다이오드 접속(diode-wired) 트랜지스터[예를 들면, 소스를 게이트에 단락(short)시켜 형성된 것]를 사용하는 RFID를 형성한다.

<70> 도 3은 안테나/인덕터(186)에 연결된 대표적인 디바이스(184)의 단면(182)과 다이오드 접속 커패시터 및 커패시터 접속 트랜지스터를 만드는 프로세스 흐름을 나타낸 것이다. 도 4는 소스 또는 드레인 단자(192)에 단락된 게이트(190)와, 인접한 디바이스(196)의 소스 또는 드레인 단자(또는 하부 다이오드층/단자)(194)에 접속된 단자(192)를 구비하는 대표적인 다이오드 접속 디바이스(188)를 나타낸 것이다. 커패시터 접속 트랜지스터는, 서로 접속된 소스 단자 및 드레인 단자와 함께, 유사하게 형성될 수 있다. 도 3의 흐름에서, 트랜지스터는 종래와 같이 접속되고, 커패시터는 소스와 드레인을 함께 하나의 단자로서 단락시키고, 게이트를 다른 단자로 사용함으로써 만들 수 있다. 특히, 도 3의 프로세스 흐름은 상당이 짧고, 도 1 및 도 2의 디바이스를 만드는 프로세스 흐름보다 더 적은 수의 단계를 포함한다. 실제로, 도 3의 프로세스 흐름은 (상보형 MOS 트랜지스터의 경우, 하나는 n 채널 디바이스용으로, 그리고 하나는 p 채널 디바이스용으로, 비록 두 개의 실란 잉크 프린팅 단계를 사용할 수 있지만,) 실란 잉크의 프린팅을 수반하는 하나의 단계만을 포함할 수도 있다. 이러한 디바이스(다이오드 접속 트랜지스터 및 커패시터 접속 트랜지스터를 포함)는 13.56 MHz RFID 태그에 사용하기에 적합한

성능 특성을 보인다. 당연히, (소스 및 드레인 콘택을 함께 단락시키기 위한 배선은 물론) (i) 게이트 및 (ii) 소스 또는 드레인 콘택을 함께 단락시키기 위한 배선은 도 3의 단면도에 도시되어 있지 않으며, 페이지 평면(plane of the page)의 전방이나 후방, 트랜지스터 배치(도)의 어디에나 위치에든 위치될 것이다. 특히, 도 3의 흐름은, 단일 잉크젯팅된 실란층이 형성(단계 4)될 수 있음을 도시하며, 이 실란층은 노 내에서와 동일한 처리 단계(단계 5)에서 결정화 및 산화될 수 있다. 그런 다음 , 개별 이온 주입 단계들(단계 10 및 단계 13)을 사용하여 NMOS 및 PMOS 트랜지스터/디바이스를 형성한다.

<71> 대표적인 RFID 디바이스

<72> 다른 관점에서, 본 발명은 도 1 내지 도 4의 대표적인 디바이스와 같은, 다양한 소자 영역을 포함하는 배치에 관한 것이다. 도 5는 논리 영역(210), 안테나 영역(220, 225) 및 전하 펌프 영역(230)을 포함하는, 디바이스(200)의 대표적인 배치를 나타낸 것이다. 디바이스(200)는, 길이가 1 내지 25 ㎜, 바람직하게는 5 내지 20 ㎜, 폭이 1 내지 5 ㎜, 바람직하게는 1 내지 3 ㎜, 그리고 총면적이 1 내지 100 mm^2, 바람직하게는 10 내지 50 mm^2 이다. 일 실시예에서, 디바이스는 2 ㎜ x 12.5 ㎜ 이다. 도 6a 및 도 6b를 더욱 상세하게 후술하는 바와 같이, 로직 영역(210)은 입출력 제어부, 메모리 또는 정보 기억부, 클록 복구부, 및/또는 정보/신호 변조부를 더 포함할 수 있다.

<73> 안테나 영역(220)은 L자형 버스(222)에 의해 전하 펌프 영역(230)에 연결되어 있다. 전하 펌프 영역(230)의 일부는 또한 안테나 영역(225)과 충접한다. 전하 펌프 영역(230)은 커패시터, 다이오드 및/또는 인터컨넥트에 의해 안테나 영역(220, 225)에 종래의 방식으로 연결된다. 예를 들면, 전하 펌프 영역(230)은 복수의 단(특정한 일례에서는 8단)을 포함할 수 있으며, 그 안의 커패시터는 안테나 중첩 부분(즉, 버스(222) 또는 안테나 영역(225)과 중첩하는 전하 펌프(230)의 부분)당 100 내지 400 제곱 미크론의 면적을 가질 수 있다.

<74> HF 태그 디자인의 블록도는 도 6a에 되어 있고, UHF 태그 디자인의 블록도는 도 6b에 도시되어 있다. HF 태그 디자인은 안테나(305), 클록 복구 블록(310), 디모듈레이터(demodulator) 블록(320), RF-DC 컨버터 블록(330), 모듈레이터(modulator) 블록(340), 로직 및 I/O 제어 블록(350), 및 메모리(360)를 포함한다. UHF 태그 디자인은 다이폴 안테나(355), 디모듈레이터/클록 복구 블록(370), UHF-DC 컨버터 블록(380), 모듈레이터 블록(340'), 로직 및 I/O 제어 블록(350), 및 메모리(360)를 포함한다. 클록 복구 블록(310), 안테나(305, 355), 그리고 안테나에서 디모듈레이터 블록(320, 370) 및 전력 변환 블록(330, 380)으로의 버스는, 캐리어 주파수나 그 근처에서 동작하므로, 고속 디바이스를 필요로 한다.

<75> 이들 회로 블록은 다음의 디바이스를 포함하는, 박막 디바이스 구조로부터 구성될 수 있다.

<76> 1. 안테나: HF에서, 안테나는 그곳에 연결되는 공진 탱크(resonant tank) 커패시터[예를 들면, 도 5의 전하 펌프 영역(230)]를 구비한 평면 나선형(planar spiral) 인덕터 코일로써 가장 값싸게 제조된다. 고품질(고전압/전력 추출) LC 코일의 낮은 고유저항 필요조건은, 금속 호일이나 두껍게 프린팅된 필름을 필요로 한다. UHF에서, 안테나는 코일에서처럼 상당한 DC 전도나 긴 전도 거리 없이 AC 파의 송신(및 수신)을 지원하는, 일반적으로 전파(full wave)이나 반파(half wave) 다이폴 또는 다이폴 유도(dipole-derivative) 형태이다. 또한, 안테나에서의 여기의 표면 깊이(skin depth)는 UHF에서 더 얕다. 그런 이유로, UHF 안테나는 얇은 금속 호일 또는 심지어 Ag 페이스트와 같은 물질로 프린팅한 도체 필름일 수 있다. 일정한 디자인 실시예에서, HF 또는 UHF 안테나는 집적 회로의 기본(underlying) 금속 기판에 직접 형성될 수 있으며, 또는 그 기판은 외부 안테나에 부착될 수 있는 중간 크기(예를 들면, 안테나 전체의 크기와 직접회로 구역을 포함하는 반도체 디바이스의 크기 사이)의 인터포저 또는 스트랩(예를 들면, 후속하는 실리콘계 디바이스 형성용 기판으로서의 얇은 플라스틱 또는 유리 시트)을 형성할 수 있다.

<77> 2. RF-DC 변환: 이 기능은 [일반적으로 배전압기(voltage doubler) 구성의] 정류기에 의해 임의의 적용 가능한 주파수에서 제공되거나, 또는 실란계 잉크로 형성된 박막 다이오드 구조로부터 UHF 또는 HF 주파수에서 제공될 수 있다. HF 주파수에서는 또한, 다이오드 접속(diode-connected) TFT(즉, 게이트가 동일한 트랜지스터의 소스나 드레인에 연결된 것)를 사용할 수 있다. 이러한 박막 다이오드 및 다이오드 접속 TFT는 DC 변환 및/또는 DC 전압(들)의 출력을 위한 전압 클램프 및/또는 전압 클램프 회로에 사용될 수 있다. 다이오드의 전송 방향에서의 이동도가 > 10 cm^2/vs이고, 도핑이 10^{17}-10^{20} cm^{-3} 범위이며, 접촉 저항이 약 10^{-5} ohm-cm^2 정도인 실란 잉크계 레버(lever)에 기초한 박막 디바이스의 모델링은, GHz 구간(regime)에서의 정류를 지원할 수 있다. DC로의 GHz 정류와 < 2 nsec 의 게이트 지연이, 여기에 기술된 바와 같이 형성된, 종형의 박막 필름 실란 잉크

다이오드 구조 및 자기 정렬형 TFT 구조 각각에 대해 실험적으로 증명되었다.

<78> 3. 디모듈레이터: 캐리어 RF 신호 상에 서브캐리어나 서브캐리어 변조로서 부호화된, 클록 및 데이터 신호의 복조는 본 명세서의 다른 곳에 기재된 바와 같은 박막 다이오드 또는 다이오드 접속 TFT에 기초한 간단한 전압 검출기로 실현할 수 있다. 최적의 신호 추출은 필터링과 동조된(tuned) 커패시터의 사용을 요구할 수 있다.

<79> 4. 제어 및 판독(I/O)을 실행하기 위한 로직은 CMOS 또는 NMOS 기술의 TFT로 구현될 수 있다. CMOS 기술은 전력 효율의 점에서 상당한 이점이 있지만, NMOS 기술에 비해 추가적인 처리 단계를 필요로 할 수 있다.

<80> 5. 메모리: 단순 판독전용 메모리(ROM)가 제조 프로세스 중에 규정되는, 디지털 저항 네트워크에 제공될 수 있다. 1회 프로그램 가능한(One-time Programmable, OTP) ROM은 종래의 퓨즈 구조 또는 반퓨즈(anti-fuse) 구조를 포함할 수 있으며, 박막 형태의 EEPROM은 부유 게이트(floating gate)를 갖는 TFT를 포함할 수 있다. 프로그래밍 및 소거 회로(그리고 프로그래밍 및 소거 전압에 견디도록 구성된 디바이스)는 또한 종래와 같이 디자인될 수 있으며 여기에 기술한 바와 같이 제조될 수 있다.

<81> 6. 모듈레이터: HF 범위에서, 변조는 일반적으로 공진 커패시터와 병렬의 션팅 트랜지스터(shunting transistor)로 부하 변조(load modulation)함으로써 수행된다[예를 들면, 모듈레이터 블록 내의 또는 안테나와 동일한 재료의 층으로 형성된 것; 예를 들면, 2004년 7월 6일과 2005년 10월 3일 에 각각 출원된, 미국 특허출원 제10/885,283호와 제11/243,460호(대리인 문서번호 제IDR0121호와 제IDR0272호) 참조]. 확장 모드(enhancement mode)에서 실란계 잉크로 제조된 모듈레이터 TFT를 사용함으로써, 트랜지스터가 온 될 때, 태그의 안테나를 구성하는 LC 코일이 단락될 수 있다. TFT가 충분히 "오프"로 스위칭될 때, LC 코일의 Q는 복구된다. 이런 식으로, 변조 신호는 태그에서 판독기로 전달될 수 있다. UHF 범위에서, 유사한 효과(effects)는 또한 안테나의 산란 단면(scattering crosssection)을 변화시키고, 판독기에 대한 후방 산란 신호를 변조한다. 이것은 안테나의 임피던스를 변화시키는 부하 변조 TFT와, 그 결과 후방 산란 신호로 수행될 수 있다. 이 기술과 관련된 잠재적인 전력 손실로 인해, 로직 TFT 및 정류기 및/또는 디모듈레이터 다이오드를 위한, 여기에 기술된 TFT와 다이오드 프로세스를 사용하여 형성될 수 있는, MOS 커패시터 디바이스나 버랙터 다이오드를 사용하는, UHF 안테나의 임피던스의 허수부를 이동(shift)시키는 버랙터 기반 변조를 사용하는 것이 유리할 수 있다.

<82> 로직 및 메모리용으로 구성된 박막 트랜지스터의 배치는, 8 ㎛ 및 2 ㎛ 디자인 룰을 사용하여 본 발명에 따라 디자인하였다. 8 ㎛ 룰(표시/정렬(registration/alignment) 변화에 대해 ±2㎛ 마진을 가정), 평균 트랜지스터 면적은 9776 $㎛^2$이며, mm^2당 약 300개의 트랜지스터를 배치할 수 있다.

<83> 일반적으로, RFID 태그 동작은 태그에 전력을 공급하는데 필요한 최소 RF 계(field)(및 전력)에 의해 제한된다. 일단 태그가 전원을 공급받아 요구되는 전압을 유지할 수 있으면, 태그와 판독기 사이에 통신이 가능하다.

<84> 예와 결과

<85> 여기에 기술한 것과 같은 다이오드 제조 프로세스를 사용하여, > 1GHz에서 정류가 가능한, 티타늄 실리사이드 콘택층을 구비하는 쇼트키 다이오드를 제조하였다. 개별(discrete) RF 프론트엔드 회로의 프로토타입을 제작하였으며, 그러한 회로의 900 MHz 에서의 동작을 논증하였다. 이동도가 > 50 cm^2/V-sec이고 100 cm^2/V-sec까지인 NMOS 트랜지스터와, 이동도가 > 40 cm^2/V-sec 인 PMOS 트랜지스터를 그러한 프로세스로 제조하였다. 그러한 프로세스에 의해 제조한 트래지스터들을 상호연결하여 CMOS 인버터와 오실레이터를 구성하였다. 오실레이터는 10 - 25 MHz에서 동작 가능한 것이었다. 10 - 1.1 ns 의 단 지연이 직렬 인버터들 사이(예를 들면, 링 오실레이터의 단들 사이)에 있었다. 이것은 이 프로세스로부터의 로직에 대한 최고 스위칭 주파수가 950 MHz를 초과한다는 것을 나타낸다. 이러한 데이터는 그것만으로 및/또는 다른 정보(예를 들면, 회로 블록 데이터 및/또는 시뮬레이션)와 결합하여, 본 발명이 UHF 및 HF RFID 동작을 구현할 수 있다는 것을 나타낸다.

<86> **900MHz 쇼트키 다이오드 성능.** 본 발명에 따라 (예를 들면, 실리콘 잉크로) 제조된, 티타늄 실리사이드 콘택층을 구비하는 쇼트키 다이오드("Kovio Si 다이오드")는, 900 MHz에서 > 5%의 전력 변환 효율을 가지며, 선(410)(본 발명)과 선(420)(Agilent Technologies로부터 상업적으로 입수 가능한 HSMS-8250 쇼트키 다이오드)을 비교하여 도 7에 나타냈다. 최적화된 프로세스 클린리리스(cleanliness)는, 예를 들면 누설 및 단락 회로를 감소시킴으로써 이 다이오드 성능을 더욱 향상시켜야 한다.

<87> **RF 프론트엔드.** 도 9의 선(510)으로 나타낸 바와 같이, 본 발명에 따라 제조된 다이오드("Kovio Si 다이오

드")의 경우, 900MHz에서 단일 다이오드의 10-20% 사이의 GHz 정류를 나타냈다. 따라서, 본 발명에 따라 제조된 다이오드는 DC 전력을 발생시킬 수 있는 동작(working) 900 MHz 자유 공간을 포함한다. 또한 제조과정의 통합 및 회로 디자인에 있어서의 최적화는 주파수 응답과 정류 효율을 더욱 향상시킬 수 있다.

<88> 이러한 2개의 다이오드를 사용하여, UHF→ DC 정류기 블록[예를 들면 도 6b의 블록(380) 참조]에서는, 반다이폴(half dipole) 안테나가 장착된 프로토타입 RFID 태그의 900 MHz 주파수를 제공하는 UHF 소스로부터, 100 mW 판독기에 전기적으로 연결된 LED를 켜기 위한, 충분한 전력이 발생되었다(즉, 여기서 LED와 판독기는 도 6b의 RFID의 로직 및/또는 I/O 제어 블록(350)을 유효하게 대신한다).

<89> 본 발명에 따라 제조된 쇼트키 다이오드를 구비하는 RFID 태그의 프로토타입의 기능 프론트엔드 블록(예들 들어 블록 310 - 330 및 370 - 380)은 다음의 표 1에 나타낸 특성을 보였다.

프로세스	Si 잉크 + CoSi Top Schottky	Si 잉크 + TiSi Top Schottky
이상 인자	1.75	1.5
$\mathbf{I_o}$ **[nA]**	500	1300
$\mathbf{R_s}$ **[Ω]**	101	19
$\mathbf{R_{leak}}$ **[kΩ]**	60	5

<90> 표 1. RFID 프론트엔드 프로토타입 특성.

<91> 위의 표 1에 나타낸 바와 같이 "Si 잉크 + TiSi Top Schottky" 프로세스를 사용하여 만든 디바이스(들)의 4가지 특성 모두는, 제품 수준(item-level)의 UHF 태깅(tagging)에서 상업적으로 수용할 수 있는 것이다.

<92> **로직의 개요(LOGIC SUMMARY).** 여기에 기술한 실리콘 잉크를 사용하여 제조된, 프로토타입 디바이스(예를 들면, MOS 트랜지스터)와 도 6a 및 도 6b의 로직 및/또는 I/O 제어 블록(350)의 회로(하지만, 프로토타입 NMOS 및 PMOS TFT를 만드는데만 사용되었음)는 >> 1 MHz 동작 능력(operational capability)을 보인다. 이 동작 주파수는 상업적으로 수용 가능한 UHF 및 HF RFID 태그에 충분한 것이다. 이러한 실리콘 잉크 CMOS IC 디바이스는, 자기 정렬 잉크 TFT 프로세스 흐름[예를 들면, 2005년 3월 18일에 출원된 미국 특허출원 제11/084,448호([대리인 문서번호 제IDR0211호)를 참조하기 바라며, 그 내용은 참조에 의해 본 명세서에 통합된다)을 사용하여 제조되는 경우, 100 cm^2/V-sec까지의 이동도를 가지므로, 저비용의 RFID 태그의 상업적 생산에 있어 여기에 기술한 제조 프로세스의 적합성을 입증한다. 이러한 프로세스 흐름을 사용하여 제조된 CMOS 인버터는 MHz 발진 속도(즉, 1 usec 미만의 스위칭)가 가능하다. 또한, 이러한 프로세스 흐름으로 제조된 NMOS 디바이스는 상업적으로 수용 가능한 UHF 및 HF RFID 태그에 적합한 임계 전압을 갖는다.

<93> **실리콘 잉크 CMOS 오실레이터의 결과.** 도 7에 도시한 바와 같이 디자인된 19단 링 오실레이터(600)는 6 ㎛ CMOS 집적 TFT 버퍼 단(610a - 610t)으로 제조되었다. 단 지연은 10 V 동작 시에 < 0.1 msec이었다. 도 10은 프로브 로딩(probe loading)의 효과를 포함하여, 10 내지 20 V의 범위에 걸친 이 대표적인 오실레이터의 결과를 나타낸 것이다(하부 선도(plot)(710)는 10V 동작의 결과를, 중간 선도(720)는 15V 동작의 결과를, 그리고 상부 선도(730)는 20V 동작의 결과를 나타낸다). 따라서, 본 출원에 기술한 실리콘 잉크 기술을 사용하여 제조한 CMOS 트랜지스터는, UHF RFID 로직(1 - 5 MHz) 및 HF RFID 로직 (13.56 MHz)에 적합하다. 소형 채널 디바이스의 경우, 초고속 동작이 가능하다(< 10 nsec /10V에서 동작하는 ~ ㎛ 트랜지스터의 단).

<94> 도 11 (a) 및 (b)는 10V 동작의, 온칩(도 11a)과 오실로스코프 버퍼 로딩 상태(도 11b) 양자에 있어, 대표적인 19단 오실레이터의 시뮬레이션 결과를 나타낸 것이다. 시뮬레이션은 도 8과 관련하여 앞서 설명한 디바이스로부터 추출한 TFT 모델 데이터를 사용하였다. 도 11 (a) 및 (b)의 값은, 위의 로직(CMOS) 디바이스의 측정된 데이터를 시뮬레이션 데이터와 비교하여 추출 및 측정 성능(capability)을 확인하고, 나아가 실연한 결과를 확인

한 것이다. 상기 오실레이터는 유효 길이 6㎛(L_{eff} = 6 ㎛)의 트랜지스터를 구비하는 CMOS TFT 버퍼 단을 사용하여 시뮬레이션하였다. 발진 주파수는 350 kHz이었고, 단 지연은 70 ns이었다. 알 수 있는 바와 같이, 도 11(b)의 선도(860)의 형상은 도 8의 선도들과 매우 유사하다. 도 12a 및 도 12b의 결과 및 아래의 표는, 도 8의 디바이스와 동일하지만 수소첨가 후처리(post hydrogenation treatment)를 하는 디바이스에 대한, 상업적으로 수용 가능한 스위칭 속도(f_{switch} > 10 MHz), 단 지연(t_d < 0.1 usec), 및 NMOS 트랜지스터 임계 전압(V_t < 0.5 V)을 나타낸다. 도 12a 및 도 12b의 두 곡선은 각각 ~ 6 미크론 및 ~ 2 미크론 채널 길이 CMOS TFT 오실레이터에 대한 것이다.

그래프	12A	12B
L_{eff}	6 μm	2 μm
F_{osc}	3.3 MHz	25 MHz
t_d	8 nsec	1.1 nsec
F_{max} 스위치	130 MHz	950 MHz

<95> 표 2. 도 12a 및 도 12b의 그래프의오실레이터의 특성

<96> 결론/요약

<97> 본 발명의 특정 실시예에 대한 이상의 설명은, 해설과 설명을 위해 제공한 것이다. 그러한 실시예들은 본 발명의 모든 것을 망라하거나 본 발명을 개시한 정확한 형태로 제한하려는 것은 아니며, 이상의 교시한 것에 비추어 다양한 변형 및 변경 가능한 것은 물론이다. 실시예들은 본 발명 및 그 실제적인 애플리케이션의 원리를 잘 설명하기 위해 선택되고 기술된 것이며, 따라서 이 기술분야의 당업자는 본 발명과 특정한 사용 의도에 적합한 다양한 변형예를 갖는 각종 실시예를 잘 활용할 수 있을 것이다. 본 발명의 범위는 첨부된 특허청구범위 및 그 등가물에 의해 규정되어야 한다.

발명의 효과

<98> 이상의 본 발명에 따르면, 무선 주파수 식별(RFID) 디바이스 및 그 제조 방법, 그리고 그 직접회로 제조 방법을 제공할 수 있다.

도면의 간단한 설명

<1> 도 1은 본 발명의 일 실시예의 제조 방법으로 만든 대표적인 디바이스의 구조를 나타낸 단면도이다.

<2> 도 2는 본 발명의 다른 실시예의 제조 방법으로 만든 다른 대표적인 디바이스의 구조를 나타낸 단면도이다.

<3> 도 3은 본 발명에 따라 다이오드 접속(diode-wired) 트랜지스터 및 커패시터 접속(capacitor-wired) 트랜지스터를 만드는 대표적인 프로세스 흐름(process flow) 및 디바이스의 단면을 나타낸 도면이다.

<4> 도 4는 도 3의 대표적인 프로세스 흐름에 의해 제조된, 대표적인 다이오드 접속 트랜지스터의 단면도이다.

<5> 도 5는 본 발명의 일 실시예에 따른 디바이스의 배치도이다.

<6> 도 6a 및 도 6b는 고주파(HF) 및 초고주파(UHF) 애플리케이션 양자에 대한, 본 발명의 태그의 실시예의 여러 기능 블록을 나타낸 블록도이다.

<7> 도 7은 본 발명에서 일정 수준의 상업적으로 수용 가능한 특성을 나타내는 대표적인 19단(stage) 오실레이터를 나타내는 회로도이다.

<8> 도 8은 본 발명에 따라 제조된 쇼트키 다이오드(Schottky diode)와 상업적으로 입수 가능한 쇼트키 다이오드의 전력 변환 효율을 비교하여 나타낸 그래프이다.

<9> 도 9는 본 발명에 따라 제조된 단일 다이오드의 최대 GHz 주파수까지의 정류(rectification)를 나타낸 그래프이다.

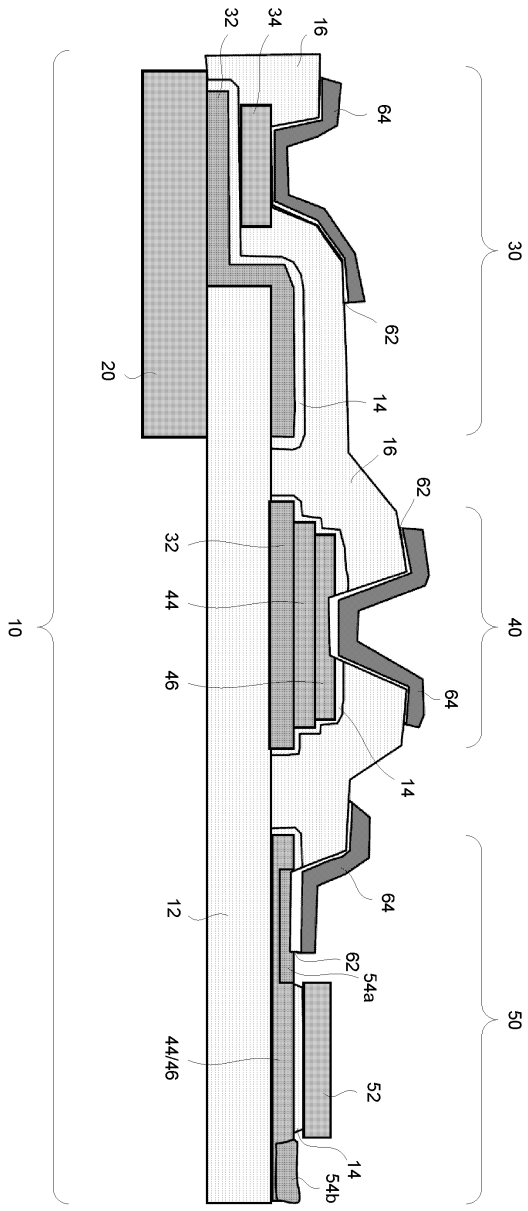
<10> 도 10은 10V에서 20V 범위에 걸친, 도 7의 대표적인 오실레이터의 결과를 나타낸 도면이다.

<11> 도 11 (a) 및 (b)는 온칩(도 11a)과 오실로스코프 버퍼 로딩(buffer loading)(도 11b) 양자에 있어, 도 7의 대표적인 오실레이터의 시뮬레이션 결과를 나타낸 도면이다.

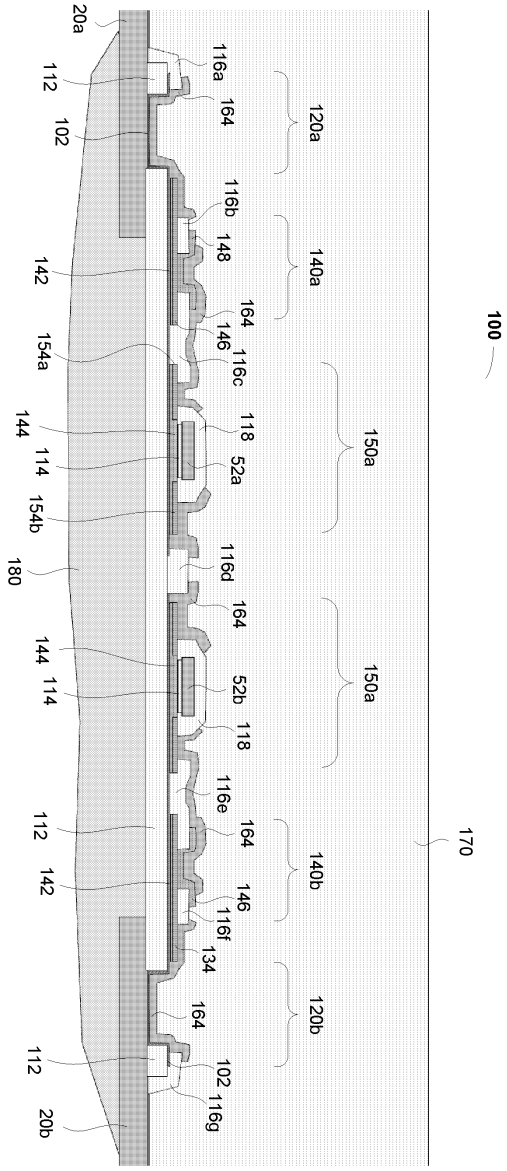
<12> 도 12a 및 도 12b는 도 9의 디바이스와 동일한 디바이스이지만, 수소첨가 후처리(post hydrogenation treatment)를 더 거치는 디바이스에 대한, 상업적으로 수용 가능한 스위칭 속도, 단 지연, 및 NMOS 트랜지스터 임계 전압을 나타낸 그래프이다.

도면

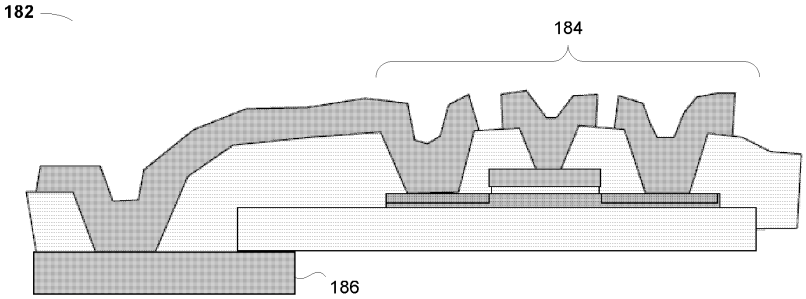
도면1



도면2

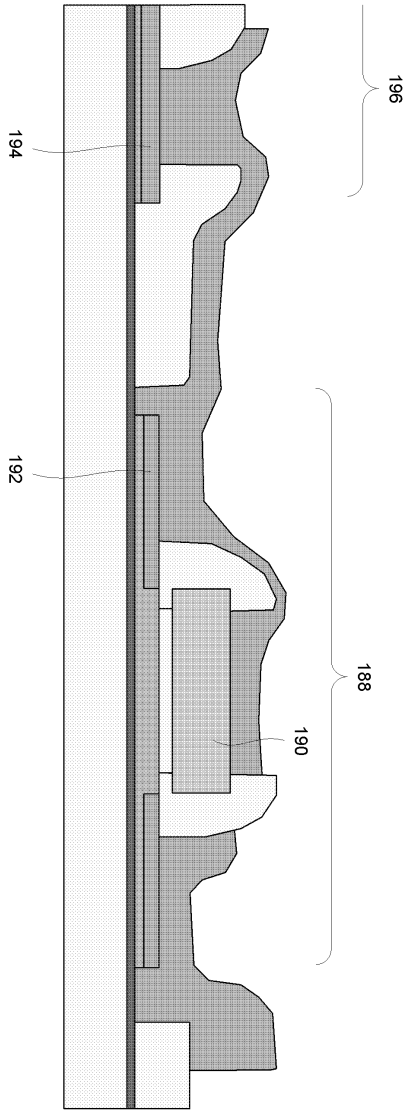

20a
112
102
116a
164
120a
116b
148
140a
142
164
146
154a
116c
118
144
114
52a
150a
154b
180
116d
164
144
114
52b
118
150a
116e
164
112
142
140b
146
116f
134
164
120b
112
102
116g
20b
100
170

도면3

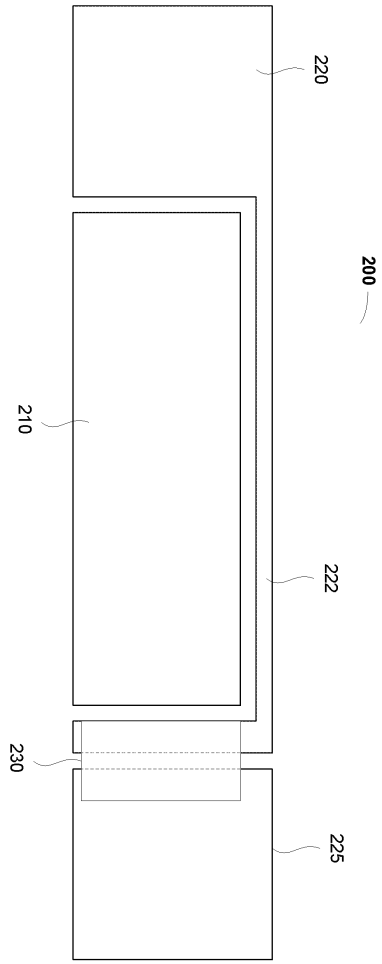


1. IJ SOG
2. 경화
3. 세정
4. IJ N-
5. 노 결정화 및 산화
6. 알루미늄 스퍼터링
7. 게이트 마스크
8. 게이트 에칭
9. 포토 마스크
10. N+ 주입
11. 세정
12. 포토 마스크
13. P+ 주입
14. 세정
15. 레이저 활성화
16. IJ SOG
17. 포토 마스크
18. SOG 습식 에칭
19. 세정
20. 알루미늄 스퍼터링
21. 포토 마스크
22. Al 습식 에칭
23. 세정
24. 패시베이션 침적

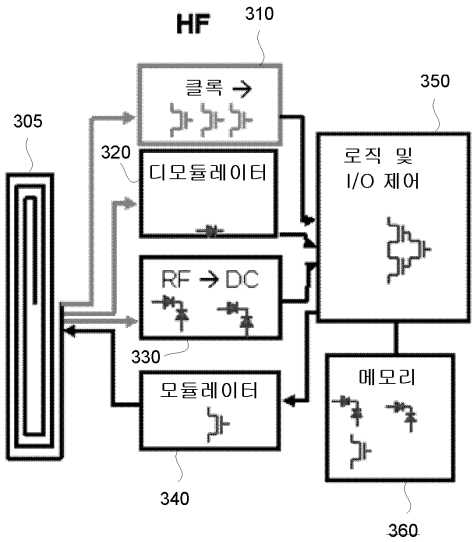
도면4



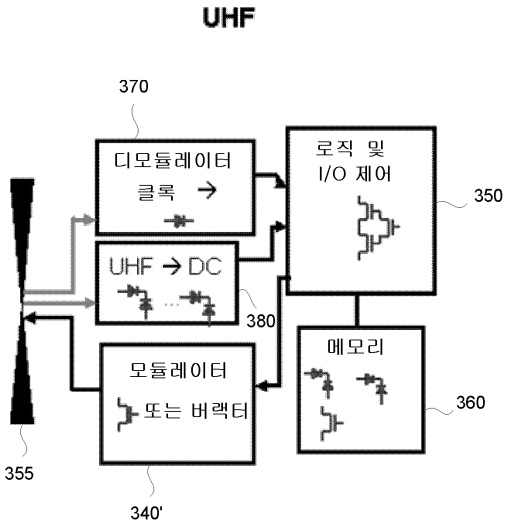
도면5


220
200
210
222
230
225

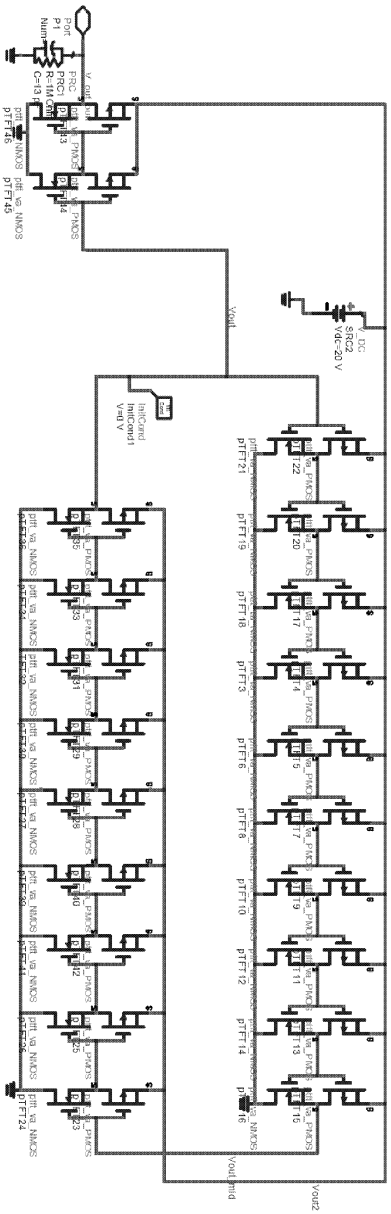
도면6a


HF
310
클록
350
305
320
디모듈레이터
로직 및
I/O 제어
RF → DC
330
모듈레이터
메모리
340
360

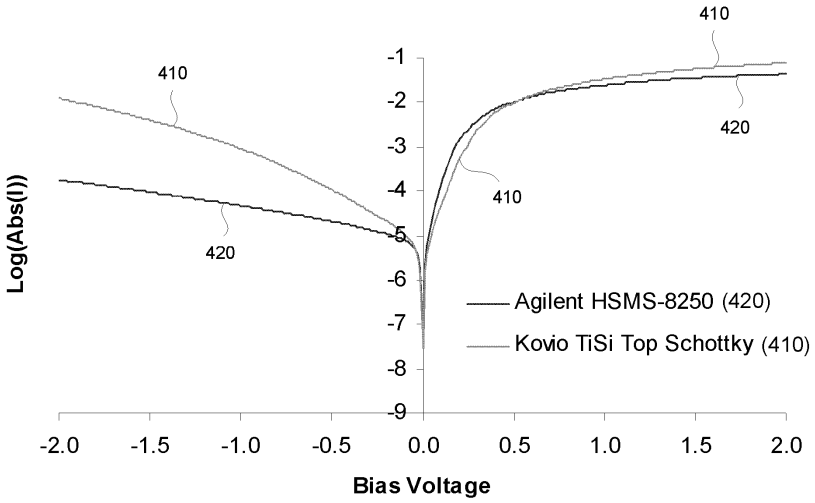
도면6b


UHF
370
디모듈레이터
클록
로직 및
I/O 제어
350
UHF → DC
380
메모리
360
모듈레이터
또는 버랙터
355
340'

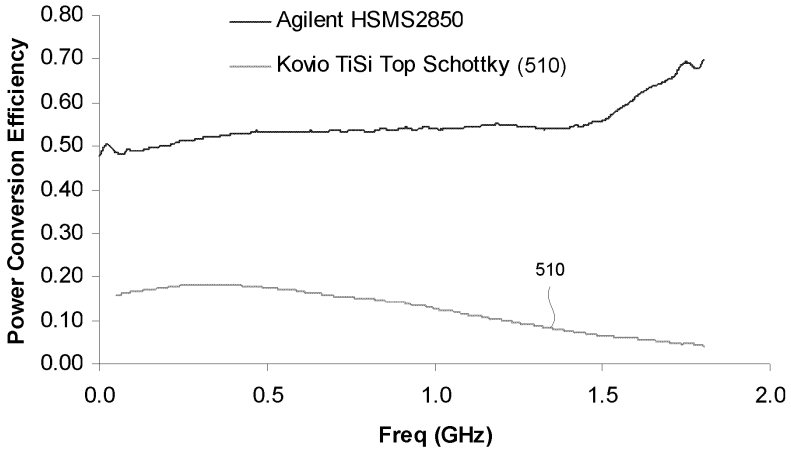
도면7



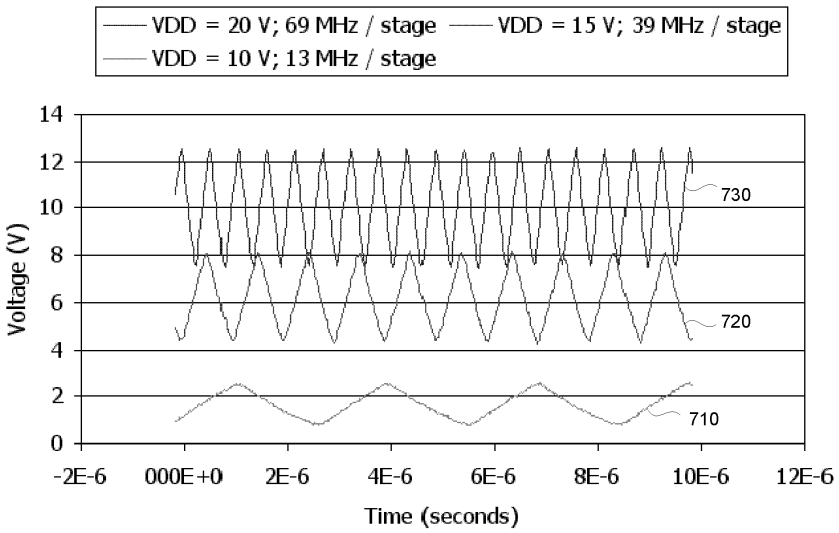
도면8


410
410
420
410
420
Log(Abs(I))
-1
-2
-3
-4
-5
-6
-7
-8
-9
-2.0
-1.5
-1.0
-0.5
0.0
0.5
1.0
1.5
2.0
Bias Voltage
Agilent HSMS-8250 (420)
Kovio TiSi Top Schottky (410)

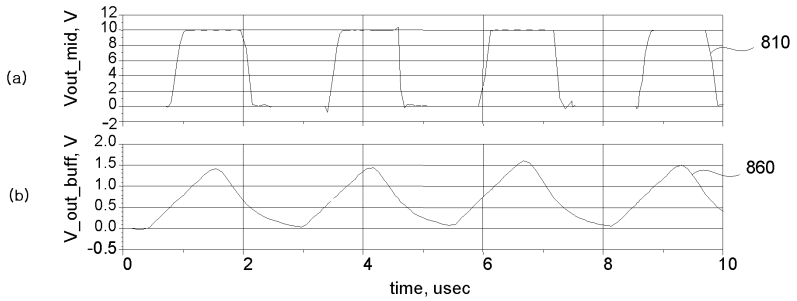
도면9


Agilent HSMS2850
Kovio TiSi Top Schottky (510)
510
Power Conversion Efficiency
0.80
0.70
0.60
0.50
0.40
0.30
0.20
0.10
0.00
0.0
0.5
1.0
1.5
2.0
Freq (GHz)

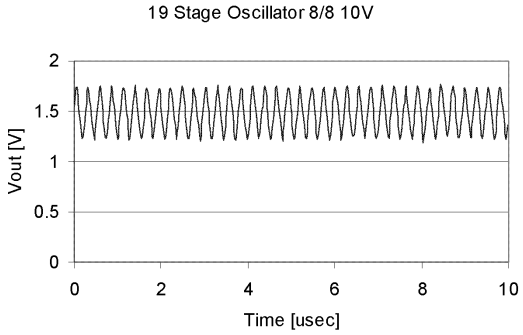
도면10


VDD = 20 V; 69 MHz / stage
VDD = 15 V; 39 MHz / stage
VDD = 10 V; 13 MHz / stage
730
720
710
Voltage (V)
14
12
10
8
6
4
2
0
-2E-6
000E+0
2E-6
4E-6
6E-6
8E-6
10E-6
12E-6
Time (seconds)

도면11



도면12a



도면12b

