

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2017-5774
(P2017-5774A)

(43) 公開日 平成29年1月5日(2017.1.5)

(51) Int.Cl.
H02M 3/155 (2006.01)

F I
H02M 3/155 P

テーマコード (参考)
5H730

審査請求 未請求 請求項の数 22 O L (全 16 頁)

(21) 出願番号	特願2015-113996 (P2015-113996)	(71) 出願人	000116024
(22) 出願日	平成27年6月4日 (2015.6.4)		ローム株式会社
		(74) 代理人	100105924
			弁理士 森下 賢樹
		(74) 代理人	100133215
			弁理士 真家 大樹
		(72) 発明者	熊坂 博之
			京都府京都市右京区西院溝崎町2 1 番地
			ローム株式会社内
		(72) 発明者	鈴川 敦之
			京都府京都市右京区西院溝崎町2 1 番地
			ローム株式会社内

最終頁に続く

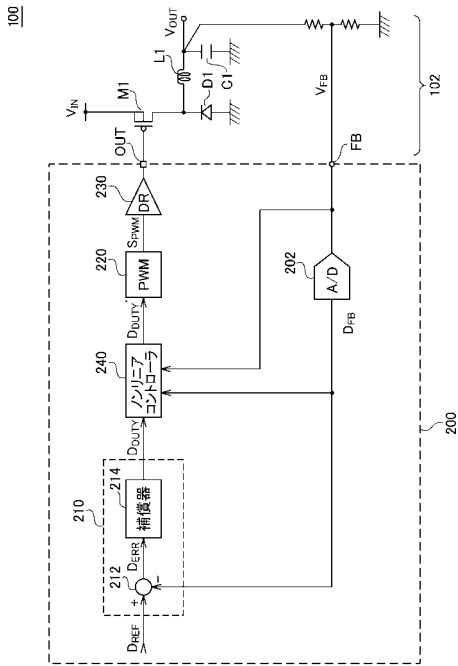
(54) 【発明の名称】 デジタル制御電源回路、その制御回路、制御方法およびそれを用いた電子機器

(57) 【要約】

【課題】 応答性を改善したデジタル制御電源回路を提供する。

【解決手段】 フィードバックコントローラ 2 1 0 は、デジタル制御電源回路 1 0 0 の出力電圧 V_{OUT} に応じたデジタルのフィードバック値 D_{FB} がその目標値 D_{REF} に近づくように、デジタルのデューティ指令値 D_{DUTY} を生成する。パルス発生器 2 2 0 は、デューティ指令値 D_{DUTY} に応じたデューティ比を有するパルス信号 S_{PWM} を生成する。ノンリニアコントローラ 2 4 0 は、出力電圧 V_{OUT} の変動を検出すると、パルス信号 S_{PWM} のパルス幅を補正する。ドライバ 2 3 0 は、パルス信号 S_{PWM} に応じて、スイッチングトランジスタ $M1$ を駆動する。

【選択図】 図 3



【特許請求の範囲】**【請求項 1】**

デジタル制御電源回路の制御回路であって、

前記デジタル制御電源回路の出力電圧に応じたデジタルのフィードバック値がその目標値に近づくように、デジタルのデューティ指令値を生成するフィードバックコントローラと、

前記デューティ指令値に応じたデューティ比を有するパルス信号を生成するパルス発生器と、

前記出力電圧の変動を検出すると、前記パルス信号のパルス幅を補正するノンリニアコントローラと、

前記パルス信号に応じて、前記デジタル制御電源回路のスイッチング素子を駆動するドライバと、

を備えることを特徴とする制御回路。

【請求項 2】

前記ノンリニアコントローラは、前記出力電圧が正側に変動したとき、前記パルス信号のパルス幅を減少させることを特徴とする請求項 1 に記載の制御回路。

【請求項 3】

前記ノンリニアコントローラは、前記出力電圧が負側に変動したとき、前記パルス信号のパルス幅を増加させることを特徴とする請求項 1 または 2 に記載の制御回路。

【請求項 4】

前記ノンリニアコントローラは、前記出力電圧に応じたアナログのフィードバック電圧を監視し、前記フィードバック電圧の変動幅が所定のしきい値電圧を超えると、前記パルス信号のパルス幅を補正するアナログアシスト回路を含むことを特徴とする請求項 1 から 3 のいずれかに記載の制御回路。

【請求項 5】

前記アナログアシスト回路は、

前記フィードバック電圧の交流成分を前記しきい値電圧と比較するアナログコンパレータと、

前記アナログコンパレータの出力に応じて、前記パルス信号のパルス幅を補正する第 1 補正量生成部と、

を含むことを特徴とする請求項 4 に記載の制御回路。

【請求項 6】

前記第 1 補正量生成部は、前記パルス幅の補正量に相当するデューティ補正値を生成し、前記デューティ指令値を増減させることを特徴とする請求項 5 に記載の制御回路。

【請求項 7】

前記パルス発生器は、前記アナログアシスト回路による前記パルス信号がオフレベルであるオフ時間の間に、前記パルス信号のパルス幅の補正が発生すると、直ちにリセットされることを特徴とする請求項 4 から 6 のいずれかに記載の制御回路。

【請求項 8】

前記ノンリニアコントローラは、1 回、前記パルス信号のパルス幅を補正した後、所定のマスク時間の間、さらなるパルス幅の補正を停止することを特徴とする請求項 1 から 7 のいずれかに記載の制御回路。

【請求項 9】

前記ノンリニアコントローラは、前記フィードバック値を監視し、前記フィードバック値の変動幅が所定のしきい値を超えると、前記パルス信号のパルス幅を補正するデジタルノンリニアコントローラを含むことを特徴とする請求項 1 から 8 のいずれかに記載の制御回路。

【請求項 10】

前記デジタルノンリニアコントローラは、

1 サンプル前の前記フィードバック値と現在の前記フィードバック値の差分を、所

10

20

30

40

50

定のしきい値と比較するデジタルコンパレータと、

前記デジタルコンパレータの出力に応じて、前記パルス信号のパルス幅を補正する第2補正量生成部と、

を含むことを特徴とする請求項9に記載の制御回路。

【請求項11】

前記第2補正量生成部は、前記デューティ指令値を増減させることを特徴とする請求項10に記載の制御回路。

【請求項12】

前記フィードバックコントローラは、

前記フィードバック値とその目標値の誤差を示す誤差信号を生成する誤差検出器と、

前記誤差信号にもとづいて前記デューティ指令値を生成する補償器と、

を含むことを特徴とする請求項1から11のいずれかに記載の制御回路。

【請求項13】

前記誤差検出器は、デジタルコンパレータであり、

前記補償器は、P（比例）制御、I（積分）制御、D制御（微分）の任意の組み合わせにもとづいて前記デューティ指令値を生成することを特徴とする請求項12に記載の制御回路。

【請求項14】

前記ノンリニアコントローラは、前記出力電圧の変動を検出すると、前記デューティ指令値を補正し、

前記パルス発生器は、補正後の前記デューティ指令値に応じて前記パルス信号を生成することを特徴とする請求項1から13のいずれかに記載の制御回路。

【請求項15】

前記ノンリニアコントローラは、前記出力電圧の変動を検出すると、前記パルス信号のパルス幅の補正量に応じた補正パルスを生成し、前記パルス発生器が生成する前記パルス信号に前記補正パルスを合成することにより、パルス幅を補正することを特徴とする請求項1から13のいずれかに記載の制御回路。

【請求項16】

1サイクルあたりの前記パルス信号のパルス幅の補正量は、固定値であることを特徴とする請求項1から15のいずれかに記載の制御回路。

【請求項17】

ひとつの半導体基板に一体集積化されることを特徴とする請求項1から16のいずれかに記載の制御回路。

【請求項18】

請求項1から17のいずれかに記載の制御回路を備えることを特徴とするデジタル制御電源回路。

【請求項19】

請求項18に記載のデジタル制御電源回路を備えることを特徴とする電子機器。

【請求項20】

デジタル制御電源回路の制御方法であって、

前記デジタル制御電源回路の出力電圧に応じたデジタルのフィードバック値を生成するステップと、

前記フィードバック値がその目標値に近づくように、デジタルのデューティ指令値を生成するステップと、

前記デューティ指令値に応じたデューティ比を有するパルス信号を生成するステップと、

前記出力電圧に応じたアナログのフィードバック電圧の変動量がしきい値を超えると、前記パルス信号のパルス幅を補正するステップと、

前記パルス信号に応じて、前記デジタル制御電源回路のスイッチング素子を駆動するステップと、

10

20

30

40

50

を備えることを特徴とする制御方法。

【請求項 2 1】

前記フィードバック値の変動幅が所定のしきい値を超えると、前記デューティ指令値を補正するステップをさらに備えることを特徴とする請求項 2 0 に記載の制御方法。

【請求項 2 2】

デジタル制御電源回路の制御方法であって、

前記デジタル制御電源回路の出力電圧に応じたデジタルのフィードバック値を生成するステップと、

前記フィードバック値がその目標値に近づくように、デジタルのデューティ指令値を生成するステップと、

前記デューティ指令値に応じたデューティ比を有するパルス信号を生成するステップと、

前記フィードバック値の変動幅が所定のしきい値を超えると、前記パルス信号のパルス幅を補正するステップと、

前記パルス信号に応じて、前記デジタル制御電源回路のスイッチング素子を駆動するステップと、

を備えることを特徴とする制御方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、デジタル制御電源回路に関する。

【背景技術】

【0 0 0 2】

与えられた入力電圧よりも高い電圧あるいは低い電圧を生成するために、DC / DC コンバータ（スイッチングレギュレータ）などの電源回路が利用される。こうした電源回路には、アナログ制御方式と、デジタル制御方式が存在する。アナログ制御方式では、電源回路の出力電圧とその目標値の誤差を、誤差増幅器によって増幅し、誤差増幅器の出力に応じてスイッチングのデューティ比を制御することで、出力電圧を目標値に安定化させる。デジタル制御方式では、電源回路の出力電圧を A / D コンバータによってデジタル値に変換し、デジタル信号処理によってスイッチングトランジスタのデューティ比を制御する。

【0 0 0 3】

デジタル制御方式の電源回路（デジタル制御電源回路）は、制御アルゴリズムに制約が少ないため設計の自由度が高く、またソフトウェア的に制御方式や出力電圧の設定値を変更できるという利点がある。また、長期的な運用に際して、各種データの履歴をデジタル値として保持可能という利点もある。

【0 0 0 4】

図 1 は、デジタル制御電源回路のブロック図である。電源回路 1 0 0 r は、出力回路 1 0 2 および制御回路 2 0 0 r を備える。出力回路 1 0 2 は、スイッチングトランジスタ M 1、インダクタ L 1、整流素子 D 1、出力キャパシタ C 1 を含む。

【0 0 0 5】

A / D コンバータ 2 0 2 は、出力電圧 V_{OUT} に応じたフィードバック電圧 V_{FB} をデジタルのフィードバック値 D_{FB} に変換する。フィードバックコントローラ 2 1 0 の誤差検出器 2 1 2 は、デジタルのフィードバック値 D_{FB} とその目標値 D_{REF} の誤差を示す誤差信号 D_{ERR} を生成する。補償器 2 1 4 は、誤差信号 D_{ERR} がゼロに近づくように値が変化するデューティ指令値 D_{DUTY} を生成する。パルス発生器 2 2 0 は、デューティ指令値 D_{DUTY} に応じたデューティ比を有するパルス信号 S_{PWM} を生成する。ドライバ 2 3 0 は、パルス信号 S_{PWM} に応じてスイッチングトランジスタ M 1 をスイッチングする。

【先行技術文献】

10

20

30

40

50

【特許文献】

【0006】

【特許文献1】特開2003-284322号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

図2は、図1の電源回路100rの動作波形図である。時刻 t_1 に負荷電流 I_{OUT} が急激に増加すると、出力キャパシタ C_1 の電荷が放電され、出力電圧 V_{OUT} が低下する。出力電圧 V_{OUT} の変動が、サンプリングされたフィードバック値 D_{FB} に現れるまでには、ある遅延 τ_1 が存在する。またフィードバック値 D_{FB} に出力電圧 V_{OUT} の変動が現れると、誤差信号 D_{ERR} が大きくなるが、誤差信号 D_{ERR} がパルス信号 S_{PWM} のデューティ比に反映されるまでに、演算の遅延 τ_2 が存在する。さらに補償器214の遅延(図2には不図示)により、デューティ比は誤差信号 D_{ERR} に遅れて追従する。

10

【0008】

このように電源回路100rは、出力電圧 V_{OUT} を所定のサンプリングレートでサンプリングすることから、不連続制御となり、サンプリングが不要で連続制御可能なアナログ制御電源回路に比べて、応答性で劣る場合がある。図2の例では、フィードバック電圧 V_{FB} が低下した後、3つ目のパルス P_3 においてようやくデューティ比が変化している。つまりフィードバック電圧 V_{FB} の変動からパルス信号 S_{PWM} のデューティ比が増大するまでに、無視できない大きな応答遅延 τ_{DELAY} が存在し、これにより出力電圧 V_{OUT} の変動が大きくなる。

20

【0009】

本発明はかかる課題に鑑みてなされたものであり、そのある態様の例示的な目的のひとつは、応答性を改善したデジタル制御電源回路およびその制御回路の提供にある。

【課題を解決するための手段】

【0010】

本発明のある態様は、デジタル制御電源回路の制御回路に関する。制御回路は、デジタル制御電源回路の出力電圧に応じたデジタルのフィードバック値がその目標値に近づくように、デジタルのデューティ指令値を生成するフィードバックコントローラと、デューティ指令値に応じたデューティ比を有するパルス信号を生成するパルス発生器と、出力電圧の変動を検出すると、パルス信号のパルス幅を補正するノンリニアコントローラと、パルス信号に応じて、デジタル制御電源回路のスイッチング素子を駆動するドライバと、を備える。

30

【0011】

この態様によると、ノンリニアコントローラによってパルス幅を低遅延で補正することで、出力電圧の変動を抑制できる。

【0012】

ノンリニアコントローラは、出力電圧が正側に変動したとき、パルス信号のパルス幅を減少させてもよい。またノンリニアコントローラは、出力電圧が負側に変動したとき、パルス信号のパルス幅を増加させてもよい。

40

【0013】

ノンリニアコントローラは、出力電圧に応じたアナログのフィードバック電圧を監視し、フィードバック電圧の変動幅が所定のしきい値電圧を超えると、パルス信号のパルス幅を補正するアナログアシスト回路を含んでもよい。

連続制御が可能なアナログ回路を用いることで、サンプリングに依存しない高速な補正が可能となり、応答性を高めることができる。

【0014】

アナログアシスト回路は、フィードバック電圧の交流成分をしきい値電圧と比較するアナログコンパレータと、アナログコンパレータの出力に応じて、パルス信号のパルス幅を補正する第1補正量生成部と、を含んでもよい。

50

【 0 0 1 5 】

第 1 補正量生成部は、パルス幅の補正量に相当するデューティ補正値を生成し、デューティ指令値を増減させてもよい。

デューティ指令値を増減させることで、パルス信号のパルス幅を補正できる。

【 0 0 1 6 】

パルス発生器は、パルス信号がオフレベルであるオフ時間の間に、アナログアシスト回路によるパルス信号のパルス幅の補正が発生すると、直ちにリセットされてもよい。

これにより、次のサイクルで直ちに補正後のパルス幅を有するパルス信号を生成することができ、応答性を高めることができる。

【 0 0 1 7 】

ノンリニアコントローラは、1 回、デューティ指令値を補正した後、所定のマスク時間の間、デューティ指令値の補正を停止してもよい。

これによりデューティ指令値が過補正されて、出力電圧に補正に起因する変動が及ぶのを防止できる。

【 0 0 1 8 】

ノンリニアコントローラは、フィードバック値を監視し、フィードバック値の変動幅が所定のしきい値を超えると、パルス信号のパルス幅を補正するデジタルノンリニアコントローラを含んでもよい。

補償器を介さない高速なデジタル回路によりパルス幅を補正することで、応答性を高めることができる。

【 0 0 1 9 】

デジタルノンリニアコントローラは、1 サンプリング前のフィードバック値と現在のフィードバック値の差分を、所定のしきい値と比較するデジタルコンパレータと、デジタルコンパレータの出力に応じて、パルス信号のパルス幅を補正する第 2 補正量生成部と、を含んでもよい。

【 0 0 2 0 】

第 2 補正量生成部は、パルス幅の補正量に相当するデューティ補正値を生成し、デューティ指令値を増減させてもよい。

【 0 0 2 1 】

フィードバックコントローラは、フィードバック値とその目標値の誤差を示す誤差信号を生成する誤差検出器と、誤差信号にもとづいてデューティ指令値を生成する補償器と、を含んでもよい。

【 0 0 2 2 】

誤差検出器は、デジタルコンパレータであり、補償器は、P（比例）制御、I（積分）制御、D 制御（微分）の任意の組み合わせにもとづいてデューティ指令値を生成してもよい。

【 0 0 2 3 】

ノンリニアコントローラは、出力電圧の変動を検出すると、デューティ指令値を補正してもよい。パルス発生器は、補正後のデューティ指令値に応じてパルス信号を生成してもよい。

【 0 0 2 4 】

ノンリニアコントローラは、出力電圧の変動を検出すると、パルス信号のパルス幅の補正量に応じた補正パルスを生成し、パルス発生器が生成するパルス信号に補正パルスを合成することにより、パルス幅を補正してもよい。

【 0 0 2 5 】

1 サイクルあたりのパルス信号のパルス幅の補正量は、固定値であってもよい。1 サイクルあたりのパルス信号のパルス幅の補正量は、出力電圧の変動量に応じた可変量であってもよい。

【 0 0 2 6 】

制御回路は、ひとつの半導体基板に一体集積化されてもよい。

10

20

30

40

50

「一体集積化」とは、回路の構成要素のすべてが半導体基板上に形成される場合や、回路の主要構成要素が一体集積化される場合が含まれ、回路定数の調節用に一部の抵抗やキャパシタなどが半導体基板の外部に設けられていてもよい。

【００２７】

本発明の別の態様は、デジタル制御電源回路に関する。デジタル制御電源回路は、上述のいずれかの制御回路を備える。

【００２８】

本発明の別の態様は、電子機器に関する。電子機器は、上述のデジタル制御電源回路を備える。

【００２９】

なお、以上の構成要素の任意の組み合わせや、本発明の構成要素や表現を、方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

【発明の効果】

【００３０】

本発明のある態様によれば、デジタル制御電源回路の安定性を改善できる。

【図面の簡単な説明】

【００３１】

【図１】デジタル制御電源回路のブロック図である。

【図２】図１の電源回路の動作波形図である。

【図３】実施の形態に係るデジタル制御電源回路のブロック図である。

【図４】ノンリニアコントローラの構成例を示すブロック図である。

【図５】フィードバックコントローラの構成例を示すブロック図である。

【図６】ノンリニアコントローラによるデューティ比の補正を示す図である。

【図７】図７（ａ）～（ｃ）は、アナログアシスト回路によるデューティ比の補正を示す図である。

【図８】第２変形例に係る制御回路のブロック図である。

【図９】図９（ａ）、（ｂ）は、デジタル制御電源回路を備える電子機器を示すブロック図である。

【発明を実施するための形態】

【００３２】

以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

【００３３】

本明細書において、「部材Ａが、部材Ｂと接続された状態」とは、部材Ａと部材Ｂが物理的に直接的に接続される場合のほか、部材Ａと部材Ｂが、電気的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。また、「部材Ｃが、部材Ａと部材Ｂの間に設けられた状態」とは、部材Ａと部材Ｃ、あるいは部材Ｂと部材Ｃが直接的に接続される場合のほか、電気的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。

【００３４】

図３は、実施の形態に係るデジタル制御電源回路（以下、単に電源回路という）１００のブロック図である。電源回路１００は、制御回路２００および出力回路１０２を備える。

【００３５】

出力回路１０２は、制御回路２００に外付けされるいくつかの回路部品および配線を含む。出力回路１０２は、少なくとも、スイッチングトランジスタＭ１、インダクタＬ１を有する。図３には、降圧ＤＣ／ＤＣコンバータの出力回路が示されており、スイッチング

10

20

30

40

50

トランジスタ M_1 、インダクタ L_1 に加えて、整流素子 D_1 、出力キャパシタ C_1 をさらに有する。スイッチングトランジスタ M_1 のスイッチングに応じて、出力ライン 104 には、入力電圧 V_{IN} を降圧した出力電圧 V_{OUT} が発生する。

【0036】

続いて制御回路 200 を説明する。

【0037】

制御回路 200 は、A/Dコンバータ 202、フィードバックコントローラ 210、パルス発生器 220、ドライバ 230、ノンリニアコントローラ 240 を備え、ひとつの半導体基板に一体集積化された機能 IC (Integrated Circuit) である。制御回路 200 は、汎用マイコンの一部であってもよいし、専用に設計された ASIC (Application Specific IC) であってもよい。また図 3 およびその他の図面に示される各ブロックは、専用のハードウェアで構成してもよいし、ソフトウェアプログラムを実行するプロセッサにより構成してもよい。

【0038】

制御回路 200 のフィードバック (FB) 端子には、出力電圧 V_{OUT} に応じたアナログのフィードバック電圧 V_{FB} が入力される。また出力 (OUT) 端子は、スイッチングトランジスタ M_1 のゲートと接続される。

【0039】

A/Dコンバータ 202 は、(i) デジタル制御電源回路の出力電圧 V_{OUT} に応じた電圧レベルを有するフィードバック電圧 V_{FB} をサンプリングし、デジタルのフィードバック値 D_{FB} に変換する。たとえばフィードバック電圧 V_{FB} は、出力回路 102 の抵抗分圧回路 R_1 、 R_2 によって出力電圧 V_{OUT} を分圧した電圧である。A/Dコンバータ 202 のサンプリング周期は、スイッチングトランジスタ M_1 のスイッチング周期と同一であってもよい。

【0040】

フィードバックコントローラ 210 は、フィードバック値 D_{FB} がその目標値 D_{REF} に近づくように、デジタルのデューティ指令値 D_{DUTY} を生成する。

【0041】

パルス発生器 220 は、デューティ指令値 D_{DUTY} に応じたデューティ比を有するパルス信号 S_{PWM} を生成する。パルス発生器 220 は、デューティ - パルス変換器と把握することができる。ドライバ 230 は、パルス信号 S_{PWM} にもとづいてスイッチングトランジスタ M_1 をスイッチングする。

【0042】

ノンリニアコントローラ 240 は、出力電圧 V_{OUT} の変動を検出すると、パルス信号 S_{PWM} のパルス幅 (オン時間)、つまりデューティ比を補正する。ノンリニアコントローラ 240 は、出力電圧 V_{OUT} が正側に変動したとき、パルス幅 T_{ON} を所定量 ΔT 、減少させ、反対に出力電圧 V_{OUT} が負側に変動したとき、パルス幅 T_{ON} を所定量 ΔT 、増加させる。

【0043】

この実施の形態では、ノンリニアコントローラ 240 は、フィードバックコントローラ 210 が生成したデューティ指令値 D_{DUTY} を補正することにより、パルス幅を補正する。このノンリニアコントローラ 240 は、出力電圧 V_{OUT} が正側に変動したとき、デューティ指令値 D_{DUTY} を減少させ、反対に出力電圧 V_{OUT} が負側に変動したとき、デューティ指令値 D_{DUTY} を増加させてもよい。ノンリニアコントローラ 240 による補正が発生すると、パルス発生器 220 が生成するパルス信号 S_{PWM} のデューティ比は、補正後のデューティ指令値 D_{DUTY}' に応じて設定される。

【0044】

図 4 は、ノンリニアコントローラ 240 の構成例を示すブロック図である。

ノンリニアコントローラ 240 は、アナログアシスト回路 242、デジタルノンリニアコントローラ 244 を含む。

10

20

30

40

50

【 0 0 4 5 】

アナログアシスト回路 2 4 2 は、出力電圧 V_{OUT} に応じたアナログのフィードバック電圧 V_{FB} を監視し、フィードバック電圧 V_{FB} の変動幅が所定のしきい値電圧を超えると、デューティ指令値 D_{DUTY} を補正する。

【 0 0 4 6 】

具体的にはアナログアシスト回路 2 4 2 は、ハイパスフィルタ 2 4 8、アナログコンパレータ $ACMP1$ 、 $ACMP2$ 、第 1 補正量生成部 2 5 0 を含む。ハイパスフィルタ 2 4 8 は、フィードバック電圧 V_{FB} の交流成分を通過させる。ハイパスフィルタ 2 4 8 は、 DC ブロックキャパシタであってもよいし、2 次以上のハイパスフィルタあるいはバンドパスフィルタであってもよい。

10

【 0 0 4 7 】

アナログコンパレータ $ACMP1$ は、フィードバック電圧 V_{FB} の交流成分 V_{AC} を正側のしきい値電圧 V_P と比較する。アナログコンパレータ $ACMP1$ の出力（補正信号という） $S11$ は、交流成分 V_{AC} がしきい値電圧 V_P を超えるとアサート（たとえばハイレベル）される。またアナログコンパレータ $ACMP2$ は、フィードバック電圧 V_{FB} の交流成分を負側のしきい値電圧 V_N と比較する。アナログコンパレータ $ACMP2$ の出力 $S12$ は、交流成分 V_{AC} がしきい値電圧 V_N を下回るとアサート（たとえばハイレベル）される。アナログコンパレータ $ACMP1$ 、アナログコンパレータ $ACMP2$ は、 AC 結合コンパレータと把握することも可能である。

【 0 0 4 8 】

第 1 補正量生成部 2 5 0 は、アナログコンパレータ $ACMP1$ 、 $ACMP2$ の出力 $S11$ 、 $S12$ に応じて、補正值 D_{CORR1} を生成する。たとえば第 1 補正量生成部 2 5 0 は、信号 $S11$ がアサートされると、負の補正值 D_{CORR1} を出力し、信号 $S12$ がアサートされると、正の補正值 D_{CORR1} を出力してもよい。補正值 D_{CORR1} は、レジスタにより設定可能な固定値であってもよい。加減算器 2 4 6 は、フィードバックコントローラ 2 1 0 からのデューティ指令値 D_{DUTY} に、補正值 D_{CORR1} を加算（もしくは減算）し、デューティ指令値 D_{DUTY} を補正する。

20

【 0 0 4 9 】

デジタルノンリニアコントローラ 2 4 4 は、デジタルのフィードバック値 D_{FB} を監視し、フィードバック値 D_{FB} の変動幅 ΔD_{FB} が所定のしきい値を超えると、デューティ指令値 D_{DUTY} を補正する。

30

【 0 0 5 0 】

デジタルノンリニアコントローラ 2 4 4 は、差分検出器 2 5 2、デジタルコンパレータ $DCMP1$ 、 $DCMP2$ 、第 2 補正量生成部 2 5 8 を含む。

【 0 0 5 1 】

差分検出器 2 5 2 は、1 サンプリング前のフィードバック値 D_{FB}' と現在のフィードバック値 D_{FB} の差分 ΔD_{FB} を生成する。この差分 ΔD_{FB} は、フィードバック値 D_{FB} の変動幅 ΔD_{FB} に相当し、またフィードバック値 D_{FB} の傾きと把握することもできる。差分検出器 2 5 2 は、遅延器 2 5 4 と減算器 2 5 6 とで構成できる。

【 0 0 5 2 】

デジタルコンパレータ $DCMP1$ は、差分 ΔD_{FB} を所定の正側のしきい値 D_P と比較する。デジタルコンパレータ $DCMP1$ の出力（補正信号） $S21$ は、変動幅 ΔD_{FB} がしきい値 D_P を超えるとアサート（たとえば 1）される。またデジタルコンパレータ $DCMP2$ は、差分 ΔD_{FB} を所定の負側のしきい値 D_N と比較する。デジタルコンパレータ $DCMP2$ の出力 $S22$ は、変動幅 ΔD_{FB} がしきい値 D_N を下回るとアサート（たとえば 1）される。

40

【 0 0 5 3 】

第 2 補正量生成部 2 5 8 は、デジタルコンパレータ $DCMP1$ 、 $DCMP2$ の出力 $S21$ 、 $S22$ に応じて、補正值 D_{CORR2} を生成する。たとえば第 2 補正量生成部 2 5 8 は、信号 $S21$ がアサートされると、負の補正值 D_{CORR2} を出力し、信号 $S22$ がア

50

サートされると、正の補正值 D_{CORR2} を出力してもよい。補正值 D_{CORR2} は、レジスタにより設定された固定値であってもよい。加減算器 246 は、フィードバックコントローラ 210 からのデューティ指令値 D_{DUTY} に、補正值 D_{CORR2} を加算（もしくは減算）し、デューティ指令値 D_{DUTY} を補正する。

【0054】

ノンリニアコントローラ 240 は、デューティ比の補正を 1 回行った後は、その後、所定のマスク時間 T_{MSK} の間、デューティ比の補正を停止する。具体的には、アナログアシスト回路 242 による補正が行われた後、マスク時間 T_{MSK} の間、アナログアシスト回路 242 およびデジタルノンリニアコントローラ 244 によるデューティ比の補正值 C_{CORR1} 、 D_{CORR2} は、補正信号 $S11$ 、 $S12$ 、 $S21$ 、 $S22$ にかかわらずゼロとなる。マスク時間 T_{MSK} の長さは特に限定されないがたとえば PWM の 1 周期～数周期としてもよい。

10

【0055】

図 5 は、フィードバックコントローラ 210 の構成例を示すブロック図である。誤差検出器 212 は、デジタルのフィードバック値 D_{FB} を、その目標値 D_{REF} と比較するデジタルコンパレータである。補償器 214 は、PID（比例・積分・微分）補償器 216 と、ビットシフタ 218 を含む。PID 補償器 216 の Z^{-1} は遅延器を、 $K_0 \sim K_2$ は係数乗算器を表す。ビットシフタ 218 は PID 補償器 216 の出力の下位ビットを切り捨て、後段のパルス発生器 220 のビット幅に適合させる。

【0056】

以上が実施の形態に係る制御回路 200 を備える電源回路 100 の構成である。

20

【0057】

図 6 は、ノンリニアコントローラ 240 によるデューティ比の補正を示す図である。ここでは、図 2 と同じ負荷変動を考える。図 6 の破線のフィードバック電圧 V_{FB} は、図 2 に示す従来の電源回路 100r のそれであり、図 6 の S_{PWM}' は、図 2 に示す従来の電源回路 100r のそれである。

【0058】

ここではアナログアシスト回路 242 による補正を説明する。フィードバック電圧 V_{FB} が低下すると、その交流成分 V_{AC} が変動し、時刻 t_2 にアナログアシスト回路 242 において補正信号 $S12$ がアサートされる。補正信号 $S12$ のアサートに応答して、時刻 t_1 の後の 1 つめのパルス $P1$ において直ちに正の補正值 D_{CORR} が出力され、パルス $P1$ のデューティ比（パルス幅） D_{DUTY}' が、フィードバックコントローラ 210 が指示するデューティ指令値 D_{DUTY} よりも、補正值 C_{CORR} 分だけ大きくなる。その結果、スイッチングトランジスタ $M1$ のオン時間が長くなり、従来の電源回路 100r よりも、インダクタ $L1$ から出力キャパシタ $C1$ に供給される電流量が増大する。これにより、フィードバック電圧 V_{FB} （つまり出力電圧 V_{OUT} ）の低下が抑制される。

30

【0059】

続く 2 番目のパルス $P2$ の周期においても引き続き補正信号 $S12$ はアサートされているが、パルス $P1$ の補正の後、マスク時間 T_{MSK} の間、補正は行われない。続く 3 番目のパルス $P3$ の周期では、マスク時間 T_{MSK} は終了しているため、再びデューティ比が補正される。

40

【0060】

出力電圧 V_{OUT} が上昇した場合には、アナログアシスト回路 242 によって、パルス信号 S_{PWM} のパルス幅が直ちに狭められ、上昇が抑制される。デジタルノンリニアコントローラ 244 による補正も、アナログアシスト回路 242 と同様に行われる。

【0061】

ノンリニアコントローラ 240 のさらなる特徴を説明する。

図 7 (a) ~ (c) は、アナログアシスト回路 242 によるデューティ比の補正を示す図である。図 7 (a) は、パルス信号 S_{PWM} がハイレベルの期間（オン時間 T_{ON} ）において、デューティ比の補正（補正信号 $S11$ 、 $S12$ のアサート）が発生した場合であ

50

る。この場合、現在出力しているパルス信号 S_{PWM} のトレイリングエッジ（ネガティブエッジ）が遅延、もしくは速められて、パルス幅（デューティ比）が補正される。

【 0 0 6 2 】

図 7 (b) は、パルス信号 S_{PWM} がローレベルの期間（オフ時間 T_{OFF} ）において、デューティ比の補正が発生した場合である。この場合、補正信号 S_{12} のアサートに応じてパルス発生器 220 の周期をリセットし、直ちに次のサイクル T_2 のパルスの生成を開始する。

【 0 0 6 3 】

図 7 (c) は、オフ区間 T_{OFF} にデューティ比の補正が発生した場合に、パルス発生器 220 をリセットしない場合の動作である。この場合、デューティ比が補正されるまでに遅延 τ_d が発生し、アナログアシスト回路 242 の利点である高速応答性が損なわれる。図 7 (b) のようにパルス発生器 220 の周期をリセットすることで、直ちに、デューティ比を補正したパルス信号を生成することができ、応答性を速めることができる。

【 0 0 6 4 】

以上、本発明について、実施の形態をもとに説明した。この実施の形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。以下、こうした変形例について説明する。

【 0 0 6 5 】

（第 1 変形例）

実施の形態では、ノンリニアコントローラ 240 に関して、アナログアシスト回路 242 とデジタルノンリニアコントローラ 244 のハイブリッド回路を説明したが、アナログアシスト回路 242 のみ、あるいはデジタルノンリニアコントローラ 244 のみで構成してもよい。

【 0 0 6 6 】

（第 2 変形例）

実施の形態では、ノンリニアコントローラ 240 によるパルス信号 S_{PWM} のパルス幅の補正として、デューティ指令値 D_{DUTY} に、デューティ補正值 D_{CORR} を加減算する方式を採用したが、本発明はそれに限定されない。

図 8 は、第 2 変形例に係る制御回路 200 a のブロック図である。ノンリニアコントローラ 240 は、出力電圧 V_{OUT} の変動を検出すると、パルス信号 S_{PWM} のパルス幅の補正量 ΔT に応じた補正パルス S_{CORR} を生成し、パルス発生器 220 が生成するパルス信号 S_{PWM} に補正パルス S_{CORR} を合成することにより、パルス幅が補正されたパルス信号 S_{PWM}' を生成する。

【 0 0 6 7 】

この変形例では、パルス合成器 247 は論理ゲートの組み合わせで構成できる。たとえば、パルス幅を伸ばしたい場合には、論理和（OR）ゲートを用いればよい。反対にパルス幅を縮めたい場合には、短縮すべき時間区間の間、ローレベルとなる補正パルス S_{CORR} を生成し、補正パルス S_{CORR} とパルス信号 S_{PWM} の論理積（AND）を演算してもよい。本発明においてパルス幅を補正する方式は限定されず、さまざまな変形例が存在しうる。

【 0 0 6 8 】

（第 3 変形例）

図 5 のフィードバックコントローラ 210 も例示に過ぎない。誤差検出器 212 としては、減算器を用いてもよい。また補償器 214 としては、PID 補償器に代えて、P 補償器、PI 補償器など、P（比例）制御、I（積分）制御、D 制御（微分）の任意の組み合わせの補償器を用いることができる。

【 0 0 6 9 】

（第 4 変形例）

実施の形態では、降圧 DC / DC コンバータを説明したが、出力回路 102 のトポロジ

10

20

30

40

50

ーは特に限定されない。たとえば整流素子 D 1 の代わりに同期整流トランジスタを備えてもよい。あるいは出力回路 102 は、昇圧型、昇降圧型、電圧反転型のコンバータであってもよいし、インダクタに代えてトランスを利用したコンバータであってもよい。

【0070】

(第5変形例)

実施の形態では、ノンリニアコントローラ 240 によるパルス幅の補正として、パルス幅の増加、減少の両方をサポートしたが、いずれか一方のみとしてもよい。出力電圧 V_{OUT} のアンダーシュートが問題となるアプリケーションでは、パルス幅を増加させる機能のみとし、出力電圧 V_{OUT} のオーバーシュートが問題となるアプリケーションでは、パルス幅を減少させる機能のみを実装してもよい。

10

【0071】

(第6変形例)

図4のデジタルノンリニアコントローラ 244 では、デジタルのフィードバック値 D_{FB} の変動量(傾き)にもとづいてパルス信号 S_{PWM} を補正したが、本発明はそれに限定されない。デジタルノンリニアコントローラ 244 は、フィードバック値 D_{FB} の傾きの変化量にもとづいて、パルス幅を補正してもよい。

【0072】

(電源回路の用途)

最後に、電源回路 100 の用途を説明する。図9(a)、(b)は、電源回路 100 を備える電子機器を示すブロック図である。図9(a)の電子機器 1a は、商用交流電源 4 からの交流電圧を整流するブリッジ回路 6 と、平滑キャパシタ 8 と、上述の電源回路 100 と、負荷 9 を備える。この場合、電源回路 100 としては、非絶縁型の降圧、昇圧、あるいは昇降圧コンバータなどが好適に利用できる。負荷 9 は、たとえば FPG A (Field Programmable Gate Array)、CPU (Central Processing Unit)、GPU (Graphics Processing Unit)、各種マイコンなどが想定されるが、特に限定されない。電子機器 1a は、たとえば移動体通信用の基地局、テレビや PC、冷蔵庫などの家電製品、ファクシミリやコピー機などの OA 機器、工作機械、などが例示される。

20

【0073】

図9(b)の電子機器 1b は、電池 3 と、電池の電圧を受ける上述の電源回路 100 と、負荷 9 を備える。こうした電子機器 1b としては、携帯電話端末、タブレット PC、デジタルカメラ、デジタルビデオカメラなどのが例示される。たとえば負荷 9 は、マイコンやメモリ、液晶ドライバや、液晶バックライト用 LED、カメラのフラッシュ用 LED などであってもよい。

30

【0074】

実施の形態にもとづき、特定の語句を用いて本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が可能である。

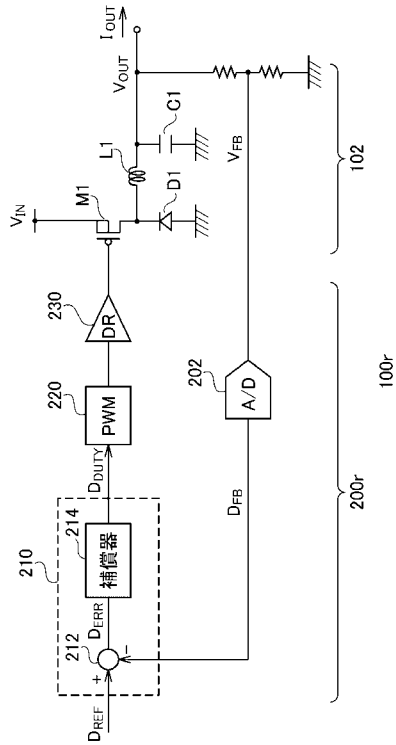
【符号の説明】

【0075】

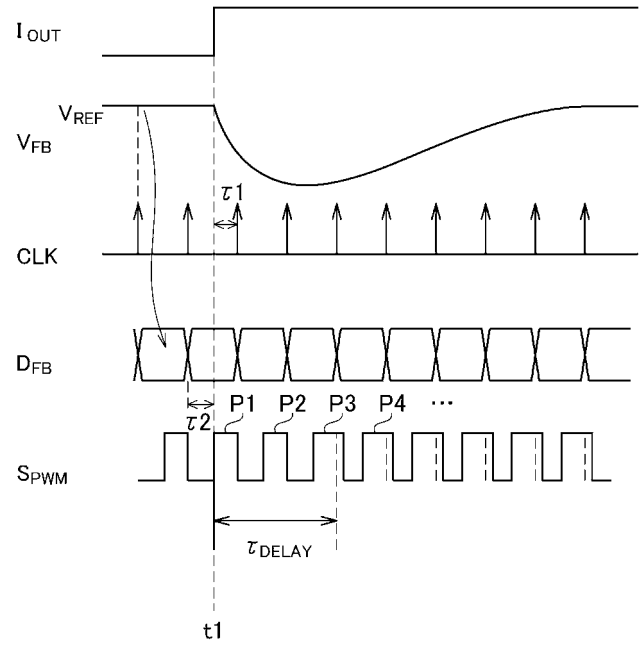
100 ... 電源回路、102 ... 出力回路、200 ... 制御回路、202 ... A/D コンバータ、210 ... フィードバックコントローラ、212 ... 誤差検出器、214 ... 補償器、216 ... PID 補償器、218 ... ビットシフタ、220 ... パルス発生器、230 ... ドライバ、240 ... ノンリニアコントローラ、242 ... アナログアシスト回路、244 ... デジタルノンリニアコントローラ、246 ... 加減算器、248 ... ハイパスフィルタ、ACMP1, ACMP2 ... アナログコンパレータ、250 ... 第1補正量生成部、252 ... 差分検出器、254 ... 遅延器、256 ... 減算器、DCMP1, DCMP2 ... デジタルコンパレータ、258 ... 第2補正量生成部、M1 ... スイッチングトランジスタ、L1 ... インダクタ、D1 ... 整流素子、C1 ... 出力キャパシタ。

40

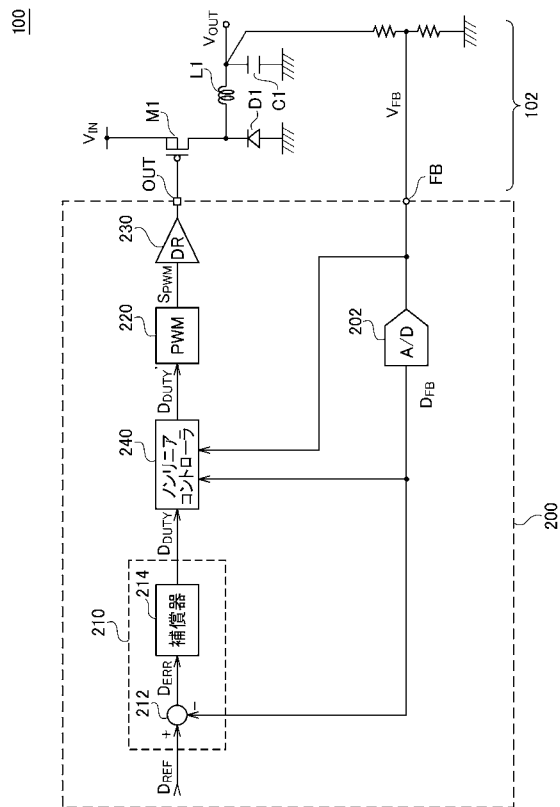
【図 1】



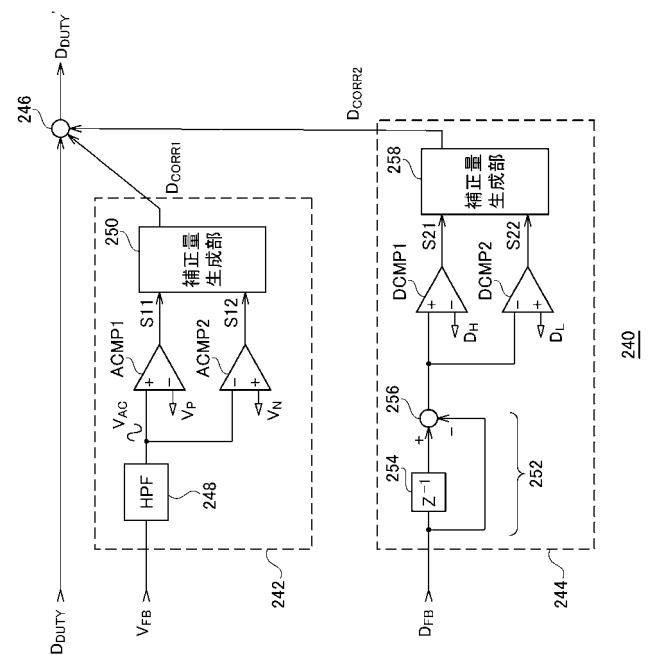
【図 2】



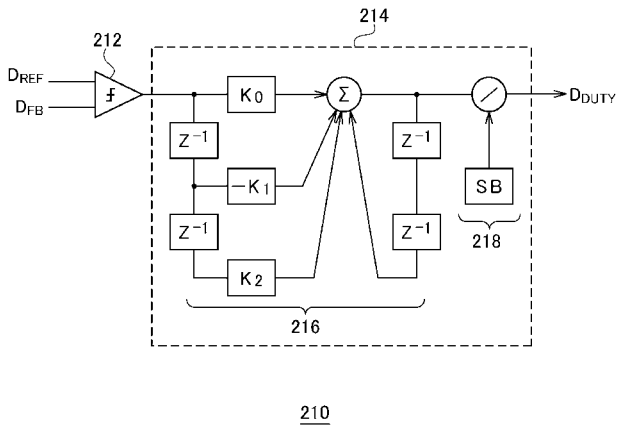
【図 3】



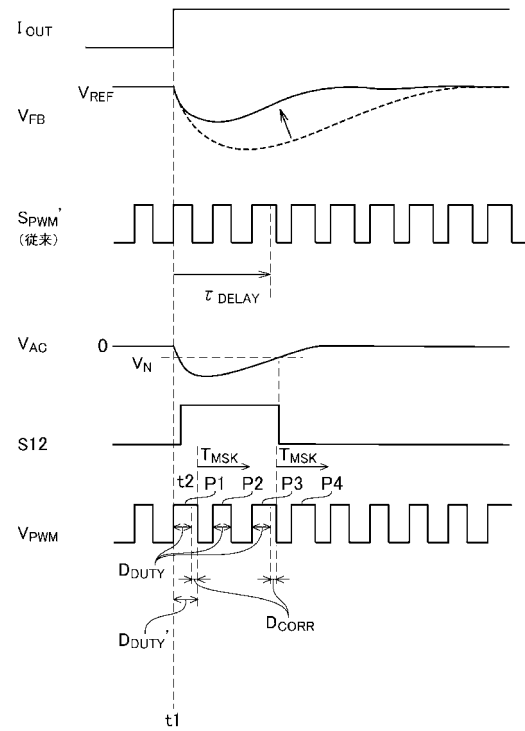
【図 4】



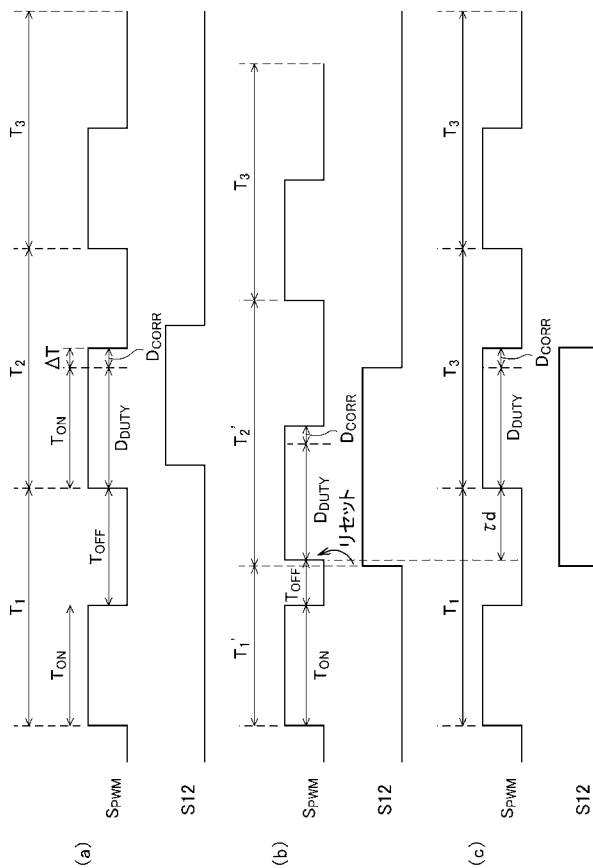
【 図 5 】



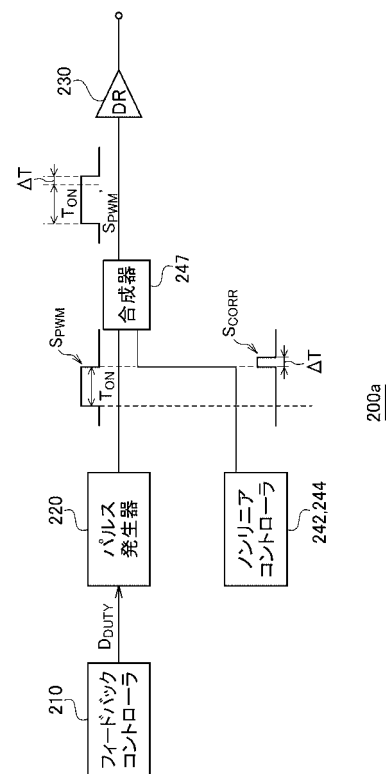
【 図 6 】



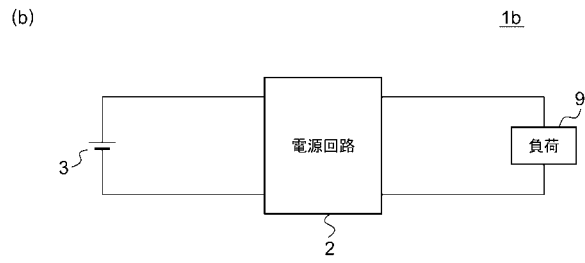
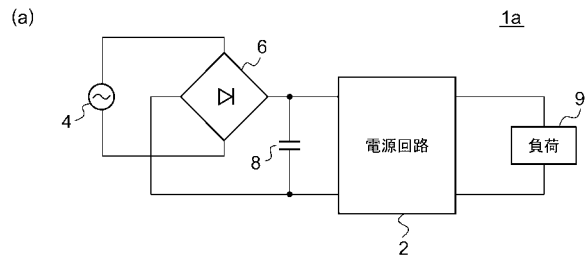
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(72)発明者 坂野 佳久

京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

(72)発明者 堀内 幸人

京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

F ターム(参考) 5H730 AA04 AS01 AS05 BB13 DD04 EE58 EE59 FD01 FF06 FG05
FG11 FV09