



(12) 发明专利

(10) 授权公告号 CN 101593736 B

(45) 授权公告日 2013.06.05

(21) 申请号 200910202967.7

H01L 23/31 (2006.01)

(22) 申请日 2009.05.22

H01L 25/00 (2006.01)

H01L 21/50 (2006.01)

(30) 优先权数据

2008-139680 2008.05.28 JP

(73) 专利权人 瑞萨电子株式会社

地址 日本神奈川县

(72) 发明人 冈田三香子 石川智和

(74) 专利代理机构 北京律盟知识产权代理有限公司
责任公司 11287

代理人 刘国伟

(56) 对比文件

US 6900551 B2, 2005.05.31, 说明书第4栏
41行至第7栏第19行、说明书附图2.JP 特开 2003-86941 A, 2003.03.20, 说明书
第3至5页、说明书附图2.

CN 1565150 A, 2005.01.12, 全文.

审查员 周忠堂

(51) Int. Cl.

H01L 23/12 (2006.01)

H01L 23/488 (2006.01)

H01L 23/482 (2006.01)

H01L 23/52 (2006.01)

H01L 23/48 (2006.01)

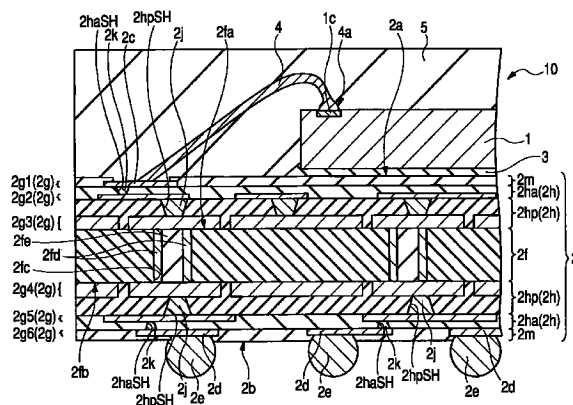
权利要求书5页 说明书33页 附图76页

(54) 发明名称

半导体装置及其制造方法

(57) 摘要

本发明是关于一种半导体装置,其课题是要降低半导体装置的安装高度。布线基板2含有形成有多个接合引线2c的上表面2a及形成有多个焊盘2d的下表面2b,并且是在布线基板2的芯材2f的上下表面2fa、2fb侧的各个上交替形成有多个布线层2g及多个绝缘层2h的多层布线基板。接合引线2c是由最上层的布线层2g1的一部分所构成,焊盘2d是由最下层的布线层2g6的一部分所构成。绝缘层2h包括含有纤维及树脂的第2绝缘层2hp、及纤维含量少于第2绝缘层2hp的第3绝缘层2ha。第2绝缘层2hp分别形成于芯材2f的上下表面2fa、2fb侧,第3绝缘层2ha经由第2绝缘层2hp而分别形成于芯材2f的上下表面2fa、2fb侧,布线层2g1及布线层2g6形成于第3绝缘层2ha上。



1. 一种半导体装置,其特征在于,

包括:

布线基板,其含有形成有多个接合引线的上表面、及位于与所述上表面相反一侧且形成有多个焊盘的下表面;

半导体芯片,其含有形成有多个焊垫的主面,并搭载在所述布线基板的上表面上;

多个导电性构件,其将所述半导体芯片的所述多个焊垫、与所述布线基板的所述多个接合引线分别电性连接;以及

多个外部端子,其分别连接于所述布线基板的所述多个焊盘,

所述布线基板包含芯材,该芯材含有位于所述布线基板上表面侧的上表面、及位于所述布线基板下表面侧的下表面;

所述布线基板是在所述芯材的所述上下表面侧的各个上交替形成有多个布线层及多个绝缘层的多层布线基板;

所述多个接合引线是由所述多个布线层中最上层的布线层的一部分所构成;

所述多个焊盘是由所述多个布线层中最下层的布线层的一部分所构成;

所述芯材是含有纤维及树脂的第1绝缘层;

所述多个绝缘层包括含有纤维及树脂的第2绝缘层、以及纤维含量分别少于所述第1绝缘层及所述第2绝缘层的第3绝缘层;

所述第2绝缘层分别形成于所述芯材的所述上下表面侧;

所述第3绝缘层经由所述第2绝缘层而分别形成于所述芯材的所述上下表面侧;

所述最上层的布线层及所述最下层的布线层分别形成于所述第3绝缘层上,其中所述多个布线层分别在所述芯材的所述上下表面侧各形成有3层,并且所述第1绝缘层的厚度厚于所述第2绝缘层的厚度,所述第2绝缘层的厚度厚于所述第3绝缘层的厚度。

2. 根据权利要求1所述的半导体装置,其特征在于:

在所述半导体芯片的所述主面上,形成有对从外部设备所供给的信号进行转换的运算处理电路;

所述多个焊垫含有:第1界面用焊垫,其与所述运算处理电路电性连接,并输入从所述外部设备所供给的所述信号;第2界面用焊垫,其与所述运算处理电路电性连接,并输出通过所述运算处理电路所转换的信号;电源电位用焊垫,其输入从所述外部设备所供给的电源电位;及基准电位用焊垫,其输入从所述外部设备所供给的基准电位;

所述多个布线层含有所述信号所流动的第1布线图案、所述电源电位所流动的第2布线图案、及所述基准电位所流动的第3布线图案;

所述第1布线图案、所述第2布线图案及所述第3布线图案分别以如下方式而形成:在所述最上层的布线层及所述最下层的布线层上,使所述第1布线图案的总面积大于所述第2布线图案及所述第3布线图案的总面积;在除所述最上层的布线层及所述最下层的布线层以外的布线层上,使所述第2布线图案的总面积或者所述第3布线图案的总面积大于所述第1布线图案的总面积。

3. 根据权利要求2所述的半导体装置,其特征在于:

所述半导体芯片是以使所述主面与所述布线基板的所述上表面相对的方式搭载在所述布线基板的所述上表面上;

所述半导体芯片的所述多个焊垫与所述布线基板的所述多个接合引线是经由多个凸块电极而分别电性连接。

4. 根据权利要求 3 所述的半导体装置,其特征在于:

在所述半导体芯片的所述主面与所述布线基板的所述上表面之间,形成有将所述多个凸块电极进行密封的密封体。

5. 根据权利要求 2 所述的半导体装置,其特征在于:

所述半导体芯片是以使位于与所述主面相反一侧的背面与所述布线基板的所述上表面相对的方式,搭载在所述布线基板的所述上表面上;

所述半导体芯片的所述多个焊垫与所述布线基板的所述多个接合引线是经由多个导线而分别电性连接。

6. 根据权利要求 5 所述的半导体装置,其特征在于:

在所述布线基板的所述上表面上,形成有将所述半导体芯片及所述多个导线进行密封的密封体。

7. 一种半导体装置,其特征在于,

包括:

布线基板,其含有上表面及下表面,其中,所述上表面形成有多个第 1 接合引线、及配置在所述多个第 1 接合引线周围的多个第 2 接合引线,所述下表面位于与所述上表面相反的一侧,且形成有多个焊盘;

第 1 半导体芯片,其含有形成有多个第 1 焊垫的第 1 主面、及位于与所述第 1 主面相反一侧的第 1 背面,且以使所述第 1 主面与所述布线基板的所述上表面相对的方式搭载在所述布线基板的上表面上;

第 2 半导体芯片,其含有形成有多个第 2 焊垫的第 2 主面、及位于与所述第 2 主面相反一侧的第 2 背面,且以使所述第 2 背面与所述第 1 半导体芯片的所述第 1 背面相对的方式搭载在所述第 1 半导体芯片上;

多个第 1 导电性构件,其将所述第 1 半导体芯片的所述多个第 1 焊垫、与所述布线基板的所述多个第 1 接合引线分别电性连接;

多个第 2 导电性构件,其将所述第 2 半导体芯片的所述多个第 2 焊垫、与所述布线基板的所述多个第 2 接合引线分别电性连接;

第 1 密封体,其形成于所述第 1 半导体芯片的所述第 1 主面与所述布线基板的所述上表面之间,将所述多个第 1 导电性构件进行密封;

第 2 密封体,其以将所述第 1 半导体芯片、所述第 2 半导体芯片、及所述多个第 2 导电性构件进行密封的方式,形成于所述布线基板的所述上表面上;以及

多个外部端子,其分别连接于所述布线基板的所述多个焊盘;

所述布线基板包含芯材,该芯材含有位于所述布线基板上表面侧的上表面、及位于所述布线基板下表面侧的下表面;

所述布线基板是在所述芯材的所述上下表面侧的各个上交替形成有多个布线层及多个绝缘层的多层布线基板;

所述多个第 1 接合引线及所述多个第 2 接合引线是由所述多个布线层中最上层的布线层的一部分所构成;

所述多个焊盘是由所述多个布线层中最下层的布线层的一部分所构成；

所述芯材是含有纤维及树脂的第 1 绝缘层；

所述多个绝缘层包括含有纤维及树脂的第 2 绝缘层、以及纤维含量分别少于所述第 1 绝缘层及所述第 2 绝缘层的第 3 绝缘层；

所述第 2 绝缘层分别形成于所述芯材的所述上下表面侧；

所述第 3 绝缘层经由所述第 2 绝缘层而分别形成于所述芯材的所述上下表面侧；

所述最上层的布线层及所述最下层的布线层分别形成于所述第 3 绝缘层上，其中所述多个布线层分别在所述芯材的所述上下表面侧各形成有 3 层，并且所述第 1 绝缘层的厚度厚于所述第 2 绝缘层的厚度，所述第 2 绝缘层的厚度厚于所述第 3 绝缘层的厚度。

8. 根据权利要求 7 所述的半导体装置，其特征在于：

在所述第 1 半导体芯片的所述第 1 主面上，形成有对从外部设备所供给的信号进行转换的运算处理电路；

在所述第 2 半导体芯片的所述第 2 主面上，形成有存储电路；

所述多个第 1 焊垫含有：第 1 界面用焊垫，其与所述运算处理电路电性连接，并输入从所述外部设备所供给的所述信号；第 2 界面用焊垫，其与所述运算处理电路电性连接，并输出通过所述运算处理电路所转换的信号；电源电位用焊垫，其输入从所述外部设备所供给的电源电位；及基准电位用焊垫，其输入从所述外部设备所供给的基准电位；

所述多个布线层含有所述信号所流动的第 1 布线图案、所述电源电位所流动的第 2 布线图案、及所述基准电位所流动的第 3 布线图案；

所述第 1 布线图案、所述第 2 布线图案及所述第 3 布线图案分别以如下方式而形成：在所述最上层的布线层及所述最下层的布线层上，使所述第 1 布线图案的总面积大于所述第 2 布线图案及所述第 3 布线图案的总面积；在除所述最上层的布线层及所述最下层的布线层以外的布线层上，使所述第 2 布线图案的总面积或者所述第 3 布线图案的总面积大于所述第 1 布线图案的总面积。

9. 一种半导体装置的制造方法，其特征在于，

包括以下工序：

(a) 准备布线基板，该布线基板含有形成有多个接合引线的上表面、及位于与所述上表面相反一侧且形成有多个焊盘的下表面；

(b) 将含有主面、形成于所述主面上的多个焊垫、分别连接于所述多个焊垫的多个凸块电极、及位于与所述主面相反一侧的背面的半导体芯片，以使所述主面与所述布线基板的上表面相对的方式搭载在所述布线基板的上表面上；

(c) 在对所述布线基板及所述半导体芯片施加了热的状态下，用夹具挤压所述半导体芯片的所述背面，将所述多个凸块电极与所述多个接合引线分别电性连接；以及

(d) 将多个外部端子分别连接于所述布线基板的所述多个焊盘上；此处，

所述布线基板包含芯材，该芯材含有位于所述布线基板上表面侧的上表面、及位于所述布线基板下表面侧的下表面；

所述布线基板是在所述芯材的所述上下表面侧的各个上交替形成有多个布线层及多个绝缘层的多层布线基板；

所述多个接合引线是由所述多个布线层中最上层的布线层的一部分所构成；

所述多个焊盘是由所述多个布线层中最下层的布线层的一部分所构成；

所述芯材是含有纤维及树脂的第 1 绝缘层；

所述多个绝缘层包括含有纤维及树脂的第 2 绝缘层、以及纤维含量分别少于所述第 1 绝缘层及所述第 2 绝缘层的第 3 绝缘层；

所述第 2 绝缘层分别形成于所述芯材的所述上下表面侧；

所述第 3 绝缘层经由所述第 2 绝缘层而分别形成于所述芯材的所述上下表面侧；

所述最上层的布线层及所述最下层的布线层分别形成于所述第 3 绝缘层上，其中所述多个布线层分别在所述芯材的所述上下表面侧各形成有 3 层，并且所述第 1 绝缘层的厚度厚于所述第 2 绝缘层的厚度，所述第 2 绝缘层的厚度厚于所述第 3 绝缘层的厚度。

10. 根据权利要求 9 所述的半导体装置的制造方法，其特征在于：

在所述半导体芯片的所述主面上，形成有对从外部设备所供给的信号进行转换的运算处理电路；

所述多个焊垫含有：第 1 界面用焊垫，其与所述运算处理电路电性连接，并输入从所述外部设备所供给的所述信号；第 2 界面用焊垫，其与所述运算处理电路电性连接，并输出通过所述运算处理电路所转换的信号；电源电位用焊垫，其输入从所述外部设备所供给的电源电位；及基准电位用焊垫，其输入从所述外部设备所供给的基准电位；

所述多个布线层含有所述信号所流动的第 1 布线图案、所述电源电位所流动的第 2 布线图案、及所述基准电位所流动的第 3 布线图案；

所述第 1 布线图案、所述第 2 布线图案及所述第 3 布线图案分别以如下方式而形成：在所述最上层的布线层及所述最下层的布线层上，使所述第 1 布线图案的总面积大于所述第 2 布线图案及所述第 3 布线图案的总面积；在除所述最上层的布线层及所述最下层的布线层以外的布线层上，使所述第 2 布线图案的总面积或者所述第 3 布线图案的总面积大于所述第 1 布线图案的总面积。

11. 根据权利要求 10 所述的半导体装置的制造方法，其特征在于：

在所述 (c) 工序之后、且所述 (d) 工序之前，在所述施加了热的状态下，向所述半导体芯片的所述主面与所述布线基板的所述上表面之间供给树脂，形成将所述多个凸块电极进行密封的密封体。

12. 一种半导体装置的制造方法，其特征在于，

包括以下工序：

(a) 准备布线基板，该布线基板含有上表面及下表面，其中，所述上表面形成有多个第 1 接合引线、及配置在所述多个第 1 接合引线周围的多个第 2 接合引线，所述下表面位于与所述上表面相反的一侧，且形成有多个焊盘；

(b) 将含有形成有多个第 1 焊垫的第 1 主面及位于与所述第 1 主面相反一侧的第 1 背面的第 1 半导体芯片，以使所述第 1 主面与所述布线基板的上表面相对的方式搭载在所述布线基板的上表面上；

(c) 在对所述布线基板及所述半导体芯片施加了热的状态下，用夹具挤压所述半导体芯片的所述背面，将所述多个凸块电极与所述多个第 1 接合引线分别电性连接；

(d) 将含有形成有多个第 2 焊垫的第 2 主面及位于与所述第 2 主面相反一侧的第 2 背面的第 2 半导体芯片，以使所述第 2 背面与所述第 1 半导体芯片的所述第 1 背面相对的方式

式搭载在所述第 1 半导体芯片上；

(e) 将所述第 2 半导体芯片的所述多个第 2 焊垫、与所述布线基板的所述多个第 2 接合引线分别电性连接；以及

(f) 将多个外部端子分别连接于所述布线基板的所述多个焊盘；此处，

所述布线基板包含芯材，该芯材含有位于所述布线基板上表面侧的上表面、及位于所述布线基板下表面侧的下表面；

所述布线基板是在所述芯材的所述上下表面侧的各个上交替形成有多个布线层及多个绝缘层的多层布线基板；

所述多个第 1 接合引线及所述多个第 2 接合引线是由所述多个布线层中最上层的布线层的一部分所构成；

所述多个焊盘是由所述多个布线层中最下层的布线层的一部分所构成；

所述芯材是含有纤维及树脂的第 1 绝缘层；

所述多个绝缘层包括含有纤维及树脂的第 2 绝缘层、以及纤维含量分别少于所述第 1 绝缘层及所述第 2 绝缘层的第 3 绝缘层；

所述第 2 绝缘层分别形成于所述芯材的所述上下表面侧；

所述第 3 绝缘层经由所述第 2 绝缘层而分别形成于所述芯材的所述上下表面侧；

所述最上层的布线层及所述最下层的布线层分别形成于所述第 3 绝缘层上，其中所述多个布线层分别在所述芯材的所述上下表面侧各形成有 3 层，并且所述第 1 绝缘层的厚度厚于所述第 2 绝缘层的厚度，所述第 2 绝缘层的厚度厚于所述第 3 绝缘层的厚度。

半导体装置及其制造方法

技术领域

[0001] 本发明涉及一种将半导体芯片搭载在布线基板上的 BGA(Ball Grid Array,球栅阵列)型半导体装置、及适用于其制造方法的有效技术。

背景技术

[0002] 作为组装进个人电脑或手机等电子设备中的半导体装置(半导体封装)的形态,已知在布线基板(印刷布线基板)上搭载有半导体芯片的 BGA(Ball Grid Array)型半导体装置。

[0003] 作为布线基板的构成,如日本专利特开 2003-124632 号公报(专利文献 1)所示,例如在绝缘基板 11 的两面上形成有第 1 布线层 12 的布线基板 10 上,叠层将混有填充料的绝缘树脂 15 含浸到玻璃布(glass cloth)14 中的预浸渍体(prepreg)及铜箔,形成绝缘层 21 及表层铜箔 22,并对该表层铜箔 22 实行图案化处理而形成表层铜箔开口部 23,从该表层铜箔开口部 23 照射激光束(laser beam),由此形成含有玻璃布突出部 14a 的导通用孔 16。

[0004] 又,作为另一布线基板的构成,如日本专利特开 2006-196656 号公报(专利文献 2)所示,例如在搭载有半导体芯片的一侧的绝缘层即核心基板 100 上,形成有包含半导体芯片连接端子及第 1 层间连接端子 101 的第 1 布线 106a,在与核心基板 100 相反的一侧,形成有包含第 2 层间连接端子 103 的第 2 布线 106b,第 1 层间连接端子与第 2 层间连接端子经由核心基板 100 的第 1 层间连接用导通孔(以下,称作第 1 导通孔)102 而电性连接,在核心基板 100 的形成有第 2 布线之一侧,形成有绝缘层 104,在此绝缘层 104 上形成有包含第 3 层间连接端子的第 3 布线 106c,第 2 层间连接端子与第 3 层间连接端子经由第 2 层间连接用盲孔(blind via hole)(以下,称作第 2 导通孔)108 而电性连接。

[0005] 进而,作为又一布线基板的构成,如日本专利特开 2003-86941 号公报(专利文献 3)所示,例如最外层的绝缘树脂层 2b 形成为不含有玻璃布 4 作为基材的树脂主体的层,并且从最外层起的第 2 层绝缘树脂层 2a 形成为含有玻璃布 4 作为基材的层。

[0006] 专利文献 1:日本专利特开 2003-124632 号公报

[0007] 专利文献 2:日本专利特开 2006-196656 号公报

[0008] 专利文献 3:日本专利特开 2003-86941 号公报

发明内容

[0009] 作为半导体装置(半导体封装)的形态,除了使用有布线基板(印刷布线基板)的 BGA(Ball Grid Array)型半导体装置以外,还开发出使用有引线框架的 QFP(Quad FlatPackage,方形扁平封装)型半导体装置等的各种品种。

[0010] 而且,各种半导体装置均包含多个外部端子,以便在搭载在半导体装置内的半导体芯片、和配置在此半导体装置周边的外部设备(外部 LSI(large-scale integrated circuit,大规模集成电路)之间,进行信号的输入输出。

[0011] 此处,在 BGA 型半导体装置的情况下,将该多个外部端子(凸块电极)以矩阵状配

置在布线基板的下表面（与搭载有半导体芯片的面相反一侧的面）侧，因此即便随着半导体装置的高功能化而使外部端子的数量有所增加，也可以抑制半导体装置的外形尺寸的大型化，在此方面比使用有引线框架的 QFP 型半导体装置更加有效。

[0012] 然而，近年来有使组装有所述半导体装置的电子设备的外形尺寸进一步缩小（小、薄）的倾向。特别是在随着半导体装置的高功能化而使得形成于半导体芯片主面上的焊垫（电极）的数量有所增加后，必须形成多个布线图案，这些布线图案成为从搭载在布线基板上的半导体芯片起直到形成于布线基板下表面（背面）侧的外部端子为止的电流路径。

[0013] 为了将成为该电流路径的布线图案高效地引导到所需的外部端子上，使用形成有多个布线层的多层布线基板较为有效，但如果随着半导体装置的高功能化而使得搭载在布线基板上表面侧的半导体芯片的数量也有所增加，则该布线层的数量也需要进一步增加，故而存在有布线基板的厚度越发增大的倾向。

[0014] 因此，必须不仅考虑半导体装置的小型化、而且为了使半导体装置的安装高度也可以降低还要考虑半导体装置的薄型化来制造半导体装置。

[0015] 因此，本申请案发明者特别对可以降低安装高度的半导体装置进行了研讨。

[0016] 首先，为了降低半导体装置的安装高度，考虑将所使用的布线基板及搭载在此布线基板上的半导体芯片各自的厚度变薄。

[0017] 然而，在使用与构成半导体芯片的材料所不同的材料来制造布线基板时，因各个热膨胀系数产生差异，故而如果在将半导体芯片搭载在布线基板上之后实施热处理，则会导致布线基板翘曲。如果增加布线基板的厚度，则布线基板的强度（硬度）也会提高，因此可抑制翘曲，但难以降低半导体装置的安装高度。

[0018] 布线基板的厚度越薄，则布线基板的强度越下降，因此该翘曲的问题会显着出现。而且，如果翘曲的量变大，则即便已将半导体芯片搭载在布线基板上，也难以将所完成的半导体装置搭载在电子设备的母板（mother board）上。

[0019] 因此，本申请案发明者对于使用有如所述专利文献 1 至 3 中所示的含浸有玻璃布的所谓半固化片（prepreg）状的布线基板（含有预浸渍材的布线基板）的情况进行了研讨。

[0020] 预浸渍材不仅含有树脂，还含有玻璃布（纤维、填充料等），因此该预浸渍材是不增加布线基板的厚度而可获得布线基板的强度的有效材料。

[0021] 然而，本申请案发明者发现，如果使用预浸渍材，则重新产生以下问题。

[0022] 如上所述，在布线基板上，必须形成布线图案，该布线图案成为从搭载在布线基板上的半导体芯片起直到形成于布线基板下表面（背面）侧的外部端子为止的电流路径，但如果由于半导体装置的高功能化而使得形成于半导体芯片主面上的焊垫（电极）的数量增加，则随之而必须将多个布线图案形成于布线基板上，从而半导体装置的小型化变得困难。

[0023] 因此，为了抑制半导体装置的外形尺寸变大，考虑尽量缩小各布线图案间的间距。

[0024] 为了抑制半导体装置的外形尺寸变大，可形成为使各布线图案间的间距尽可能地小。

[0025] 然而，由于预浸渍材含有玻璃布，故而和几乎不含有玻璃布的树脂材料相比，加工精度较差。因此，难以将成为用以电性连接布线基板的上表面与下表面的路径的通道（通

孔 (through hole)) 的直径变小。

[0026] 又,布线图案一般是通过如下方式而形成:在基材(预浸渍材)上预先形成籽晶层,然后通过电解电镀法,在此籽晶层上堆积特定厚度的电镀膜。这里,籽晶层的形成方法有:利用无电解电镀法的方法、及黏贴金属箔的方法。在无电解电镀法的情况下,可以按晶粒为单位在绝缘层上形成籽晶层,因而可以使籽晶层的厚度形成成为比形成于预浸材料上的金属箔的厚度薄,所以在较细地形成布线图案的宽度时,通过无电解电镀法来形成籽晶层较为有效。

[0027] 但是,由于预浸渍材含有玻璃布,故而其表面成为形成有微细凹凸的状态。因此,为了在预浸渍材的表面上形成布线图案,必须黏贴比通过无电解电镀法所形成的籽晶层更厚的金属箔,并在此金属箔上形成布线图案。

[0028] 此处,对于在使籽晶层的厚度变化的情况下分别所形成的布线图案的宽度的不同点加以说明。图 94 及图 95 是表示分别形成于籽晶层上的布线图案的剖面图,图 94 表示通过无电解电镀法形成籽晶层的情况,图 95 表示使用比图 94 中籽晶层厚的金属箔作为籽晶层的情况。

[0029] 在图 94 及图 95 中,如果籽晶层 80 的厚度较厚,则通过蚀刻处理所形成的布线图案 81 的宽度 L1 变宽。此原因在于,与图 94 所示的通过无电解电镀法所形成的籽晶层 80a 的宽度 L1 相比,如图 95 所示,使用有金属箔的籽晶层 80b 的宽度 L1 会形成得更宽。也就是说,难以缩小各布线图案 81 间的间距。

[0030] 又,在形成布线图案 81 之后通过蚀刻去除多余的籽晶层 80 时,籽晶层 80 的厚度越厚,则蚀刻所需的时间越增多。如果蚀刻时间增多,则随之而使得构成布线图案 81 的电镀膜 82 的一部分(侧面等)也受到蚀刻而变细,因此在图 95 中,必须预先使布线图案 81 的线宽变粗。此结果为,蚀刻后所获得的布线图案 81 的配置间隔 L2 变宽。即,难以缩小各布线图案 81 间的配置间隔 L2。

[0031] 本发明的目的在于提供一种可以降低半导体装置的安装高度的技术。

[0032] 又,本发明的另一目的在于提供一种可以实现半导体装置的窄间距化的技术。

[0033] 又,本发明的又一目的在于提供一种可以实现半导体装置的小型化的技术。

[0034] 本发明的所述以及其他的目的及新颖的特征,可以从本说明书的记述及随附图式而明白。

[0035] 简单说明本申请案所揭示的发明中代表性发明的概要如下。

[0036] 即,本发明的一实施形态的半导体装置包括:

[0037] 布线基板,其含有形成有多个接合引线的上表面、及位于与所述上表面相反一侧且形成有多个焊盘的下表面;

[0038] 半导体芯片,其含有形成有多个焊垫的主面,并搭载在所述布线基板的上表面上;

[0039] 多个导电性构件,其将所述半导体芯片的所述多个焊垫、与所述布线基板的所述多个接合引线分别电性连接;以及

[0040] 多个外部端子,其分别连接于所述布线基板的所述多个焊盘,

[0041] 所述布线基板包含芯材,该芯材含有位于所述布线基板上表面侧的上表面、及位于所述布线基板下表面侧的下表面;

- [0042] 所述布线基板是在所述芯材的所述上下表面侧的各个上交替形成有多个布线层及多个绝缘层的多层布线基板；
- [0043] 所述多个接合引线是由所述多个布线层中最上层的布线层的一部分所构成；
- [0044] 所述多个焊盘是由所述多个布线层中最下层的布线层的一部分所构成；
- [0045] 所述芯材是含有纤维及树脂的第 1 绝缘层；
- [0046] 所述多个绝缘层包括含有纤维及树脂的第 2 绝缘层、以及纤维含量分别少于所述第 1 绝缘层及所述第 2 绝缘层的第 3 绝缘层；
- [0047] 所述第 2 绝缘层分别形成于所述芯材的所述上下表面侧；
- [0048] 所述第 3 绝缘层经由所述第 2 绝缘层而分别形成于所述芯材的所述上下表面侧；
- [0049] 所述最上层的布线层及所述最下层的布线层分别形成于所述第 3 绝缘层上。
- [0050] [发明的效果]
- [0051] 简单说明本申请案所揭示的发明中代表性发明所获得的效果如下。
- [0052] 即,通过使用如下布线基板,可以降低半导体装置的安装高度:在含有纤维及树脂的第 1 绝缘层即芯材的上下,形成含有纤维及树脂的第 2 绝缘层,并且将纤维含有量分别少于第 1 绝缘层及第 2 绝缘层的第 3 绝缘层经由第 2 绝缘层而形成于芯材的上下。

附图说明

- [0053] 图 1 是从本发明第 1 实施形态的半导体装置中搭载有半导体芯片的布线基板的上表面侧观察的平面图。
- [0054] 图 2 是从图 1 所示的布线基板的下表面侧观察的平面图。
- [0055] 图 3 是图 1 所示的 A-A 线的剖面图。
- [0056] 图 4 是将图 3 的 B 部分放大后的剖面图。
- [0057] 图 5 是表示图 1 至图 4 所示的布线基板的第 3 层布线层的一部分的平面图。
- [0058] 图 6 是表示图 1 至图 4 所示的布线基板的第 2 层布线层的一部分的平面图。
- [0059] 图 7 是表示图 1 至图 4 所示的布线基板的第 1 层布线层的一部分的平面图。
- [0060] 图 8 是表示图 1 至图 4 所示的布线基板的第 4 层布线层的一部分的平面图。
- [0061] 图 9 是表示图 1 至图 4 所示的布线基板的第 5 层布线层的一部分的平面图。
- [0062] 图 10 是表示图 1 至图 4 所示的布线基板的第 6 层布线层的一部分的平面图。
- [0063] 图 11 是表示在芯材的上表面上形成有籽晶层的状态的剖面图。
- [0064] 图 12 是表示在籽晶层上设置有用以形成布线图案的抗蚀膜的状态的剖面图。
- [0065] 图 13 是表示在抗蚀膜的开口部上形成有成为布线图案的金属膜的状态的剖面图。
- [0066] 图 14 是表示去除抗蚀膜后的状态的剖面图。
- [0067] 图 15 是表示去除不需要的籽晶层后的状态的剖面图。
- [0068] 图 16 是将图 1 至图 4 所示的布线基板中的第 2 层布线图案与第 3 层布线图案(或者第 5 层的布线图案与第 4 层的布线图案)重叠后的平面图。
- [0069] 图 17 是表示在本发明第 1 实施形态的半导体装置的制造方法中所准备的多槽布线基板的上表面侧的平面图。
- [0070] 图 18 是表示图 17 所示的多槽布线基板的下表面侧的平面图。

- [0071] 图 19 是图 17 所示的 C-C 线的剖面图。
- [0072] 图 20 是在图 17 所示的多槽布线基板的上表面上涂布黏着材后的多槽布线基板的上表面侧的平面图。
- [0073] 图 21 是图 20 所示的 C-C 线的剖面图。
- [0074] 图 22 是表示将半导体芯片搭载在图 12 所示的多槽布线基板上的状态的布线基板上表面侧的平面图。
- [0075] 图 23 是图 22 所示的 C-C 线的剖面图。
- [0076] 图 24 是表示本发明第 1 实施形态的半导体装置的制造方法中打线接合工序后的状态的多槽布线基板的上表面侧的平面图。
- [0077] 图 25 是图 24 所示的 C-C 线的剖面图。
- [0078] 图 26 是表示对图 24 所示的多槽布线基板的上表面照射有等离子的状态的剖面图。
- [0079] 图 27 是本发明第 1 实施形态的半导体装置的制造方法中密封体形成后的布线基板的上表面侧的平面图。
- [0080] 图 28 是图 27 所示的 C-C 线的剖面图。
- [0081] 图 29 是本发明第 1 实施形态的半导体装置的制造方法中所使用的成型模具的剖面图。
- [0082] 图 30 是表示在图 29 所示的成型模具的下模面上搭载有图 26 所示的多槽布线基板的状态的剖面图。
- [0083] 图 31 是表示对图 30 所示的成型模具的模腔内供给树脂后的状态的剖面图。
- [0084] 图 32 是表示本发明第 1 实施形态的半导体装置的制造方法中将多个凸块电极接合之后的状态的多槽布线基板的下表面侧的平面图。
- [0085] 图 33 是图 32 所示的 C-C 线的剖面图。
- [0086] 图 34 是表示本发明第 1 实施形态的半导体装置的制造方法中切割工序的状态的剖面图。
- [0087] 图 35 是表示将已完成的半导体装置安装于母板上的状态的剖面图。
- [0088] 图 36 是从本发明第 2 实施形态的半导体装置中搭载有半导体芯片的布线基板的上表面侧观察的平面图。
- [0089] 图 37 是从图 36 所示的布线基板的下表面侧观察的平面图。
- [0090] 图 38 是图 36 所示的 D-D 线的剖面图。
- [0091] 图 39 是将图 38 的 E 部分放大后的剖面图。
- [0092] 图 40 是表示本发明第 2 实施形态的半导体装置的制造方法中将半导体芯片在布线基板上进行倒装芯片连接时的状态的剖面图。
- [0093] 图 41 是对本发明第 3 实施形态的半导体装置中的半导体装置的内部、及该半导体装置与外部设备之间的电路动作进行说明的电路框图。
- [0094] 图 42 是从本发明第 3 实施形态的半导体装置的搭载有半导体芯片的布线基板的上表面侧观察的平面图。
- [0095] 图 43 是图 42 所示的 P 部分的布线基板中的主要部分放大平面图。
- [0096] 图 44 是图 42 所示的 F-F 线的剖面图。

- [0097] 图 45 是将图 44 的 H 部分放大后的剖面图。
- [0098] 图 46 是图 42 所示的 G-G 线的放大剖面图。
- [0099] 图 47 是表示本发明第 3 实施形态的半导体装置的制造方法中所准备的多槽布线基板的上表面侧的平面图。
- [0100] 图 48 是表示图 47 所示的多槽布线基板的下表面侧的平面图。
- [0101] 图 49 是图 47 所示的 J-J 线的剖面图。
- [0102] 图 50 是从布线基板的上表面侧观察将微芯片在图 47 所示的布线基板上进行倒装芯片连接后的状态的平面图。
- [0103] 图 51 是图 50 所示的 J-J 线的剖面图。
- [0104] 图 52 是从多槽布线基板的上表面侧观察向图 50 所示的微芯片与布线基板之间供给有底部填充树脂的状态的平面图。
- [0105] 图 53 是图 52 所示的 J-J 线的剖面图。
- [0106] 图 54 是从多槽布线基板的上表面侧观察在图 52 所示的微芯片上叠层有存储器芯片的状态的平面图。
- [0107] 图 55 是图 54 所示的 J-J 线的剖面图。
- [0108] 图 56 是从多槽布线基板的上表面侧观察经由导线而将图 54 所示的存储器芯片与布线基板加以电性连接的状态的平面图。
- [0109] 图 57 是图 56 所示的 J-J 线的剖面图。
- [0110] 图 58 是从多槽布线基板的上表面侧观察在图 56 所示的布线基板上形成有密封体的状态的平面图。
- [0111] 图 59 是图 58 所示的 J-J 线的剖面图。
- [0112] 图 60 是本发明第 4 实施形态的半导体装置中的 POP 型半导体装置的剖面图。
- [0113] 图 61 是从图 60 所示的配置在上段侧的半导体装置的搭载有存储器芯片的布线基板的上表面侧观察的平面图。
- [0114] 图 62 是从图 60 所示的配置在下段侧的半导体装置的搭载有微芯片的布线基板的上表面侧观察的平面图。
- [0115] 图 63 是将图 60 的 K 部分放大后的剖面图。
- [0116] 图 64 是将与图 63 所示的剖面不同的剖面放大后的剖面图。
- [0117] 图 65 是图 62 所示的 Q 部分中的主要部分放大平面图。
- [0118] 图 66 是表示本发明第 4 实施形态的半导体装置的制造方法中的下段侧半导体装置的制造方法中所准备的多槽布线基板的上表面侧的平面图。
- [0119] 图 67 是表示图 66 所示的多槽布线基板的下表面侧的平面图。
- [0120] 图 68 是图 66 所示的 L-L 线的剖面图。
- [0121] 图 69 是从多槽布线基板的上表面侧观察将微芯片在图 66 所示的布线基板上进行倒装芯片连接后的状态的平面图。
- [0122] 图 70 是图 69 所示的 L-L 线的剖面图。
- [0123] 图 71 是从多槽布线基板的上表面侧观察向图 69 所示的微芯片与布线基板之间供给有底部填充树脂的状态的平面图。
- [0124] 图 72 是图 71 所示的 L-L 线的剖面图。

[0125] 图 73 是表示在图 69 所示的多槽布线基板的下表面上连接有凸块电极的状态的平面图。

[0126] 图 74 是图 73 所示的 L-L 线的剖面图。

[0127] 图 75 是表示本发明第 4 实施形态的半导体装置的制造方法中的下段侧半导体装置的制造方法中切割工序的状态的剖面图。

[0128] 图 76 是表示本发明第 4 实施形态的半导体装置的制造方法中的上段侧半导体装置的制造方法中所准备的多槽布线基板的上表面侧的平面图。

[0129] 图 77 是表示本实施形态 4 的上段侧的半导体装置中所准备的多槽布线基板的下表面侧的平面图。

[0130] 图 78 是图 76 所示的 M-M 线的剖面图。

[0131] 图 79 是表示将第 3 层及第 4 层布线层形成于芯材的上下表面上的状态的部分剖面图。

[0132] 图 80 是表示在芯材的上下表面上分别形成有第 2 绝缘层的状态的部分剖面图。

[0133] 图 81 是表示在第 2 绝缘层上分别形成有第 2 层及第 5 层布线层的状态的部分剖面图。

[0134] 图 82 是表示以分别覆盖第 2 层及第 5 层布线层的方式形成有第 3 绝缘层的状态的部分剖面图。

[0135] 图 83 是表示在第 3 绝缘层上形成有第 1 层及第 6 层布线层的状态的部分剖面图。

[0136] 图 84 是表示以使第 1 层及第 6 层布线层各自的一部分露出的方式形成有保护膜的状态的部分剖面图。

[0137] 图 85 是表示图 3 所示的半导体装置的变形例的剖面图。

[0138] 图 86 是表示图 30 所示的成形模具的变形例的主要部分放大剖面图。

[0139] 图 87 是表示图 42 所示的半导体装置的变形例的平面图。

[0140] 图 88 是图 87 所示的 N-N 线的剖面图,是表示图 44 所示的半导体装置的变形例的剖面图。

[0141] 图 89 是表示图 60 所示的半导体装置的变形例的剖面图。

[0142] 图 90 是表示图 42 所示的微芯片的变形例的主面侧的平面图。

[0143] 图 91 是表示图 42 所示的布线基板的变形例的上表面侧的平面图。

[0144] 图 92 是表示图 45 所示的布线基板的变形例的主要部分放大剖面图。

[0145] 图 93 是表示图 60 所示的半导体装置的变形例的剖面图。

[0146] 图 94 是表示使用有以无电解电镀法所形成的籽晶层的布线图案的剖面图。

[0147] 图 95 是表示使用金属箔作为籽晶层的布线图案的剖面图。

[0148] [符号的说明]

[0149]	1	半导体芯片
[0150]	1a	主面(第 1 主面)
[0151]	1b	背面(第 1 背面)
[0152]	1c	焊垫(第 1 焊垫、电极)
[0153]	1cSIG	焊垫(界面用焊垫)
[0154]	1cVdd	焊垫(电源电位用焊垫)

[0155]	1cGND	焊垫（基准电位用焊垫）
[0156]	2	布线基板（基板）
[0157]	2a	上表面（表面、第 1 面）
[0158]	2b	下表面（背面、第 2 面）
[0159]	2c	接合引线（导线连接用引线、第 2 接合引线）
[0160]	2cSIG	接合引线（界面用接合引线）
[0161]	2cIIF	接合引线（内部界面用接合引线）
[0162]	2cVdd	接合引线（电源电位用接合引线）
[0163]	2cGND	接合引线（基准电位用接合引线）
[0164]	2d	焊盘（第 1 焊盘）
[0165]	2e	凸块电极（外部端子）
[0166]	2f	芯材（芯层、第 1 绝缘层）
[0167]	2fa	上表面（第 3 面）
[0168]	2fb	下表面（第 4 面）
[0169]	2fc	贯通孔（通道、通孔）
[0170]	2fd	布线（通孔布线）
[0171]	2fe	树脂（通孔填充用树脂）
[0172]	2g	布线层
[0173]	2g1	布线层（芯片搭载面布线层）
[0174]	2g2	布线层（第 2 上表面侧布线层）
[0175]	2g3	布线层（第 1 上表面侧布线层）
[0176]	2g4	布线层（第 1 下表面侧布线层）
[0177]	2g5	布线层（第 2 下表面侧布线层）
[0178]	2g6	布线层（背面布线层）
[0179]	2h	绝缘层
[0180]	2hp	绝缘层（第 2 绝缘层、第 2 绝缘膜）
[0181]	2hpSH	开口部（第 2 绝缘层用开口部）
[0182]	2ha	绝缘层（第 3 绝缘层、第 3 绝缘膜）
[0183]	2haSH	开口部（第 3 绝缘层用开口部）
[0184]	2j、2k	布线（金属膜）
[0185]	2m	树脂膜（阻焊膜、保护膜）
[0186]	2CL	时钟脉冲信号用布线图案
[0187]	2SIG	第 1 布线图案（信号用布线图案）
[0188]	2Vdd	第 2 布线图案（电源电位用布线图案）
[0189]	2GND	第 3 布线图案（基准电位用布线图案）
[0190]	3	黏着材
[0191]	4	导线（导电性构件、第 2 导电性构件）
[0192]	4a	滚珠部
[0193]	5	密封体（密封树脂）

[0194]	5a	树脂
[0195]	6	基材（第 1 绝缘层、第 2 绝缘层、第 3 绝缘层）
[0196]	7	籽晶层（金属薄膜）
[0197]	8	抗蚀膜
[0198]	9	开口部
[0199]	10、20、30、60、61、62、64	半导体装置
[0200]	11、36、42、53	布线基板（多槽布线基板）
[0201]	11a	上表面
[0202]	11b	下表面
[0203]	11c	产品形成区域（装置形成区域）
[0204]	11d	切割区域
[0205]	11e	芯片搭载部
[0206]	12	成形模具
[0207]	12a	上模（第 1 模具）
[0208]	12b	下模（第 2 模具）
[0209]	12c	模腔
[0210]	12ca	侧面
[0211]	12d	栅极部
[0212]	12e	通气孔部
[0213]	12f	真空吸附孔
[0214]	13	切割胶带
[0215]	14	切割刀片
[0216]	15	母板（安装基板）
[0217]	16	金属膜（电解电镀膜）
[0218]	21	凸块电极（导电性构件、第 1 导电性构件、突起状电极）
[0219]	22	焊锡（导电性构件）
[0220]	23	底部填充树脂（密封树脂、第 1 密封体）
[0221]	24	布线基板（基板）
[0222]	24c	接合引线（倒装芯片连接用引线、第 1 接合引线）
[0223]	24cIIF	接合引线（内部界面用第 1 接合引线）
[0224]	25	加热台
[0225]	26	工具（夹具）
[0226]	31	微芯片（第 1 半导体芯片）
[0227]	31a	主面（第 1 主面）
[0228]	31b	背面（第 1 背面）
[0229]	31c	焊垫（第 1 焊垫、电极）
[0230]	31cVdd	焊垫（电源电位用焊垫）
[0231]	31cGND	焊垫（基准电位用焊垫）

[0232]	31cIIF	焊垫（内部界面用焊垫、电极）
[0233]	31cOIF	焊垫（外部界面用焊垫、电极）
[0234]	32、63	存储器芯片（第2半导体芯片）
[0235]	32a	主面（第2主面）
[0236]	32b	背面（第2背面）
[0237]	32c	焊垫（第2焊垫、电极）
[0238]	32cIIF	焊垫（内部界面用焊垫、电极）
[0239]	32cVdd	焊垫（电源电位用焊垫）
[0240]	32cGND	焊垫（基准电位用焊垫）
[0241]	33	外部设备（外部LSI）
[0242]	34	布线基板（基板）
[0243]	35	黏着材
[0244]	37	喷嘴
[0245]	40	半导体装置（第1半导体装置）
[0246]	41	布线基板（第1布线基板、微芯片用布线基板）
[0247]	41c	焊盘（电极、第2接合引线）
[0248]	41cIIF	焊盘（内部界面用第2接合引线）
[0249]	41cVdd	焊盘（电源电位用第2接合引线）
[0250]	41cGND	焊盘（基准电位用第2接合引线）
[0251]	50	半导体装置（第2半导体装置）
[0252]	51	布线基板（第2布线基板、存储器芯片用布线基板）
[0253]	51a	上表面
[0254]	51b	下表面
[0255]	51c	接合引线
[0256]	51d	焊盘（第2焊盘）
[0257]	52	凸块电极（半导体装置连接用导电性构件）
[0258]	65	布线基板（基板）
[0259]	80、80a、80b	籽晶层
[0260]	81	布线图案
[0261]	82	电镀膜
[0262]	L1	宽度
[0263]	L2	配置间隔
[0264]	PL	箭头

具体实施方式

[0265] （本申请案的记载形式、基本术语、用法的说明）

[0266] 在本申请案中，根据需要，实施形态的记载为了方便起见而分为多个部分等进行记载，但除了已特别明示并非如此的情况以外，所述多个部分并非彼此一个个地独立，而是无论记载的先后，单一例的各部分、其中的一方是另一方的一部分详细情况或者一部分或

全部的变形例等。而且,原则上,省略相同部分的重复说明。又,除了已特别明示并非如此的情况、理论上限定于此数的情况、以及根据文章前后显然可知并非如此的情况以外,实施形态的各构成要素并不是必须的构成要素。

[0267] 同样地,在实施形态等的记载中,关于材料、组成等,即便称作「包含 A 的 X」等,除了已特别明示并非如此的情况、及根据文章前后显然可知并非如此的情况以外,也不排除将 A 以外的要素作为主要构成要素之一的情况。例如,如果提及成分,则是指「包含以 A 作为主要成分的 X」等。例如,即便称作「硅构件」等,也并无限定于纯粹的硅,当然还包含 SiGe(硅锗)合金或者以其他的硅作为主要成分的多元合金、其他添加物等的构件。又,即便称作镀金、铜层、镀镍等,除了已特别明示并非如此的情况以外,也并不仅指纯粹的物质,还包含分别以金、铜、镍等作为主要成分的构件。

[0268] 进而,当提及特定的数值、数量时,除了已特别明示并非如此的情况、理论上限定于此数的情况、以及根据文章前后显然可知并非如此的情况以外,可以是超出此特定数值的数值,也可以是不足此特定数值的数值。

[0269] (实施形态 1)

[0270] 首先,使用图 1 至图 3,对本实施形态 1 的半导体装置(半导体集成电路装置)10 的概略构成加以说明。

[0271] 图 1 是从本实施形态 1 的搭载有半导体芯片的布线基板(基板)的上表面(表面)侧观察的平面图,图 2 是从位与图 1 所示的布线基板的与上表面相反一侧的下表面(背面)侧观察的平面图,图 3 是图 1 所示的 A-A 线的剖面图。另外,如图 3 所示,在布线基板的上表面上,形成有对半导体芯片进行密封的密封体(树脂密封体),但为了了解内部构成,图 1 为排除了该密封体的图式。以下,在将从搭载有半导体芯片的布线基板的上表面观察的平面图加以图示时,同样省略密封体的图示。

[0272] 如图 1 及图 3 所示,在本实施形态 1 的半导体装置 10 中,半导体芯片 1 以使半导体芯片 1 的背面 1b 与布线基板 2 的上表面(表面、第 1 面)2a 相对的方式,经由黏着材 3 而搭载在布线基板 2 的上表面 2a 上。即,面朝上(face up)安装。又,形成于半导体芯片 1 的主面 1a 上的多个焊垫(电极)1c 经由作为导电性构件的多个导线 4 而与形成于布线基板 2 的上表面 2a 上的多个接合引线(导线连接用引线)2c 分别电性连接。又,在布线基板 2 的上表面 2a 上,形成有对半导体芯片 1 及多个导线 4 进行密封、由树脂所构成的密封体(树脂密封体)5。另外,如图 3 所示,在布线基板 2 的下表面(背面、第 2 面)2b 上,形成有多个焊盘(电极、焊垫)2d,在此多个焊盘 2d 上分别接合有成为半导体装置 10 的外部端子的多个凸块电极(外部端子)2e。如图 2 所示,多个凸块电极 2e 在平面形状包含四角形的布线基板 2 的下表面 2b 上以矩阵状而配置。即,不仅在布线基板 2 的周缘部,而且在布线基板 2 的下表面 2b 的中央部也形成有凸块电极 2e。

[0273] 接着,以下对各构成(半导体芯片 1、布线基板 2 等)的详细情况加以说明。

[0274] 如图 1 所示,半导体芯片 1 的与厚度方向交叉的面的平面形状包含四角形,在本实施形态中为正方形。此处,半导体芯片 1 的材料中使用有硅(Si)。又,如图 3 所示,半导体芯片 1 含有主面 1a、及位于与该主面相反一侧的背面 1b。而且,在半导体芯片 1 的主面 1a 上,例如形成有对从配置在半导体装置 10 的周边的外部设备(外部 LSI)所供给的信号(输入输出数据)进行转换的运算处理电路(未图示)。

[0275] 又,在半导体芯片 1 的主面上,沿着各边形成有多个焊垫 1c。另外,该多个焊垫 1c 包括:第 1 界面用焊垫(第 1 外部界面用焊垫)1cSIG,其与所述运算处理电路电性连接,并输入从外部设备所供给的信号;第 2 界面用焊垫(第 2 外部界面用焊垫)1cSIG,其与所述运算处理电路电性连接,并输出通过运算处理电路所转换的信号;电源电位用焊垫 1cVdd,其输入从外部设备所供给的电源电位;以及基准电位用焊垫 1cGND,其输入从外部设备所供给的基准电位(GND 电位)。又,界面用焊垫 1cSIG 经由导线 4 而电性连接于界面用接合引线 2cSIG,电源电位用焊垫 1cVdd 经由导线 4 而电性连接于电源电位用接合引线 2cVdd,基准电位用焊垫 1cGND 经由导线 4 而电性连接于基准电位用接合引线 2cGND。另外,各焊垫 1c 是由金属所构成,在本实施形态中,例如由铝(Al)构成。

[0276] 如图 1 及图 2 所示,布线基板 2 的与厚度方向交叉的面的平面形状包含四角形,在本实施形态中为正方形。又,如图 3 所示,布线基板 2 含有上表面 2a、及位于与该上表面 2a 相反一侧的下表面 2b。而且,如图 1 及图 3 所示,在布线基板 2 的上表面 2a 的中央部上,设置有用以搭载半导体芯片 1 的区域(芯片搭载部),在此区域的周围,沿着布线基板 2 的各边而形成有多个接合引线 2c。

[0277] 另一方面,在布线基板 2 的下表面 2b 上,以矩阵状配置有多个焊盘 2d,进而,在此多个焊盘 2d 上,连接(接合)有作为外部端子的多个凸块电极 2e。另外,接合引线 2c 及焊盘 2d 分别是由金属所构成,在本实施形态中,例如由铜(Cu)构成。又,凸块电极 2e 是实质上不含铅(Pb)的所谓无铅焊锡,例如只有 Sn(锡)、Sn(锡)-Bi(铋)、或 Sn(锡)-Ag(银)-Cu(铜)等。此处,所谓无铅焊锡,是指铅(Pb)的含量为 0.1wt% 以下,此含量被定为 RoHS(Restriction of Hazardous Substances,有害物质限定标准)指令的基准。

[0278] 又,布线基板 2 含有芯材(芯层、第 1 绝缘层)2f,且该布线基板 2 是在此芯材 2f 的上表面(第 3 面)2fa 及下表面(第 4 面)2fb 侧分别交替叠层有多个布线层 2g 及多个绝缘层 2h 的多层布线基板。使用图 4,对此多层布线基板的详细构成进行说明。

[0279] 图 4 是将图 3 所示的 B 部分放大后的剖面图。本实施形态的布线基板 2 是含有在芯材 2f 的上下表面 2fa、2fb 侧分别形成有各 3 层布线层 2g 的共计 6 层布线层 2g 的多层布线基板。又,所述多个接合引线 2c 是由该多个布线层 2g 中最上层的布线层(距离芯材 2f 的上表面 2fa 最远的布线层、第 1 层布线层、芯片搭载面布线层)2g1 的一部分所构成。另一方面,所述多个焊盘 2d 是由该多个布线层 2g 中最下层的布线层(距离芯材 2f 的下表面 2fb 最远的布线层、第 6 层布线层、背面布线层)2g6 的一部分所构成。

[0280] 此处,芯材(芯层)2f 是含有玻璃布及填充料等的纤维及树脂的称作所谓预浸渍材的绝缘层(第 1 绝缘层、第 1 绝缘膜),在本实施形态中,例如是由 100 ~ 400 μ m 的厚度构成。

[0281] 又,多个绝缘层 2h 包括:形成于芯材(第 1 绝缘层)2f 的上下、含有玻璃布及填充料等的纤维及树脂的同样被称作预浸渍材的绝缘层(第 2 绝缘层、第 2 绝缘膜)2hp;以及经由该第 2 绝缘层 2hp 而于芯材 2f 的上下所形成的实质上不含有所述纤维而是仅由树脂所构成的绝缘层(第 3 绝缘层、第 3 绝缘膜)2ha。另外,对第 3 绝缘层 2ha 实质上不含有所述纤维而仅由树脂所构成的情况进行了说明,但实际上所述第 3 绝缘层 2ha 也含有微量的纤维,如果要与所述预浸渍材进行大致区别,则以比预浸渍材中所含的纤维量少的绝缘

层作为对象。又,第2绝缘层2hp的厚度形成为比芯材(第1绝缘层)2f的厚度薄,在本实施形态中,例如为 $40 \sim 50 \mu\text{m}$ 。又,第3绝缘层2ha的厚度形成为比芯材2f及第2绝缘层2hp各自的厚度薄,在本实施形态中,例如为 $30 \mu\text{m}$ 。

[0282] 接下来,再使用图4至10,对多个布线层与多个绝缘层的配置关系(叠层顺序)进行详细说明。这里,图5是将图1至图4所示的布线基板的第3层布线层的一部分放大后的平面图,图6是将图1至图4所示的布线基板的第2层布线层的一部分放大后的平面图,图7是将图1至图4所示的布线基板的第1层布线层的一部分放大后的平面图,图8是将图1至图4所示的布线基板的第4层布线层的一部分放大后的平面图,图9是将图1至图4所示的布线基板的第5层布线层的一部分放大后的平面图,图10是将图1至图4所示的布线基板的第6层布线层的一部分放大后的平面图。另外,图5、图6、图7分别表示各布线层的上表面侧的平面,图8、图9、图10分别表示各布线层的下表面侧的平面。

[0283] 首先,在芯材(芯层、第1绝缘层)2f的上表面(表面、第3面)2fa上,形成有如图4及图5所示的含有多个布线图案的布线层(第1上表面侧布线层)2g3。另外,该布线层2g3相当于6层的多层布线基板的第3层布线层。

[0284] 而且,在此第3层布线层2g3上,以使该第3层布线层2g3的一部分(多个布线图案各自的一部分)露出的方式,形成有含有纤维及树脂的绝缘层(第2绝缘层)2hp。另外,第3层布线层2g3的一部分从形成于该绝缘层(第2绝缘层)2hp上的开口部(第2绝缘层用开口部)2hpSH露出。

[0285] 而且,在此第2绝缘层2hp上,形成有如图6所示的含有多个布线图案的布线层(第2上表面侧布线层)2g2。另外,该布线层2g2相当于6层的多层布线基板的第2层布线层2g2。又,该第2层布线层2g2经由形成于第2绝缘层2hp的开口部2hpSH内的布线(金属膜)2j而与第3层布线层2g3电性连接。

[0286] 而且,在此第2层布线层2g2上,以使该第2层布线层2g2的一部分(多个布线图案各自的一部分)露出的方式,形成有实质上不含纤维而仅由树脂所构成的绝缘层(第3绝缘层)2ha。另外,第2层布线层2g2的一部分从形成于该绝缘层(第3绝缘层)2ha上的开口部(第3绝缘层用开口部)2haSH露出。此处,第3绝缘层2ha几乎不含纤维,而是大致仅由树脂所构成,故而与比第3绝缘层2ha含有更多纤维的第2绝缘层2hp相比,加工更容易,从而可以形成为:使形成于第3绝缘层2ha上的开口部(第3绝缘层用开口部)2haSH的直径小于形成于第2绝缘层2hp上的开口部(第2绝缘层用开口部)2hpSH的直径。

[0287] 而且,在此第3绝缘层2ha上,形成有如图7所示的含有多个布线图案的布线层(第3上表面侧布线层)2g1。另外,该布线层2g1相当于6层的多层布线基板的第1层(最上层)的布线层2g1。又,该第1层布线层2g1经由形成于第3绝缘层2ha的开口部2haSH内的布线(金属膜)2k(图6参照)而与第2层布线层电性连接。

[0288] 进而,在此第1层布线层2g1上,以使该第1层布线层2g1的一部分(多个布线图案各自的一部分)露出的方式,形成有绝缘性的树脂膜(阻焊膜)2m(参照图4)来作为保护膜。另外,所述多个接合引线2c分别是形成于第1层上的布线层2g1(布线图案)的一部分,且相当于从该树脂膜2m露出的部分。

[0289] 另一方面,关于芯材2f的下表面(背面)2fb侧,与芯材2f的上表面2fa侧的构成相同,在芯材(芯层、第1绝缘层)2f的下表面(背面、第4面)2fb上,形成有如图4及

图 8 所示的含有多个布线图案的布线层（第 1 下表面侧布线层）2g4。另外，该布线层 2g4 相当于 6 层的多层布线基板的第 4 层布线层 2g4。又，第 4 层布线层 2g4 经由到达芯材 2f 的上下表面 2fa、2fb 的贯通孔（通道、通孔）2fc 内部所形成的布线（通孔布线）2fd 而与第 3 层布线层 2g3 电性连接。又，该贯通孔 2fc 的直径大于各绝缘层（第 2 绝缘层、第 3 绝缘层）2hp、2ha 上所形成的开口部的直径，所以在贯通孔的内部，填充有树脂（通孔填充用树脂）2fe。

[0290] 而且，在此第 4 层布线层 2g4 上（在芯材 2f 的下表面 2fb 侧所配置的第 4 层布线层 2g4 的下表面侧），以使该第 4 层布线层 2g4 的一部分（多个布线图案各自的一部分）露出的方式，形成有含有纤维及树脂的绝缘层（第 2 绝缘层）2hp。另外，第 4 层布线层 2g4 的一部分从形成于该绝缘层（第 2 绝缘层）2hp 上的开口部（第 2 绝缘层用开口部）2hpSH 露出。

[0291] 而且，在此第 2 绝缘层 2hp 上（在芯材 2f 的下表面 2fb 侧所配置的第 2 绝缘层 2hp 的下表面侧），形成有如图 9 所示的含有多个布线图案的布线层（第 2 下表面侧布线层）2g5。另外，该布线层 2g5 相当于 6 层的多层布线基板的第 5 层布线层 2g5。又，该第 5 层布线层 2g5 经由形成于第 2 绝缘层 2hp 的开口部 2hpSH 内的布线（金属膜）2j 而与第 4 层布线层 2g4 电性连接。

[0292] 又，在此第 5 层布线层 2g5 上（在芯材 2f 的下表面 2fb 侧所配置的第 5 层布线层 2g5 的下表面侧），以使该第 5 层布线层 2g5 的一部分（多个布线图案各自的一部分）露出的方式，形成有实质上不含纤维而仅由树脂所构成的绝缘层（第 3 绝缘层）2ha。另外，第 5 层布线层 2g5 的一部分从形成于该绝缘层（第 3 绝缘层）2ha 上的开口部（第 3 绝缘层用开口部）2haSH 露出。

[0293] 而且，在此第 3 绝缘层 2ha 上（在芯材 2f 的下表面 2fb 侧所配置的第 3 绝缘层 2ha 的下表面侧），形成有如图 10 所示的含有多个布线图案的布线层（第 3 下表面侧布线层）2g6。另外，该布线层 2g6 相当于 6 层的多层布线基板的第 6 层（最下层）布线层 2g6。又，该第 6 层布线层经由形成于第 3 绝缘层的开口部内的布线（金属膜）2k 而与第 5 层布线层电性连接。

[0294] 进而，在此第 6 层布线层 2g6 上（在芯材 2f 的下表面 2fb 侧所配置的第 6 层布线层 2g6 的下表面侧），以使该第 6 层布线层 2g6 的一部分（多个布线图案各自的一部分）露出的方式，形成有绝缘性的树脂膜（阻焊膜）2m（参照图 4）来作为保护膜。另外，所述多个焊盘 2d 分别是形成于第 6 层布线图案的一部分，且相当于从该树脂膜 2m 露出的部分。

[0295] 又，各个布线层 2g 是通过图 11 至图 15 所示的半加成（semiadditive）法而形成。以下，说明详细的顺序。图 11 至图 15 是用以说明本实施形态的各布线层的形成方法的放大剖面图。

[0296] 首先，如图 11 所示，准备好在其中一个面（此处，以上面进行说明）上形成有籽晶层（金属薄膜）7 的基材（第 1 绝缘层、第 2 绝缘层、第 3 绝缘层）6。

[0297] 接着，如图 12 所示，在籽晶层 7 上形成抗蚀膜 8 之后，以使仅形成有布线图案的部分露出的方式，在此抗蚀膜 8 上形成开口部 9。

[0298] 接着，如图 13 所示，在此抗蚀膜 8 的开口部 9 内，通过电解电镀法而形成成为布线层 2g 的金属膜（电镀膜）16。

[0299] 然后,如图 14 所示,去除抗蚀膜 8。

[0300] 最后,如图 15 所示,通过蚀刻而去除布线图案中无需的部分(未被金属膜 16 所覆盖的部分),以此形成图 5 至图 10 所示的各布线图案 2SIG、2Vdd、2GND。此时,因为通过蚀刻而去除籽晶膜 7,所以残存的籽晶膜 7 的侧面并未成为完全垂直的状态,而是稍有倾斜。

[0301] 又,如果籽晶层 7 的厚度变厚,则在通过蚀刻而去除多余的籽晶层 7 时,蚀刻时间会增加。如果蚀刻时间增长,则有时甚至金属膜 16 的一部分或被金属膜 16 所覆盖的籽晶层 7 的部分也会被去除。因此,为了防止无法以特定的线宽形成布线图案,当籽晶层 7 的厚度较厚时,必须预先使布线图案的线宽形成得较粗。这样,各布线图案的线宽可归限为特定的尺寸,但如果这样考虑蚀刻工序而预先使布线图案的线宽较粗,则如上所述会产生难以使各布线图案的配置间隔变窄的新问题。因此,优选籽晶层 7 的厚度形成得尽可能薄。根据此观点,与在基材 6 上黏贴 Cu 等金属箔而形成籽晶层 7 的情况相比,在基材 6 的表面上例如通过无电解电镀法而形成 Cu 等金属薄膜(金属膜 6)时,可以更薄地形成籽晶层 7,所述更佳。其原因在于,如果通过无电解电镀法而形成,则与黏贴金属箔的情况相比,可使金属膜 6 的厚度形成得较薄。

[0302] 又,在第 3 层及第 4 层布线层 2g3、2g4 上,在所述半导体芯片 1 的多个焊垫 1c 中,与电源电位用焊垫 1cVdd 或基准电位用焊垫 1cGND 电性连接的第 2、第 3 布线图案(电源电位用布线图案、基准电位用布线图案)2Vdd、2GND 的数量,比起与主要成为信号传递路径的界面用焊垫(第 1 界面用焊垫、第 2 界面用焊垫)1cSIG 电性连接的第 1 布线图案(信号用布线图案)2SIG 的数量而更多地被引导。即,和与界面用焊垫 1cSIG 电性连接的第 1 布线图案 2SIG 的总面积相比,与电源电位用焊垫 1cVdd 或基准电位用焊垫 1cGND 电性连接的第 2、第 3 布线图案 2Vdd、2GND 的总面积更大。

[0303] 其理由在于:首先,如上所述,形成于预浸渍材(芯材 2f 或第 2 绝缘层 2hp)上的布线图案是使用黏贴金属箔的方法来作为籽晶层 7 的形成方法,因此,与可应用不同的形成方法(无电解电镀法)来作为籽晶层 7 的形成方法的情况相比,难以比在不含有纤维的第 3 绝缘层 2ha 上所形成的布线图案的间距更窄。

[0304] 然而,为了使形成于半导体芯片 1 的主面 1a 上的运算处理电路稳定驱动,可供给尽可能多的电源电位或基准电位,与分离作为多个布线图案的电流路径(供给电位的路径)相比,如图 5 及图 8 所示,优选例如形成为一个宽度较粗的布线图案。

[0305] 因此,本实施形态中,在由于加工精度的问题而特别难以窄间距化的第 3 及第 4 层布线层 2g3、2g4 上,优先引导有电源电位或基准电位用的电流路径。而且,相同电位(电源电位或者基准电位)时无需特别分割布线图案,所以如图 5 及图 8 所示,用以供给电源电位或基准电位的第 2、第 3 布线图案 2Vdd、2GND 是与界面用焊垫 1cSIG 电性连接,并且以与用以供给信号的第 1 布线图案 2SIG 的宽度相比(面积)更粗(更大)的平坦状而形成。

[0306] 另一方面,在第 1 层及第 6 层布线层 2g1、2g6 上,在所述半导体芯片 1 的多个焊垫 1c 中,与界面用焊垫 1cSIG 电性连接的第 1 布线图案 2SIG 的数量,比起与电源电位用焊垫 1cVdd 或者基准电位用焊垫 1cGND 电性连接的第 2、第 3 布线图案 2Vdd、2GND 的数量而更多地被引导。即,和与电源电位用焊垫 1cVdd 或者基准电位用焊垫 1cGND 电性连接的第 2、第 3 布线图案 2Vdd、2GND 的总面积相比,与界面用焊垫 1cSIG 电性连接的第 1 布线图案 2SIG 的总面积更大。

[0307] 其理由在于：在几乎不含有纤维而大致仅由树脂构成的绝缘层（第3绝缘层）2ha上所形成的布线图案的间距，可以比在预浸渍材（芯材2f或第2绝缘层2hp）上所形成的布线图案的间距更窄。

[0308] 此处，可以使在几乎不含有纤维而大致仅由树脂构成的第3绝缘层2ha上所形成的布线图案的间距比在预浸渍材上所形成的布线图案的间距更狭窄的理由如下。

[0309] 首先，对于几乎不含有纤维而大致仅由树脂构成的第3绝缘层2ha而言，因为几乎不含有玻璃布及填充料等的纤维，所以可以按所需的大小而形成一开口部2haSH，该开口部2haSH成为用以电性连接形成于该第3绝缘层2ha的上下的布线层2g1、2g2（或者布线层2g5、2g6）的路径。另一方面，对于预浸渍材而言，因为不仅指树脂，还包含纤维，所以在形成开口部2hpSH时，该纤维将成为阻碍。因此，必须考虑去除该纤维而形成比所需的开口径更大。即，如图6及图9所示，形成于预浸渍材上的开口部（通道）2hpSH的直径大于形成于几乎不含有纤维而大致仅由树脂所构成的绝缘层上的开口部2haSH的直径。这是布线图案的间距产生差异的原因之一。

[0310] 又，第2个理由是，对于几乎不含有纤维而大致仅由树脂所构成的第3绝缘层2ha而言，因为几乎不含有纤维，所以相应地该第3绝缘层2ha的表面会成为大致平坦的状态（比预浸渍材表面的平坦度高的状态）。因此，可以通过无电解电镀法而形成用以形成布线层2g1、2g6的籽晶层7。另外，通过无电解电镀法所形成的籽晶层7能够以晶粒为单位而在第3绝缘层2ha上形成籽晶层7，故而可以使膜厚比形成于预浸渍材上的金属箔更薄。而且，如果籽晶层7的膜厚较薄，则蚀刻工序后的籽晶层的侧面变得大致垂直，因而可以使布线图案的宽度较细。又，通过使籽晶层7的膜厚较薄，从而可以在蚀刻工序中以短时间去除无需的籽晶层7（未被金属膜16所覆盖的区域的籽晶层7），所以不必考虑蚀刻而使布线图案预先形成成为比特定尺寸更粗。因此，可以缩小相邻的布线图案的配置间距。

[0311] 这样，在本实施形态1的半导体装置1中，使用由芯材（第1绝缘层）2f、绝缘层（第2绝缘层）2hp及绝缘层（第3绝缘层）2ha所构成的多层布线基板2，其中，所述芯材（第1绝缘层）2f含有玻璃布或填充料等的纤维及树脂，被称作所谓预浸渍材，所述绝缘层（第2绝缘层）2hp同样含有玻璃布或填充料等的纤维及树脂，被称作预浸渍材，所述绝缘层（第3绝缘层）2ha实质上不含有所述纤维，而大致仅由树脂所构成。因此，即便使布线基板2的厚度变薄，也可以确保布线基板2的强度（硬度）。即，可以确保特定的强度（硬度），且可以降低半导体装置的安装高度。另外，本实施形态1的布线基板2的厚度即便为如下布线基板（比较例的布线基板，省略图示）的约2/3的厚度，也可以确保与该比较例的布线基板大致同等的强度（硬度），所述比较例的布线基板如图4所示，在第2绝缘层2hp中不使用预浸渍材，而是由几乎不含有纤维而大致仅由树脂所构成的绝缘层来分别构成第2绝缘层2hp及第3绝缘层2ha。

[0312] 又，在本实施形态1的半导体装置1中，因使用布线基板2，故而即便使布线基板2的厚度进一步变薄，也可以确保布线基板2的强度（硬度），并可以进一步降低半导体装置10的安装高度，所述布线基板2使第2绝缘层2hp的厚度形成得比第1绝缘层（芯材2f）的厚度更薄，进而使第3绝缘层2ha的厚度形成得比第2绝缘层2hp的厚度更薄。

[0313] 又，在本实施形态1的半导体装置1中，因使用布线基板2，故而可通过无电解电镀法而形成在最上层（第1层）或者最下层（第6层）上所形成的接合引线2c或者焊盘2d

各自的籽晶层 7,所述布线基板 2 在包含预浸渍材的芯材(第 1 绝缘层)2f 的上下,形成同样包含预浸渍材的第 2 绝缘层 2hp,并经由该第 2 绝缘层 2hp 而在芯材的上下,形成大致仅由树脂所构成的第 3 绝缘层 2ha。该结果,可使所述间距比形成于预浸渍材上的布线图案的间距更窄,从而可应对伴随半导体装置 10 的高功能化而产生的多针脚化。

[0314] 又,在本实施形态 1 的半导体装置 10 的布线基板 2 中,在可应对窄间距化的第 3 绝缘层 2ha 上,优先引导必须彼此分割而配置的用以供给信号的电流路径(第 1 布线图案 2SIG)。又,在与第 3 绝缘层 2ha 相比更难以窄间距化的第 2 绝缘层 2hp 上,优先引导也可以作为一个宽度较粗的布线图案而形成的电源电位或基准电位用的电流路径(第 2 布线图案 2Vdd、第 3 布线图案 2GND)。因此,即便搭载在布线基板 2 的上表面 2a 上的半导体芯片 1 的多个焊垫 1c 的数量已增加,也可以在受限的布线层数内高效地引导多种电流路径(布线图案),从而能实现布线基板 2 的薄型化及小型化。该结果,不仅可以降低半导体装置 10 的安装高度,而且也可以实现半导体装置 10 的小型化。

[0315] 又,在本实施形态 1 的半导体装置 10 中,因使用将相同数量(3 层)的布线层及绝缘层分别形成于芯材的表面和背面上的布线基板 2,故而可以保持布线基板 2 的平坦度,在搭载半导体芯片 1 的工序中,在半导体芯片 1 的背面 1b 与布线基板 2 的上表面 2a 之间不会产生间隙而搭载半导体芯片 1。

[0316] 又,在本实施形态 1 的半导体装置 10 中,将用以供给电源电位或基准电位的布线图案(第 2 布线图案 2Vdd、第 3 布线图案 2GND),优先引导到比起含有以无电解电镀法所形成的籽晶层 7 的第 1 层及第 6 层布线层 2g1、2g6 更厚的第 3 层及第 4 层布线层 2g3、2g4,故而使得成为电源电位或基准电位的供给路径的第 3 层及第 4 层布线层 2g3、2g4 的电阻值低于第 1 层及第 6 层布线层 2g1、2g6,因此可以稳定电源电位或基准电位,从而可以提高半导体装置 10 的可靠性。

[0317] 又,在本实施形态 1 的半导体装置 10 中,覆盖第 3 层及第 4 层布线层 2g3、2g4 的预浸渍材(第 2 绝缘层 2hp)也含有纤维。因此,与覆盖第 2 层及第 5 层布线层 2g2、2g5 的绝缘层(第 3 绝缘层 2ha)相比,介电常数更高。所以,如果在与供给电源电位或基准电位的第 3 层或者第 4 层布线层(布线图案)2g3、2g4 平面重叠的位置上,配置有第 2 层或者第 5 层布线层(布线图案)2g2、2g5,则该预浸渍材中会产生寄生电容。

[0318] 此处,在半导体芯片 1 的主面 1a 上,如上所述形成有运算处理电路,并将数据信号、指令信号、地址信号、时钟脉冲信号等从外部设备经由多个布线图案而供给到该运算处理电路。其中,特别是时钟脉冲信号容易受到噪音或寄生电容的影响,故而为了不与供给电源电位或者基准电位的布线图案平面重叠,时钟脉冲信号用的布线图案 2CL(参照图 16)优选形成各自的布线图案。

[0319] 图 16 是使本实施形态 1 的第 2 层布线图案与第 3 层布线图案(或者,第 5 层布线图案与第 4 层布线图案)重叠后的平面图。在本实施形态 1 中,如图 16 所示,例如在形成成为平坦状的第 3 层(或者第 4 层)布线图案中,与时钟脉冲信号用的布线图案 2CL 平面重叠的区域不会形成布线图案(例如,第 2 布线图案 2Vdd 或者第 3 布线图案 2GND)。由此,可以提高半导体装置 10 的可靠性。

[0320] 又,在本实施形态 1 的半导体装置 10 中,由密封体 5 覆盖着半导体芯片 1,因此可以保护半导体芯片 1,从而可以提高半导体装置 10 的可靠性。

[0321] 又,在本实施形态 1 的半导体装置 10 中,不仅半导体芯片 1,而且多个导线 4 也被密封体 5 所覆盖,所以能保护半导体芯片 1,并且可以抑制导线 4 上附着有异物的问题、导线 4 断线的问题等,从而可以提高半导体装置 10 的可靠性。

[0322] 又,在本实施形态 1 的半导体装置 10 中,在布线基板 2 的下表面上以矩阵状配置有多个焊盘 2d 及多个凸块电极 2e,故而不增加布线基板 2 的外形尺寸便可应对伴随半导体装置 10 的高功能化而产生的多引脚化。

[0323] 进而,在本实施形态 1 的半导体装置 10 中,凸块电极 2e 使用无铅焊锡,因此可以和环境问题的对策相对应。

[0324] 接下来,以下使用图 17 至图 34 来说明本实施形态 1 的半导体装置 10 的制造方法。图 17 至图 34 是用以说明本实施形态 1 的半导体装置 10 的制造方法的示图。图 17 是表示本实施形态 1 的已准备的多槽布线基板的上表面侧的平面图。图 18 是表示图 17 所示的多槽布线基板的下表面侧的平面图。图 19 是图 17 所示的 C-C 线的剖面图。图 20 是本实施形态 1 的涂布了黏着材之后的多槽布线基板的上表面侧的平面图。图 21 是图 20 所示的 C-C 线的剖面图。图 22 是表示本实施形态 1 的将半导体芯片搭载在多槽布线基板上的状态的多槽布线基板的上表面侧的平面图。图 23 是图 22 所示的 C-C 线的剖面图。图 24 是表示本实施形态 1 的打线接合工序后的状态的多槽布线基板的上表面侧的平面图。图 25 是图 24 所示的 C-C 线的剖面图。图 26 是表示本实施形态 1 的对多槽布线基板的上表面照射有等离子的状态的剖面图。图 27 是本实施形态 1 的密封体形成后的多槽布线基板的上表面侧的平面图。图 28 是图 27 所示的 C-C 线的剖面图。图 29 是本实施形态 1 中所使用的成型模具的剖面图。图 30 是表示在成型模具的下模面上搭载有多槽布线基板的状态的剖面图。图 31 是表示向成型模具的模腔内供给树脂后的状态的剖面图。图 32 是表示本实施形态 1 的将多个凸块电极接合后的状态的多槽布线基板的下表面侧的平面图。图 33 是图 32 所示的 C-C 线的剖面图。图 34 是表示本实施形态 1 的切割工序的状态的剖面图。

[0325] 首先,准备如图 17 至图 19 所示的含有多个产品形成区域(装置形成区域)11c、及位于该多个产品形成区域 11c 之间的切割区域 11d 的多槽布线基板 11。另外,如图 17 所示,在布线基板 11 的上表面 11a 上,形成有在之后的工序中搭载有半导体芯片 1(参照图 1)的芯片搭载部 11e、及以包围该芯片搭载部 11e 的方式形成有多个接合引线 2c。又,如图 18 所示,在布线基板 11 的下表面 11b 上,形成有多个焊盘 2d。

[0326] 其次,如图 20 及图 21 所示,在布线基板 11 含有的多个产品形成区域 11c 的各个上涂布黏着材 3。此处,本实施形态 1 中使用的黏着材 3 包含糊状的热固性树脂。

[0327] 接着,如图 22 及图 23 所示,在多个产品形成区域 11c 的各个上经由黏着材 3 而搭载有半导体芯片 1。此时,以使半导体芯片 1 的背面 1b 与布线基板 11 的上表面 11a 相对的方式,将半导体芯片 1 搭载在布线基板 11 的上表面 11a 上。又,本实施形态中使用的黏着材 3 是热固性的黏着材,所以在将半导体芯片 1 配置到布线基板 11 的芯片搭载部 11e(参照图 20)之后施加热,这样可使该黏着材 3 硬化,以固定半导体芯片 1。

[0328] 其次,如图 24 及图 25 所示,将形成于半导体芯片 1 的主面 1a 上的多个焊垫 1c、与形成于布线基板 11 的上表面 11a 上的多个接合引线 2c,经由作为导电性构件的多个导线 4 而分别电性连接。另外,在本实施形态中,同时使用超声波及热压接合而进行,作为打线接合的方式,是将导线 4 的一端部连接于半导体芯片 1 的焊垫 1c 侧后、将导线 4 的另一端部

与布线基板 11 的接合引线 2c 相连接的所谓正接合方式。又,如图 25 所示(详细情况参照图 4),在半导体芯片 1 的焊垫 1c 上,在毛细管的负荷作用下接合有滚珠部 4a(参照图 4),该滚珠部 4a 是通过使从毛细管(省略图示)的前端部突出的导线 4 的一端部放电所形成。将该滚珠部 4a 形成于导线 4 的一端部,从而可以进一步提高 1st 侧的焊垫与导线 4 的接合强度。

[0329] 其次,如图 26 所示,从布线基板 11 的上表面 11a 侧照射等离子(在图 26 中用箭头 PL 表示)。此目的在于提高之后的工序中所形成的密封体 5、与形成于布线基板 11 的上表面 11a 上的树脂膜(绝缘膜、阻焊膜)2m(参照图 4)的密着性。详细而言,如上所述,为了保护最上层的布线层(第 1 层布线层)2g1,在布线基板 11 的上表面 11a 上也形成有作为绝缘膜的树脂膜 2m,但受到搭载半导体芯片 1 的工序(芯片接合工序)或者打线接合工序的热影响,会从树脂膜 2m 产生脱气,该气体附着在树脂膜 2m 的表面,从而导致和密封体 5 的密着性下降。因此,必须通过所述等离子照射工序来去除附着在布线基板 11 的上表面 11a 上的树脂膜 2m 的挥发成分。

[0330] 在进行等离子照射工序之后,如图 27 及图 28 所示,为了保护半导体芯片 1 及多个导线 4,以覆盖半导体芯片 1 及多个导线 4 的方式,在布线基板 11 的上表面 11a 上形成由树脂构成的密封体 5。另外,在本实施形态中,通过将多个产品形成区域 11c 集中密封的所谓总括模塑方式(总括传递模塑方式),来形成密封体 5。

[0331] 此处,使用图 29 至图 31 来说明密封体 5 的形成工序的详细情况。

[0332] 首先,如图 29 所示,准备含有上模(第 1 模具)12a、及与该上模 12a 相对的下模(第 2 模具)12b 的成型模具 12。此处,上模 12a 含有:上模面;形成于该上模面上的模腔 12c;以及与该模腔 12c 连通的方式形成于上模中的用以供给树脂的栅极部 12d;以及在经由模腔 12c 而与该栅极部 12d 相对的位置上、且在上模 12a 上所形成的通气孔(airvent)部 12e。又,模腔 12c 的侧面 12ca 从外侧向内侧倾斜,由此使从成型模具 12 上取出形成有密封体 5 的布线基板 11 时的脱模性提高。另一方面,下模 12b 含有与上模 12a 的上模面相对的下模面。

[0333] 其次,对成型模具 12 进行开模(使下模 12b 和上模 12a 分开)之后,如图 30 所示,在下模 12b 的下模面上,配置搭载有多个半导体芯片 1 的布线基板 11。此时,以使布线基板 11 的下表面 11b 与下模 12b 的下模面相对、且使多个半导体芯片 1 位于上模 12a 的模腔 12c 内部的方式,将布线基板 1 配置在成型模具 12 的内部。

[0334] 其次,通过上模 12a 与下模 12b 来夹持(夹住(clamp))布线基板 11 的周缘部。此时,形成于上模中的栅极部 12d 及通气孔部 12e 位于布线基板 11 的上表面 11a 侧。

[0335] 接着,如图 31 所示,将树脂 5a 经由栅极部 12d 而供给到模腔 12c 内,并对成型模具 12 施加热,以使树脂 5a 硬化。由此而形成对多个半导体芯片 1 集中密封的密封体 5。另外,因为通气孔部 12e 设置于成型模具 12 内,所以即便已供给的树脂 5a 中卷入有空气(气泡),该空气(气泡)也不会残留在模腔 12c 内,而是经由通气孔部 12e 漏到外部,从而所形成的密封体 5 中不会产生空隙的问题。

[0336] 而且,通过对成型模具 12 进行开模而将形成有密封体 5 的布线基板 11 从成型模具 12 上取出,从而完成密封体 5 的形成工序。

[0337] 其次,如图 32 及图 33 所示,在从成型模具上取出的布线基板 11 的下表面 11b 侧,

形成有成为外部端子的多个凸块电极 2e。此多个凸块电极 2e 分别接合于在布线基板 11 的下表面 11b 上所形成的多个焊盘 2d。

[0338] 其次,进行对形成有密封体 5 的多槽布线基板 11 进行分割的工序(切割工序)。

[0339] 如图 34 所示,切割工序是在使形成有多个凸块电极 2e 的布线基板 11 的下表面 11b 侧朝向上方的状态、换言之在用切割胶带将密封体 5 的表面加以固定的状态下所进行,使切割刀片 14 从布线基板 11 的下表面 11b 侧经过而进行分割。此时,使切割刀片 14 不仅到达密封体 5,而且到达切割胶带 13 的一部分,这样可以完全分割布线基板 11 及密封体 5。切割刀片 14 沿着图 34 所示的切割区域 11d 而切断布线基板 11 及密封体 5 并移动。通过该工序,取得多个半导体装置 10(参照图 1 至图 4)。

[0340] 最后,检查已单片化的半导体装置 10 的外观,确认未产生凸块电极 2e 的剥离或布线基板 2 上的裂缝,从而完成半导体装置的制造。如图 35 所示,所制造的半导体装置 10 经由多个凸块电极 2e 而安装在母板(安装基板)15 上。图 35 是表示将已完成的半导体装置安装在母板上的状态的剖面图。

[0341] (实施形态 2)

[0342] 如图 38 所示,本实施形态 2 的半导体装置 20 是以使半导体芯片 1 的主面 1a 与布线基板 24 的上表面 2a 相对的方式,经由作为导电性构件的多个凸块电极 21 而与布线基板 24 的多个接合引线 24c 及半导体芯片 1 的多个焊垫 1c 分别电性连接。

[0343] 以下对本实施形态 2 的半导体装置 20 的特征加以说明,但省略对于与所述实施形态 1 相同的构成及效果等的说明。

[0344] 图 36 是从搭载有半导体芯片的布线基板(基板)的上表面(表面、第 1 面)侧观察的平面图,图 37 是从位于布线基板的与上表面相反一侧的下表面(背面、第 2 面)侧观察的平面图,图 38 是图 36 所示的 D-D 线的剖面图。

[0345] 如图 38 所示,半导体芯片 1 是以使半导体芯片 1 的主面 1a 与布线基板 24 的上表面(表面、第 1 面)2a 相对的方式,搭载在布线基板 24 的上表面 2a 上。又,形成于半导体芯片 1 的主面 1a 上的多个焊垫(电极)1c,经由作为导电性构件的多个凸块电极(突起状电极)21 而与形成于布线基板 24 上表面 2a 上的多个接合引线(电极)24c 分别电性连接。即,为面朝下(face down)安装(倒装芯片连接)。另外,半导体芯片 1 的多个焊垫 1c 是与所述实施形态 1 同样(主面 1a 上的焊垫 1c 的平面配置参照图 1),在与厚度方向交叉的面的平面形状包含四角形的主面 1a 上,沿着各边而形成,多个凸块电极 1c 是在将半导体芯片 1 搭载到布线基板 24 上之前,预先设置在半导体芯片 1 的多个焊垫 1c 的各个上。

[0346] 又,图 39 是将图 38 的 E 部分放大后的剖面图。本实施形态 2 的凸块电极 21 例如包含金(Au),半导体芯片 1 的焊垫 1c 与布线基板 24 的接合引线 24c 的电性连接如图 39 所示,是通过将形成于布线基板 24 的接合引线 24c 上的接合材即焊锡(导电性构件)22、与包含金的凸块电极 21 加以接合的所谓金-焊锡接合而实现电性连接。

[0347] 又,在半导体芯片 1 的主面 1a 与布线基板 24 的上表面 2a 之间,配置有底部填充树脂(密封树脂),由此而提高凸块电极 21 与接合引线 24c 的接合性、可靠性。

[0348] 又,如图 39 所示,本实施形态 2 中使用的布线基板 24 是与所述实施形态 1 大致相同,而不同点在于:第 1 层布线层 2g1 的一部分、即倒装芯片连接用的接合引线(倒装芯片连接用引线)24c 的间距(配置间距),比所述实施形态 1 的第 1 层布线层 2g1 的一部分、即

导线连接用的接合引线 2c 的间距更狭窄。

[0349] 其原因在于,如所述实施形态 1 中所说明的在进行导线连接时,经由导线 4 而将半导体芯片 1 的焊垫 1c 与布线基板 2 的接合引线 2c 电性连接,所以布线基板 2 的接合引线 2c 的间距无需和半导体芯片 1 的焊垫 1c 的间距相吻合。另一方面,如本实施形态 2 中进行倒装芯片连接时,经由凸块电极 21 而将布线基板 24 的接合引线 24c 与半导体芯片 1 的焊垫 1c 电性连接,所以无需以与半导体芯片 1 的焊垫 1c 的间距大致相同的间距来配置布线基板 24 的接合引线 24c 的间距。

[0350] 然而,如也在所述实施形态 1 中所说明,对于本实施形态 2 的半导体装置 20 的布线基板 24 而言,在最上层的布线层 2g、且含有形成有接合引线 24c 的布线图案的布线层 2g1 的正下方的绝缘层 2h 中,使用几乎不含有纤维而大致仅由树脂所构成的绝缘层(第 3 绝缘层 2ha),故而可以应对窄间距化。

[0351] 这样,在本实施形态 2 的半导体装置 20 中,通过倒装芯片连接而将半导体芯片 1 搭载在布线基板 24 上,所以和所述实施形态 1 相比,仅以导线 4(参照图 1 至图 4)的回线高度、及覆盖此导线 4 的密封体 5(参照图 1 至图 4)的厚度,更可相应地降低半导体装置 20 的厚度(或者半导体装置 20 的安装高度)。

[0352] 又,在本实施形态 2 的半导体装置 20 中,通过倒装芯片连接而将半导体芯片 1 搭载在布线基板 24 上,所以和在半导体芯片 1 的周边(图 17 所示的布线基板 11 的芯片搭载部 11e 的周围)配置有多个接合引线 2c 的所述实施形态 1 的半导体装置 10 相比,可以进一步缩小半导体装置 20 的外形尺寸。

[0353] 又,为了进行倒装芯片连接,即便布线基板 24 的接合引线 24c 的间距比所述实施形态 1 更狭窄,也可以和所述实施形态 1 同样地在本实施形态 2 中,在最上层的布线层 2g、且含有形成有接合引线 24c 的布线图案的布线层 2g1 的正下方的绝缘层 2h 中,使用几乎不含有纤维而大致仅由树脂所构成的绝缘层(第 3 绝缘层 2ha),因此可以应对窄间距化。

[0354] 进而,在本实施形态 2 的半导体装置 20 中,形成于半导体芯片 1 的主面 1a 上的运算处理电路(未图示)与布线基板 24 的上表面 2a 相对,且利用底部填充树脂 23 覆盖半导体芯片 1 的主面 1a,所以无需进一步以所述实施形态 1 中所说明的密封体 5 来密封安装在布线基板 24 上的半导体芯片 1。由此,可以使半导体芯片 1 的背面 1b 露出,从而可以提高半导体装置 20 的散热性。

[0355] 此处,如本实施形态 2 的半导体装置 20 般,在布线基板 24 的上表面 2a 侧不形成密封体 5 时,布线基板 24 更容易翘曲。对于此情况,以下将说明。

[0356] 首先,如上所述,在使用与构成半导体芯片 1 的材料(本实施形态中,是硅)所不同的材料(本实施形态中,是环氧类树脂)而制造布线基板 24 时,因各自的热膨胀系数会产生差异,所以如果将半导体芯片 1 搭载在布线基板 24 上之后实施热处理,则会导致布线基板 24 翘曲。

[0357] 此处,在所述实施形态 1 中,在布线基板 2 的上表面 2a 侧,形成具有半导体芯片 1 的热膨胀系数、与布线基板 2 的绝缘层 2h(也包含芯材 2f)的热膨胀系数之间的膨胀系数的密封体 5,这样可以缓和翘曲。

[0358] 然而,在本实施形态 2 的半导体装置 24 中,并未形成密封体 5,所以和形成有密封体 5 的所述实施形态 1 的半导体装置 10 相比,难以缓和该翘曲。

[0359] 因此,在本实施形态2的半导体装置中,使用所述实施形态1中已说明的布线基板24,该布线基板24是由包含预浸渍材的第1绝缘层(芯材2f)和第2绝缘层2hp、及大致仅由树脂构成的第3绝缘层2ha所构成。因此,可以提高布线基板24的强度(硬度),即便对于不形成密封体5而将半导体芯片1在布线基板24上进行了倒装芯片连接的半导体装置20,也可以抑制布线基板24的翘曲。

[0360] 又,图40是表示本实施形态2中将半导体芯片在布线基板上进行倒装芯片连接时的状态的剖面图。另外,在本实施形态2的半导体装置的制造方法中,对于与所述实施形态1中已说明的半导体装置10的制造方法共通的工序,省略其说明。将半导体芯片1在布线基板24上进行倒装芯片连接时,如图40所示,在加热台25上配置布线基板24,对凸块电极21与接合引线24c的接合部施加热(图40所示的细箭头),并使用工具(夹具)26来挤压半导体芯片的背面(图40所示的粗箭头),这样进行凸块电极21与接合引线24c的电性连接。另外,在图40中,从加热台25侧、及挤压用的工具26侧的两个方向施加热。也就是说,工具26具备作为挤压夹具的功能、及作为加热夹具的功能,其目的是为了向凸块电极21与接合引线24c的接合部有效地传热。

[0361] 因此,在第1层布线层2g1的一部分的接合引线24c的正下方的第3绝缘层2ha上,经由半导体芯片1及凸块电极21而施加有在工具26的挤压下所产生的负荷。

[0362] 此时,如果在接合引线24c的正下方形成有比大致仅由树脂所构成的第3绝缘层2ha更硬的预浸渍材(例如,第2绝缘层2hp之类的材料),则担心会因该负荷而产生裂缝。

[0363] 但是,在本实施形态2中,接合引线24c的正下方的第3绝缘层2ha大致不含有纤维而大致仅由树脂所构成,所以可以吸收该负荷,即便使布线基板24的厚度变薄,也可以抑制布线基板24上产生裂缝。

[0364] (实施形态3)

[0365] 在所述实施形态1、2中,已对布线基板2、24的上表面2a上搭载有一个半导体芯片1的半导体装置10、20进行了说明,近年来,随着半导体装置的高功能化,正在研讨一种SIP(System In Package,系统级封装)型半导体装置,该SIP型半导体装置是在一个半导体装置内,混合搭载有包括运算处理电路的微电脑系统的半导体芯片(微芯片)、与包括存储电路的存储器系统的半导体芯片(存储器芯片),从而构建一个系统。

[0366] 因此,本申请案发明者对所述的SIP型半导体装置进行了讨论。

[0367] 首先,对本实施形态3的半导体装置30的构成加以说明,使用图41所示的电路框图来说明本实施形态3的SIP型半导体装置的电路动作。图41是对本实施形态3中的半导体装置的内部、及该半导体装置与外部设备之间的电路动作进行说明的电路框图。此处,结合本实施形态3,对含有形成有FLASH存储器的存储器芯片(第2半导体芯片)32来作为存储器芯片、及对所述动作进行控制的微芯片(第1半导体芯片)31的情况加以说明。然而,存储器芯片32的数量或种类并不限于此例,也可以是DRAM系统的存储器芯片。另外,关于本实施形态3的半导体装置30的特征,也与所述实施形态2相同,省略对于和所述实施形态1相同的构成及效果等的说明。

[0368] 微芯片31的主要作用之一有如下的作业:为了在由微电脑和存储器所构建的系统的外部所设置的外部设备(外部LSI)33、与设置在系统内部的存储器芯片32之间进行数据的输入输出,将外部界面用的逻辑地址(外部地址)转换为FLASH存储器的物理地址。

因此,对已输入的信号进行运算处理的微芯片 31 包括作为 FLASH 存储器用的界面的内部界面(内部 I/F)用焊垫 31cIIF。而且,也包括用以将微芯片 31 用的电源电位输入到运算处理电路的焊垫(电源电位用焊垫)31cVdd、以及用以将微芯片 31 用的基准电位输入到运算处理电路的焊垫(基准电位用焊垫)31cGND。

[0369] 又,微芯片 31 在担负所述作用时,在微芯片 31 上,除了与存储器芯片 32 之间的界面所必要的焊垫以外,还需要构成外部界面(外部 I/F)的焊垫(电极)31cOIF。所以,微芯片 31 中,和存储器芯片 32 相比,与外部界面所必要的外部界面用焊垫(电极)31cOIF 的数量相应地,焊垫(电极)31c、32c 的数量变多。另外,所述多个焊垫 31c 分别与运算处理电路电性连接(未图示)。

[0370] 经由外部界面所输出的数据,经由外部设备 33 而转换为各种信息,并输出到网络设备或人性化界面(human interface)设备等。

[0371] 另一方面,存储器芯片 32 除了包括与微芯片 31 的界面以外,还包括芯片选择(chipselect)端子(未图示)。通过使该芯片选择端子有效或无效,可以对 FLASH 存储器进行数据的写入或读取。进而,为了检测特定的地址,还包含电复位(power on reset)用的端子(未图示)。而且,更包括用以将存储器芯片用的电源电位输入到存储电路的焊垫(电源电位用焊垫)32cVdd、以及用以将存储器芯片用的基准电位输入到存储电路的焊垫(基准电位用焊垫)32cGND。

[0372] 又,图 42 是从本实施形态 3 的搭载有半导体芯片的布线基板的上表面侧观察的平面图。图 43 是图 42 所示的 P 部分的主要部分放大平面图。图 44 是图 42 所示的 F-F 线的剖面图。图 45 是将图 44 的 H 部分放大后的剖面图。图 46 是图 42 所示的 G-G 线的放大剖面图。另外,图 42 所示的微芯片 31 的主面 32 上的焊垫 31c 的平面配置与图 1 所示的半导体芯片 1 上的焊垫 1c 的平面配置相同,因而省略图示。

[0373] 在本实施形态 3 的半导体装置 30 中,关于在布线基板的下表面上所形成的多个焊盘,也设置有用以确认搭载在布线基板上的微芯片 31 与存储器芯片 32 之间进行电性连接的测试用的焊盘 2d。

[0374] 这样,在本实施形态 3 的 SIP 型半导体装置 30 中,和所述实施形态 1、2 相比,不仅搭载在布线基板 34 上的半导体芯片(微芯片 31、存储器芯片 32)的数量增加,而且多个半导体芯片的焊垫(焊垫 31c、32c)的总数也会增加,所以在布线基板内形成有更多的布线图案(布线层)。

[0375] 又,为了减小半导体装置 30 的外形尺寸,与在布线基板 34 的上表面 2a 上并列搭载多个半导体芯片的情况相比,优选在其中的一个半导体芯片上叠层搭载另一个半导体芯片。

[0376] 另外,在本实施形态 3 中,将微芯片 31 搭载在布线基板 34 上,并在此微芯片 31 上搭载存储器芯片 32。

[0377] 如果详细说明,则如图 42 及图 44 所示,微芯片(第 1 半导体芯片)31 含有形成有多个焊垫(第 1 焊垫)31c 的主面(第 1 主面)31a、及位于与主面 31a 相反一侧的背面(第 1 背面)31b,而且以使微芯片 31 的主面 31a 与布线基板 34 的上表面 2a 相对的方式搭载在布线基板 34 的上表面 2a 上。换言之,微芯片 31 是面朝下安装在布线基板 34 上。

[0378] 又,存储器芯片(第 2 半导体芯片)32 含有形成有多个焊垫(第 2 焊垫)32c 的主

面(第2主面)32a、及位于与主面32a相反一侧的背面(第2背面)32b。而且,存储器芯片32是以使存储器芯片32的背面32b与微芯片31的背面31b相对的方式,叠层在此微芯片31上。换言之,存储器芯片32是面朝上安装在微芯片31上。另外,如图45所示,存储器芯片32经由薄膜状的黏着材35而搭载在微芯片31上。

[0379] 又,搭载有所述多个半导体芯片(微芯片31及存储器芯片32)的布线基板34含有上表面2a及下表面2b。而且,在布线基板34的上表面2a侧,含有与微芯片31的焊垫31c电性连接的接合引线(第1接合引线、倒装连接用引线)24c、及配置在接合引线24c的周围(外周侧)且与存储器芯片32的焊垫32c电性连接的接合引线(第2接合引线、导线连接用引线)2c。如图44所示,与所述实施形态2的接合引线24c相同,微芯片31的焊垫(第1焊垫)1c与布线基板34的接合引线24c经由形成于微芯片31的焊垫31c上的导电性构件(第1导电性构件)即凸块电极(突起状电极)21而电性连接。所述凸块电极21是通过形成在微芯片31的主面31a与布线基板34的上表面2a之间的底部填充树脂(第1密封体)23而密封。

[0380] 又,如图42及图44所示,存储器芯片32的焊垫32c与布线基板34的接合引线2c是像所述实施形态1那样经由作为导电性构件(第2导电性构件)的导线4而电性连接。微芯片31、存储器芯片32及多个导线4是通过形成在布线基板34的上表面2a上的密封体(第2密封体)5而密封。

[0381] 又,如图45所示,在微芯片31及存储器芯片32的各焊垫31c、32c中为了进行数据的输入输出所使用的焊垫31c、32c,经由布线基板34内的布线层2g而彼此电性连接。另外,在本实施形态3中,显示在第1层布线层2g1中连接的示例。如果详细说明,则在图43及图45中,在布线基板34的接合引线2c中,与存储器芯片32的内部界面用焊垫32cIIF电性连接的内部界面用接合引线2cIIF,是与和微芯片31的内部界面用焊垫31cIIF电性连接的内部界面用接合引线24cIIF在布线基板34内进行电性连接。此处,图43是将图42所示的P部分放大后的平面图,透过形成于第1层布线层2g1上的保护膜来说明连接关系。又,所述连接状态相当于图41所示的存储器芯片(FLASH)32与微芯片31之间的连接关系。

[0382] 微芯片31的内部界面用焊垫31cIIF经由形成于微芯片内部的运算处理电路而与微芯片31的外部界面用焊垫31cOIF进行电性连接。而且,如图46所示,微芯片31的外部界面用焊垫31cOIF经由布线基板34内的布线层2g而电性连接于半导体装置30的外部端子即凸块电极2e。又,存储器芯片32的电源电位用焊垫32cVdd、基准电位用焊垫32cGND是从接合引线2cVdd(或者2cGND)经由布线(金属膜)2k而引导到布线基板34的内层,进而,分别经由布线基板34内的布线层2g而电性连接于半导体装置30的外部端子即凸块电极2e。此时,如图41所示,存储器芯片32的电源电位用焊垫32cVdd、基准电位用焊垫32cGND并不共有微芯片31的电源电位或者基准电位,而是独立设置。因此,不经由微芯片31的焊垫31c,而是从布线基板34的接合引线2cVdd(或者2cGND)将电流路径直接引导到与此相对应的焊盘2d。另外,以下省略图示,微芯片31的电源电位用焊垫31c及基准电位用焊垫31c也同样地分别经由布线基板34内的布线层2g而电性连接于半导体装置30的外部端子即凸块电极2e。

[0383] 将微芯片31搭载在比存储器芯片32更下段侧的理由是,如上所述,微芯片31的焊垫31c的总数多于存储器芯片32的焊垫32c的总数。此处,在之后的密封体(第2密封

体)5的形成工序(铸模工序)中所供给的树脂压力的作用下,导线4会移动,所以担心会在铸模工序前所形成的导线4之间短路。因此,在将微芯片31面朝上安装于上段侧时,与连接有凸块电极的接合引线(倒装连接用引线)24c之间的间距相比,必须使布线基板34的连接有导线4的接合引线(导线连接用引线)2c之间的间距更宽,如果将焊垫总数比存储器芯片32多的微芯片31叠层在上段侧,则会导致布线基板34的外形尺寸变大。因此,在本实施形态3中,将微芯片31搭载在比存储器芯片32更下段侧。

[0384] 这样,在本实施形态3的SIP型半导体装置中,将微芯片31搭载在比存储器芯片32更下段侧,从而可以实现半导体装置30的小型化。

[0385] 又,和所述实施形态1、2相比,本实施形态3的SIP型半导体装置30中,搭载(叠层)在布线基板34上的半导体芯片的数量更多。而且,当搭载在布线基板34上的半导体芯片的数量变多时,配置在布线基板34上的硅(Si)的量也比所述实施形态1、2更多,所以会更显著地产生翘曲的问题,因此,必须使SIP型半导体装置30中所使用的布线基板34的厚度,比搭载有一个半导体芯片时所使用的布线基板2、24的厚度更厚,以确保强度(硬度)。因此,在SIP型半导体装置30中,降低半导体装置30的安装高度是和所述实施形态1、2相比更为重要的课题。

[0386] 但是,与所述实施形态1、2相同,在本实施形态3的半导体装置30中,也使用由包含预浸渍材的第1绝缘层(芯材2f)和第2绝缘层2hp、及大致仅由树脂构成的第3绝缘层2ha所构成的布线基板,所以即便为了使半导体装置30的厚度变薄而削薄了布线基板34的厚度,也可以确保布线基板的强度(硬度)。

[0387] 另外,本实施形态3的布线基板34的厚度即便为如下布线基板(比较例的布线基板)的约2/3的厚度,也可以确保与该比较例的布线基板大致同等的强度(硬度),所述比较例的布线基板如图45所示,在第2绝缘层2hp中不使用预浸渍材,而是由几乎不含有纤维而大致仅由树脂所构成的绝缘层来分别构成第2绝缘层2hp及第3绝缘层2ha。

[0388] 又,对于本实施形态3的SIP型半导体装置30而言,在母板(安装基板)上,不仅可以减少该半导体装置30所占有的区域,而且可以使在微芯片31与存储器芯片32之间进行输入输出的信号的传输路径,比起利用个别的半导体装置30分别制造微芯片31与存储器芯片32的情况更短。这样,也可以应对半导体装置30的高速化。

[0389] 接下来,以下使用图47至图59,对本实施形态3的半导体装置的制造方法加以说明。图47至图59是用以说明本实施形态3的半导体装置的制造方法的示图。图47是表示本实施形态3中已准备的多槽布线基板的上表面侧的平面图。图48是表示图47所示的多槽布线基板的下表面侧的平面图。图49是图47所示的J-J线的剖面图。图50是本实施形态3中从多槽布线基板的上表面侧观察将微芯片在多槽布线基板上进行倒装芯片连接后的状态的平面图。图51是图50所示的J-J线的剖面图。图52是本实施形态3中从多槽布线基板的上表面侧观察向微芯片与布线基板之间供给有底部填充树脂的状态的平面图。图53是图52所示的J-J线的剖面图。图54是本实施形态3中从多槽布线基板的上表面侧观察在微芯片上叠层有存储器芯片的状态的平面图。图55是图54所示的J-J线的剖面图。图56是本实施形态3中从多槽布线基板的上表面侧观察经由导线而将存储器芯片与布线基板电性连接后的状态的平面图。图57是图56所示的J-J线的剖面图。图58是本实施形态3中从多槽布线基板的上表面侧观察在布线基板上形成有密封体的状态的平面图。

图 59 是图 58 所示的 J-J 线的剖面图。

[0390] 首先,准备如图 47 至图 49 所示的含有多个产品形成区域(装置形成区域)11c、及位于该多个产品形成区域 11c 之间的切割区域(图 47 中所示的虚线部分)11d 的多槽布线基板 36。此处,在产品形成区域 11c 内形成有多个接合引线 2c、24c。又,该多个接合引线 2c、24c 包括:倒装芯片连接用的接合引线(第 1 接合引线)24c,其经由凸块电极 21 而与微芯片 31 的焊垫(电极、微芯片用焊垫)31c 电性连接;以及导线连接用的接合引线(第 2 接合引线)2c,其形成于该倒装芯片连接用的接合引线 24c 与布线基板 36 的一边之间,并经由导线 4 而与存储器芯片 32 的焊垫(电极、存储器芯片用焊垫)32c 电性连接。

[0391] 另外,如图 47 所示,在布线基板 36 的上表面 11a 上,形成有在之后的工序中搭载半导体芯片(微芯片 31)的区域即芯片搭载部 11e。多个接合引线 2c 是在此芯片搭载部 11e 内沿着构成芯片搭载部 11e 的轮廓的各边所形成。又,多个接合引线 24c 是在芯片搭载部 11e、与构成产品形成区域 11c 的轮廓的一边之间所形成。多个接合引线 24c、2c 的总和多于所述实施形态 1 中所说明的多个接合引线 2c 或者接合引线 24c。又,如图 48 所示,在布线基板 36 的下表面 11b 上,以矩阵状形成有多个焊盘 2d。又,该多个焊盘 2d 的数量多于所述实施形态 1、2 中所说明的多个焊盘 2d。

[0392] 其次,如图 50 及图 51 所示,在布线基板 36 的多个产品形成区域 11c 上分别倒装芯片连接(金-焊锡接合)有微芯片 31。此时,倒装芯片连接的详细工序与所述实施形态 2 的图 40 相同,所以省略此处的说明。又,关于微芯片 31 的构成,也和所述实施形态 2 中已说明的半导体芯片 1 相同,所以省略此处的说明。

[0393] 接着,一方面持续施加所述金-焊锡接合工序中的热,一方面如图 52 及图 53 所示,在微芯片 31 的主面与布线基板 36 的上表面 11a 之间填充(供给)底部填充树脂 23。另外,如图 53 所示,在微芯片(半导体芯片)31 的侧面侧配置有喷嘴 37,且底部填充树脂 23 经由该喷嘴 37 而向微芯片 31 的主面 31a 与布线基板 36 的上表面 11a 之间供给。

[0394] 然后,如图 54 及图 55 所示,以使存储器芯片 32 的背面 32b 与微芯片 31 的背面 31b 相对的方式,经由黏着材 35 而将存储器芯片 32 叠层于微芯片 31 的背面 31b 上。此处,存储器芯片 32 的与厚度方向交叉的面的平面形状包含四角形,如图 54 所示,例如包含长方形,此长方形是由彼此相对的一对长边、及沿着与该长边交叉的方向而延伸且彼此相对的一对短边所构成。又,多个焊垫 32c(电极、存储器芯片用焊垫)沿着存储器芯片 32 的两个短边中的一个短边而形成。又,在本实施形态 3 中,黏着材 35 包含称作 DAF(Die Attach Film, 芯片黏着膜)的薄膜状的黏着材,该黏着材 35 是在半导体晶圆的阶段被预先黏贴到半导体晶圆的背面(半导体芯片的背面)。因此,该黏着材 35 以完全覆盖存储器芯片 32 的背面 32b 的方式而形成。

[0395] 其次,如图 56 及图 57 所示,将存储器芯片 32 的焊垫 32b 与布线基板 36 的接合引线(导线连接用引线)2c 经由导线 4 而电性连接。此时,与所述实施形态 1 相同,导线 4 通过正接合方式而形成。

[0396] 接着,如图 58 及图 59 所示,以覆盖微芯片 31、底部填充树脂 23、存储器芯片 32 及导线 4 的方式,在布线基板 36 的上表面 11a 上形成密封体 5。另外,关于密封体 5 的形成工序,与所述实施形态 1 相同,所以省略此处的说明。

[0397] 形成密封体 5 之后的工序(形成作为外部端子的凸块电极 2e 的工序、及切割工)

与所述实施形态 1 相同,所以省略此处的说明。

[0398] 又,和所述实施形态 1、2 相同,已完成的 SIP 型半导体装置经由多个凸块电极而安装在个人电脑或手机等电子设备的母板(安装基板)上。

[0399] (实施形态 4)

[0400] 在所述实施形态 3 中,对于通过在一个半导体装置内混合搭载微芯片 31 与存储器芯片 32 而构建一个系统的 SIP 型半导体装置 30 进行了说明,在本实施形态 4 中,对于分别利用不同的半导体装置 40、50 来制造微芯片 31 与存储器芯片 32,并最终在其中一个半导体装置 40 上叠层另一个半导体装置 50 且电性连接的所谓 POP(Package OnPackage,层叠封装)型半导体装置 60 加以说明。

[0401] 图 60 是本实施形态 4 的 POP 型半导体装置的剖面图。图 61 是从图 60 所示的配置在上段侧的半导体装置的搭载有存储器芯片的布线基板的上表面侧观察的平面图。图 62 是从图 60 所示的配置在下段侧的半导体装置的搭载有微芯片的布线基板的上表面侧观察的平面图。图 63 是将图 60 的 K 部分放大后的剖面图。图 64 是将与图 63 所示的剖面不同的剖面放大后的剖面图。图 65 是图 62 所示的 Q 部分的主要部分放大平面图。

[0402] POP 型半导体装置 60 的构成如图 60 所示,在含有搭载微芯片 31 的布线基板(第 1 布线基板、微芯片用布线基板)41 的半导体装置(第 1 半导体装置)40 上,经由多个凸块电极(半导体装置连接用导电性构件)52 而叠层有含有搭载存储器芯片 32 的布线基板(第 2 布线基板、存储器芯片用布线基板)51 的半导体装置(第 2 半导体装置)。又,半导体装置 50 所含有的焊盘(第 2 焊盘)51d 与半导体装置 40 所含有的焊盘(电极、第 2 接合引线)41c 是经由凸块电极 52 而电性连接。另外,本实施形态 4 的凸块电极 52 是包含与所述实施形态 1 中所说明的凸块电极(外部端子、第 1 焊盘)2e 相同的材料。

[0403] 位于下段侧的半导体装置(第 1 半导体装置)40 与所述实施形态 2、3 相同,在布线基板 41 的上表面 2a 上倒装芯片连接有微芯片 31。另外,形成于微芯片 31 的主面 31a 上的焊垫 31c、与形成于布线基板 41 的上表面 2a 上的接合引线(第 1 接合引线、倒装芯片连接用引线)24c 的电性连接,和所述实施形态 2、3 相同,所以省略此处的说明。

[0404] 另一方面,位于上段侧的半导体装置(第 2 半导体装置)50 与所述实施形态 1 相同,在布线基板 51 的上表面 51a 上面朝上安装有存储器芯片 32。另外,形成于存储器芯片 32 的主面 32a 上的焊垫 32c、与形成于布线基板 51 的上表面 51a 上的接合引线(导线连接用引线)51c 的电性连接,和所述实施形态 1、3 中所说明的导线 4 与接合引线 2c 的连接相同,所以省略此处的说明。

[0405] 在半导体装置 50 上,搭载有存储器芯片 32,但并未搭载有微芯片 31。因此,如图 61 及图 62 所示,形成于布线基板 51 的上表面 51a 上的接合引线 51c 的数量,少于形成于布线基板 41 的上表面 2a 上的接合引线 24c。这样,对于仅搭载作为半导体芯片的存储器芯片 32 的半导体装置 50 而言,因为其端子数量可以较少,所以不必为了引导布线而形成多层结构。因此,如图 63 及图 64 所示,例如可以由包含芯片搭载面布线层 51g1 及背面布线层 51g2 的 2 层布线层 51g 而构成。所以,不必像布线基板 41 那样形成为多层布线基板,从而可以使厚度变薄。也就是说,位于上段侧的半导体装置 50 的厚度比位于下段侧的半导体装置 40 更薄。

[0406] 又,如图 63 所示,与所述实施形态 1、2、3 中说明的布线基板 2、24、34 相同,位于下

段侧的半导体装置(第1半导体装置)40所含有的布线基板41是含有在芯材2f的上下表面2fa、2fb侧分别形成有各3层布线层2g的共计6层布线层2g的多层布线基板。又,布线基板41所含有的各绝缘层2h的结构也和所述实施形态1、2、3中说明的布线基板2、24、34相同。即,多个绝缘层2h含有:绝缘层(第2绝缘层、第2绝缘膜)2hp,其形成于芯材(第1绝缘层)2f的上下,且被称作含有玻璃布及填充料等纤维及树脂的预浸渍材;以及绝缘层(第3绝缘层、第3绝缘膜)2ha,其经由该第2绝缘层2hp而形成于芯材2f的上下,实质上不含有所述的纤维,而是仅由树脂所构成。

[0407] 又,搭载有微芯片31的半导体装置40、与搭载有存储器芯片32的半导体装置50的电性连接关系,与所述实施形态3中所说明的情况为大致相同的构成。

[0408] 即,如图63所示,在微芯片31及存储器芯片32的各焊垫31c、32c中为了进行数据的输入输出所使用的焊垫31c、32c,经由布线基板41内的布线层2g而彼此电性连接。另外,在本实施形态4中,显示在第1层布线层2g1中连接的示例。如果详细说明,则在图63及图65中,在布线基板51的接合引线51c中,与存储器芯片32的内部界面用焊垫32cIIF电性连接的布线基板51的接合引线51c,是经由形成于布线基板51上的布线(通孔布线)2fd而与形成在布线基板51背面上的焊盘51d连接。而且,该焊盘51d与布线基板41的焊盘(内部界面用第2接合引线)41cIIF是经由凸块电极52而电性连接。又,该焊盘(内部界面用第2接合引线)41cIIF与和微芯片31的内部界面用焊垫31cIIF电性连接的内部界面用第1接合引线24cIIF在布线基板41内进行电性连接。此处,图65是将图62所示的Q部分放大后的平面图,透过形成于第1层布线层2g1上的保护膜来说明连接关系。又,所述的连接状态是和图41所示的存储器芯片(FLASH)32与微芯片31之间的连接关系类似。

[0409] 微芯片31的内部界面用焊垫31cIIF经由形成于微芯片31内部的运算处理电路而与微芯片31的外部界面用焊垫31cOIF电性连接。而且,微芯片31的外部界面用焊垫31cOIF如图63所示,经由布线基板41内的布线层2g而电性连接于半导体装置60的外部端子即凸块电极2e。

[0410] 又,存储器芯片32的电源电位用焊垫32cVdd、基准电位用焊垫32cGND,经由作为导电性构件的导线4而与布线基板51的接合引线51c电性连接。而且,该接合引线51c经由形成于布线基板51上的布线(通孔布线)2fd而与形成于布线基板51背面上的焊盘51d连接。又,该焊盘51d与布线基板41的焊盘(电源电位用第2接合引线)41cVdd(或者焊盘(基准电位用第2接合引线)41cGND)经由凸块电极52而电性连接。而且,从焊盘(电源电位用第2接合引线)41cVdd(或者焊盘(基准电位用第2接合引线)41cGND)经由布线(金属膜)2k而引导到布线基板41的内层,进而,分别经由布线基板41内的布线层2g而电性连接于半导体装置60的外部端子即凸块电极2e。此时,如图41所示,存储器芯片32的电源电位用焊垫32cVdd、基准电位用焊垫32cGND并不共有微芯片31的电源电位或者基准电位,而是独立设置。因此,不经由微芯片31的焊垫31c,而是从布线基板41的焊盘(电源电位用第2接合引线)41cVdd(或者焊盘(基准电位用第2接合引线)41cGND)将电流路径直接引导到与此相对应的焊盘2d。另外,以下省略图示,微芯片31的电源电位用焊垫31c及基准电位用焊垫31c也同样地分别经由布线基板41内的布线层2g而电性连接于半导体装置60的外部端子即凸块电极2e。

[0411] 对于POP型半导体装置60而言,其厚度比所述实施形态3中所说明的SIP型半导

体装置 30 的厚度更厚,但如图 63 所示,由于使用有由第 1 绝缘层(芯材 2f)及第 2 绝缘层 2hp 含有预浸渍材、且第 3 绝缘层 2ha 实质上不含有所述纤维而大致仅包含树脂的绝缘层所构成的多层布线基板,故而即便使布线基板 41 的厚度变薄,也可以确保布线基板 41 的强度(硬度)。这样,因为可以使半导体装置 40 的厚度变薄,所以能够降低半导体装置 60 的安装高度。

[0412] 又,位于下段侧的半导体装置(第 1 半导体装置)40 与所述实施形态 2 相同,布线基板 41 的所有上表面 2a 并未被密封体 5 所覆盖,所以和被密封体 5 所覆盖的所述实施形态 1、3 相比,翘曲的问题更严重,但因为使用有图 63 所示的布线基板 41,所以和所述实施形态 2 相同,即便为了削薄半导体装置 40 的厚度而减少了布线基板 41 的厚度,也可以抑制该翘曲。

[0413] 另外,如上所述,本实施形态 4 的 POP 型半导体装置 60 不仅如所述实施形态 2 中所说明,位于下段侧的半导体装置(第 1 半导体装置)40 中翘曲的问题变得严重,而且安装高度也变得比所述实施形态 3 的 SIP 型半导体装置更高。因此,最有效的是,在所述半导体装置 40 上,使用由第 1 绝缘层(芯材)及第 2 绝缘层 2hp 含有预浸渍材、且第 3 绝缘层 2ha 实质上不含有所述纤维而大致仅包含树脂的绝缘层所构成的多层布线基板(布线基板 41)。

[0414] 又,对于 POP 型半导体装置 60 而言,由于分别利用不同的半导体装置 40、50 而制造微芯片 31 与存储器芯片 32,所以可以仅将最终的检查工序中为良品的半导体装置 40、50 组合使用,从而和 SIP 型半导体装置 30 相比,更能提高半导体装置 60 的良率。

[0415] 接着,以下对于本实施形态 4 的 POP 型半导体装置 60 的制造方法加以说明,但关于与所述实施形态 1 至 3 相同的构成,则省略其说明。图 66 是表示本实施形态 4 的下段侧的半导体装置中已准备的多槽布线基板的上表面侧的平面图。图 67 是表示图 66 所示的多槽布线基板的下表面侧的平面图。图 68 是图 66 所示的 L-L 线的剖面图。图 69 是本实施形态 4 的下段侧的半导体装置中,从多槽布线基板的上表面侧观察将微芯片在布线基板上进行倒装芯片连接后的状态的平面图。图 70 是图 69 所示的 L-L 线的剖面图。图 71 是本实施形态 4 的下段侧的半导体装置中,从多槽布线基板的上表面侧观察向微芯片与布线基板之间供给有底部填充树脂的状态的平面图。图 72 是图 71 所示的 L-L 线的剖面图。图 73 是表示本实施形态 4 的下段侧的半导体装置中,在多槽布线基板的下表面上连接有凸块电极的状态的平面图。图 74 是图 73 所示的 L-L 线的剖面图。图 75 是表示本实施形态 4 的下段侧的半导体装置中切割工序的状态的剖面图。

[0416] 首先,分别准备 POP 型半导体装置 60 中的下段侧的半导体装置(第 1 半导体装置)40、及上段侧的半导体装置(第 2 半导体装置)50。

[0417] 下段侧的半导体装置(第 1 半导体装置)40 的制造方法如下所述。

[0418] 首先,准备图 66 至图 68 所示的布线基板 42。该布线基板 42 是含有多个产品形成区域(装置形成区域)11c、及位于该多个产品形成区域 11c 之间的切割区域 11d 的多槽布线基板。另外,在布线基板 42 的上表面 11a 上,如图 66 所示,形成有在之后的工序中搭载有半导体芯片的区域(芯片搭载部 11e)、及以包围该区域(芯片搭载部 11e)的方式形成有多个焊盘(电极、第 2 接合引线)41c。该焊盘 41c 在之后的工序中,经由凸块电极 52 而与上段侧的半导体装置(第 2 半导体装置)50 电性连接。又,如图 67 及图 68 所示,在布线基

板 42 的下表面 41b 上,形成有多个焊盘 2d。

[0419] 其次,如图 69 及图 70 所示,在多个产品形成区域各自的芯片搭载部上搭载有微芯片 31。此时,如所述实施形态 2、3 中所说明,微芯片 31 被倒装芯片连接(金-焊锡接合)于布线基板 42 的上表面 11a 上。

[0420] 其次,如图 71 及图 72 所示,向微芯片 31 的主面 31a 与布线基板 42 的上表面 11a 之间填充底部填充树脂 23。此工序也和所述实施形态 2、3 为相同的工序,所以省略此处的说明。

[0421] 接着,如图 73 及图 74 所示,将成为外部端子的多个凸块电极 2e 分别连接于在布线基板 42 的下表面上所形成的多个焊盘 2d。另外,凸块电极 2d 的材料与所述实施形态 1、3 相同,包含无铅焊锡。

[0422] 然后,如图 75 所示,使切割刀片 14 沿着布线基板 42 的切割区域而经过,由此取得多个半导体装置 40。

[0423] 接下来,对上段侧的半导体装置(第 2 半导体装置)50 的制造方法加以说明。此处,上段侧的半导体装置(第 2 半导体装置)50 的制造方法与所述实施形态 1 的制造方法为大致相同的顺序,但所使用的布线基板 51 不同,因而以下仅对该布线基板 51(多槽布线基板 53)进行说明。

[0424] 图 76 是多槽布线基板 53 的上表面(表面)51a 的平面图,图 77 是多槽布线基板 53 的下表面(背面)51b 的平面图,图 78 是图 76 的 M-M 线的剖面图。

[0425] 如图 76 及图 78 所示,在布线基板 53 的上表面 51a 的中央部上,设置有搭载存储器芯片(半导体芯片)32(参照图 61)的区域(芯片搭载部 11d),在本实施形态 4 中,存储器芯片 32 经由黏着材(省略图示)而搭载。而且,在此区域与布线基板的一边之间,沿着该一边而形成有多个接合引线 51c。此接合引线 51c 经由导线 4(参照图 61)而与形成于存储器芯片的主面上的焊垫 32c(参照图 61)电性连接。

[0426] 又,如图 77 及图 78 所示,在布线基板 53 的下表面上,沿着布线基板的各边,遍及多个行而形成有多个焊盘 51d,在本实施形态 4 中包含 2 行。此原因在于,在本实施形态 4 的上段侧的半导体装置 50 上,仅搭载有一个存储器芯片 32。如果详细说明,则因为存储器芯片 32 的焊垫 32c 的数量如上所述比微芯片 31 的焊垫 31c 的数量少,所以用以连接成为外部端子的凸块电极 52 的焊盘 51d 的数量也较少。即,和下段侧的半导体装置 40 中的形成于布线基板 41 下表面 2b 侧的焊盘 2d 的数量相比也较少。因此,在上段侧的半导体装置 50 的布线基板 51 中,在布线基板 51 的中央部(相当于多槽布线基板 53 中的产品形成区域 11c 的中央部)未形成有焊盘 51d。

[0427] 使用所述布线基板 53 来进行与所述实施形态 1 相同的工序,从而取得上段侧的半导体装置 50。

[0428] 而且,在已取得的多个下段侧的半导体装置(第 1 半导体装置)40 中,在最终测试(外观检查工序)中成为良品的半导体装置 40 上,将同样在最终测试(外观检查工序)中成为良品的上段侧的半导体装置(第 2 半导体装置)50 经由多个凸块电极 52 而叠层。

[0429] 以上,根据实施形态具体说明了本发明者所完成的发明,但本发明并不限于所述实施形态,当然在不脱离其宗旨的范围内可以进行各种变更。

[0430] 例如,在所述实施形态 1 至 4 中,对于准备预先所制造的布线基板 2、24、34、41 并

组装半导体装置 10、20、30、40 的工序进行了说明,但并不限于此。例如,也可以在制造布线基板 2、24、34、41 之后进行半导体装置 10、20、30、40 的组装,以下,使用图 79 至图 84 来对布线基板 2、24、34、41 的制造工序加以说明。图 79 至图 84 是用以说明布线基板的制造工序的放大剖面图,图 79 是表示将第 3 层及第 4 层布线层形成于芯材的上下表面上的状态的部分剖面图,图 80 是表示在芯材的上下表面上分别形成有第 2 绝缘层的状态的部分剖面图。又,图 81 是表示在第 2 绝缘层上分别形成有第 2 层及第 5 层布线层的状态的部分剖面图,图 82 是表示以分别覆盖第 2 层及第 5 层布线层的方式形成有第 3 绝缘层的状态的部分剖面图。又,图 83 是表示在第 3 绝缘层上形成有第 1 层及第 6 层布线层的状态的部分剖面图,图 84 是表示以分别露出第 1 层及第 6 层布线层的一部分的方式形成有保护膜的状态的部分剖面图。

[0431] 首先,如图 79 所示,准备第 3 层及第 4 层布线层 2g3、2g4 形成于上下表面 2fa、2fb 上的作为预浸渍材的芯材(第 1 绝缘层)2f。

[0432] 接着,如图 80 所示,在芯材 2f 的上下表面 2fa、2fb 上,以分别覆盖第 3 层及第 4 层布线层 2g3、2g4 的方式,分别形成作为预浸渍材的第 2 绝缘层 2hp。然后,以露出第 3 层及第 4 层布线层 2g3、2g4 各自的一部分的方式,在第 2 绝缘层 2hp 上形成开口部(第 2 绝缘层用开口部、通道)2hpSH。

[0433] 其次,如图 81 所示,在第 2 绝缘层 2hp 上分别形成第 2 层及第 5 层布线层 2g2、2g5。此时,第 2 层布线层 2g2 经由形成于第 2 绝缘层 2hp 的开口部内的布线(金属膜)2j 而与第 3 层布线层 2g3 电性连接。另一方面,第 5 层布线层 2g5 也相同。

[0434] 其次,如图 82 所示,以分别覆盖第 2 层及第 5 层布线层 2g2、2g5 的方式,形成几乎不含有纤维而大致仅由树脂所构成的第 3 绝缘层 2ha。之后,以露出第 2 层及第 5 层布线层 2g2、2g5 各自的一部分的方式,在第 3 绝缘层 2ha 上形成开口部(第 3 绝缘层用开口部、通道)2haSH。

[0435] 接下来,如图 83 所示,在第 3 绝缘层 2ha 上,分别形成第 1 层(最上层)及第 6 层(最下层)布线层 2g1、2g6。此时,第 1 层布线层 2g1 经由形成于第 3 绝缘层 2ha 的开口部 2haSH 内的布线(金属膜)2k 而与第 2 层布线层 2g2 电性连接。另一方面,第 6 层布线层 2g6 也相同。

[0436] 最后,如图 84 所示,以露出第 1 层(最上层)及第 6 层(最下层)布线层 2g1、2g6 各自的一部分的方式,形成作为保护膜的树脂膜(阻焊膜)2m,以完成布线基板 2、24、34、41。

[0437] 又,在所述实施形态 1 至 4 中,已对使用无铅焊锡作为凸块电极 2e、52 的材料进行了说明,但并不限于此。例如,如果不考虑环境污染问题的对策,则也可以将含有铅(Pb)的焊锡材用作凸块电极 2e、52 的材料。

[0438] 又,在所述实施形态 1 中,已对黏着材 3 是由糊状的热固性树脂所构成的情况进行了说明,但并不限于此。例如,也可以使用作为薄膜状黏着材的 DAF(Die Attach Film)来固定半导体芯片 1。如果使用 DAF,则和使用糊状黏着材 3 的情况相比,黏着材 3 的一部分难以从半导体芯片 1 的背面 1b 流向设置于半导体芯片 1 周围的多个接合引线 2c。因此,可以将接合引线 2c 各自靠近半导体芯片 1 而配置,所以能进一步缩小布线基板 2 的外形尺寸,从而可以应对半导体装置的小型化。

[0439] 又,图 85 是表示图 3 所示的半导体装置的变形例的剖面图。在所述实施形态 1、3 及 4 中,已对导线连接工序中使用正接合方式的情况进行了说明,但并不限于此。例如,如图 85 所示的半导体装置 61 那样,也可以采用在布线基板 2 的接合引线 2c 侧连接导线 4 的一端部之后,在半导体芯片 1 的焊垫 1c 侧连接导线 4 的另一端部的所谓逆接合方式。这样,可以使导线 4 的回线高度(导线 4 的顶点)低于正接合方式的情况,所以也可以使之后的工序中所形成的密封体 5 的厚度更薄。此结果可以进一步降低半导体装置 61 的安装高度。另外,在逆接合方式时,毛细管的负荷会施加到 1st 侧的布线基板上,但在本实施形态中,因为最上层布线层(第 1 层布线层)2g1(参照图 3)的正下方的绝缘层 2h 是几乎不含纤维而大致仅由树脂所构成的第 3 绝缘层 2ha,所以硬度低于预浸渍材,从而可以吸收毛细管的负荷。因此,为了降低半导体装置 61 的安装高度而使布线基板 2 的厚度变薄,这样即便布线基板 2 的强度(硬度)变低,也可以抑制布线基板 2 中产生裂缝的问题。

[0440] 又,图 86 是表示图 30 所示的成形模具的变形例的主要部分放大剖面图。在所述实施形态 1 及 3 中,对于在上模 12a 的上模面上形成有模腔 12c、在下模 12b 的下模面上配置有布线基板 11 的情况进行了说明,但并不限于此。例如,也可以使用在上模 12a 的上模面上不形成模腔、在下模 12b 的下模面上形成有模腔 12c 的成型模具 12。但是,在使用所述成型模具 12 时,必须将布线基板 11 固定于上模 12a 的上模面上,所以优选例如图 86 所示在上模 12a 的上模面形成多个真空吸附孔 12f。

[0441] 又,图 87 是表示图 42 所示的半导体装置的变形例的平面图,图 88 是图 87 所示的 N-N 线的剖面图,是表示图 44 所示的半导体装置的变形例的剖面图。又,图 89 是表示图 60 所示的半导体装置的变形例的剖面图。在所述实施形态 3、4 中,已对在微芯片 31 上所叠层(安装)的存储器芯片 32 的数量为一个的情况进行了说明,但并不限于此,也可以搭载多个存储器芯片 32。此时,例如像所述实施形态 3 的变形例、即图 87 及图 88 所示的半导体装置 62 那样,在布线基板 34 的上表面 2a 上,沿着与形成有接合引线 2c 的布线基板 34 的边所不同的布线基板 34 的边(所述接合引线 2c 是经由导线 4 而与第 2 段存储器芯片 32 的焊垫 32c 电性连接),形成有经由导线 4 而与第 3 段存储器芯片 63 的焊垫 63c 电性连接的接合引线 2c。进而,形成于第 3 段存储器芯片 63 的主面 63a 上的存储电路上,也可以形成有与形成于第 2 段存储器芯片 32 的主面 32a 上的存储电路所不同的电路。例如,也可以形成有 DRAM。

[0442] 又,例如像所述实施形态 4 的变形例、即图 89 所示的半导体装置 64 那样,在 POP 型半导体装置 64 中也可以叠层上段侧的半导体装置 50 的存储器芯片 32、63。在此情况下,在上段侧的半导体装置 50 中,在布线基板 51 的上表面 51a 上搭载有第 1 段存储器芯片 32,且在存储器芯片 32 的主面 32a 上搭载有第 2 段存储器芯片 63。

[0443] 这样,当搭载在布线基板 34 上的半导体芯片(微芯片 31、存储器芯片 32、63)的数量已增加的情况下,半导体装置 62 的厚度进一步变厚,但通过使用如所述实施形态 1 至 4 中所说明的布线基板 2、24、34、41,可以降低半导体装置 62 的厚度。

[0444] 又,图 90 是表示图 42 所示的微芯片的变形例的主面侧的平面图,图 91 是表示图 42 所示的布线基板的变形例的上表面侧的平面图,图 92 是表示图 45 所示的布线基板的变形例的主要部分放大剖面图。

[0445] 于所述实施形态 3 中,与所述实施形态 2 相同,已对形成于微芯片 31 的主面 31a 上

的多个焊垫 31c 沿着微芯片 31 的主面 31a 上的各边而分别形成 1 行的情况进行了说明。然而,本申请案发明并不限于此,为了还要应对半导体装置的高功能化、及叠层于微芯片上的存储器芯片数量增加的情况,也可以使用如图 90 所示的微芯片 31 那样,沿着各边、遍及多个行(例如 2 行)以锯齿状形成有多个焊垫 31c。此时,按照微芯片 31 的焊垫 31c 的配置,如图 91 所示,形成于布线基板 34 的上表面 2a 上的倒装芯片连接用接合引线 24c 也使用配置为锯齿状的焊垫。这时,形成于布线基板 34 上的布线图案的数量比所述实施形态 3 更多,所以如上所述,为了将多个布线图案引导到形成于布线基板 34 下表面 2b 上的所需的焊盘 2d 上,含有 6 层布线层 2g 的布线基板 34 的使用是不可或缺的。然而,在着眼于半导体装置的小型化时,担心布线层 2g 的数量不足以引导多个布线图案。因此,也可以使用例如如图 92 所示的含有 8 层布线层 2g 或者 8 层以上的布线层的布线基板 65。另外,图 92 所示的布线基板 65 是叠层有 8 层布线层 2g 的 8 层结构的多层布线基板,除此以外,与所述实施形态 3 中已说明的布线基板 34 相同(也包含图 91 所示的接合引线 24c 的配置的变形例),因此省略详细的说明。此时,如上所述,最上层的布线层 2g1 及最下层的布线层 2g8 必须以尽量狭窄的间距来形成布线图案,所以位于最上层布线层 2g1 及最下层布线层 2g8 各自的正下方的绝缘层 2h 优选使用几乎不含有纤维而大致仅由树脂所构成的绝缘层 2ha,而并非预浸渍材。除此以外的绝缘层 2h,为了确保布线基板 65 的强度(硬度),优选形成有包含预浸渍材的绝缘层 2hp。

[0446] 又,在所述实施形态 4 中,已对将微芯片 31 在布线基板 41 上进行倒装芯片安装的情况进行了说明,但也可以将微芯片 31 面朝上安装于布线基板 41 上,并经由导线 4 而将微芯片 31 的焊垫(电极)31c 与布线基板 41 的接合引线(电极)24c 进行电性连接(此时,接合引线 24c 是在布线基板 41 的上表面 2a 上,在比搭载有微芯片 31 的芯片搭载部 11e 更外侧所形成)。

[0447] 然而,对于 POP 型半导体装置 60 而言,如图 60 所示,是在其中一个半导体装置 40 上叠层另一个半导体装置 50。因此,如果将微芯片 31 面朝上安装于布线基板 41 上,且经由导线(省略图示)而将微芯片 31 的焊垫(电极)31c 与布线基板 41 的接合引线(电极)24c 进行电性连接后,则如所述实施形态 1 中所说明,必须由密封体(省略图示)来覆盖该微芯片 31 与导线。因此,必须使得用以将上段侧的半导体装置(第 2 半导体装置)50 与下段侧的半导体装置(第 1 半导体装置)40 加以电性连接的凸块电极 52 的高度,高于该密封体的厚度。

[0448] 因此,POP 型半导体装置 60 的厚度(从形成于第 1 半导体装置 40 的下表面 2b 上的凸块电极(外部端子)2e 的前端部,直到第 2 半导体装置 50 的密封体 5 的表面为止的高度)变得更厚。所以,像所述实施形态 4 那样,优选将微芯片 31 在布线基板 41 上进行倒装芯片连接。

[0449] 进而,如图 93 所示,对搭载在上段侧的半导体装置 50 上的存储器芯片 32 也进行倒装芯片安装,这样可以进一步降低 POP 型半导体装置 60 的厚度。图 93 是表示图 60 所示的半导体装置的变形例的剖面图。

[0450] [产业上的可利用性]

[0451] 本发明在将半导体芯片搭载在布线基板上的 BGA(Ball Grid Array)型半导体装置及其制造方法中可以利用。

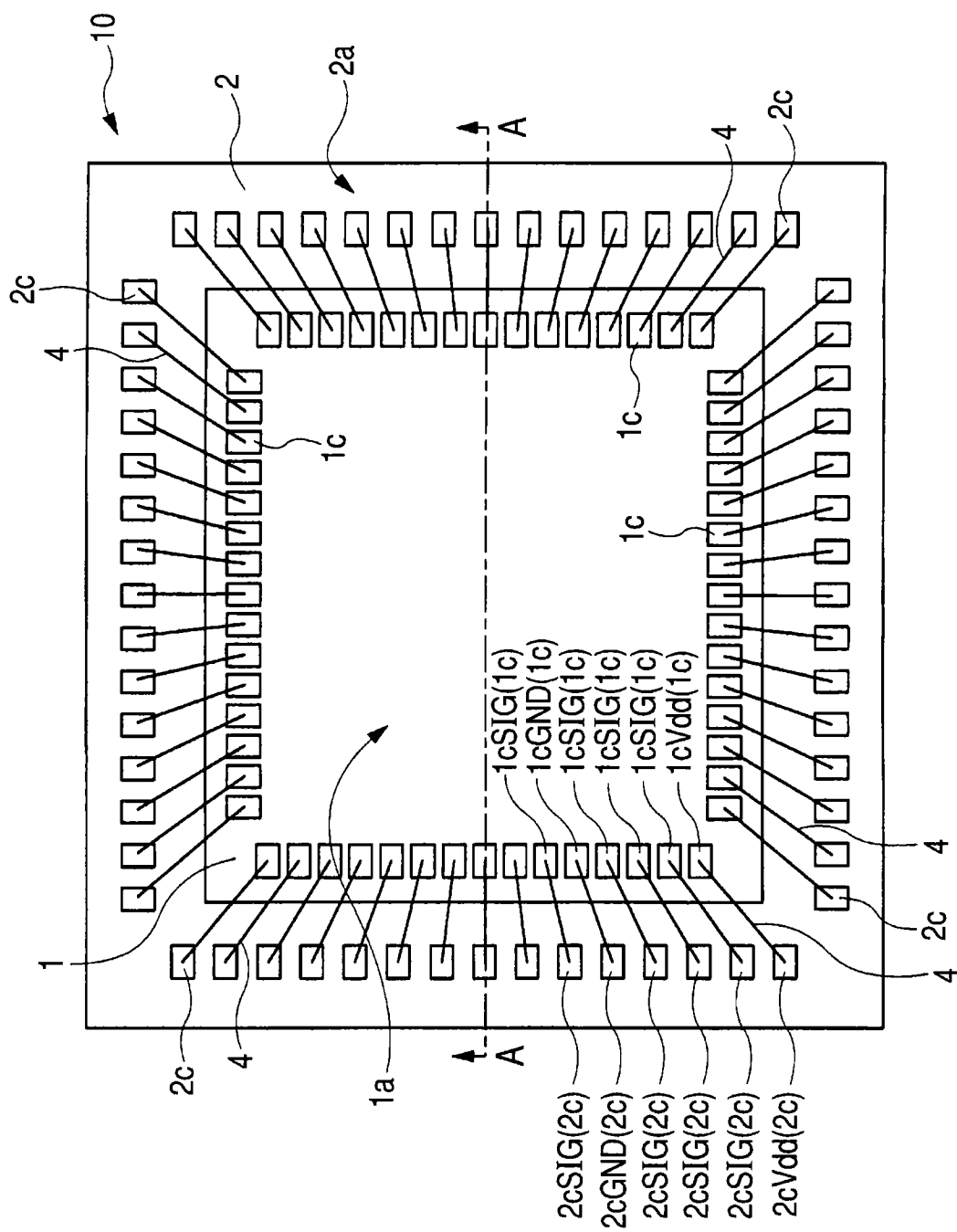


图 1

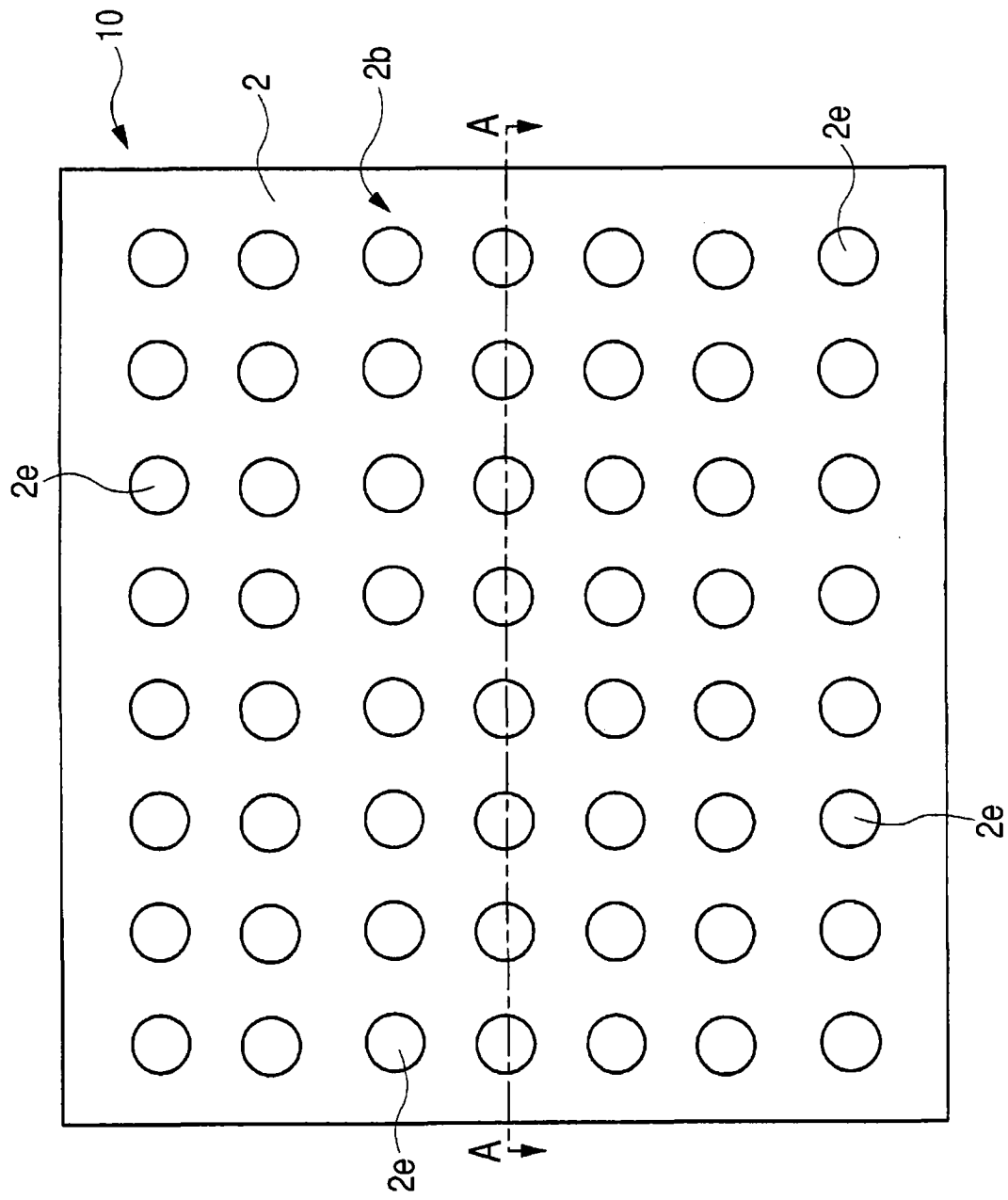


图 2

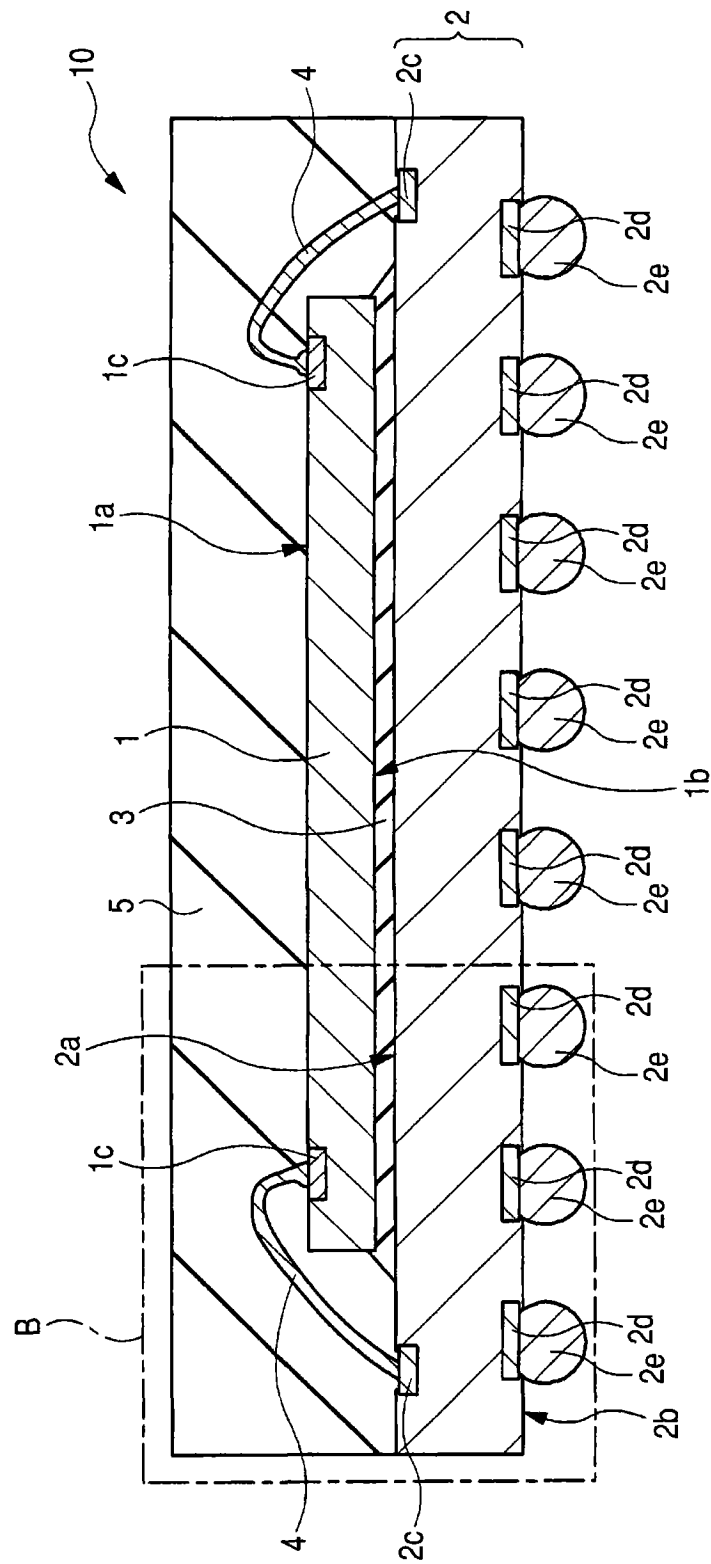


图 3

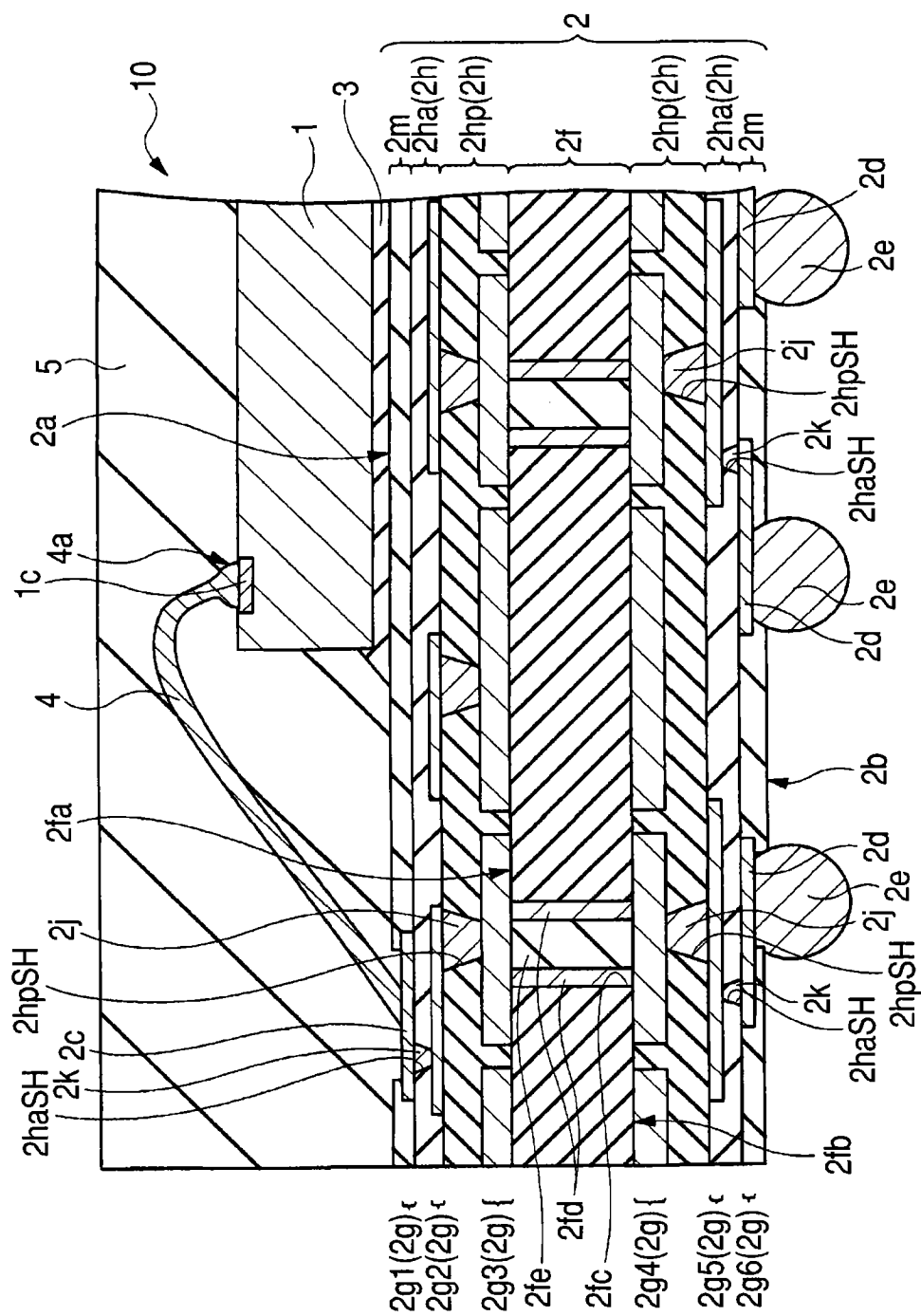


图 4

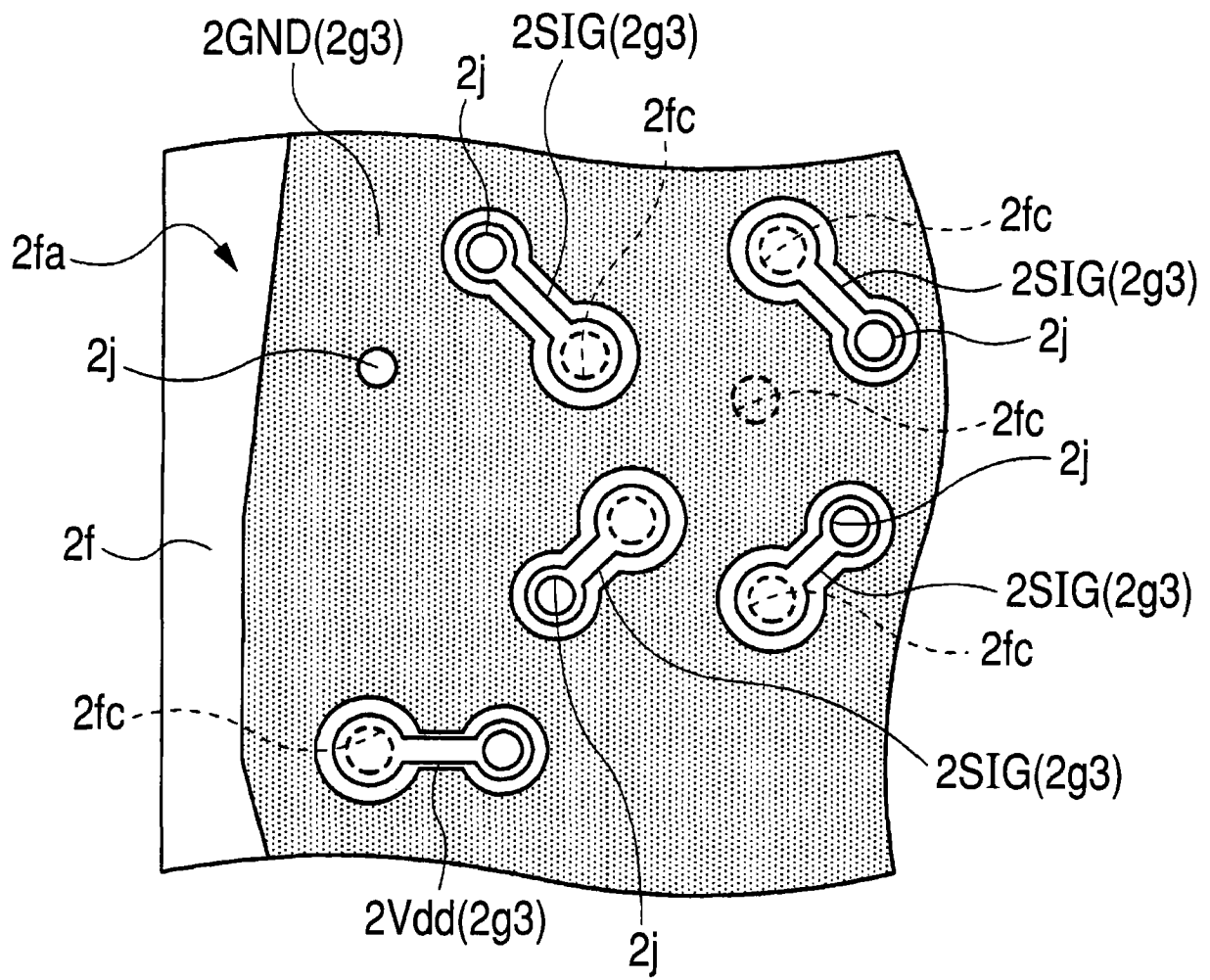


图 5

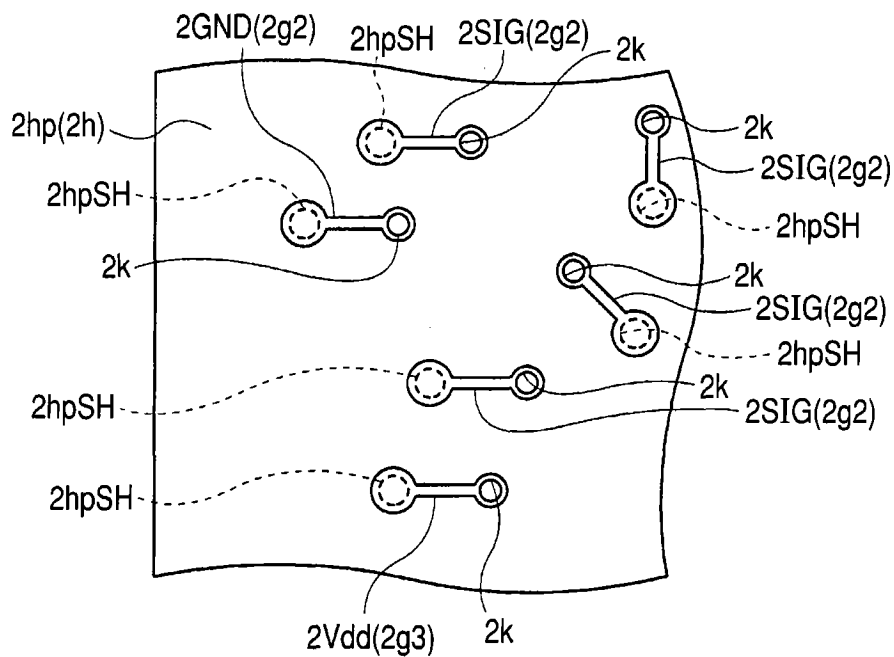


图 6

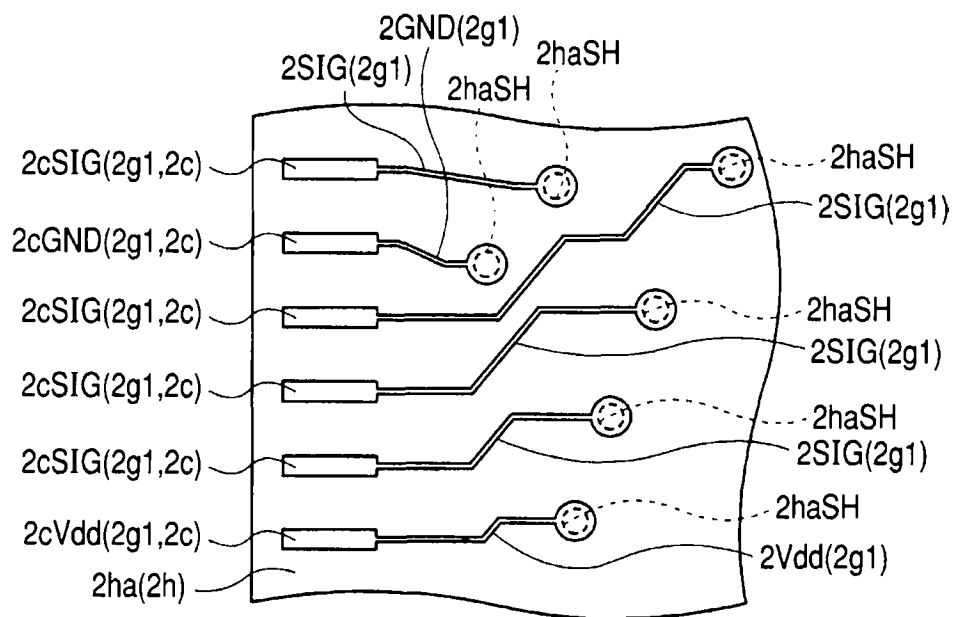


图 7

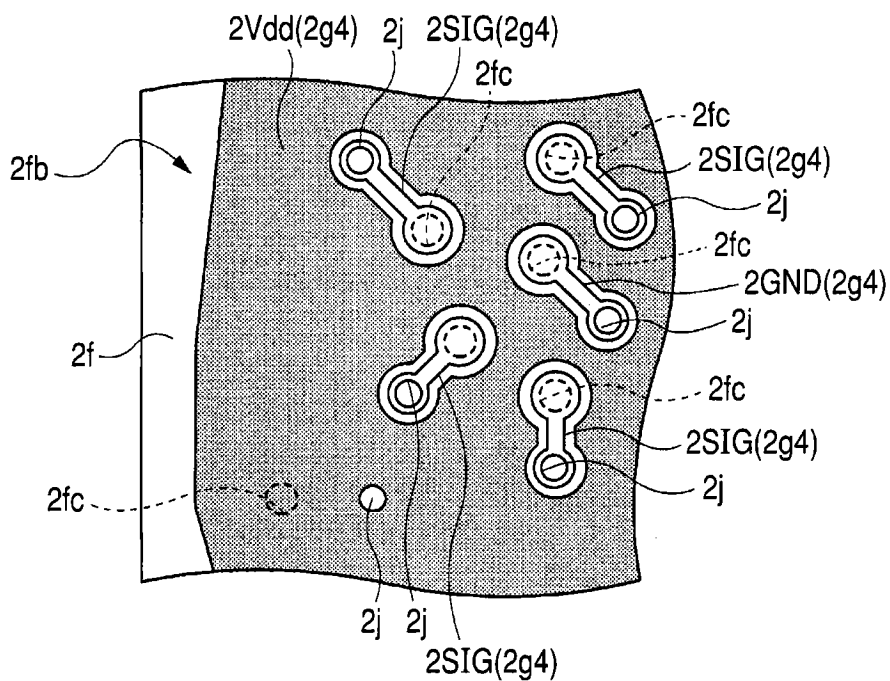


图 8

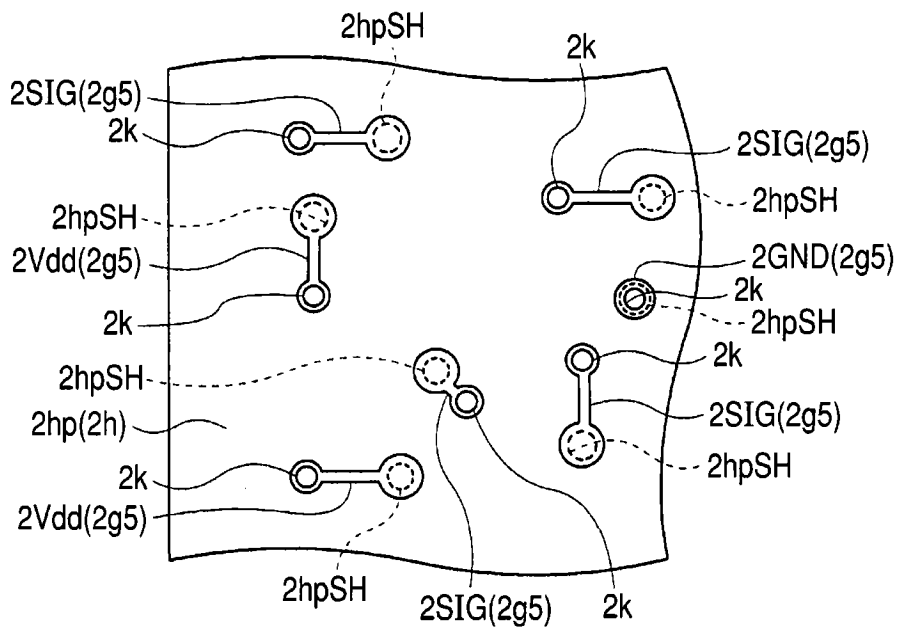


图 9

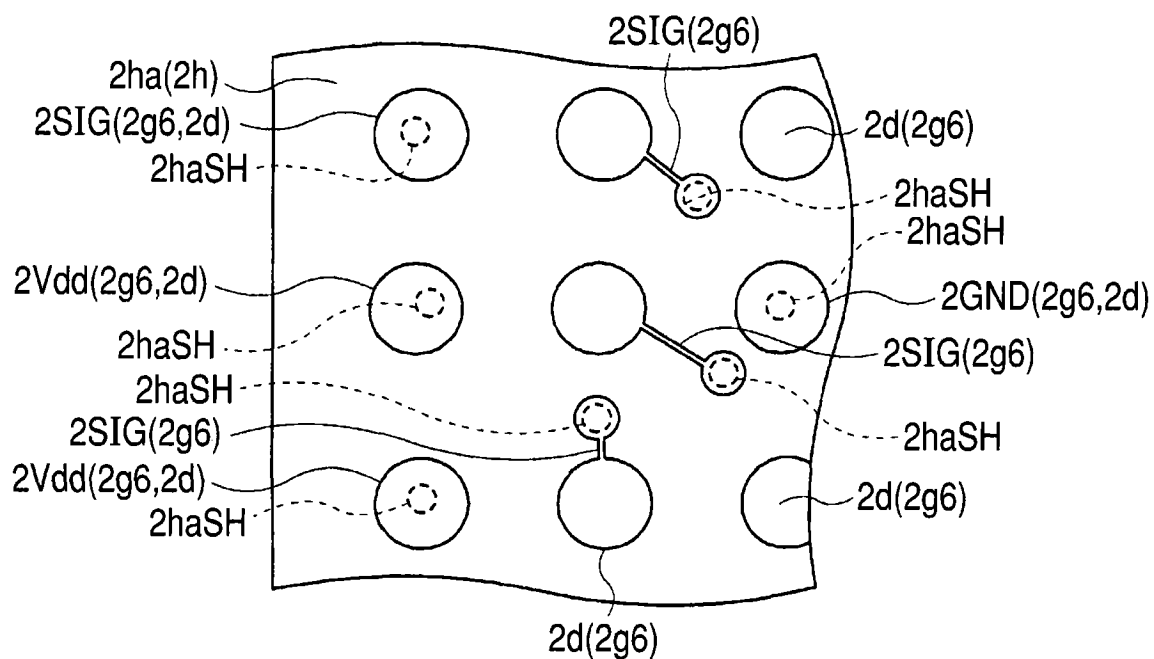


图 10

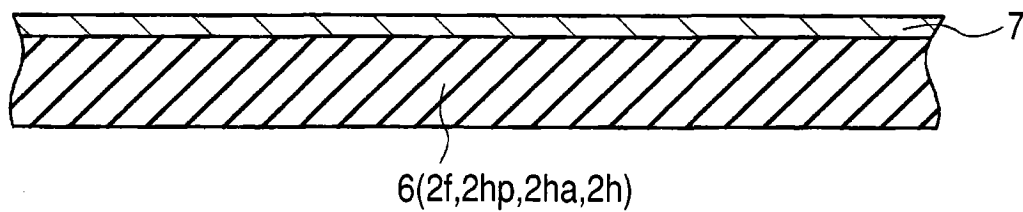


图 11

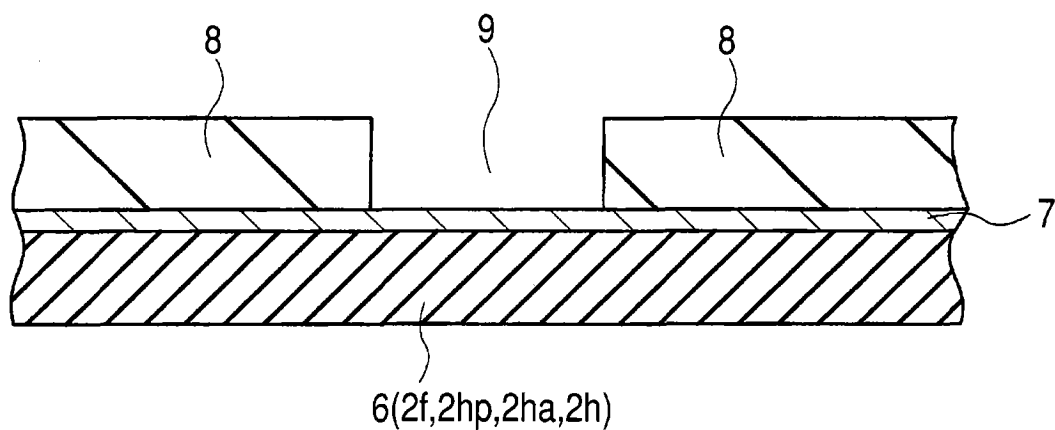


图 12

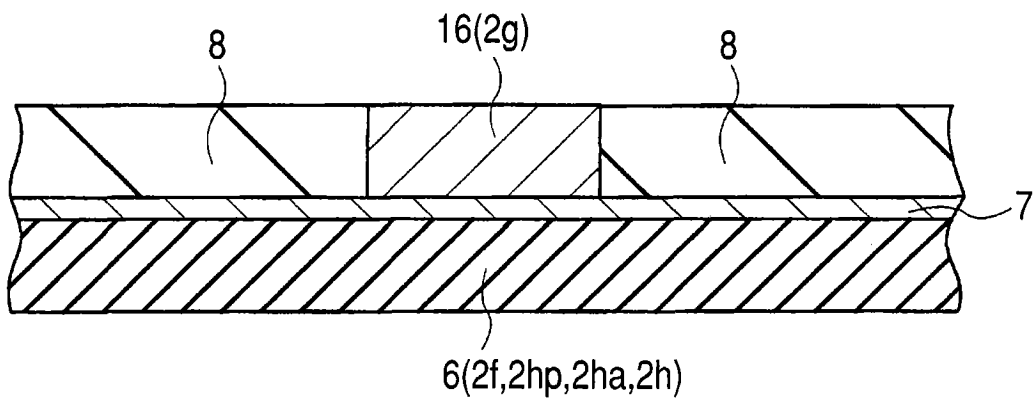


图 13

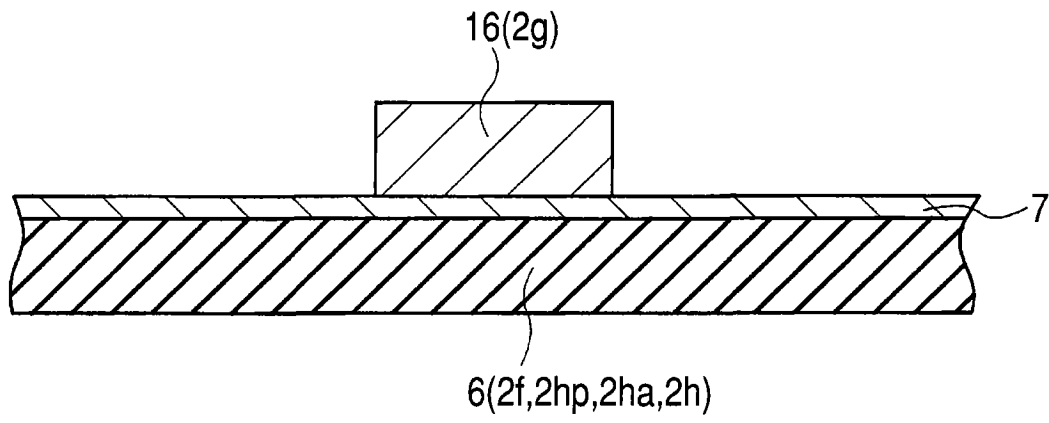


图 14

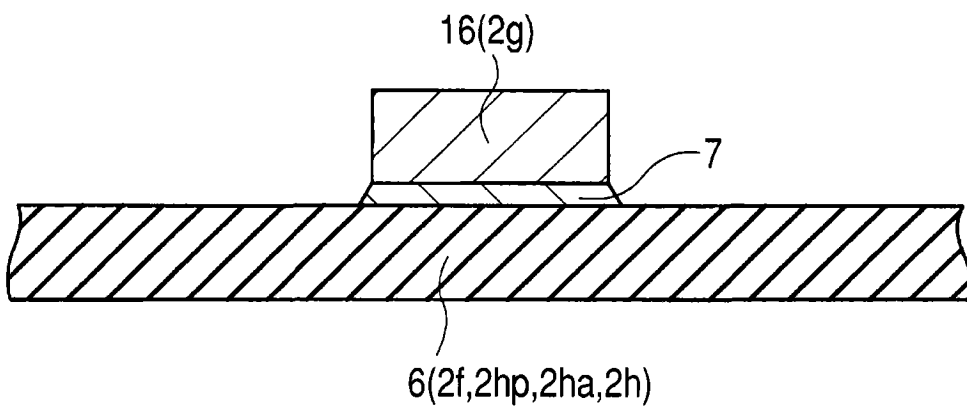


图 15

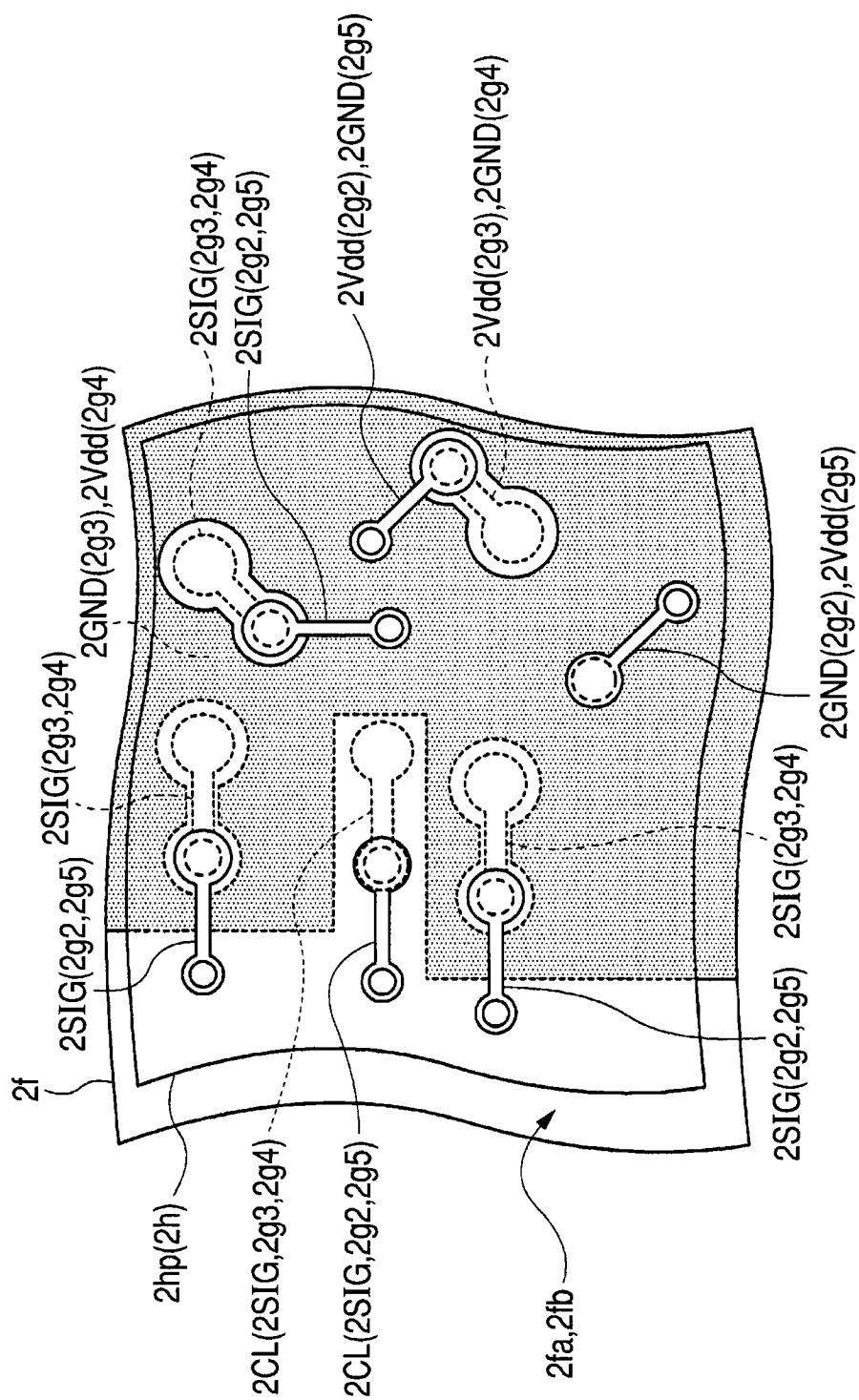


图 16

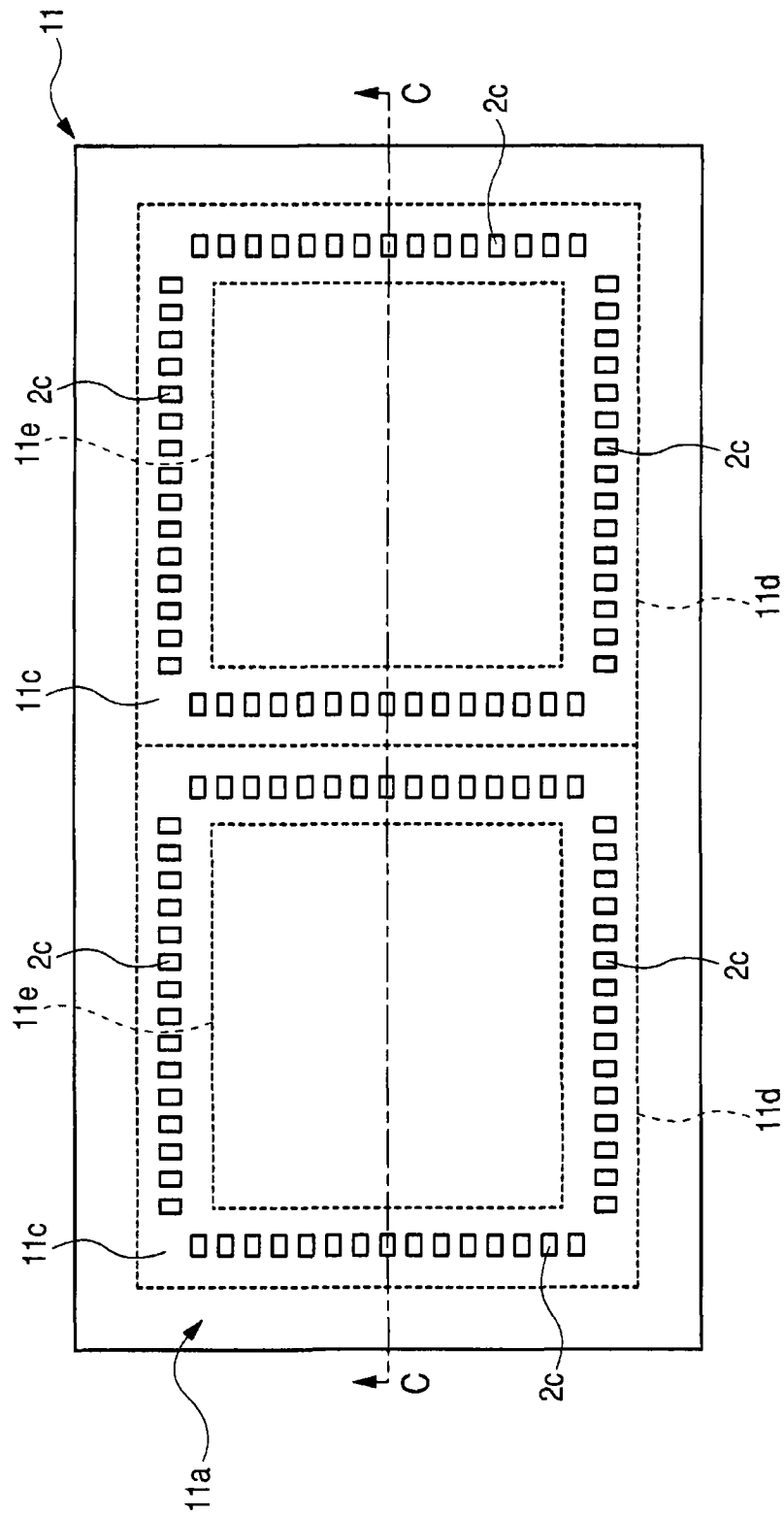


图 17

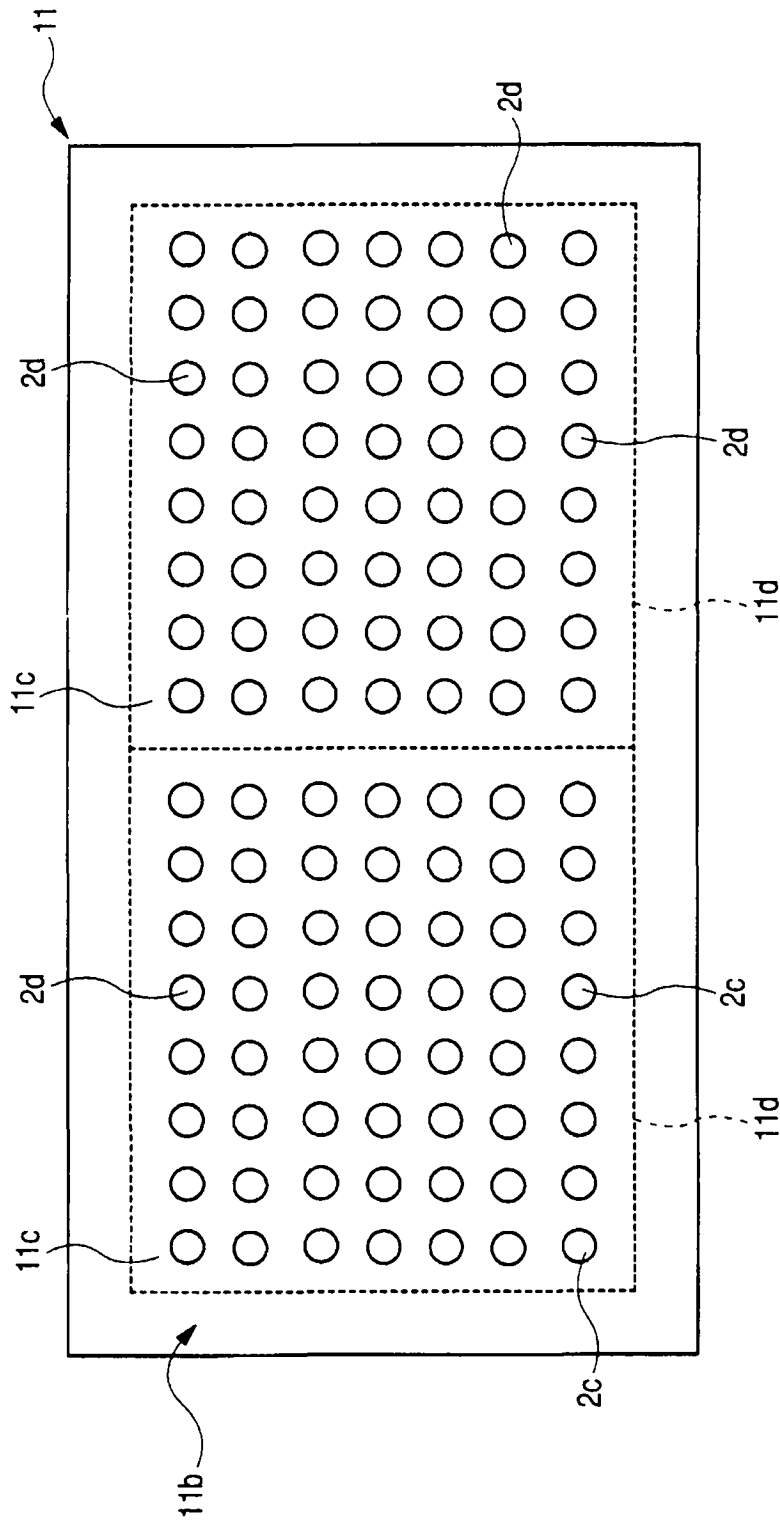


图 18

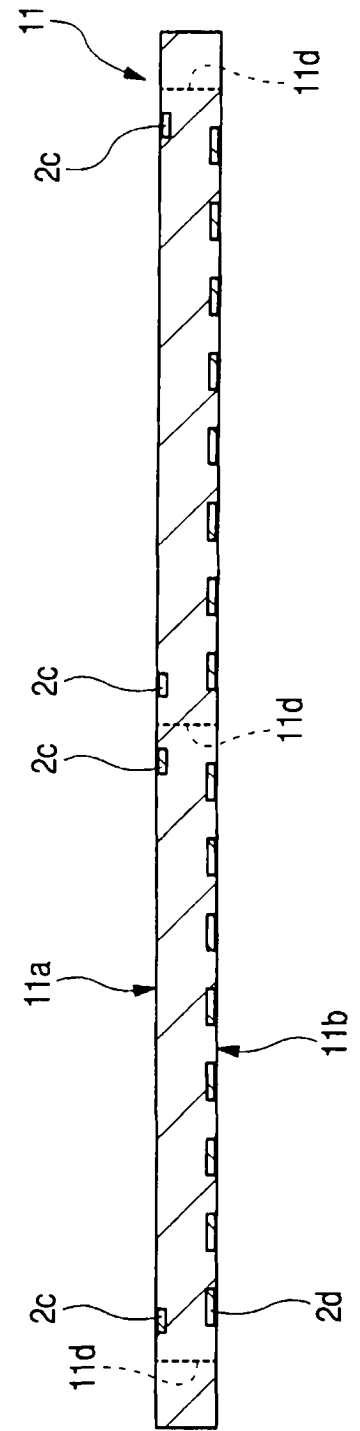


图 19

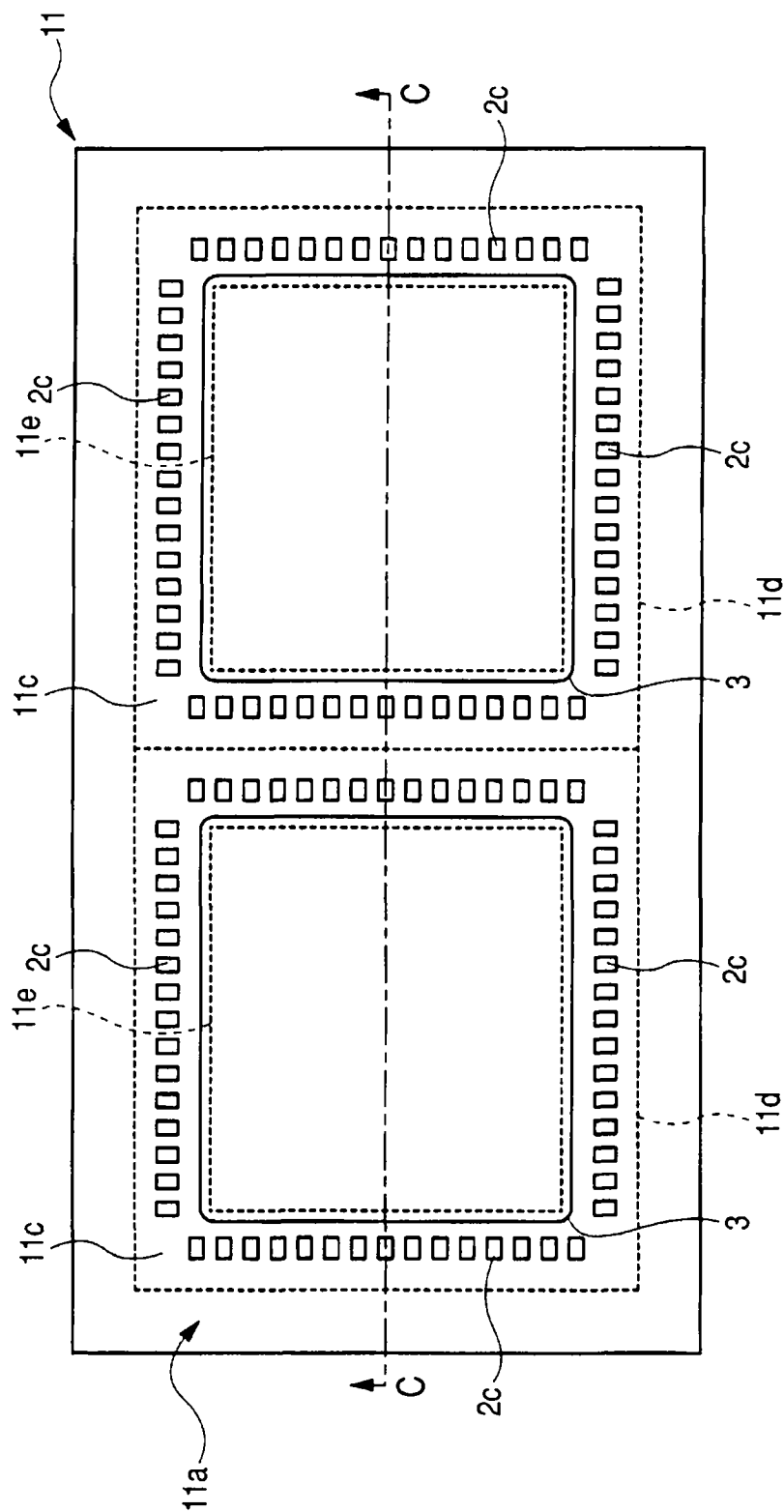


图 20

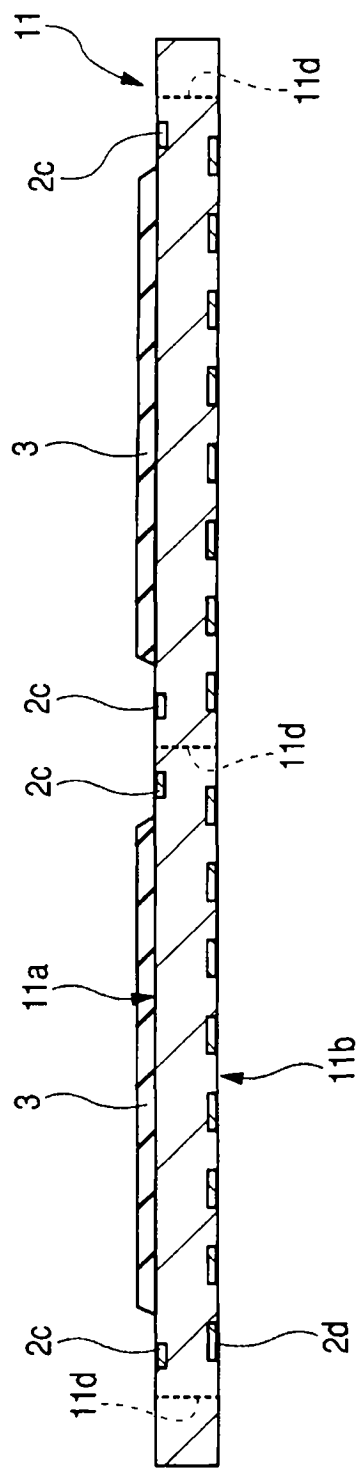


图 21

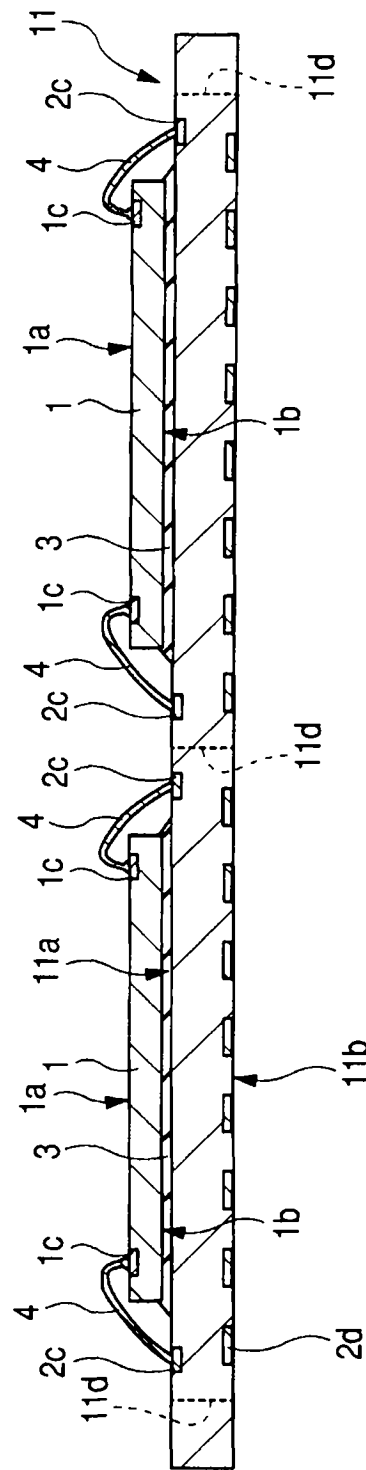


图 25

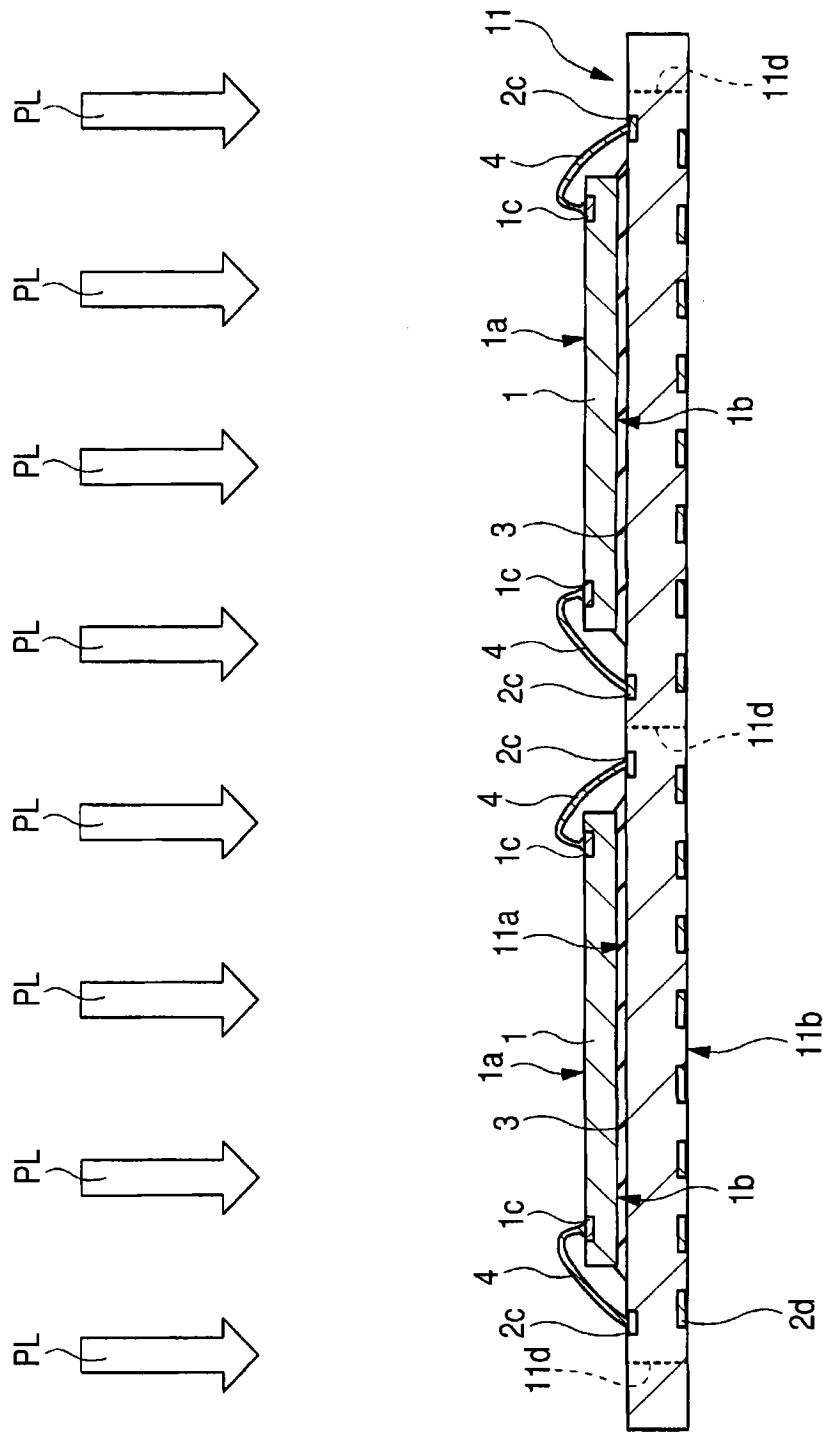


图 26

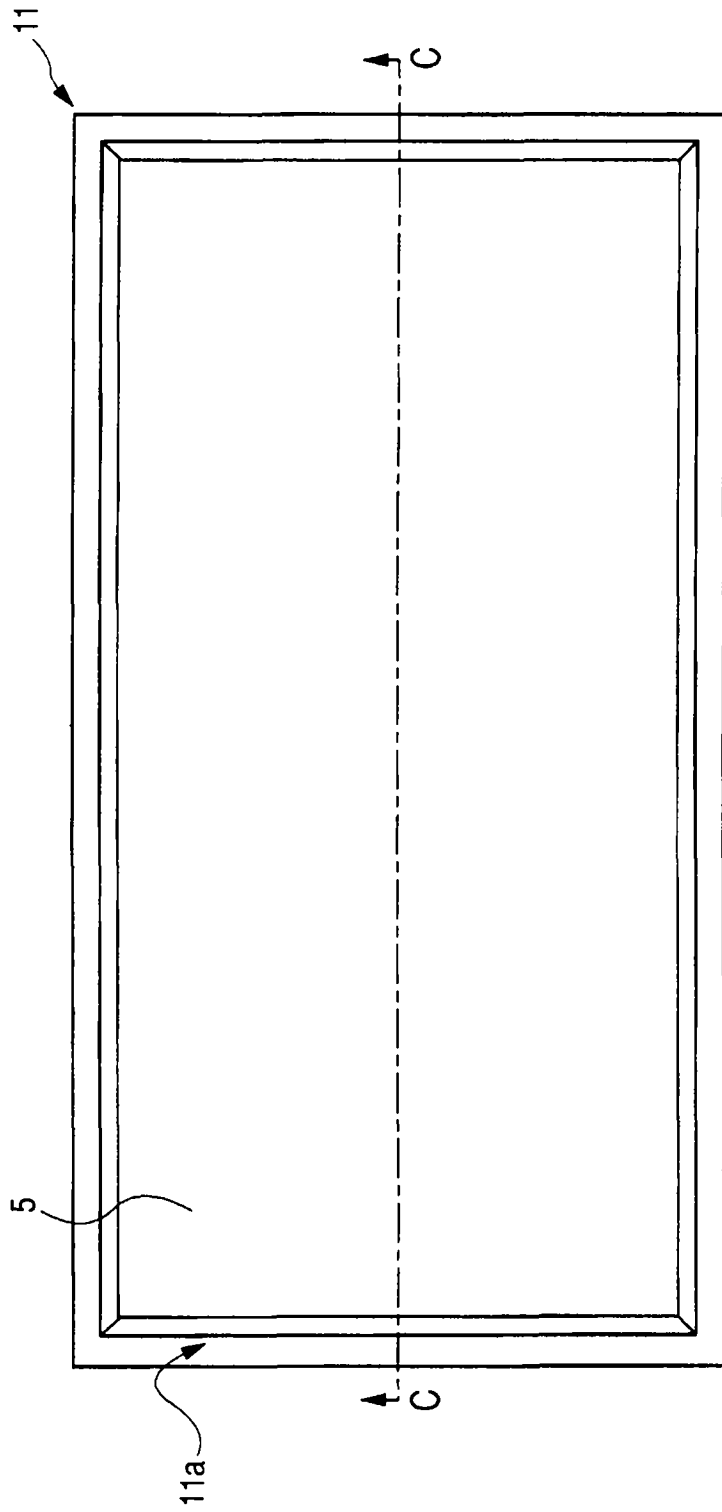


图 27

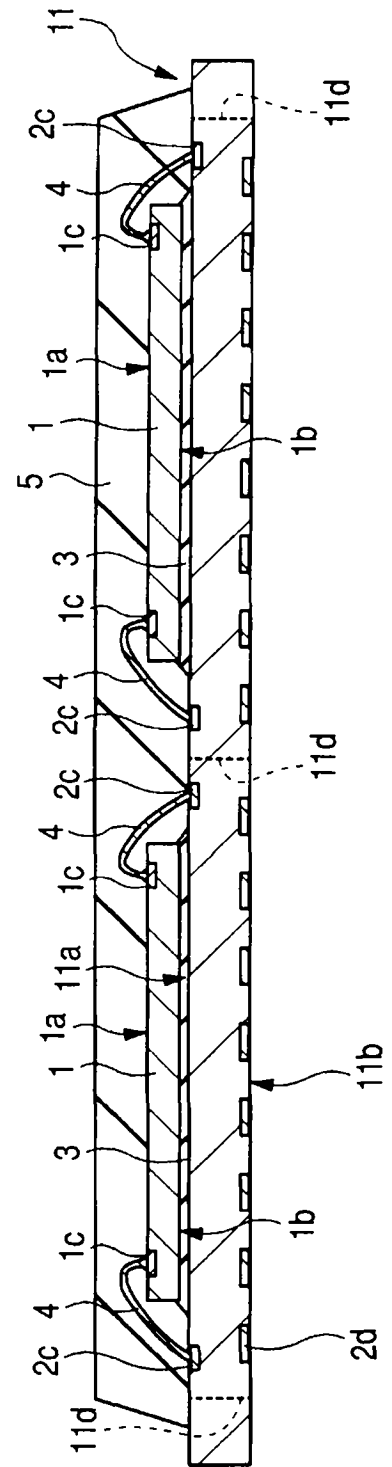


图 28

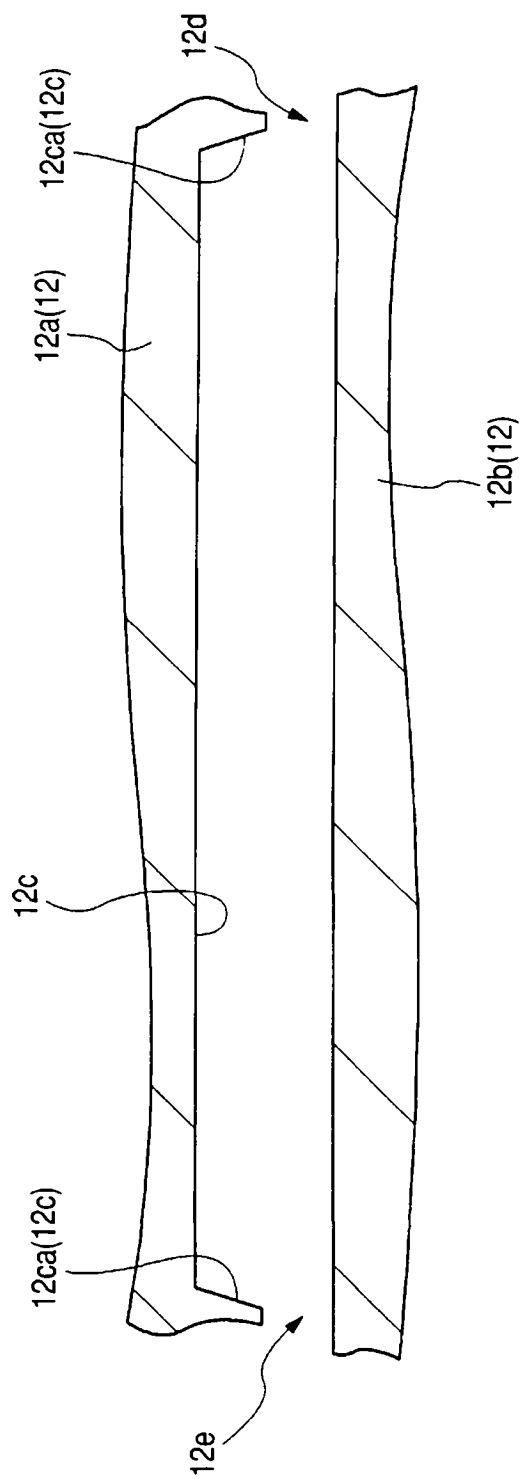


图 29

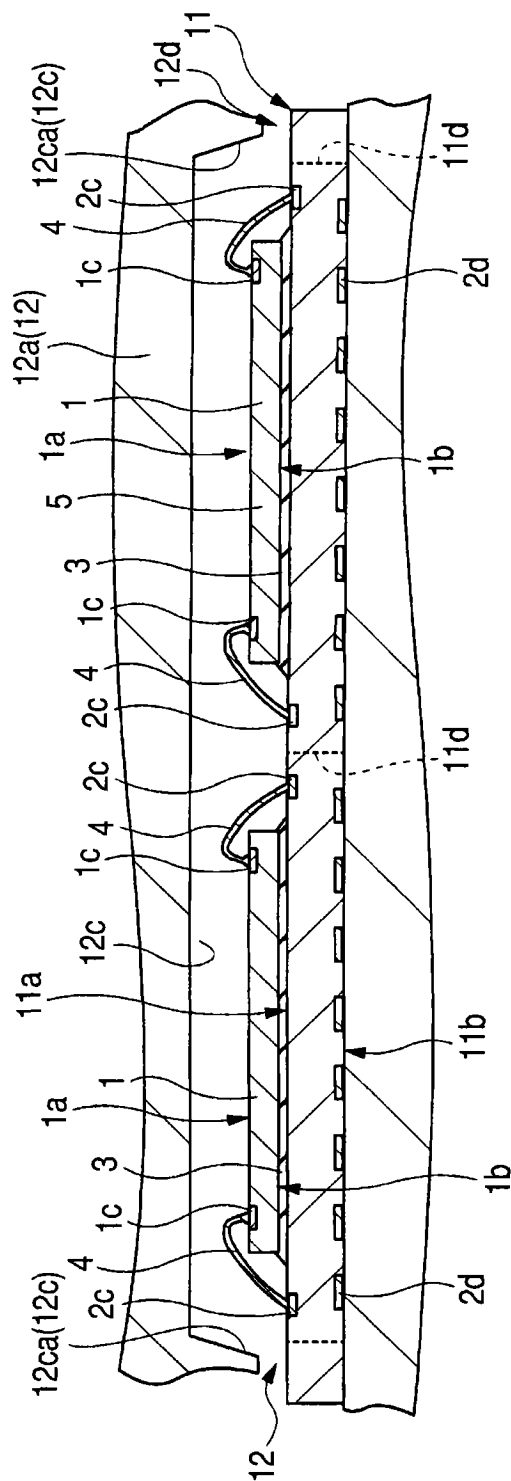


图 30

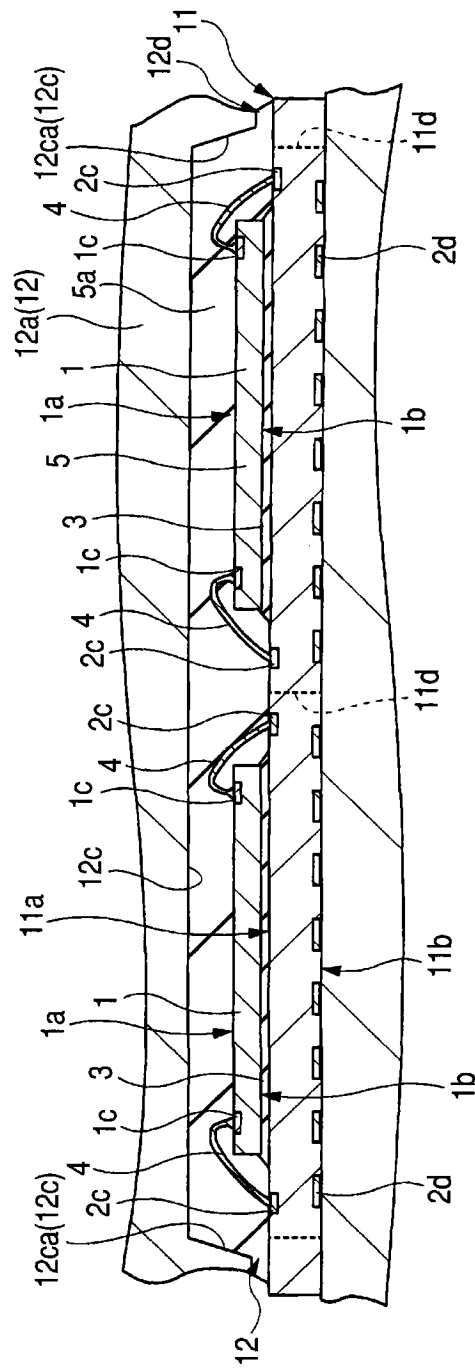


图 31

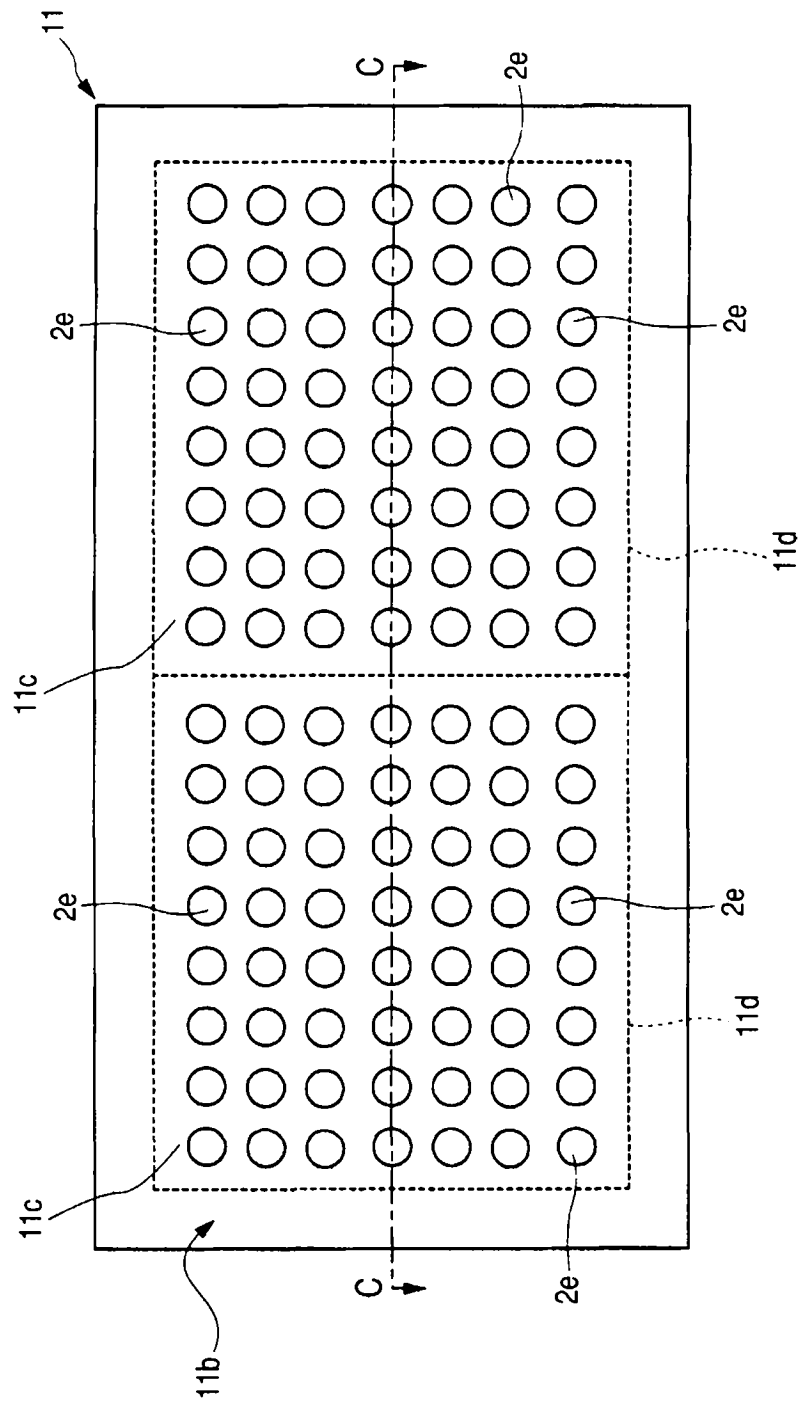


图 32

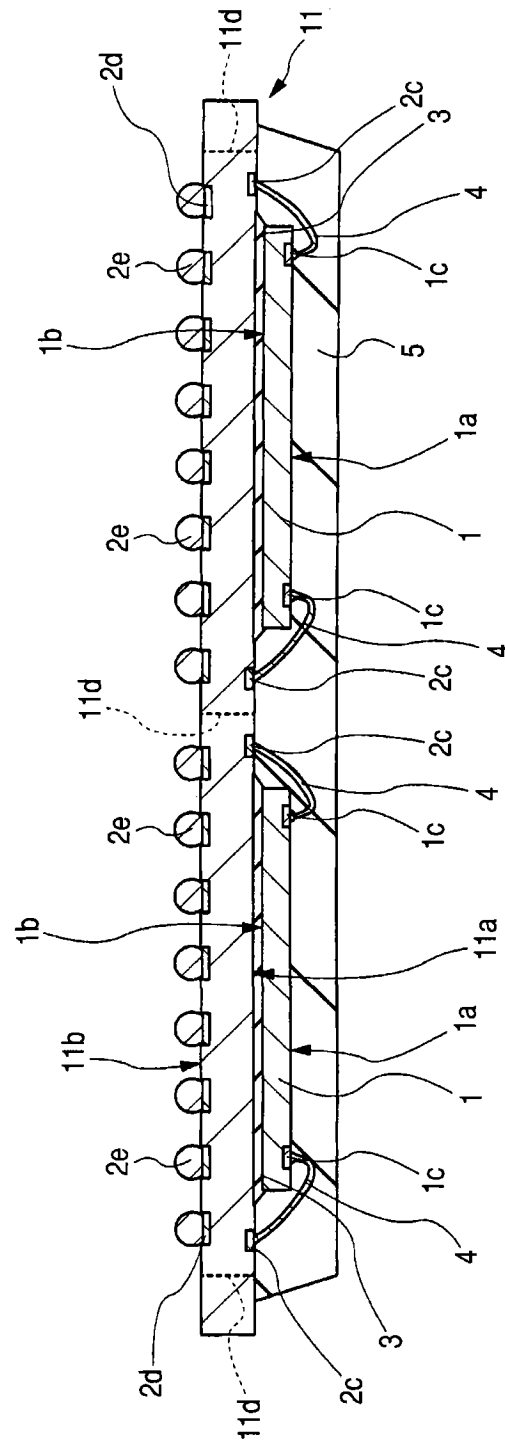


图 33

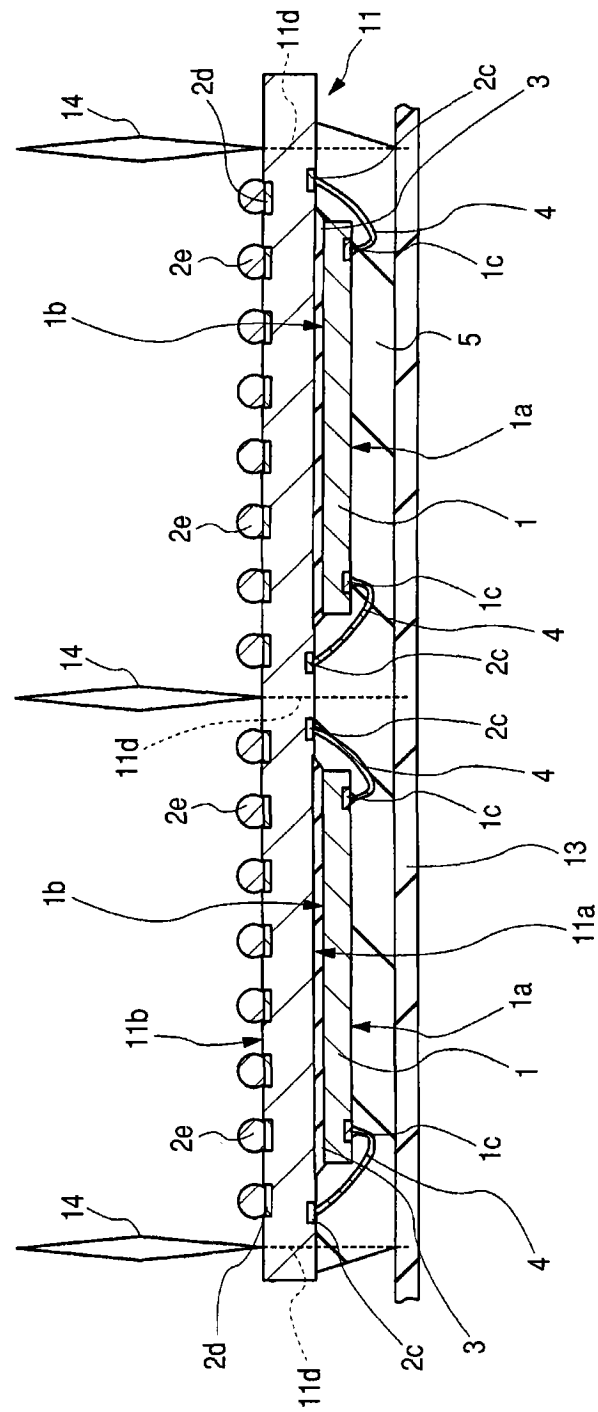


图 34

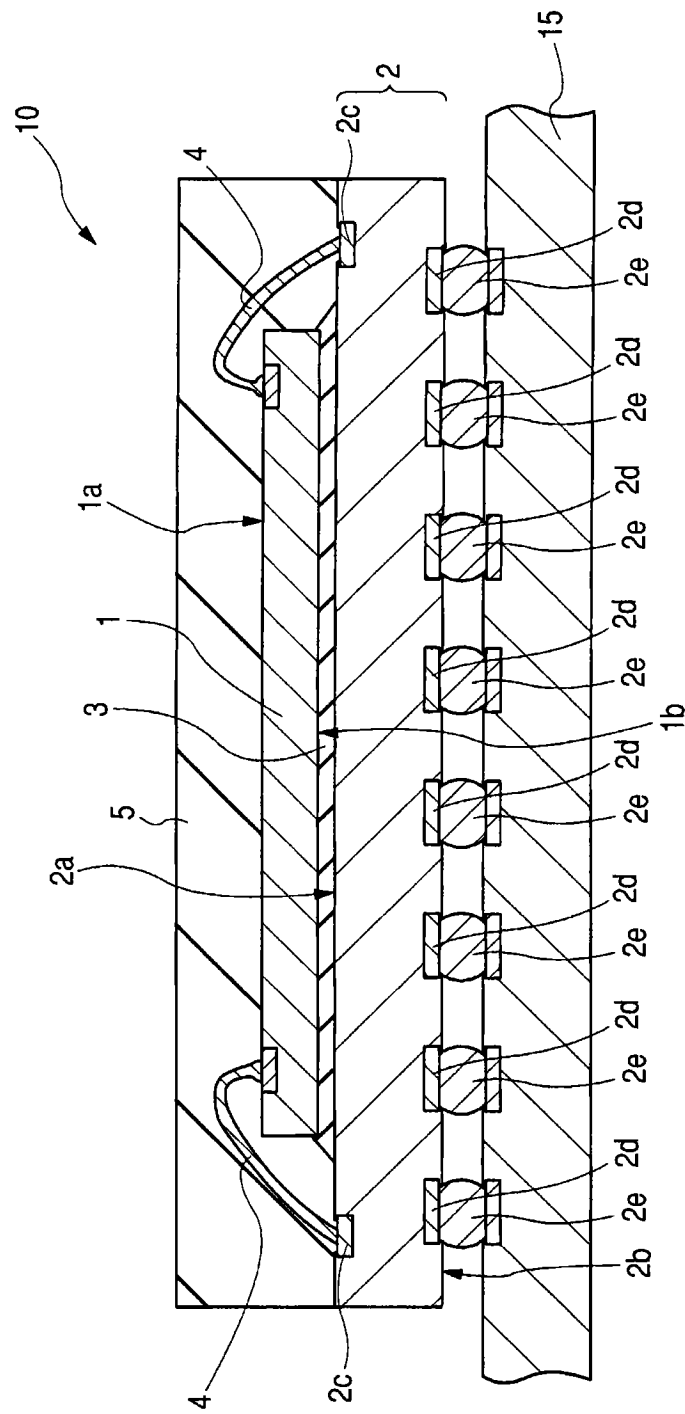


图 35

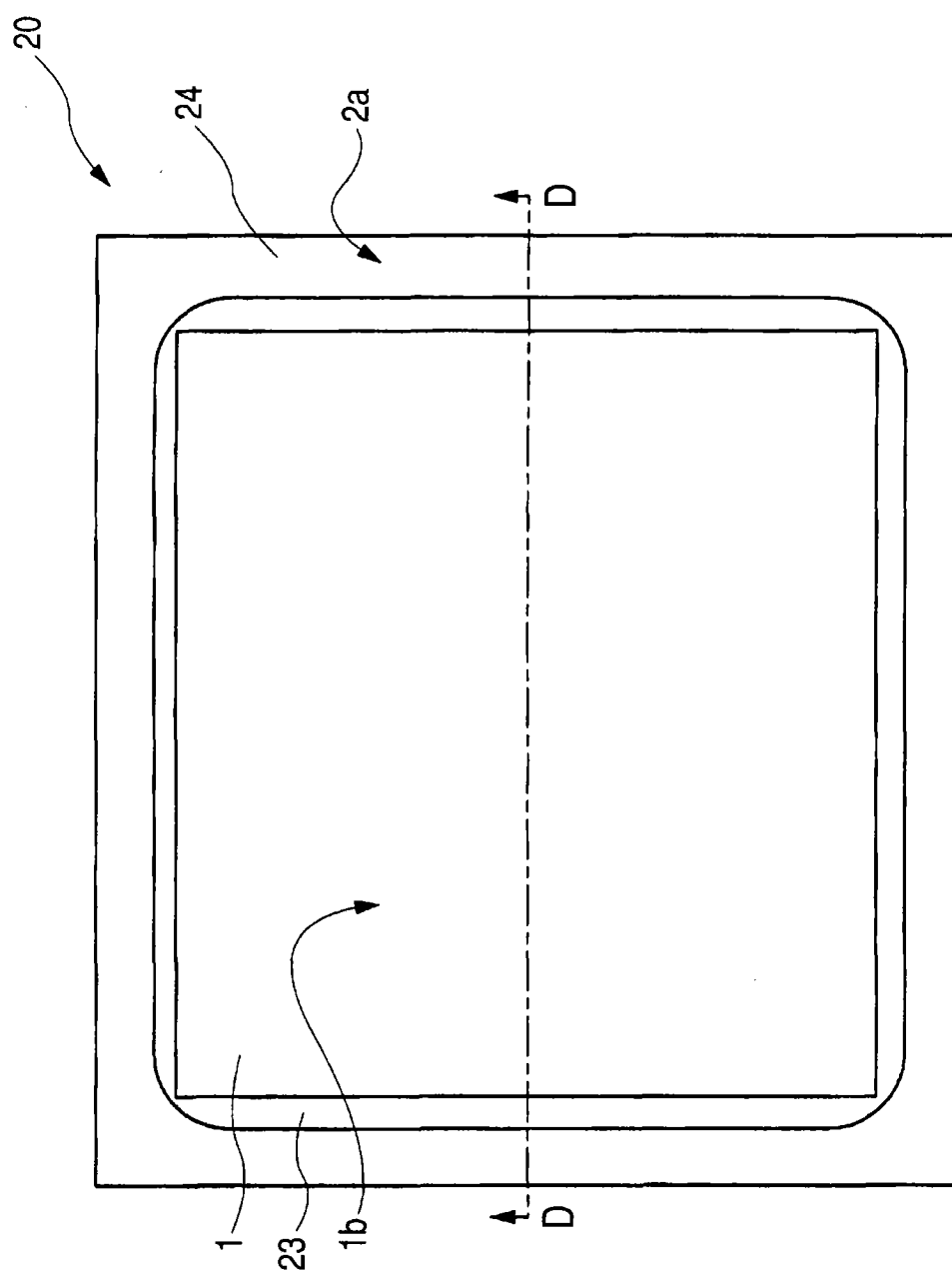


图 36

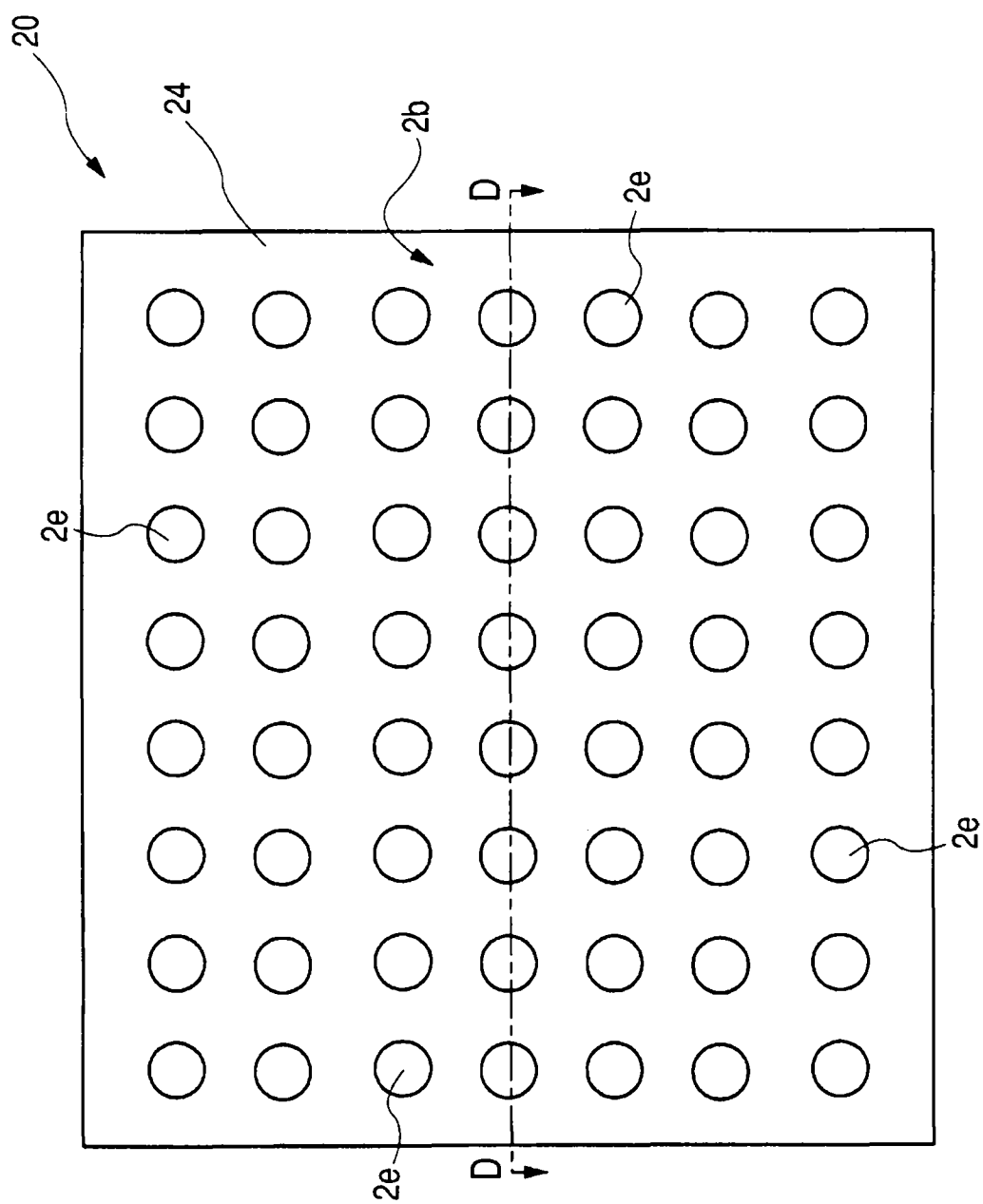


图 37

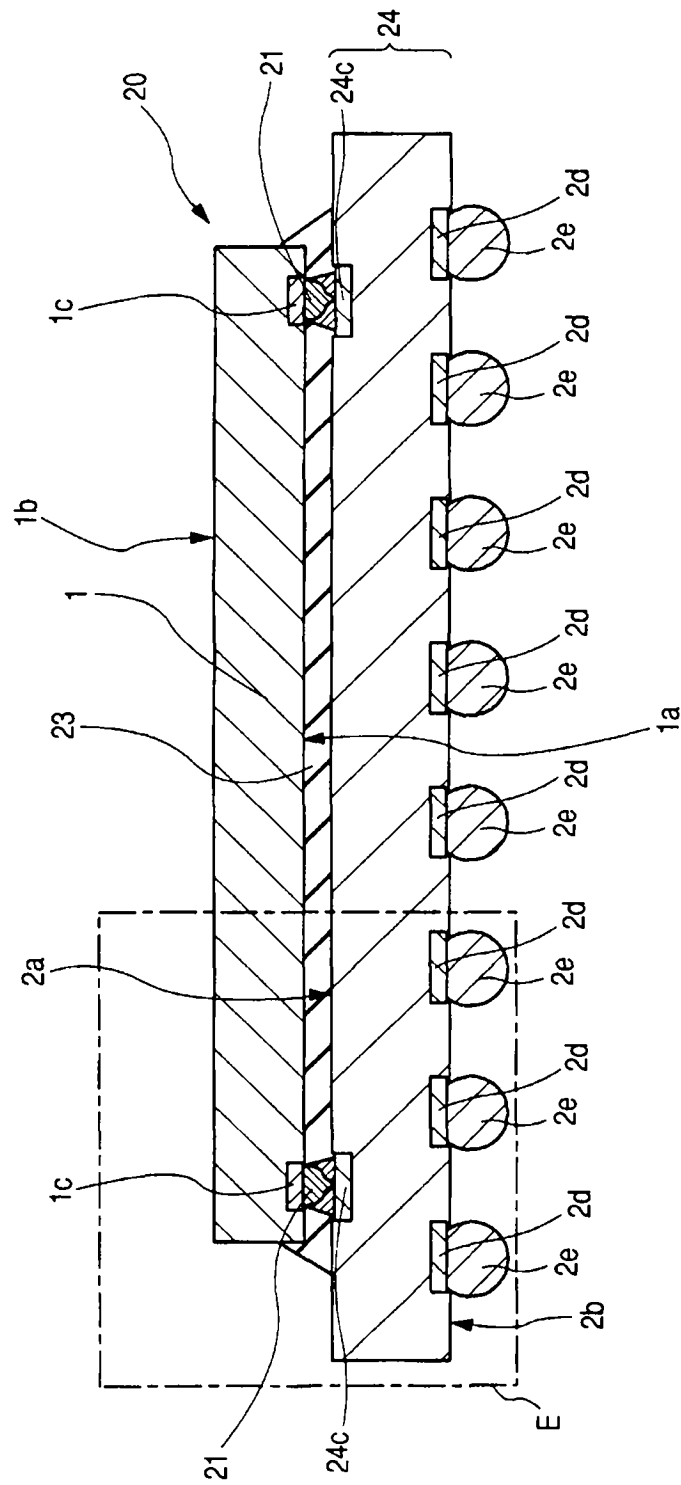


图 38

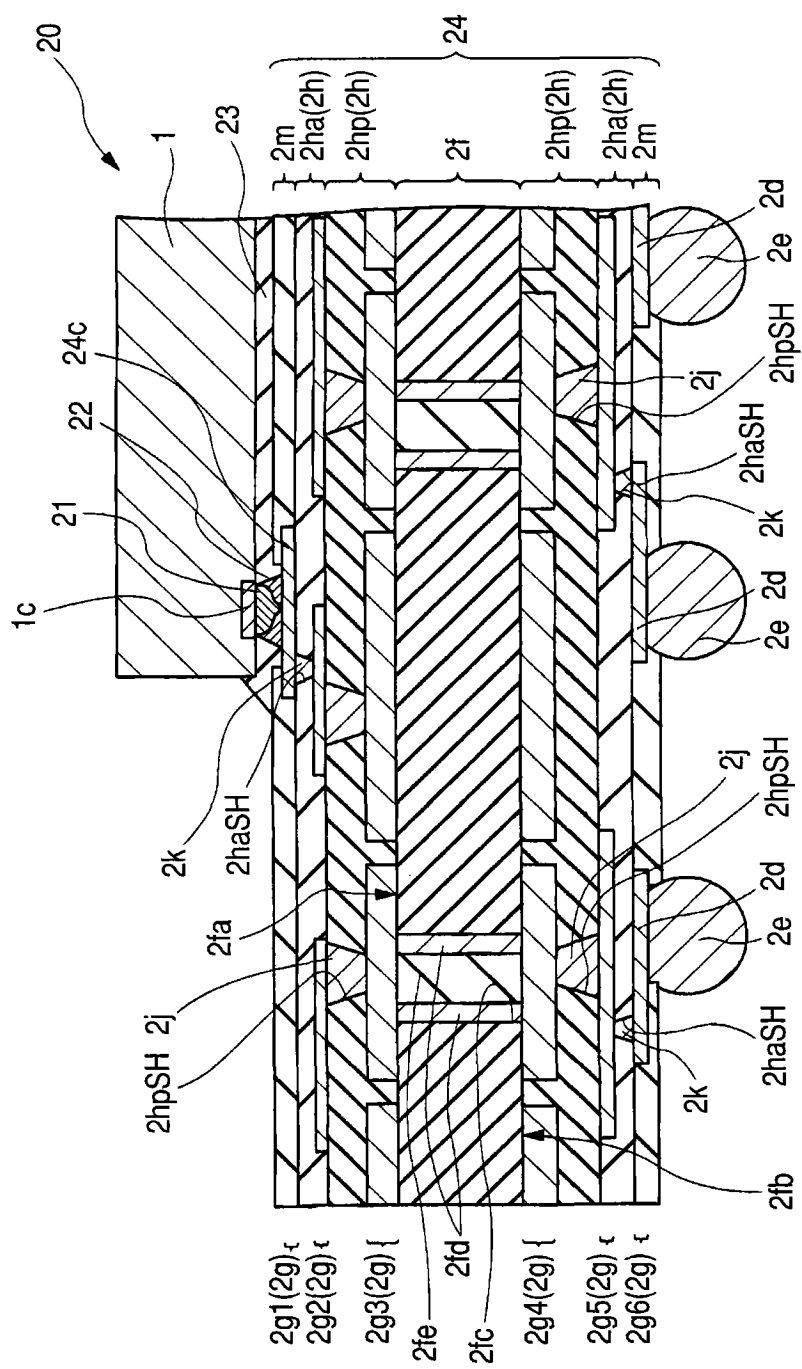


图 39

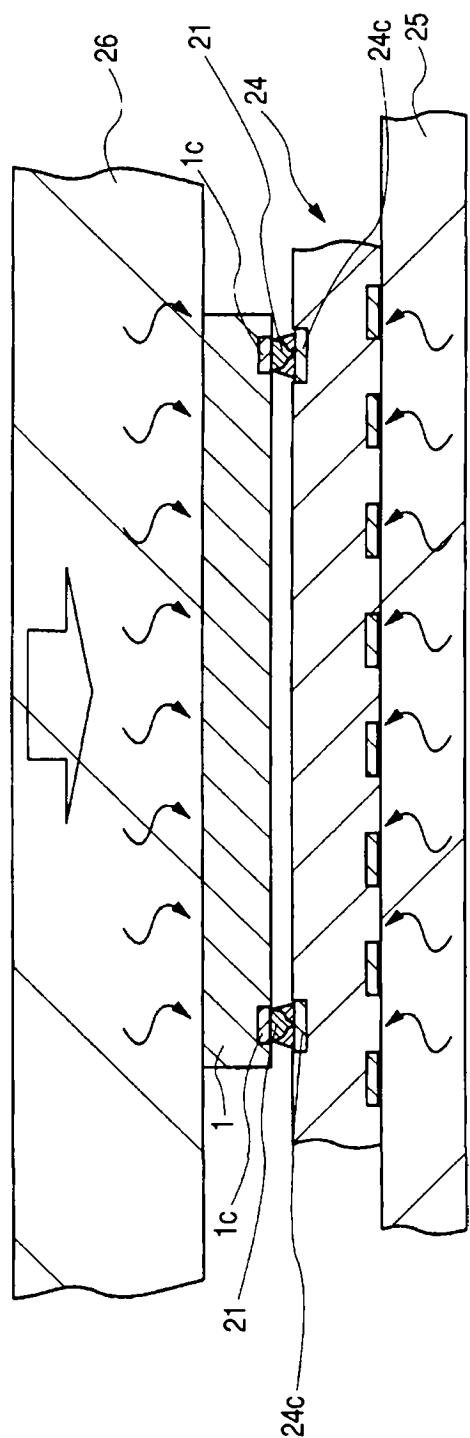


图 40

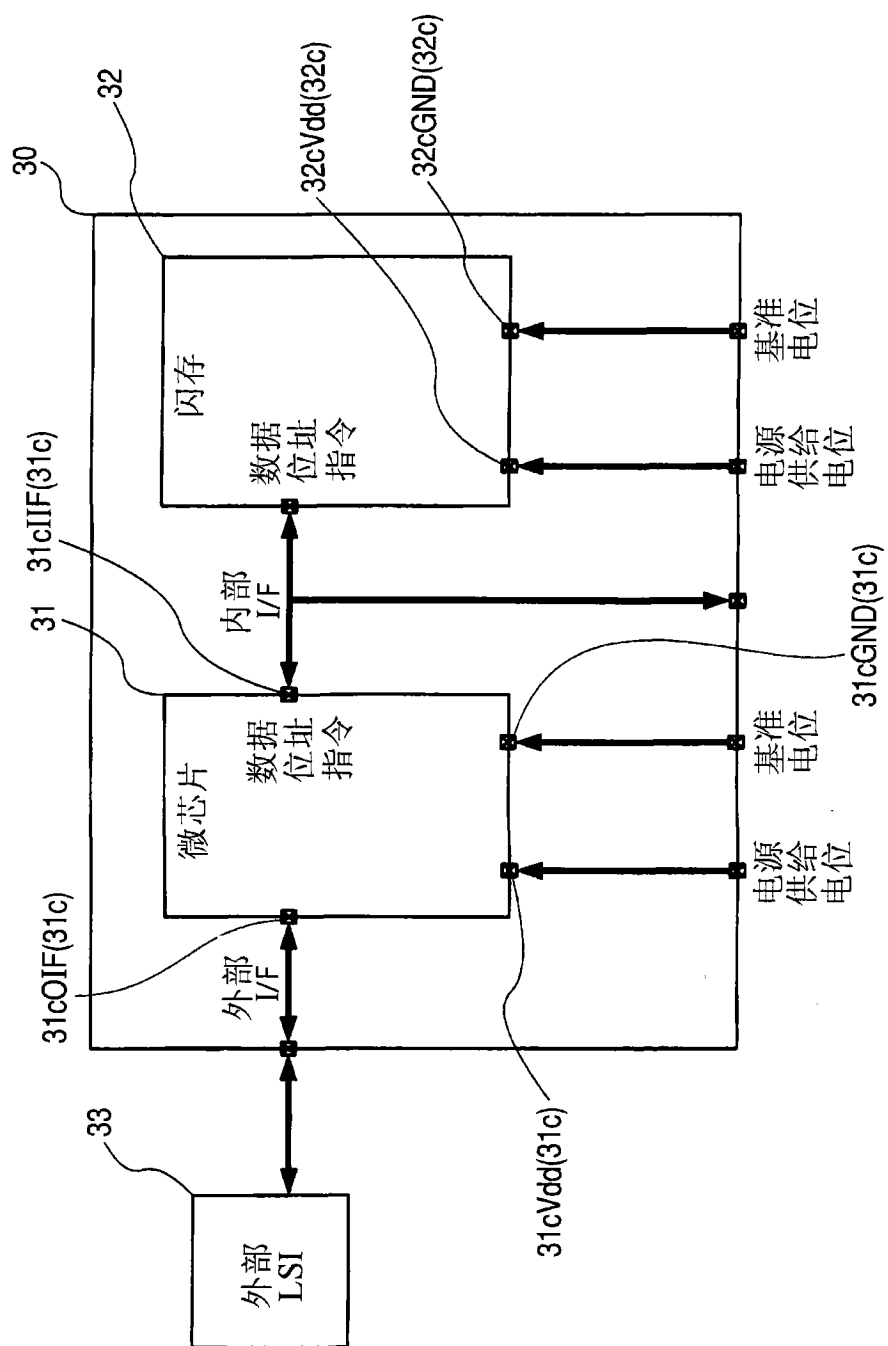


图 41

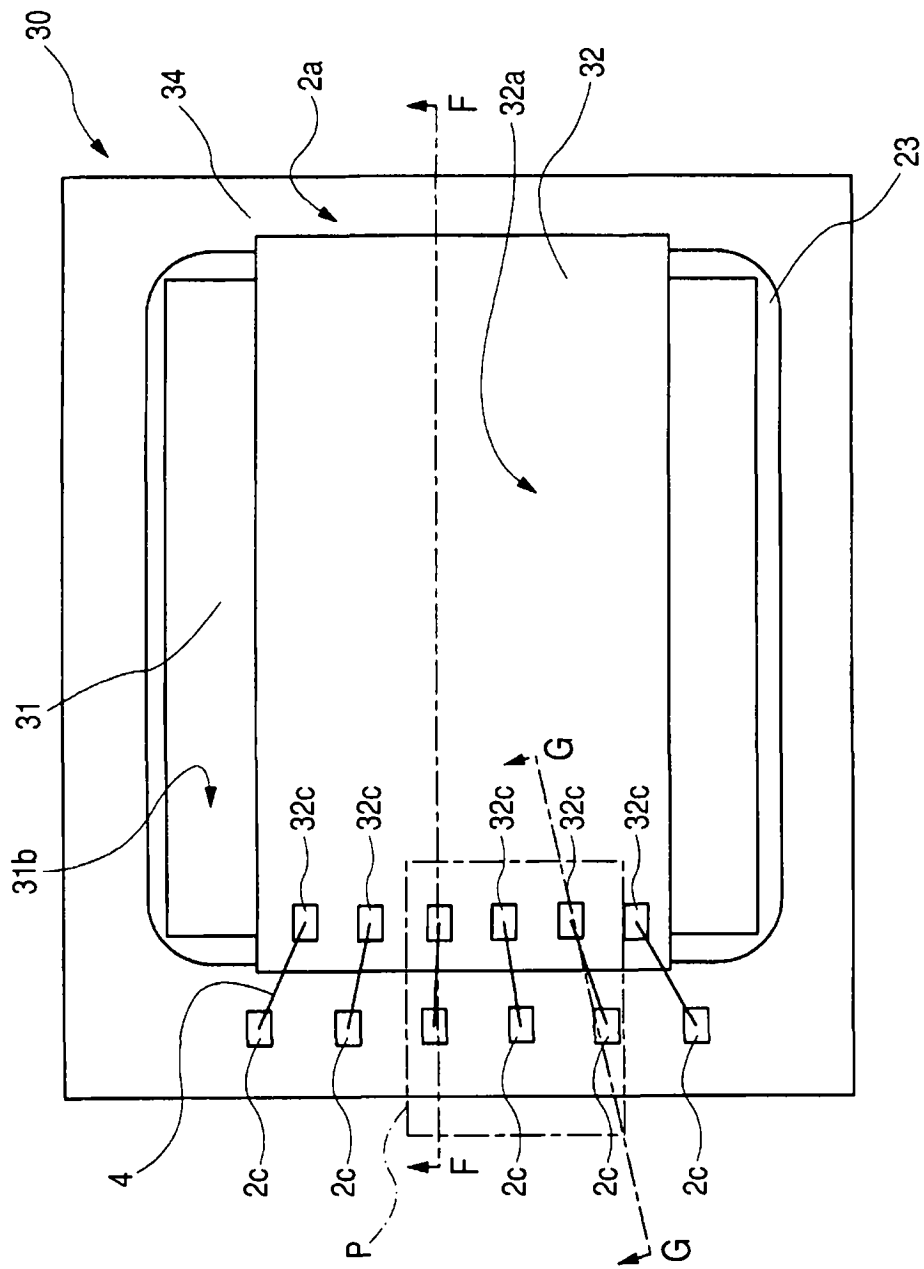


图 42

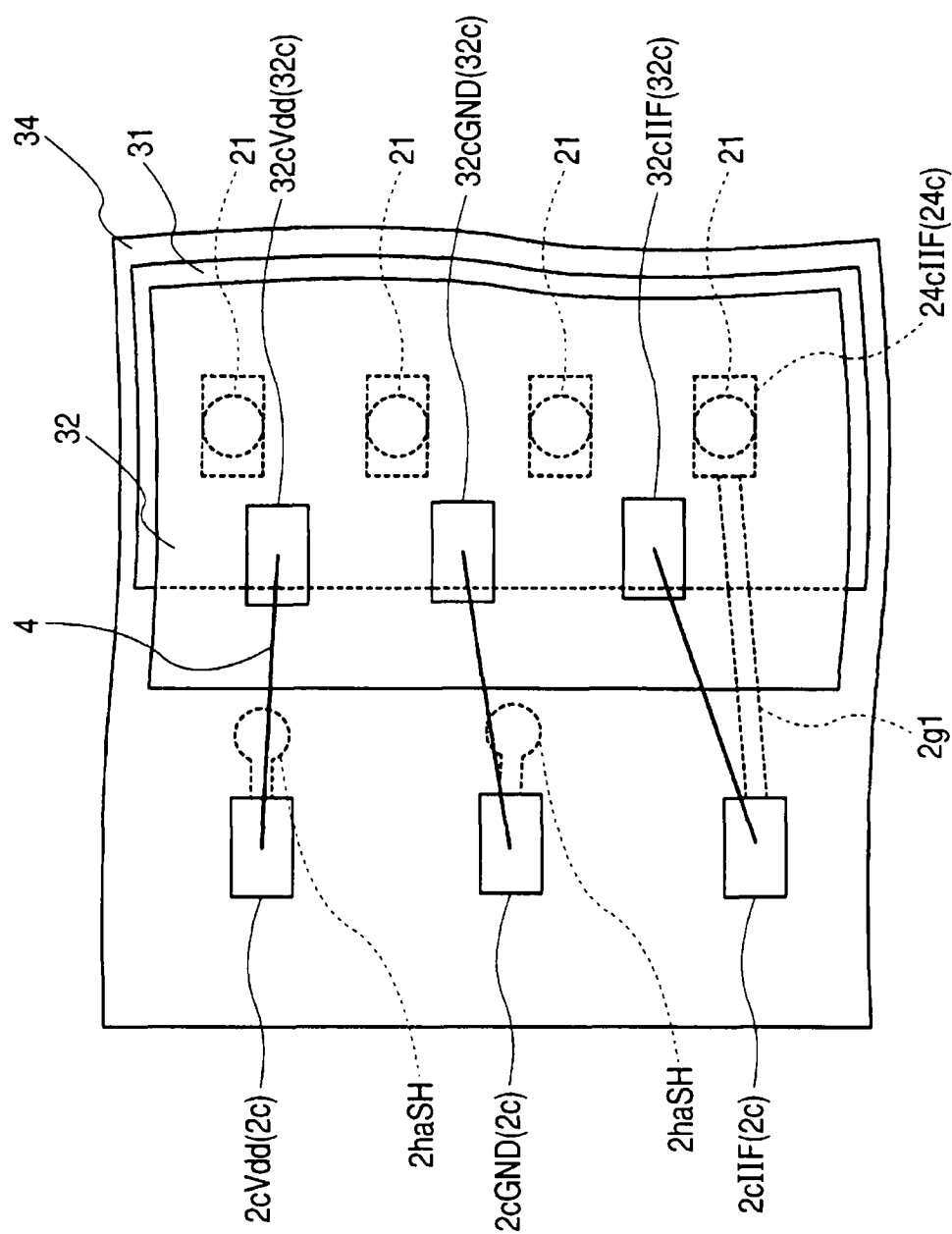


图 43

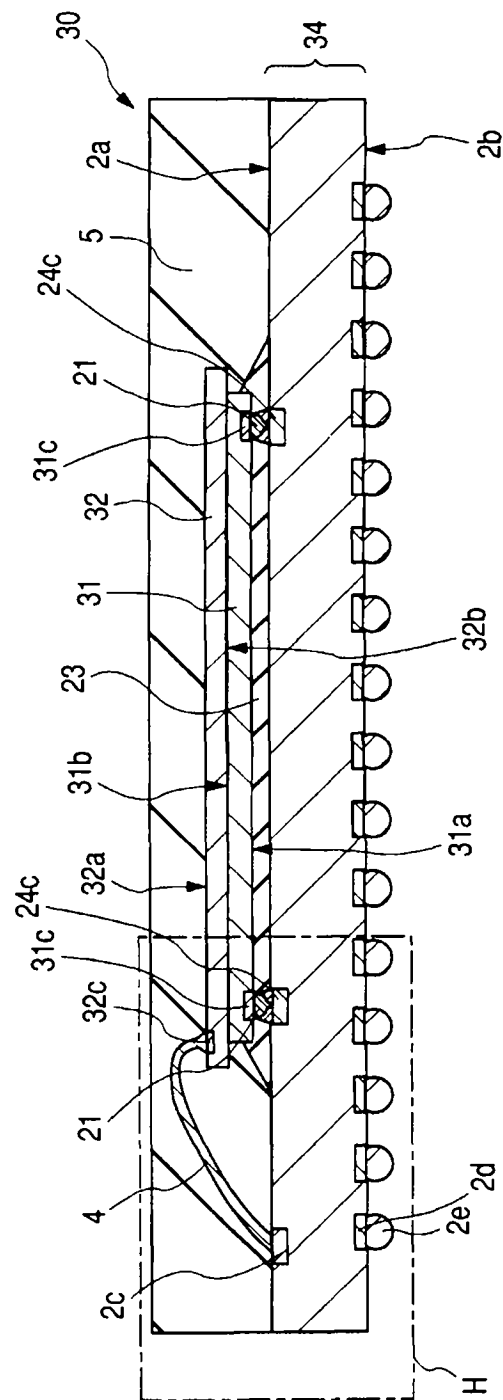


图 44

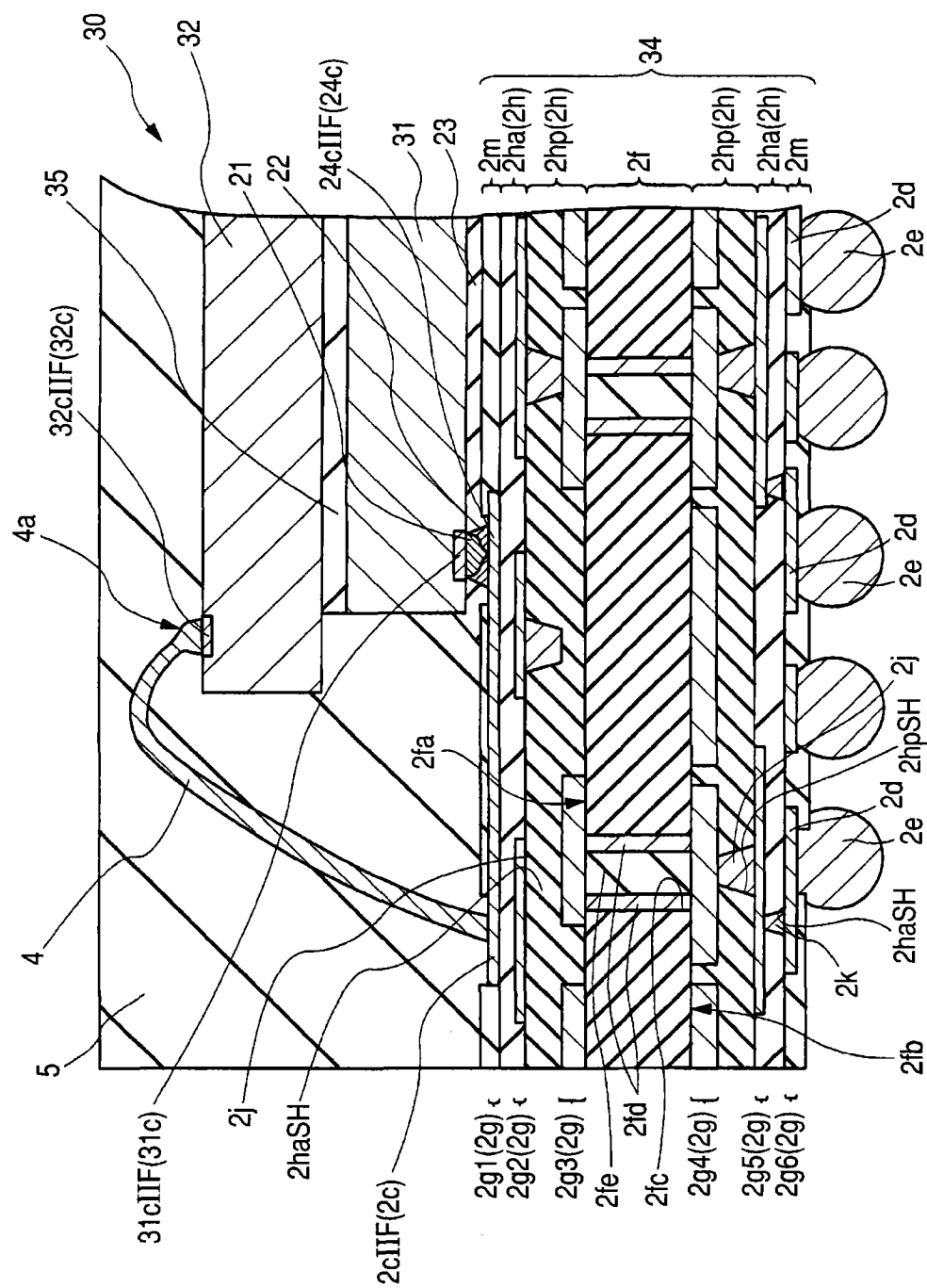


图 45

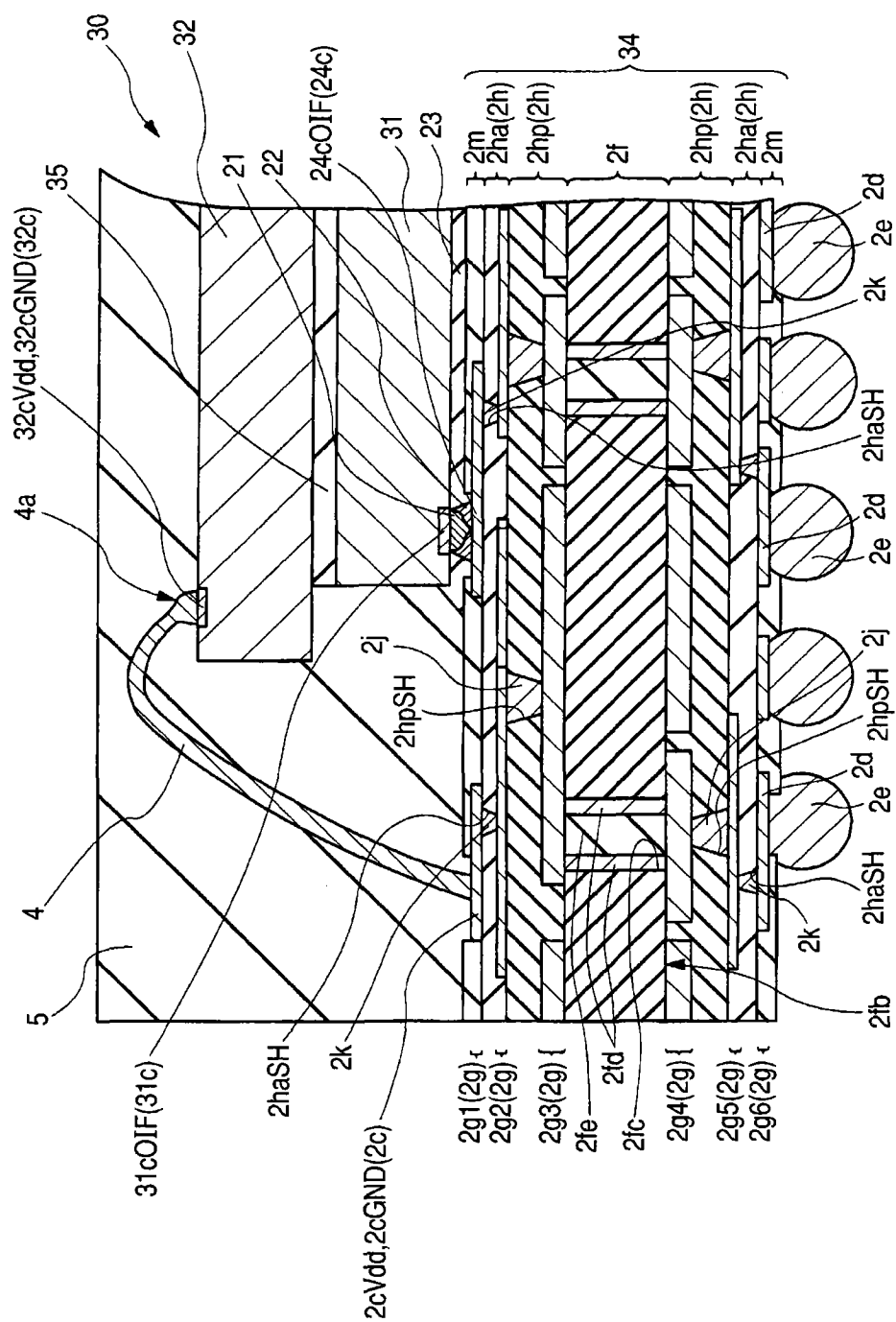


图 46

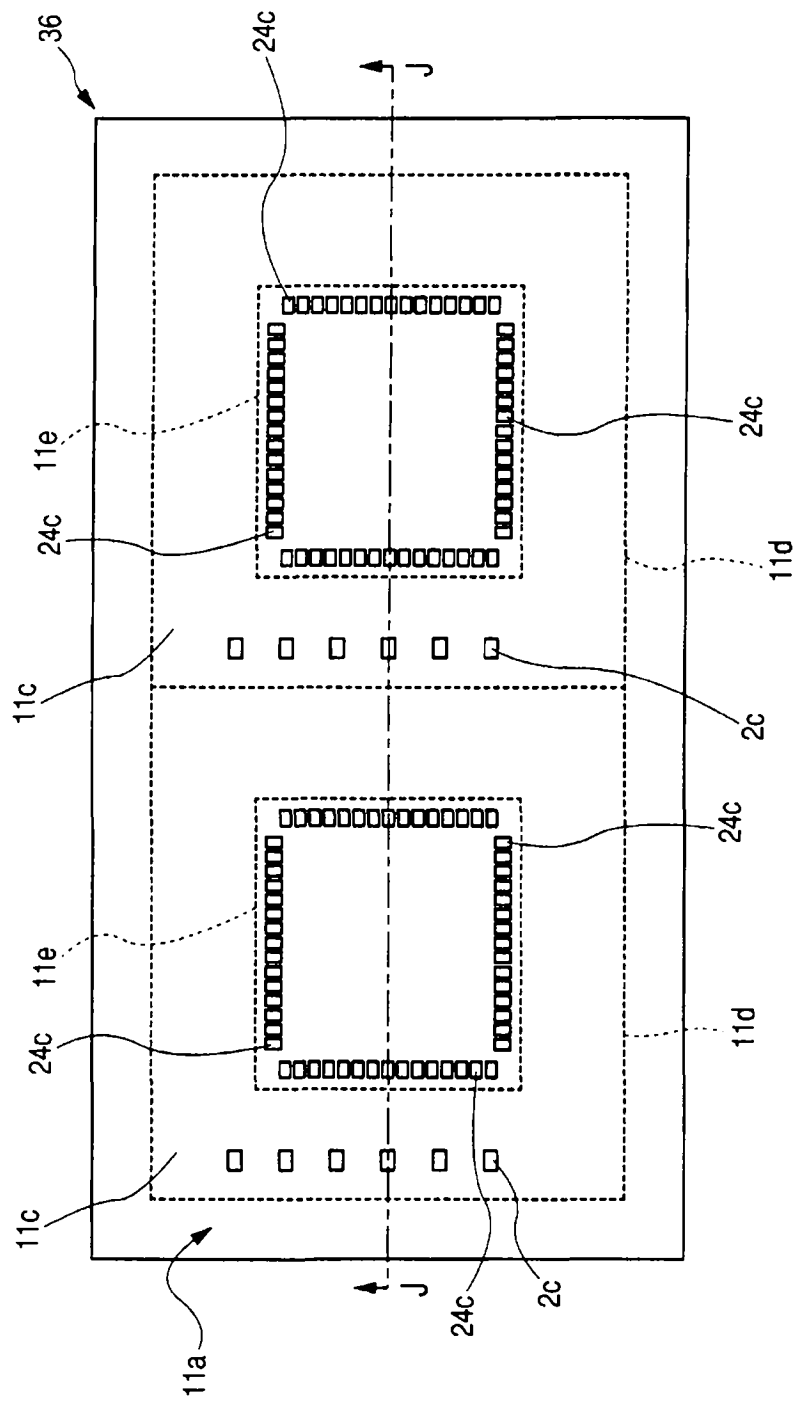


图 47

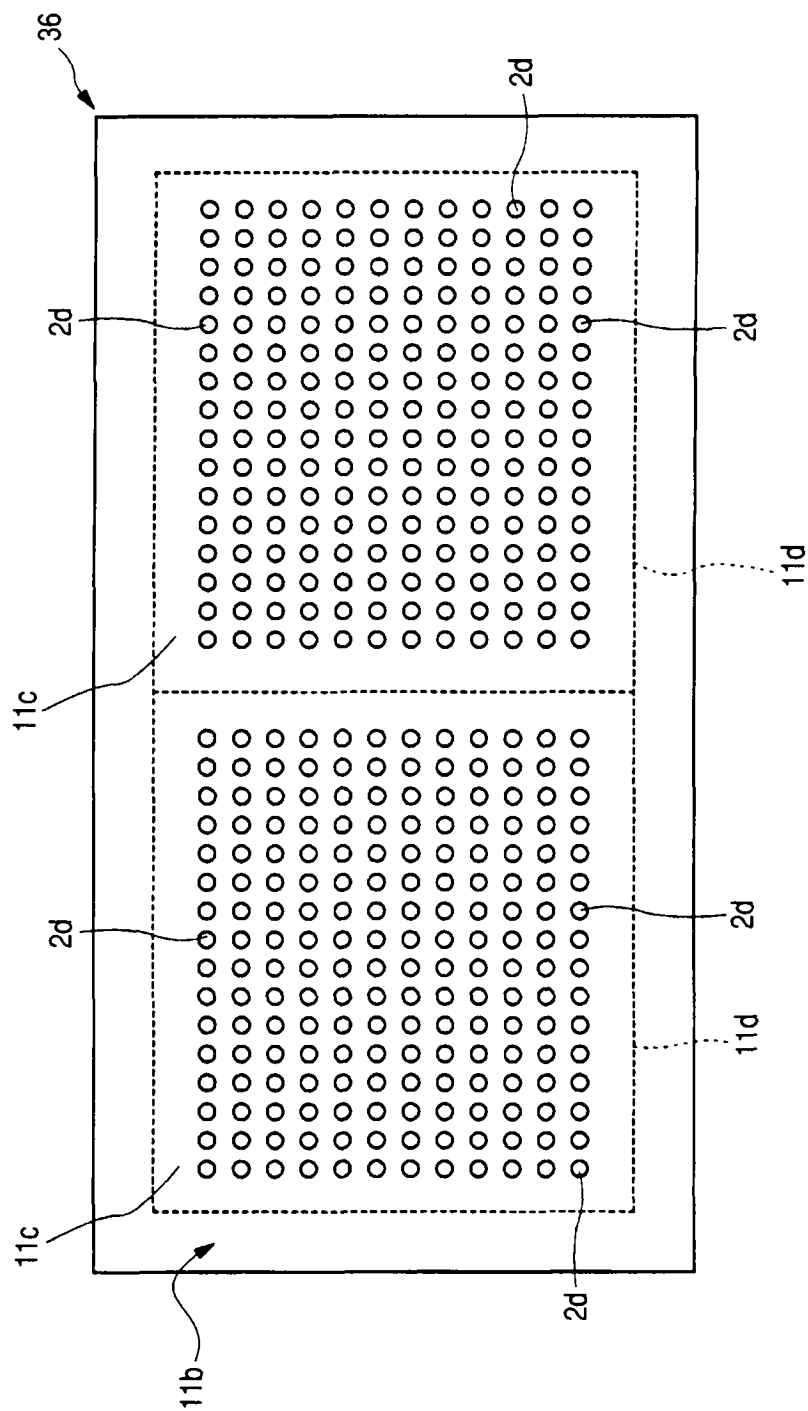


图 48

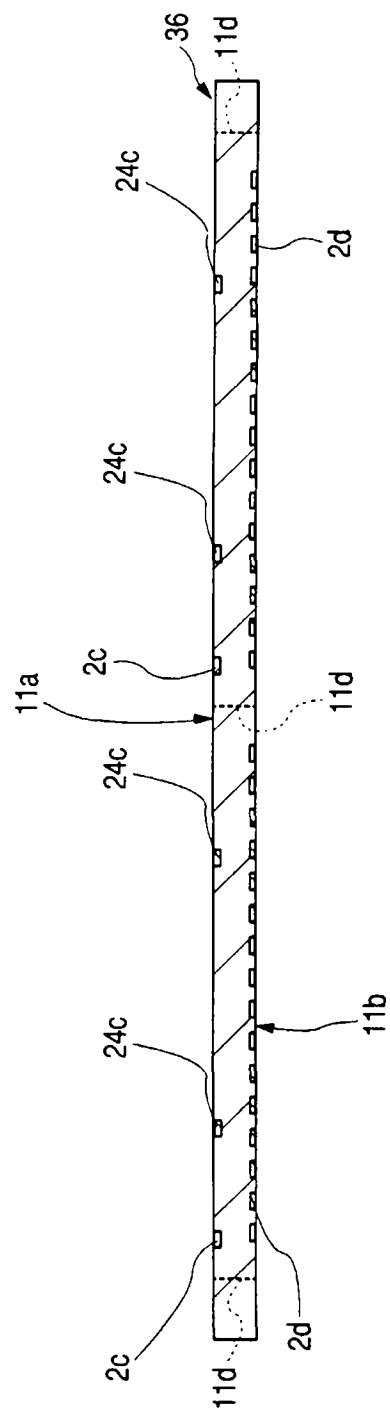


图 49

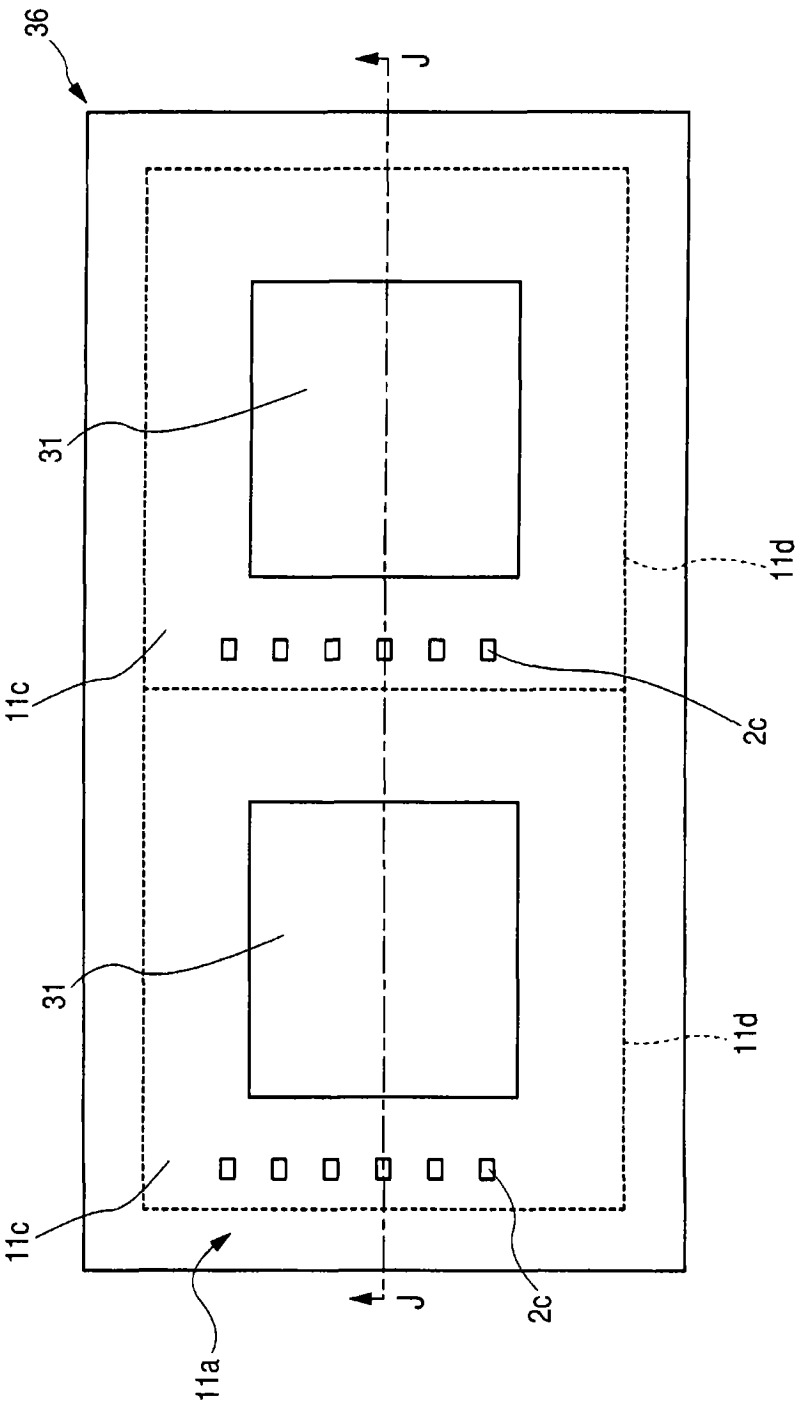


图 50

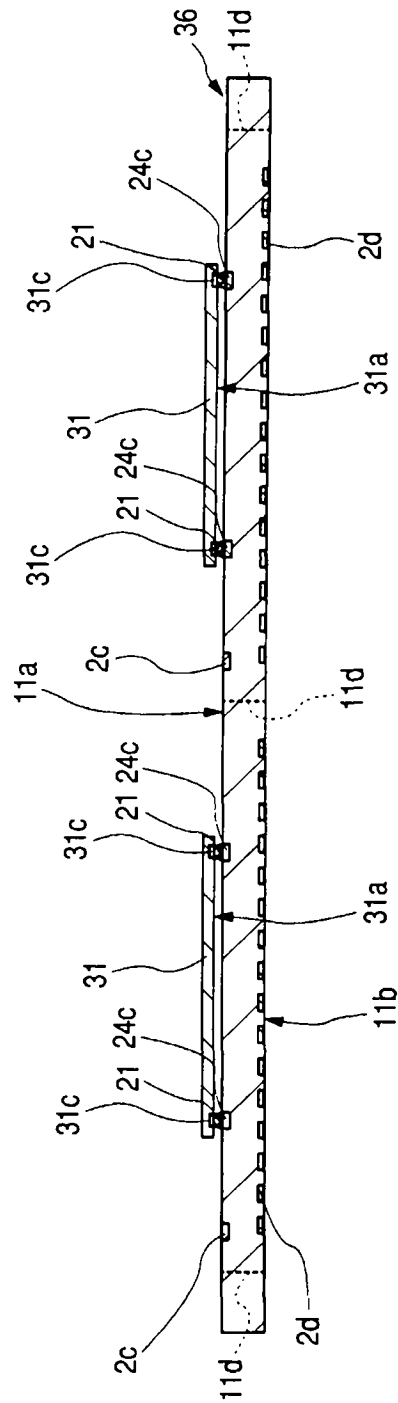


图 51

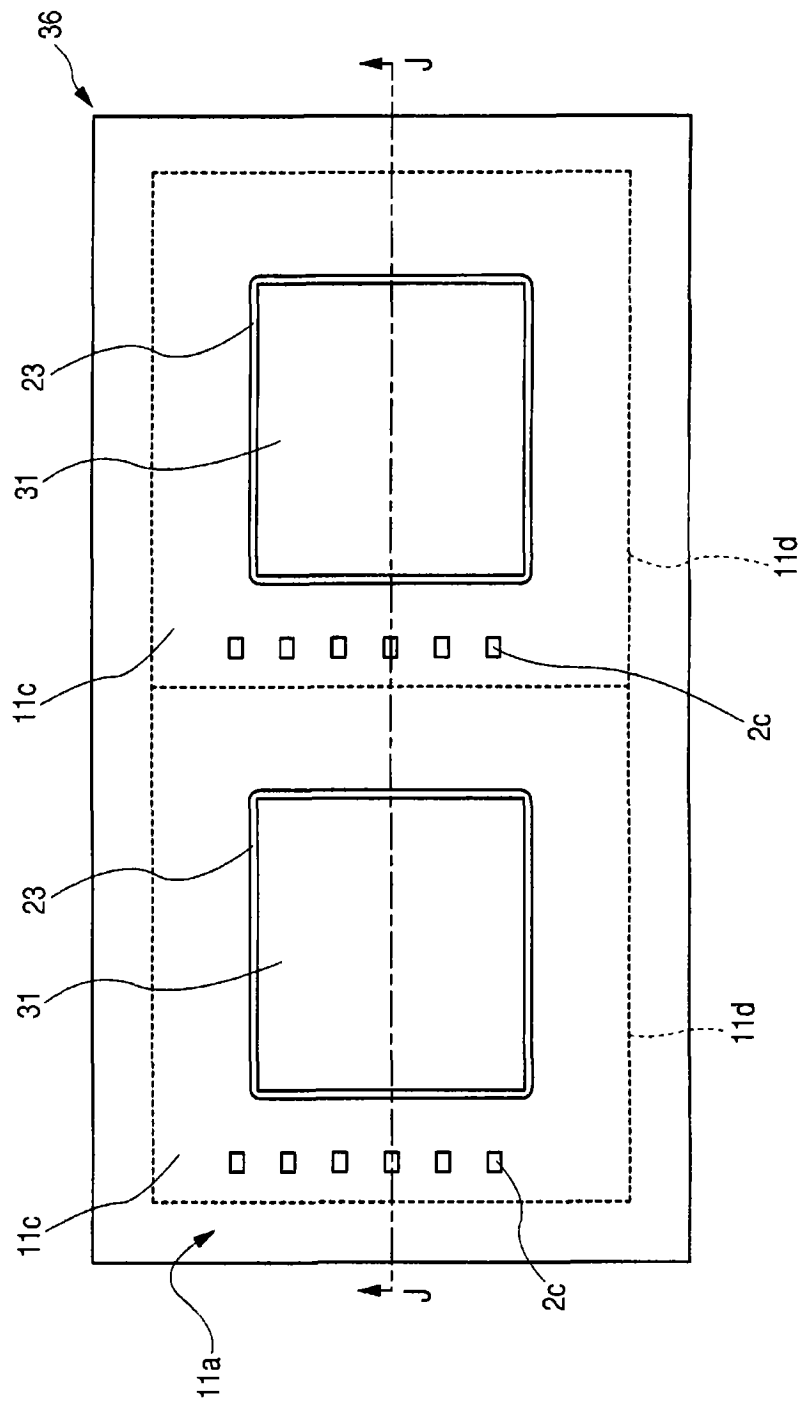


图 52

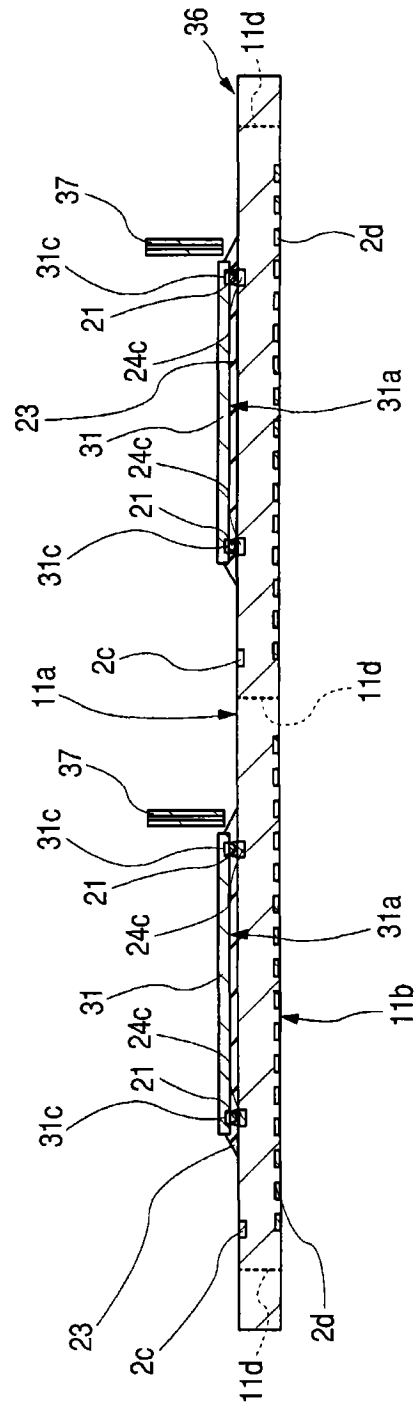


图 53

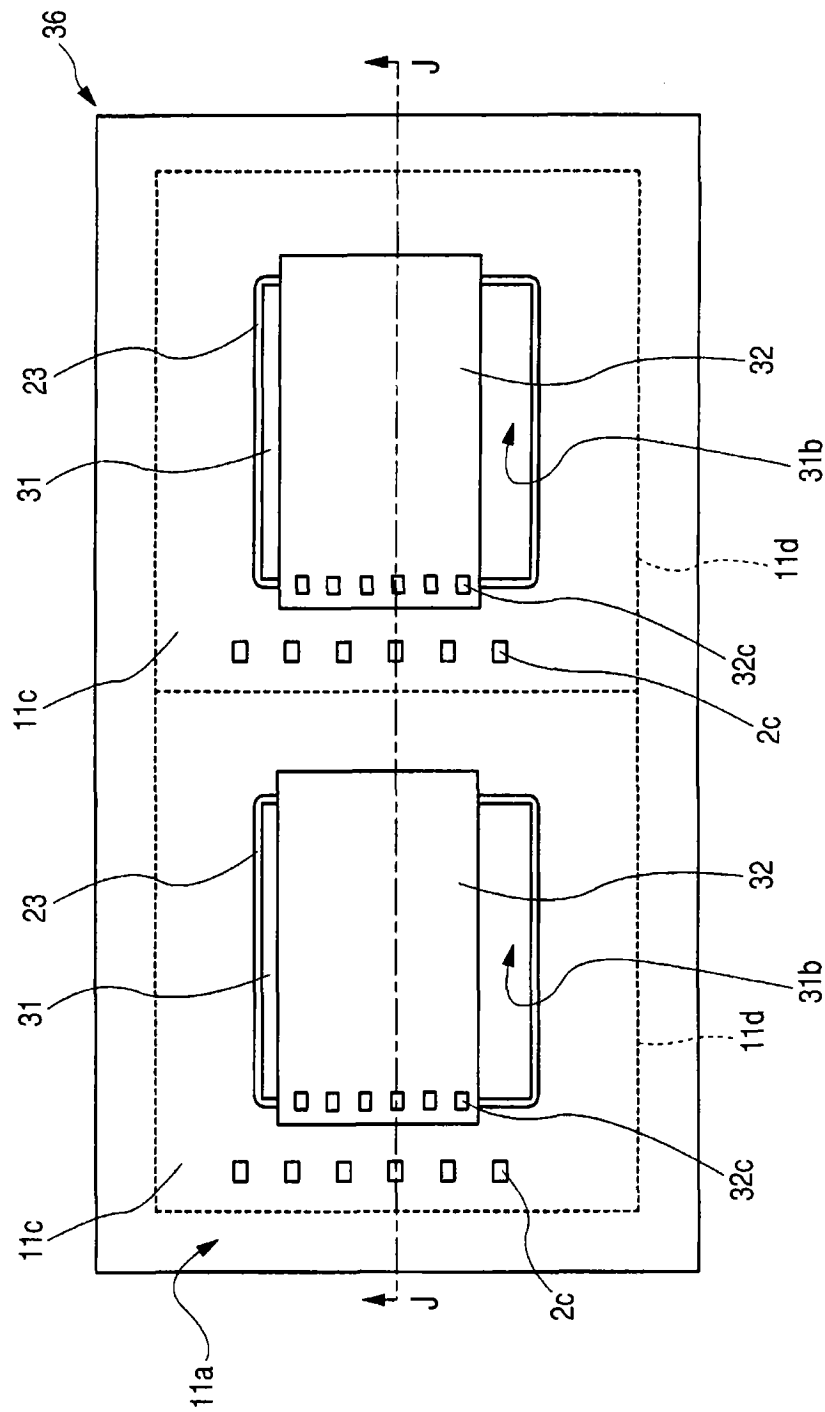


图 54

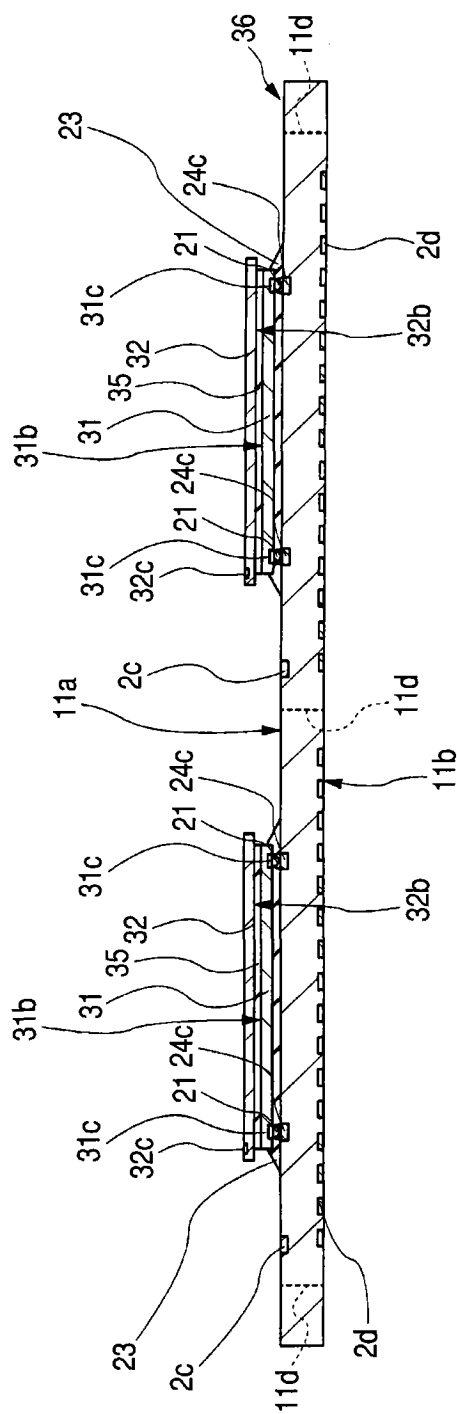


图 55

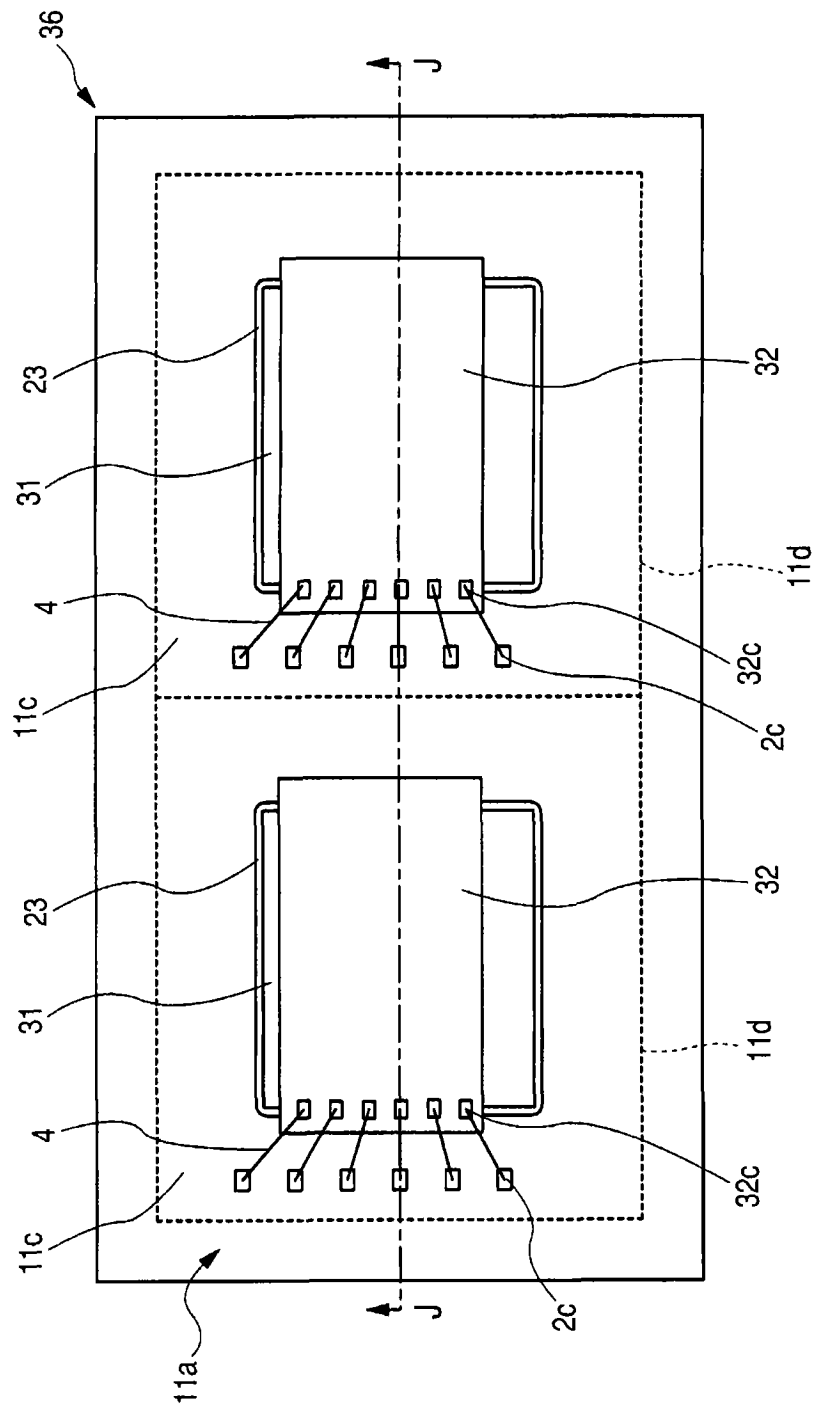


图 56

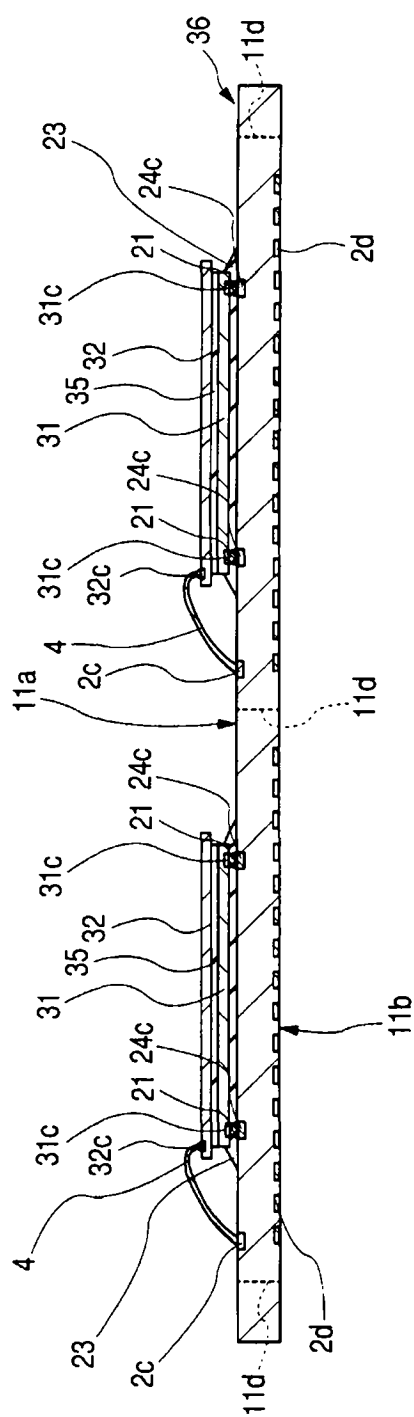


图 57

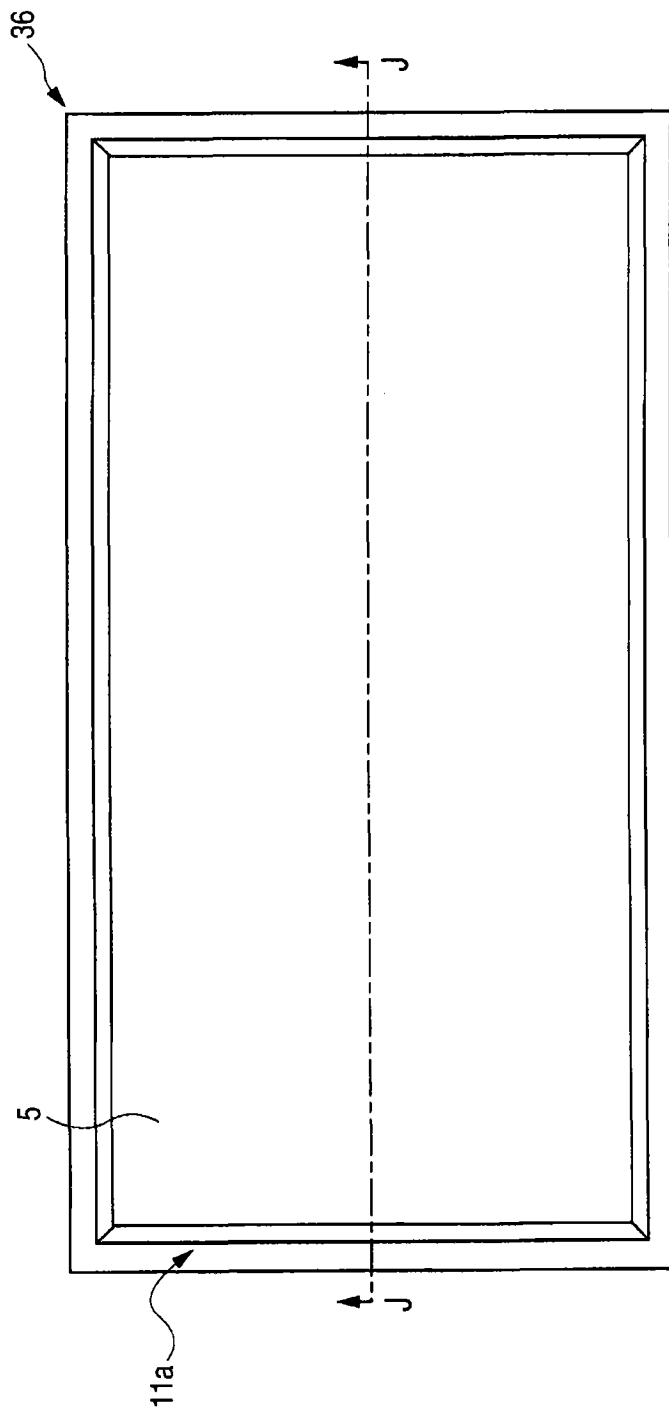


图 58

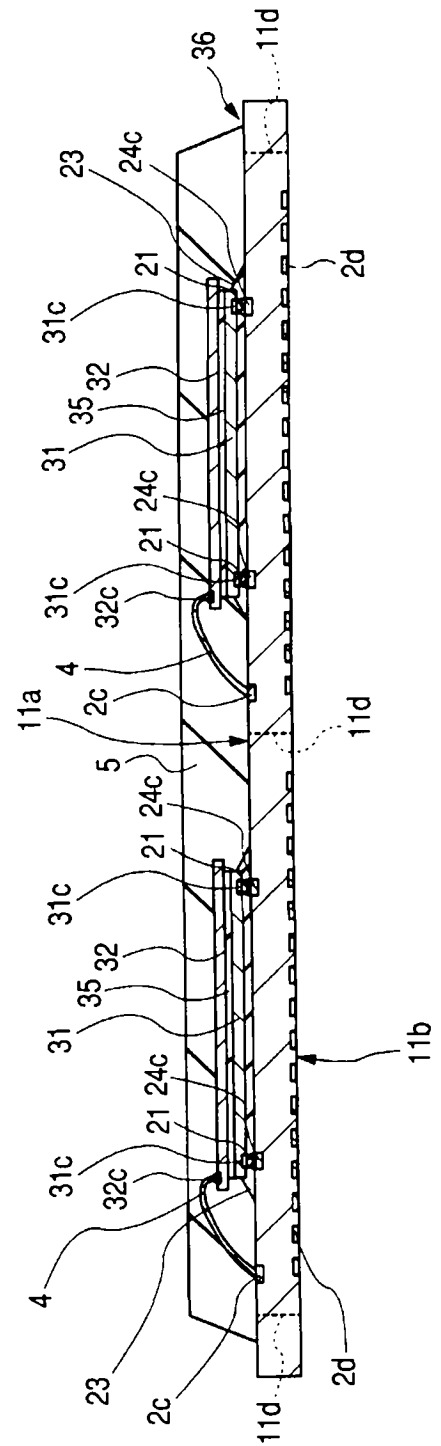


图 59

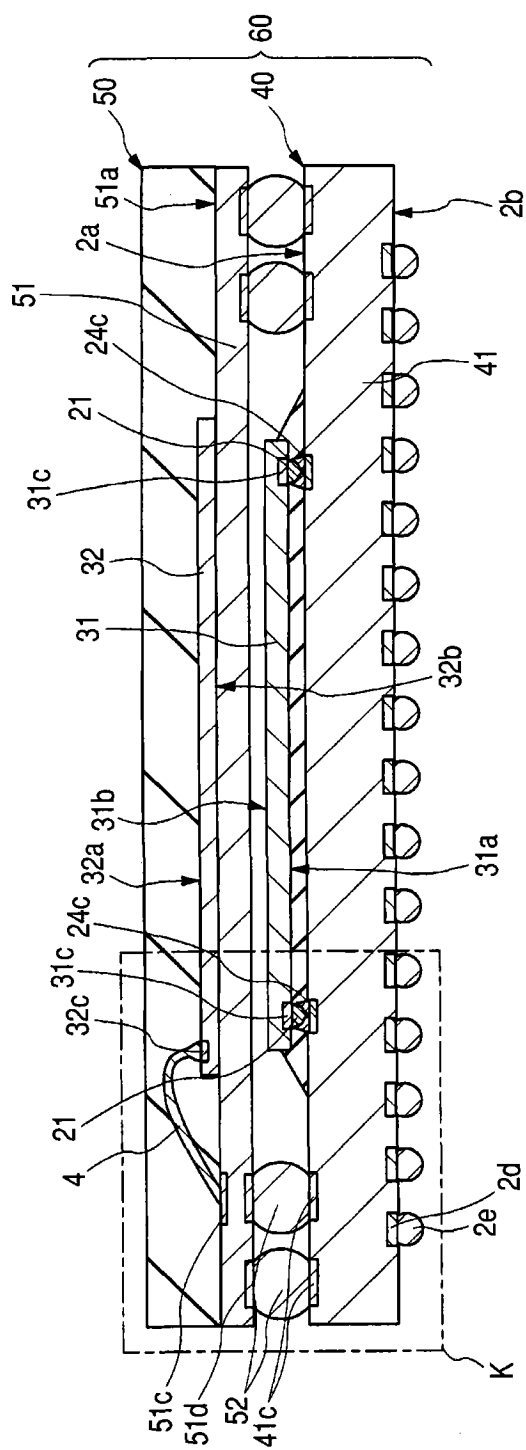


图 60

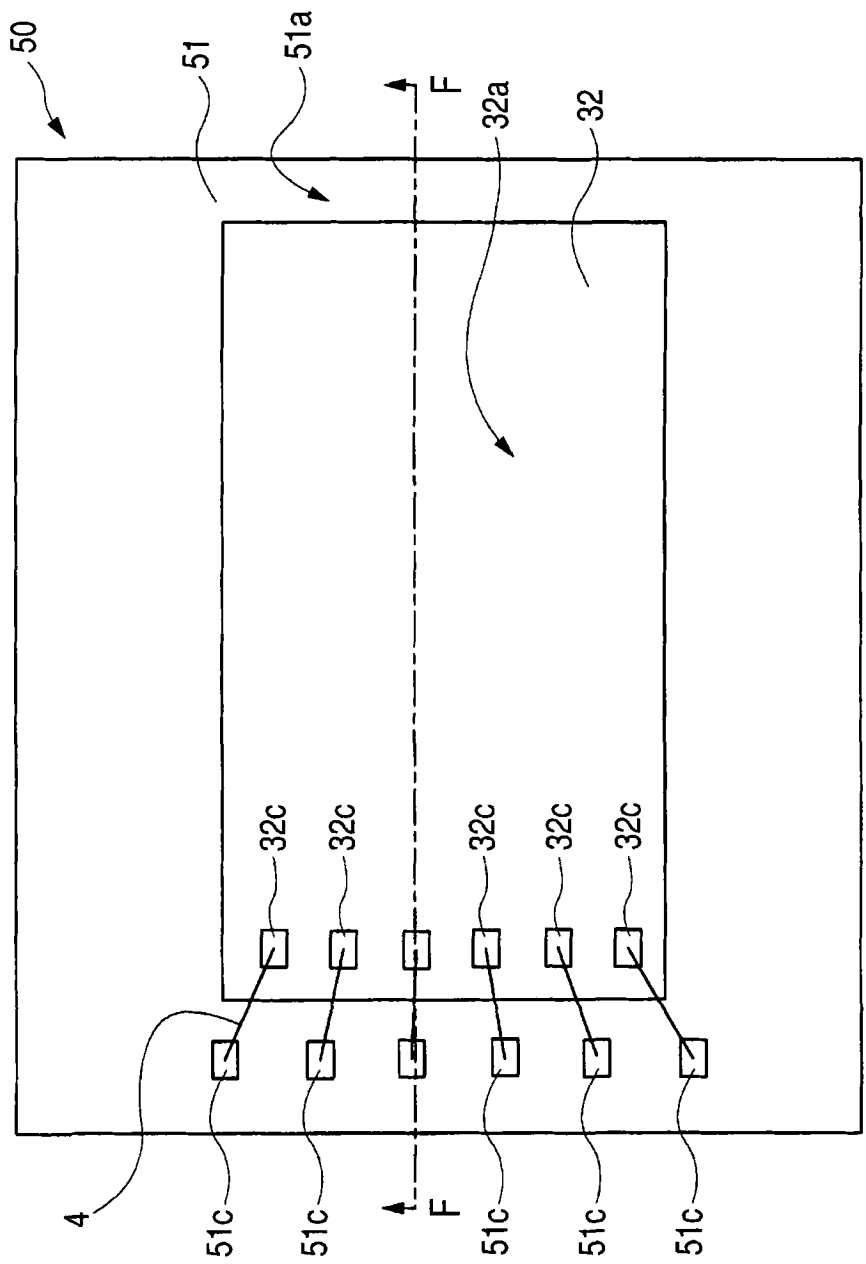


图 61

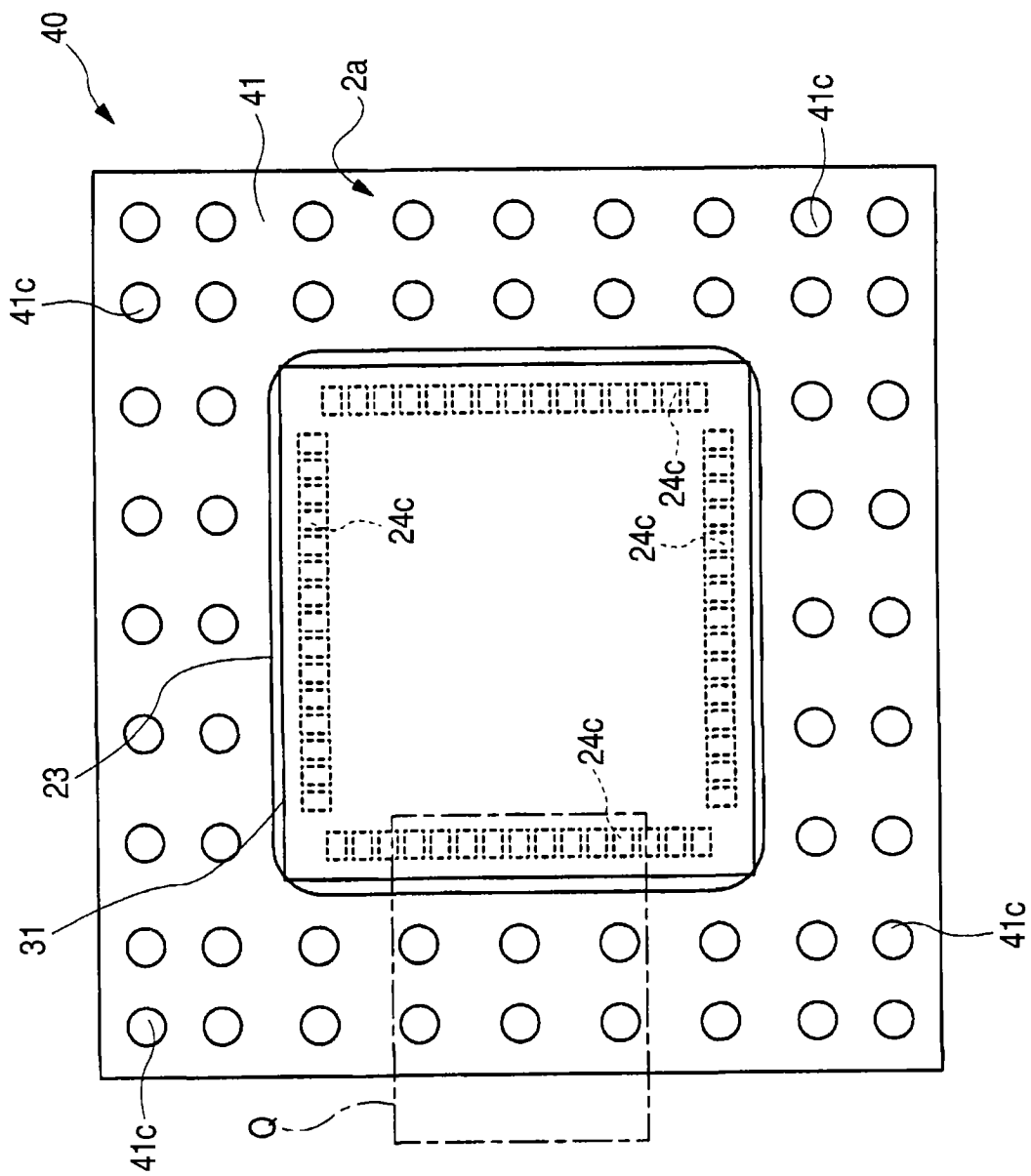


图 62

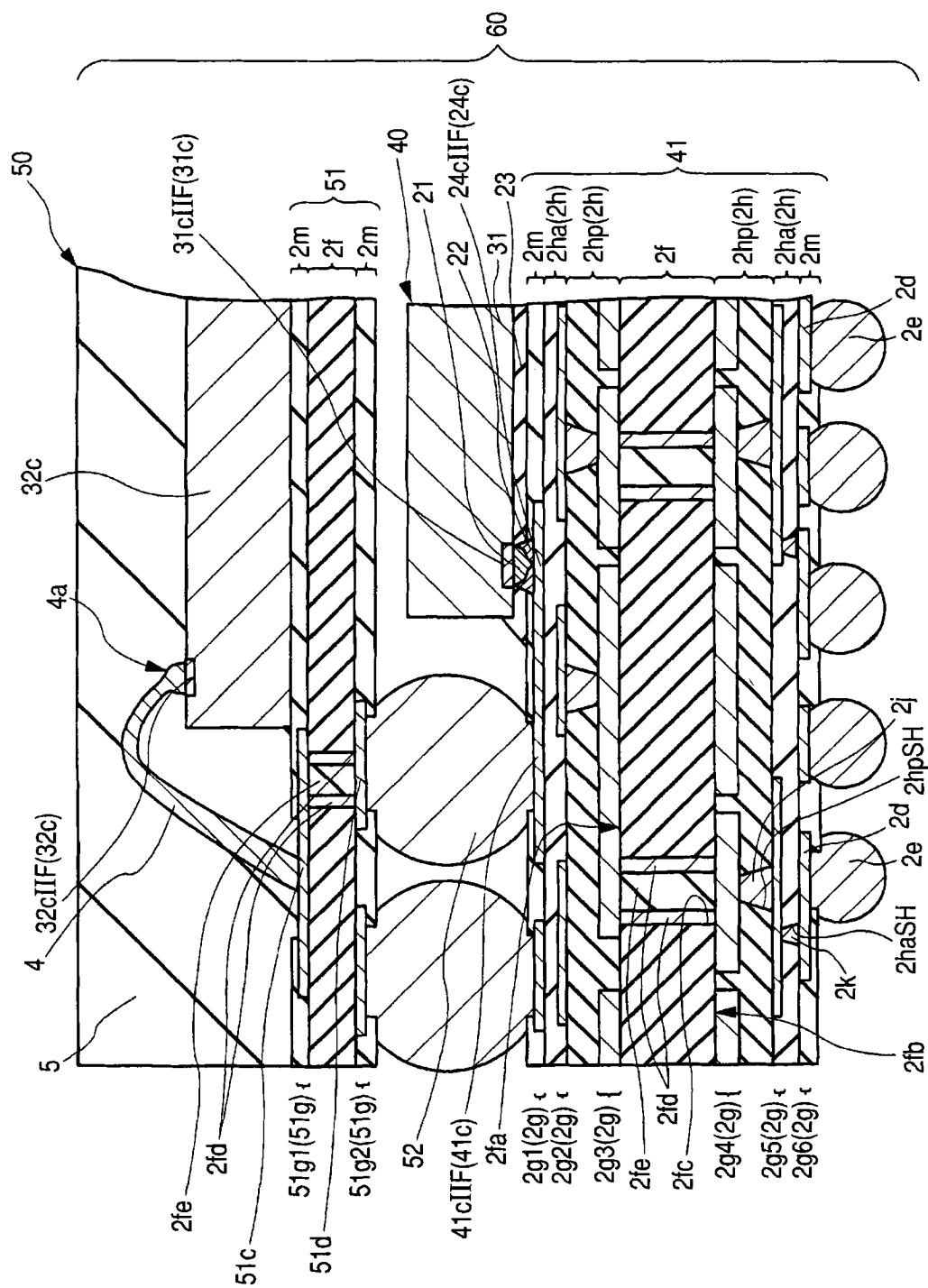


图 63

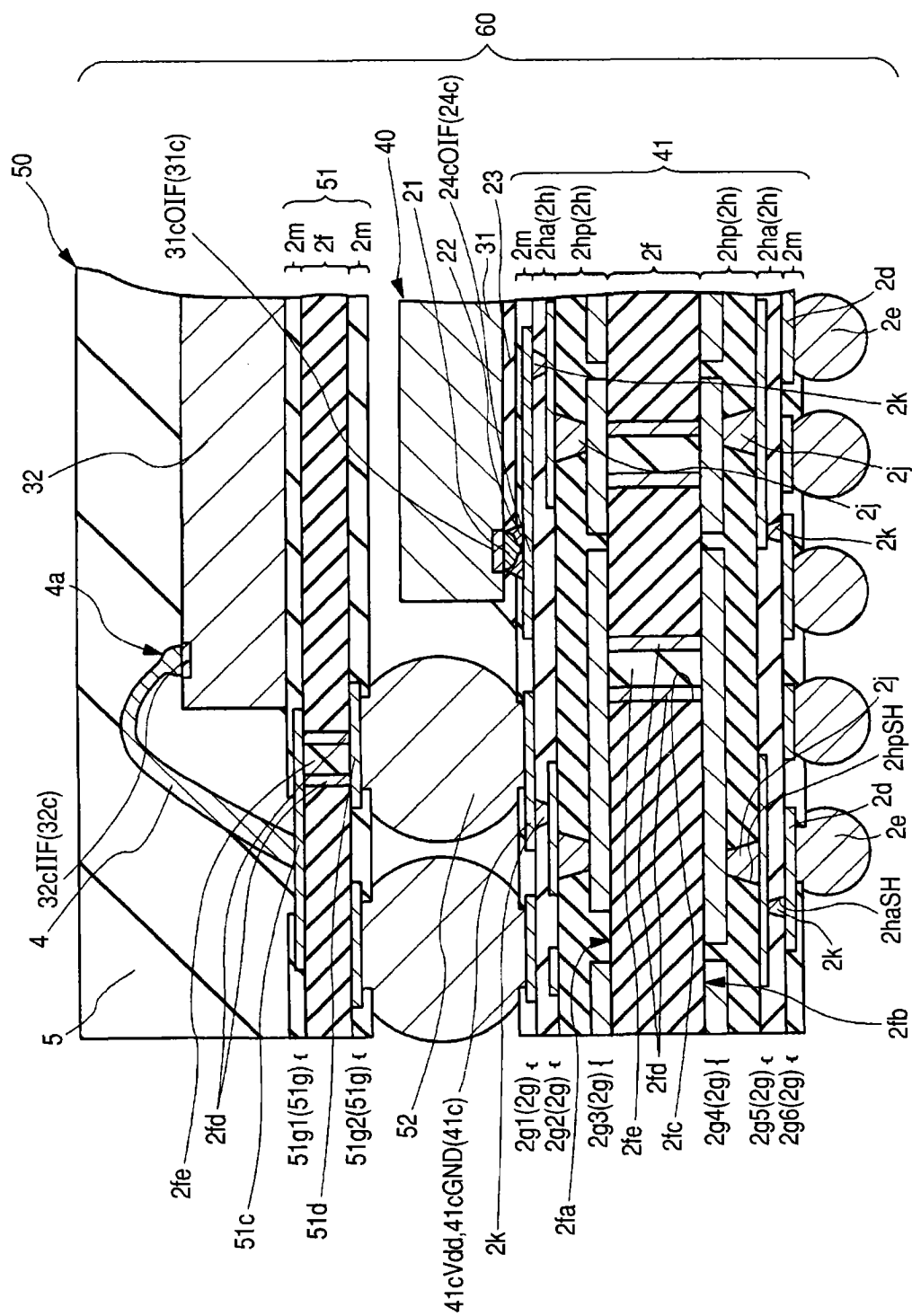


图 64

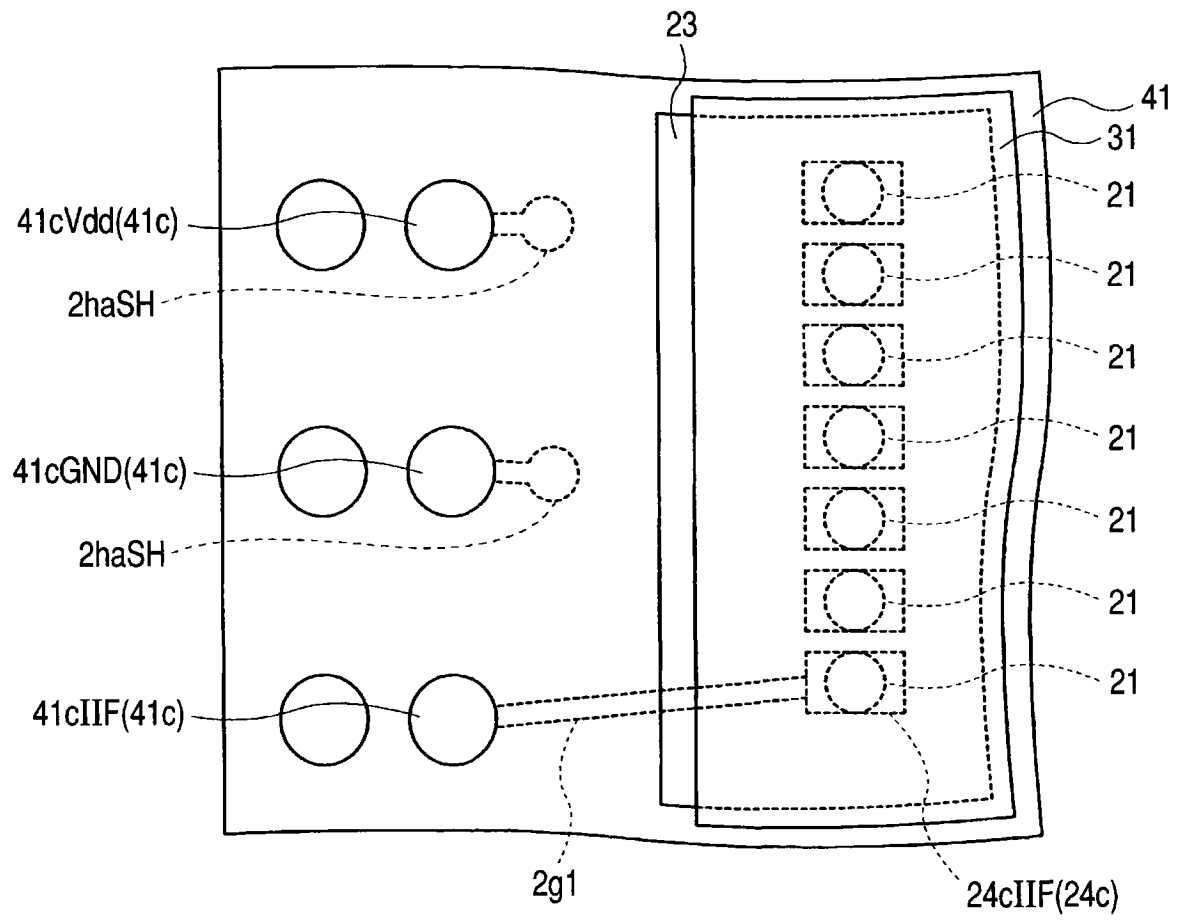


图 65

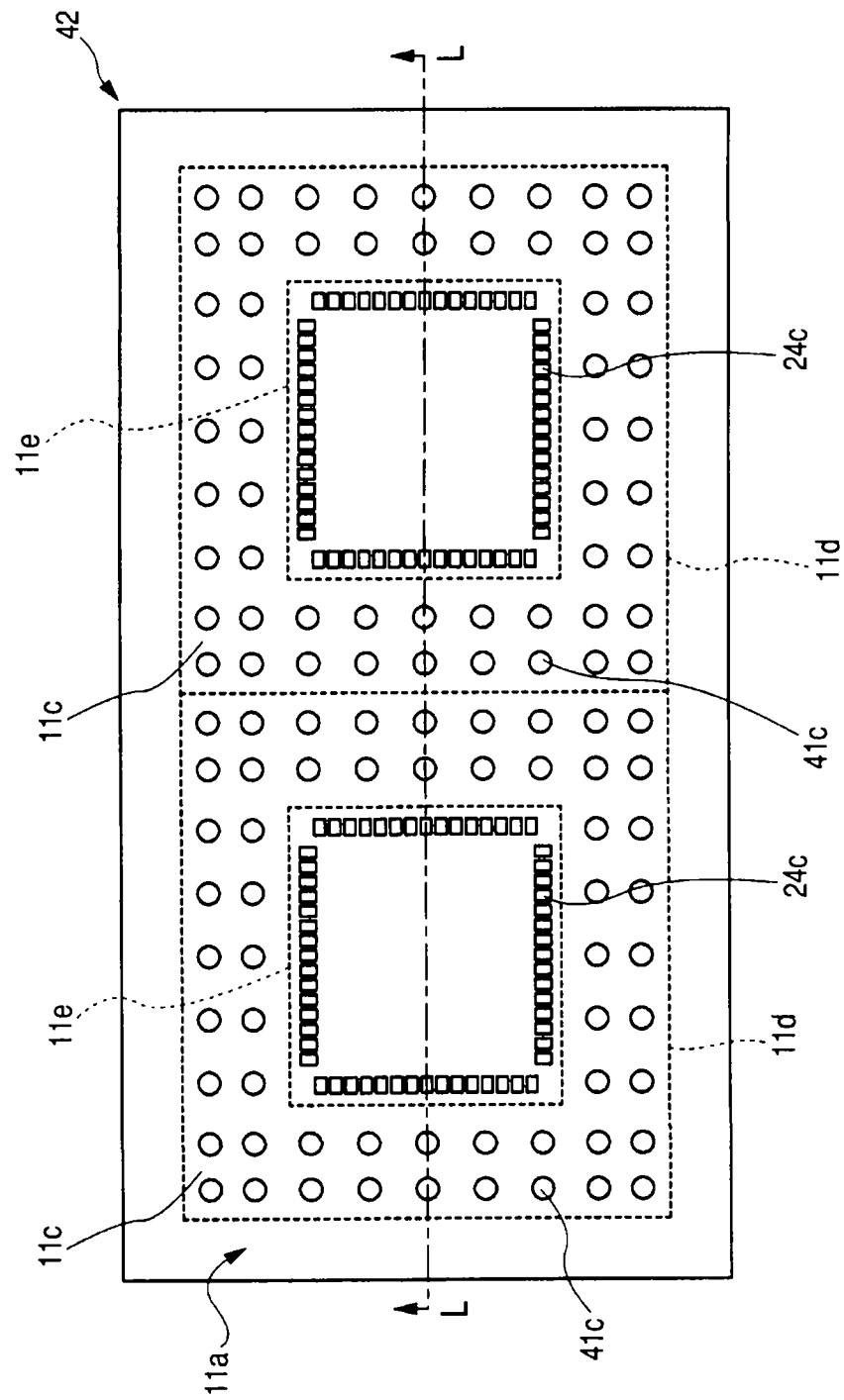


图 66

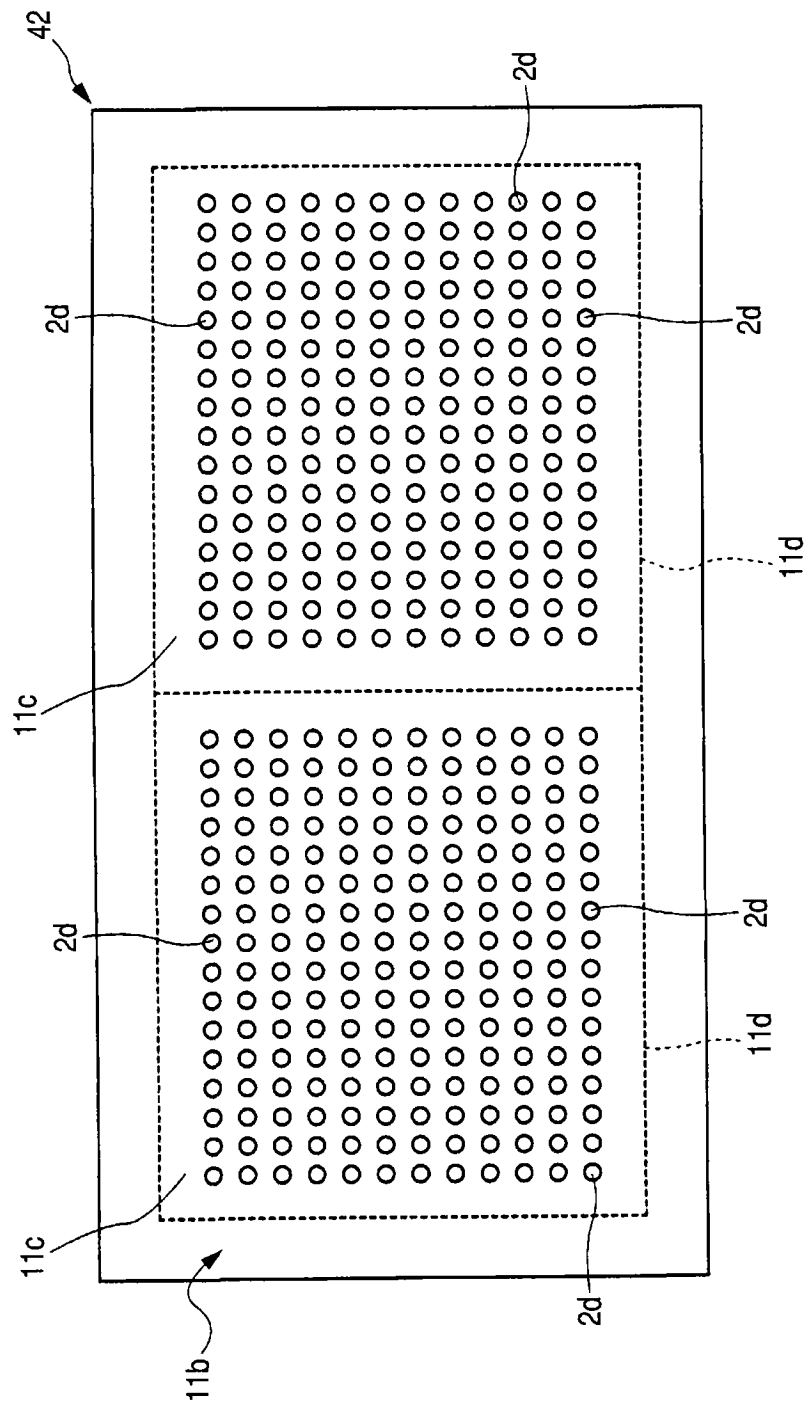


图 67

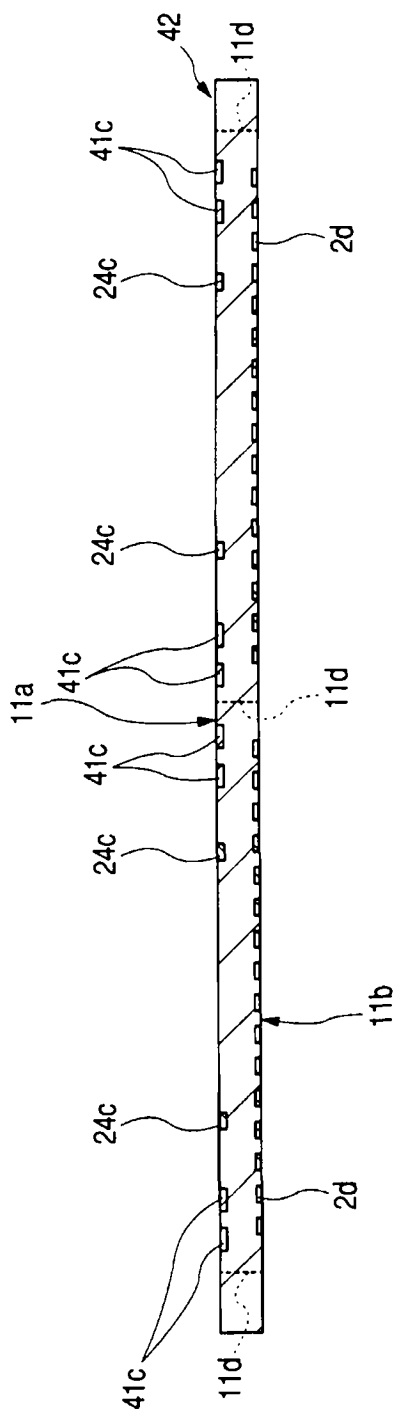


图 68

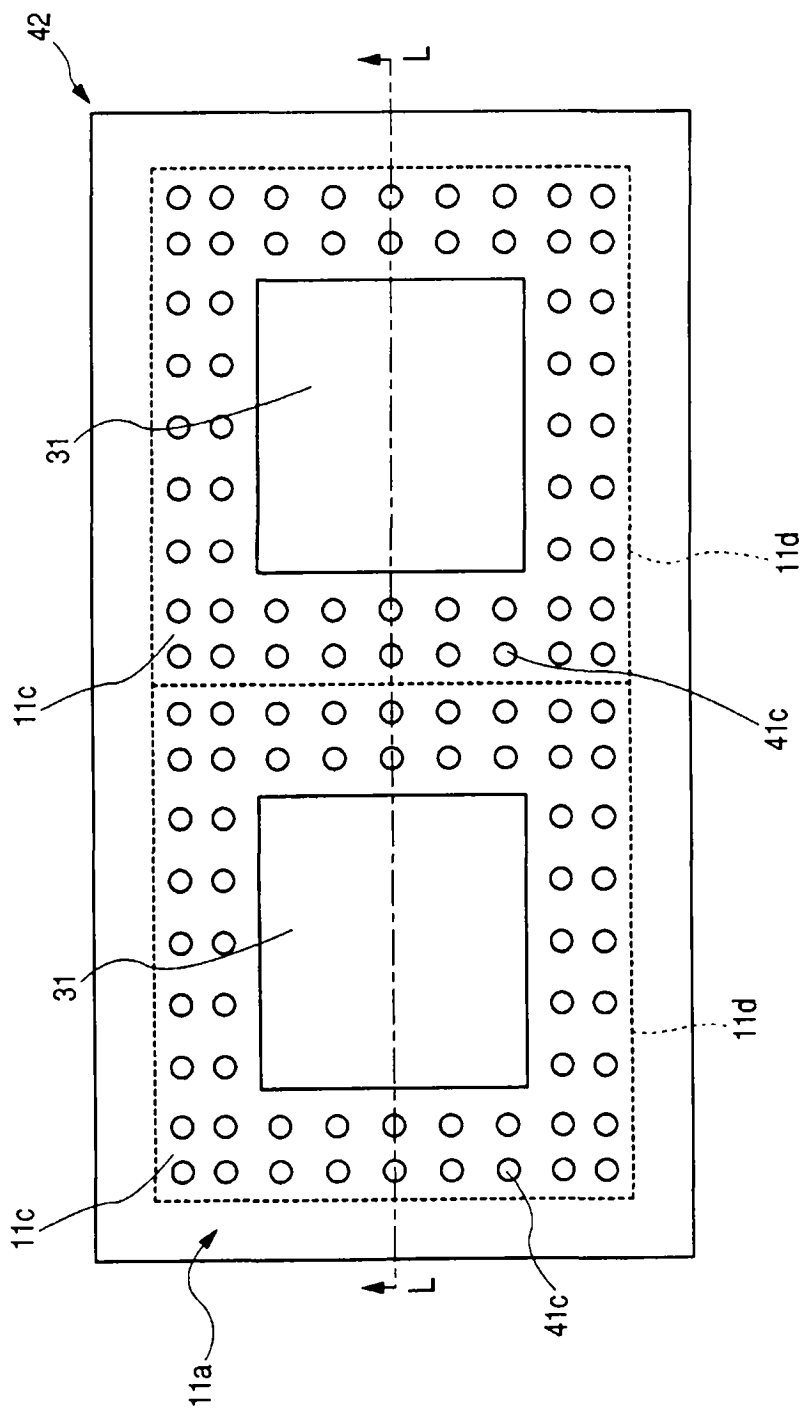


图 69

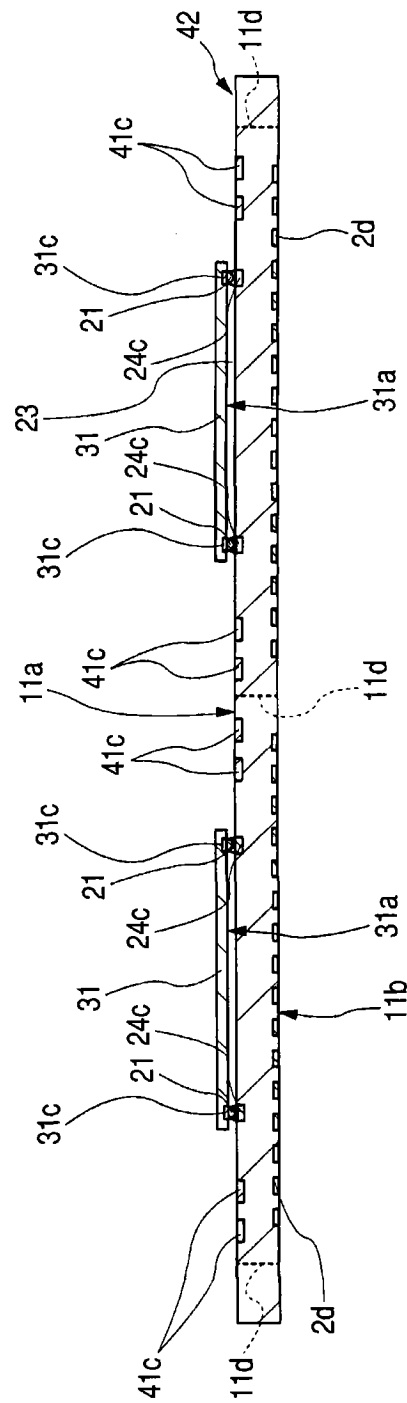


图 70

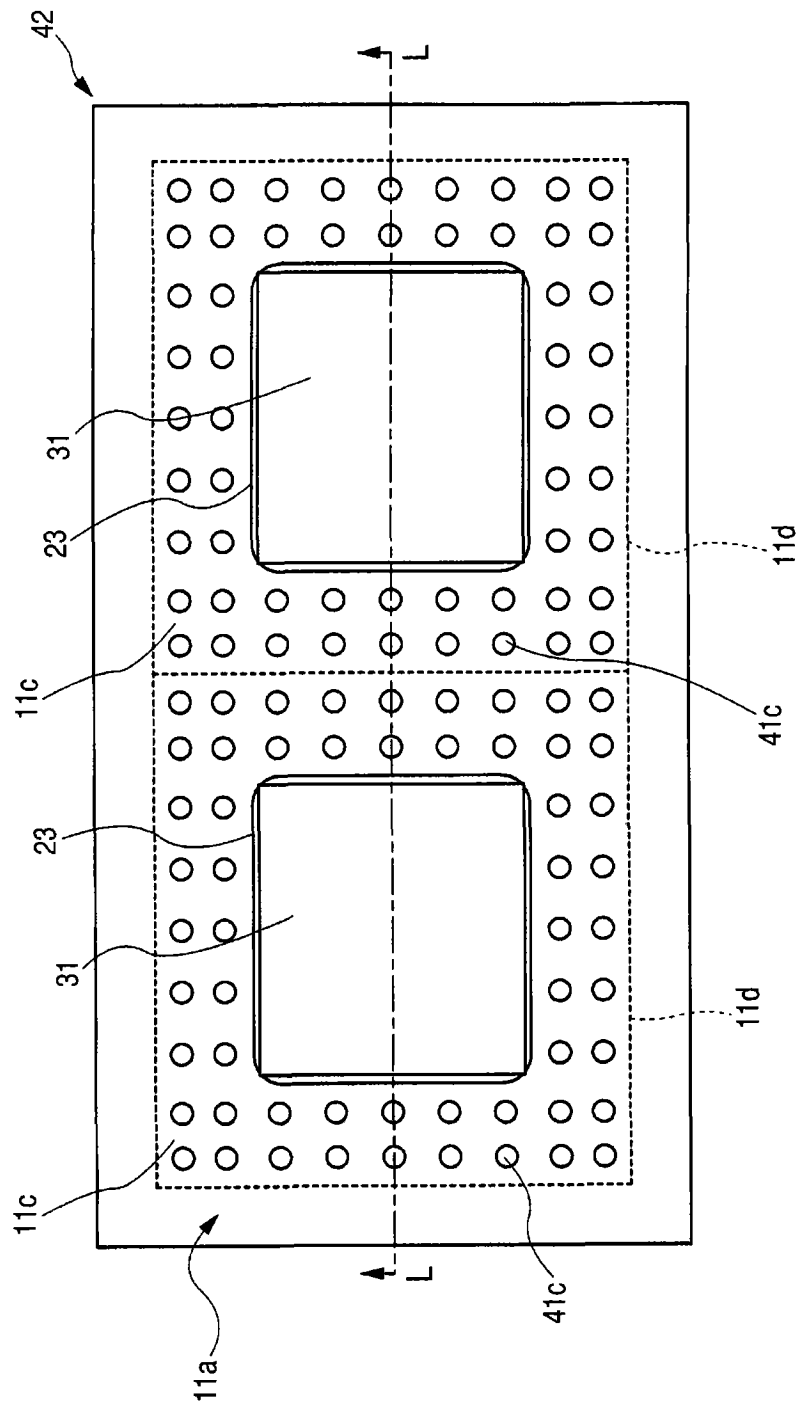


图 71

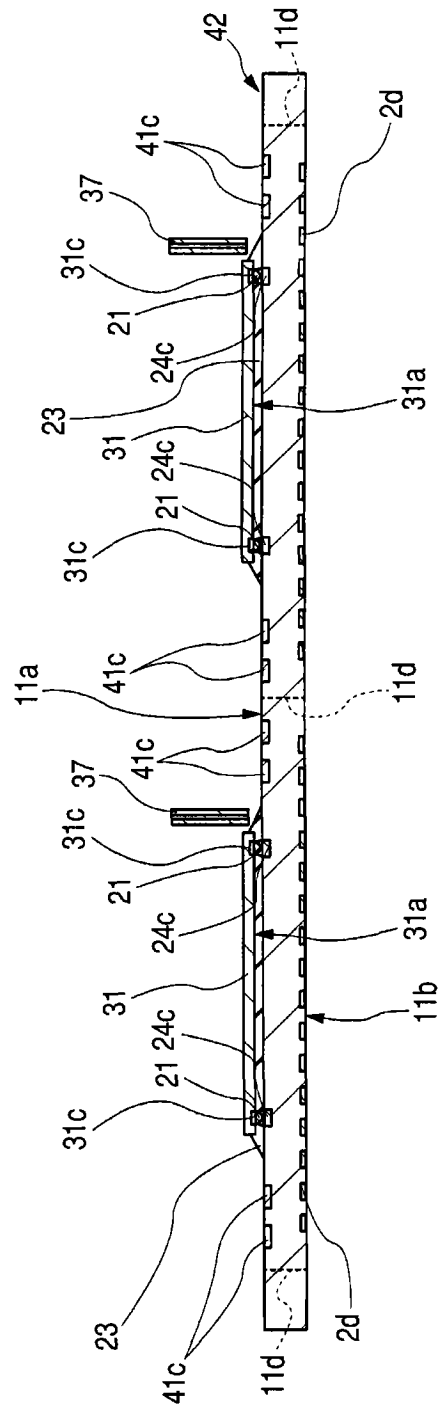


图 72

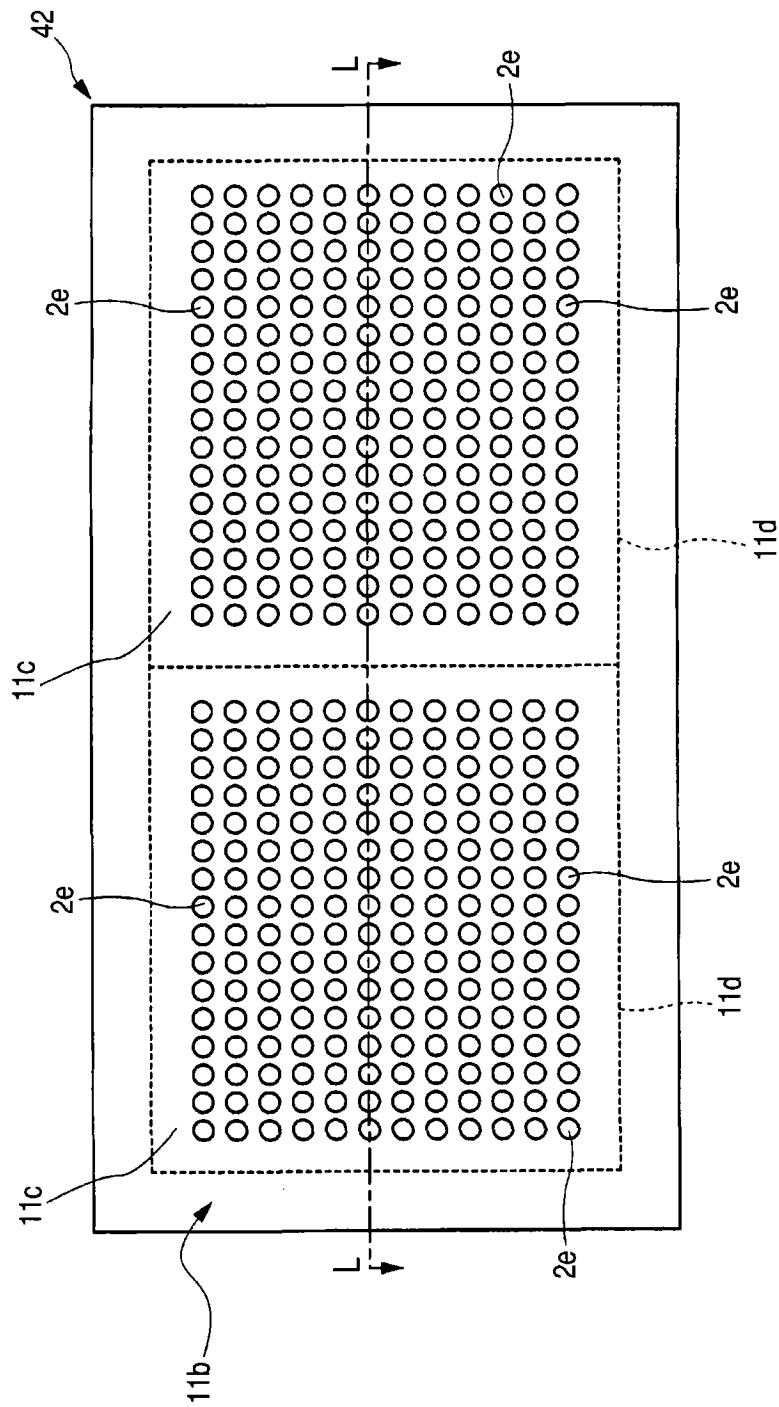


图 73

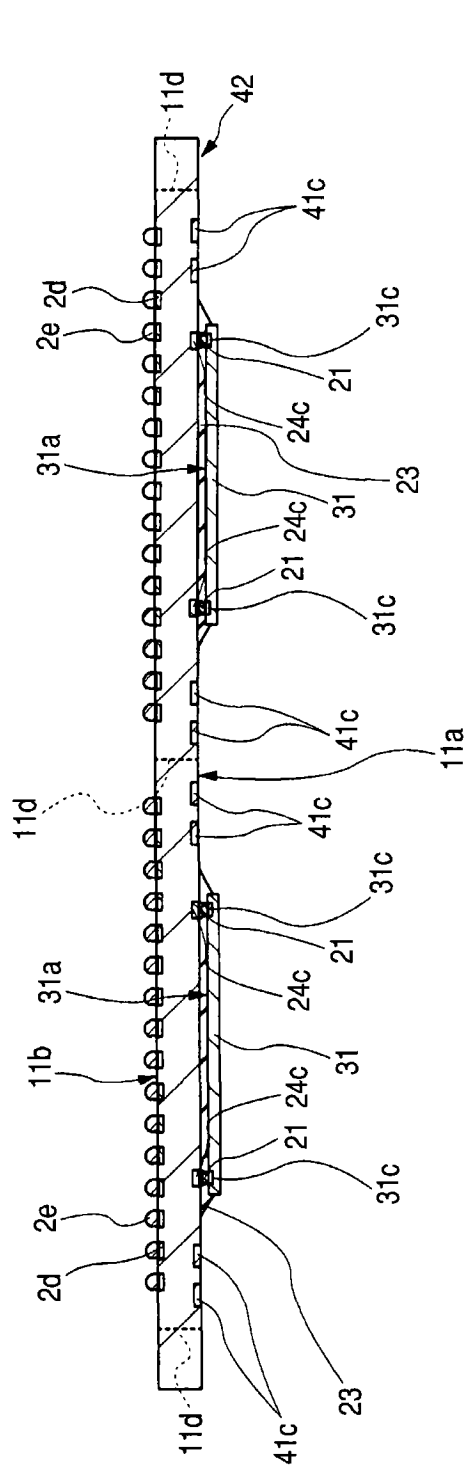


图 74

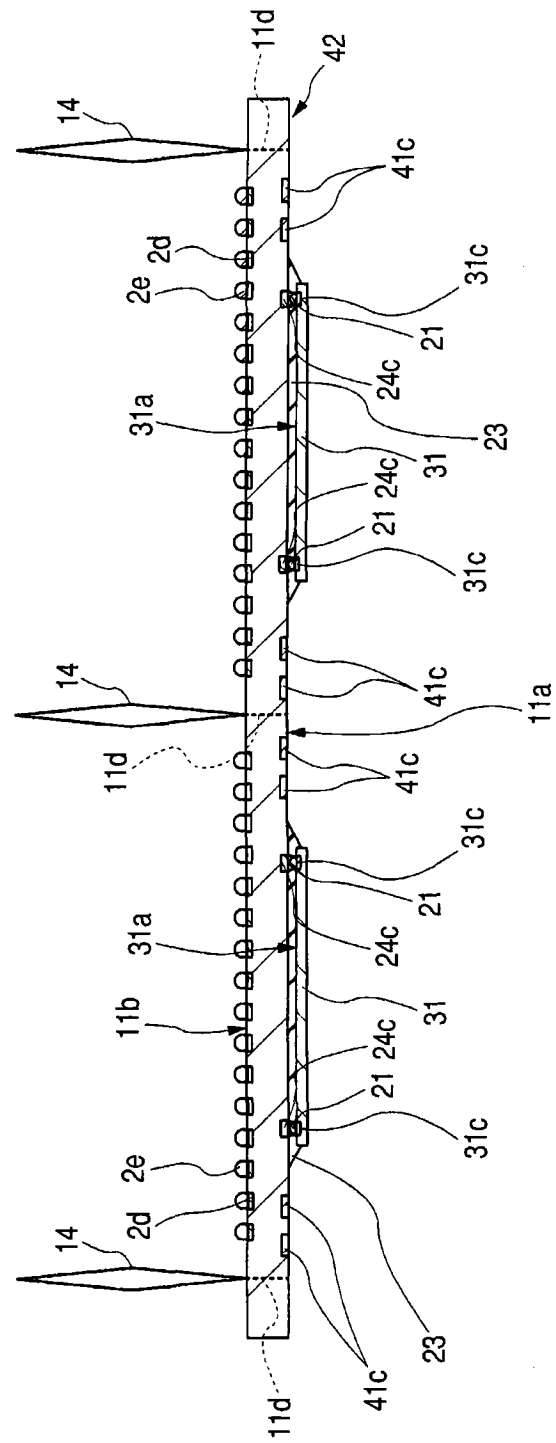


图 75

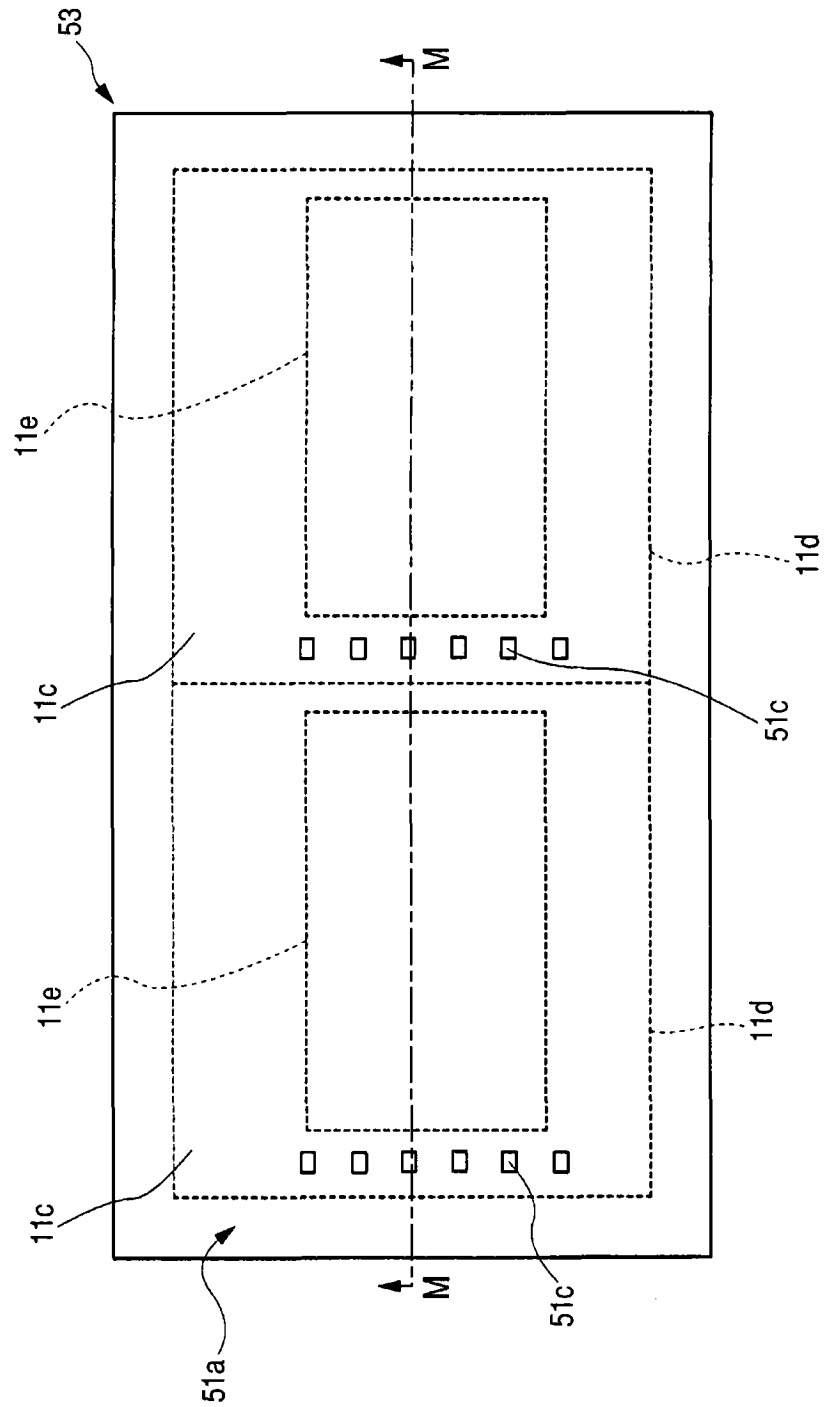


图 76

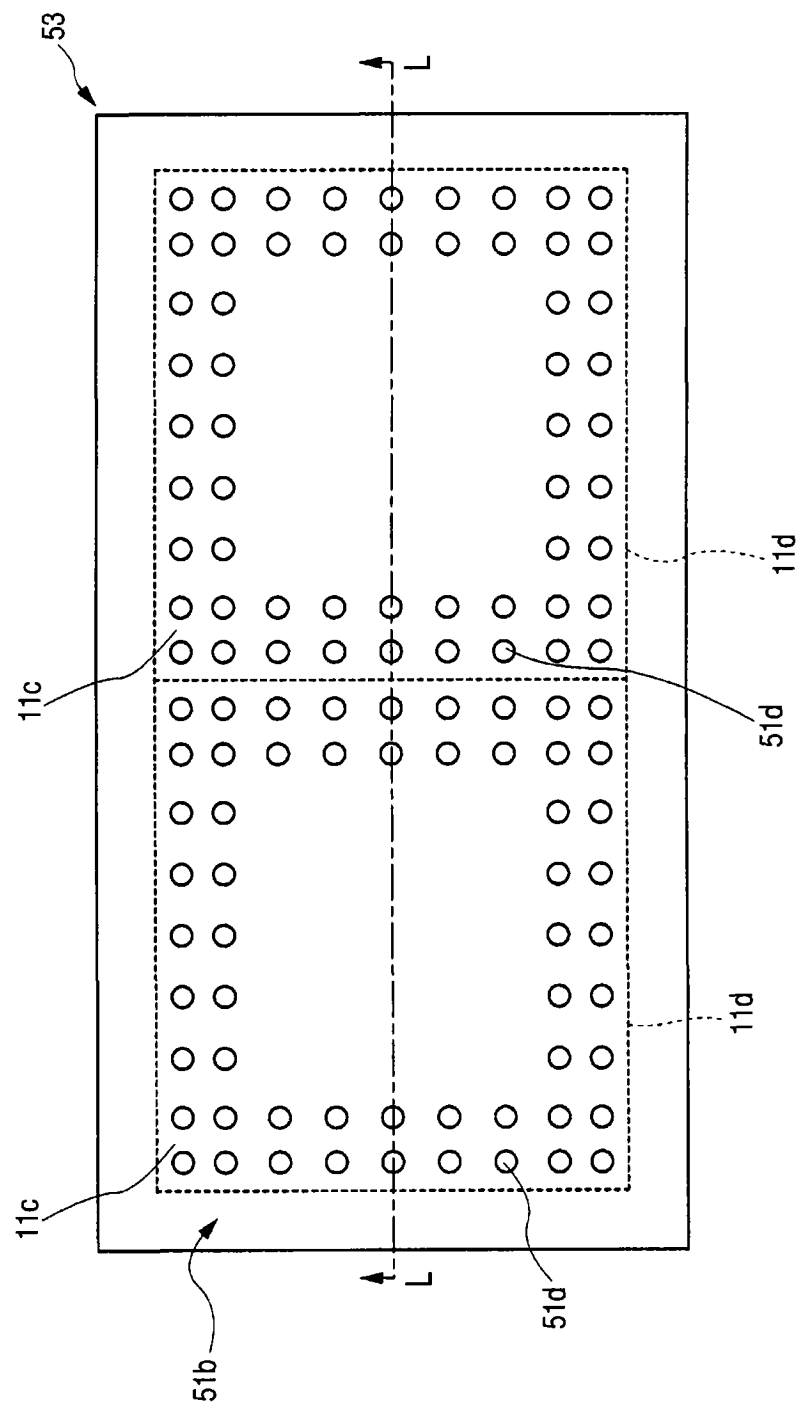


图 77

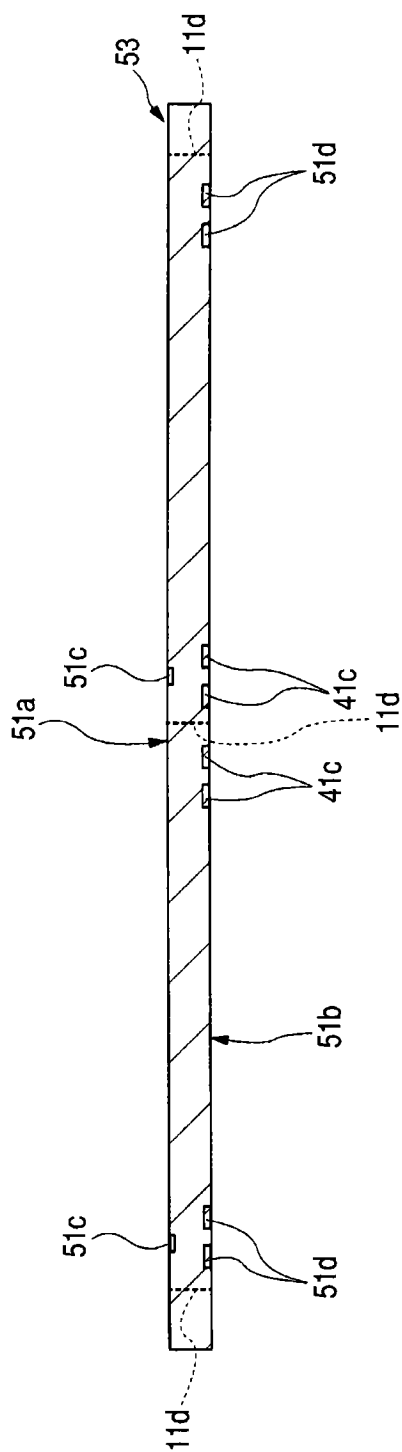


图 78

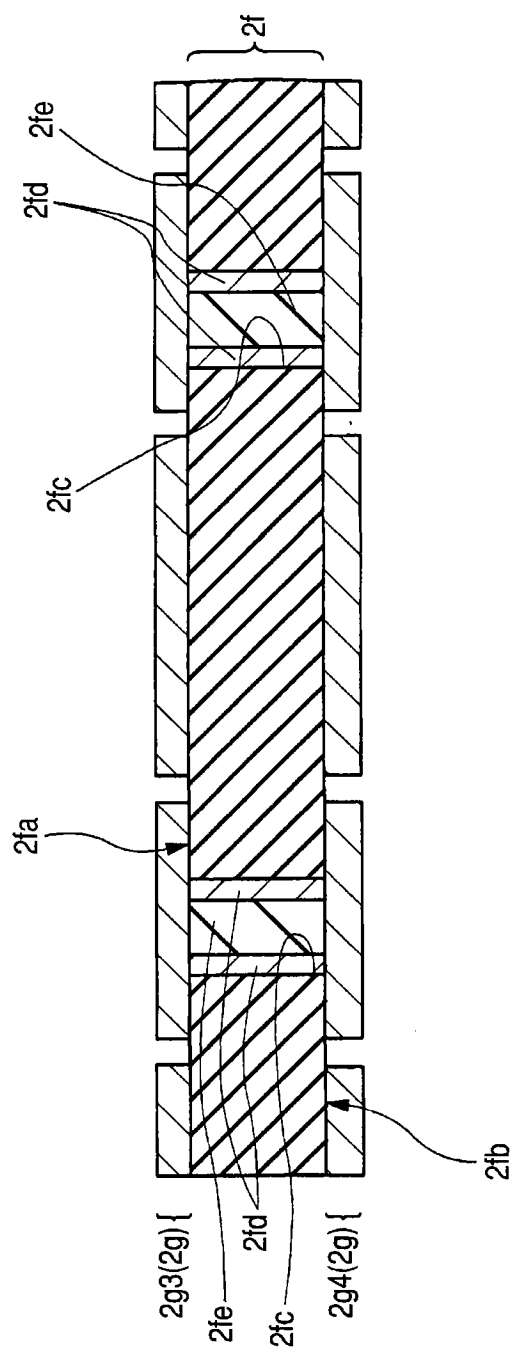


图 79

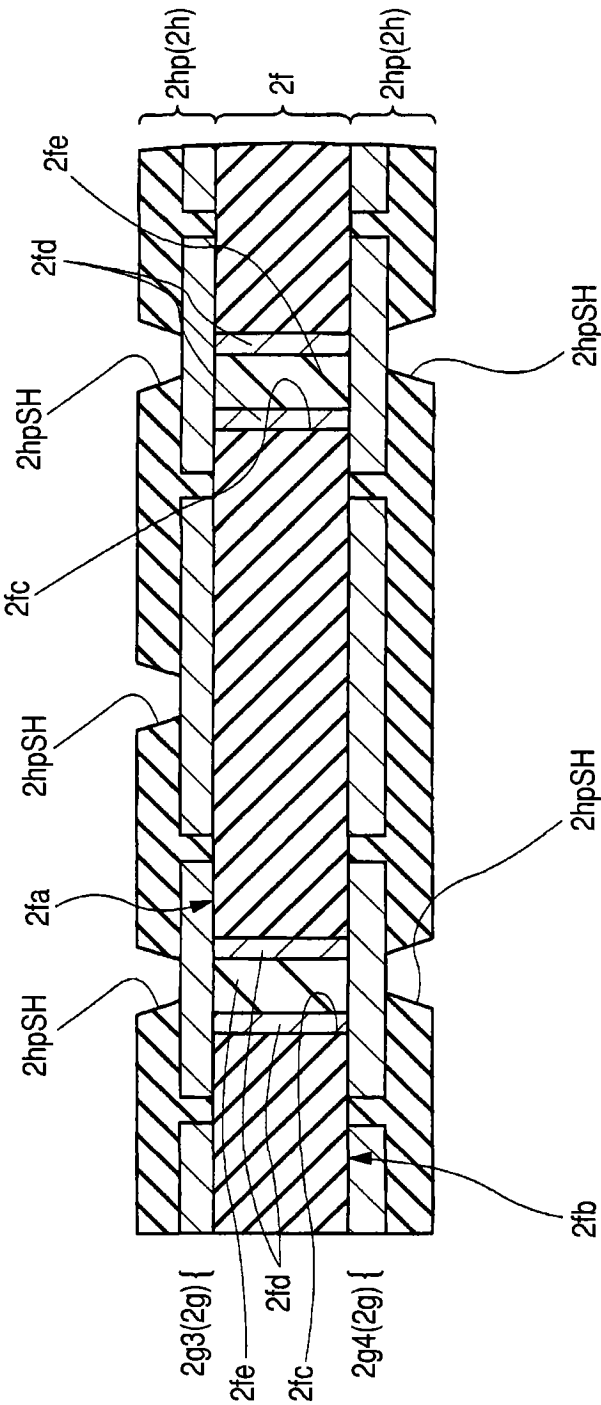


图 80

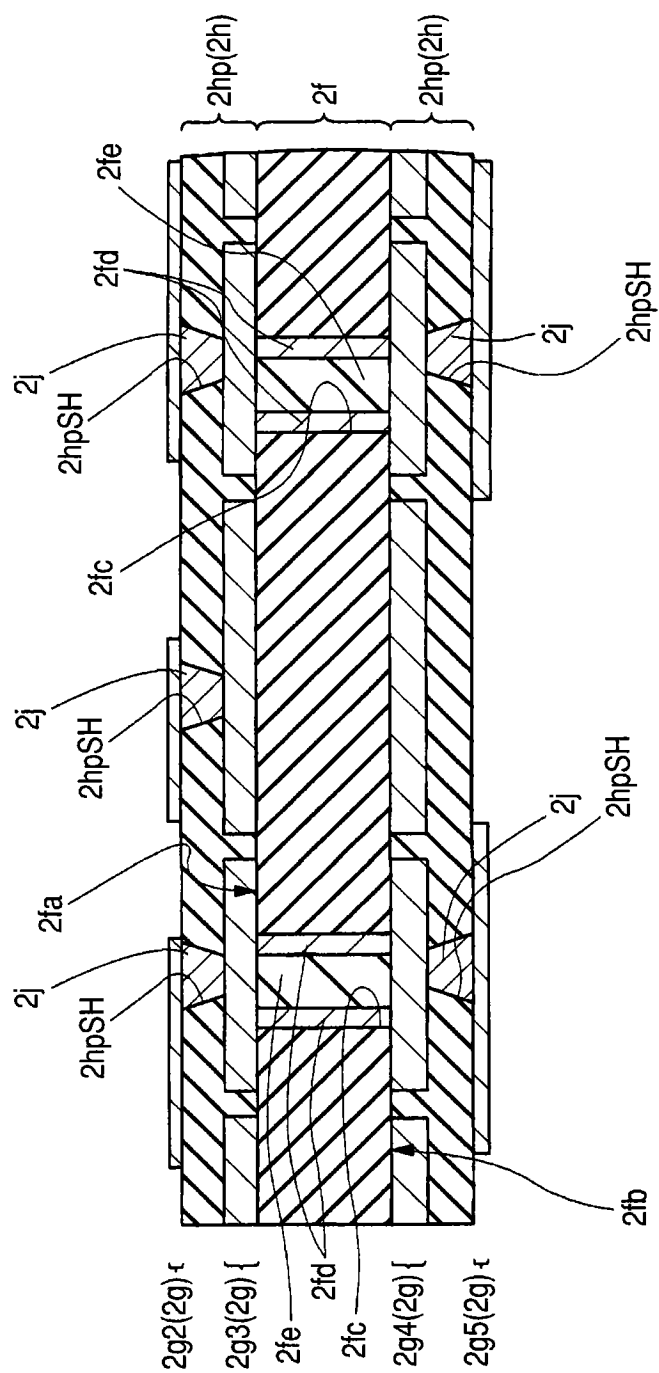


图 81

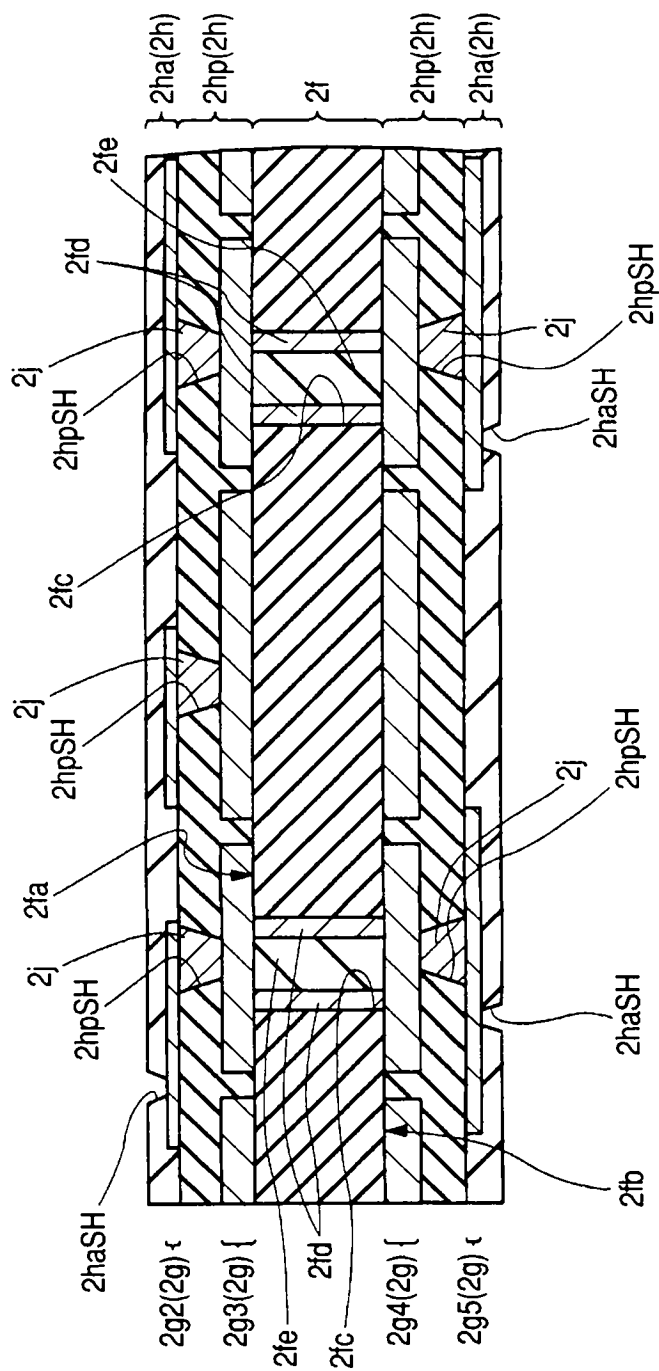


图 82

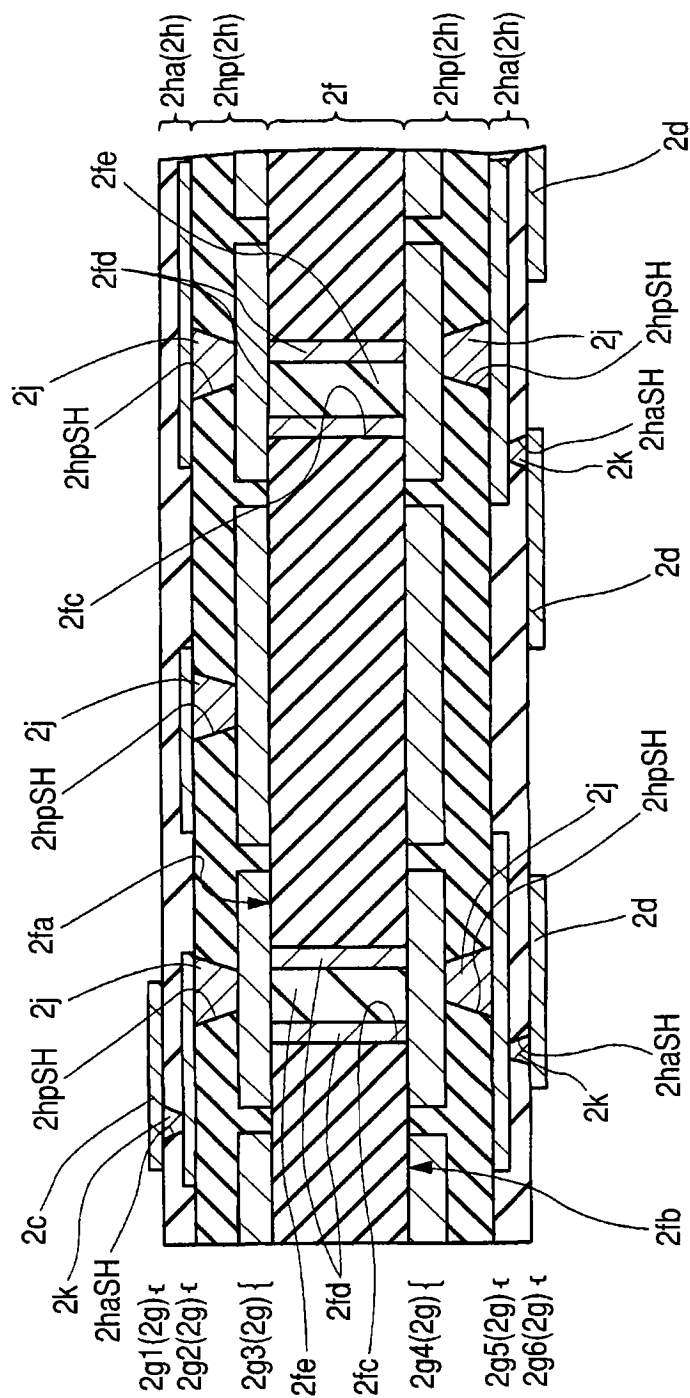


图 83

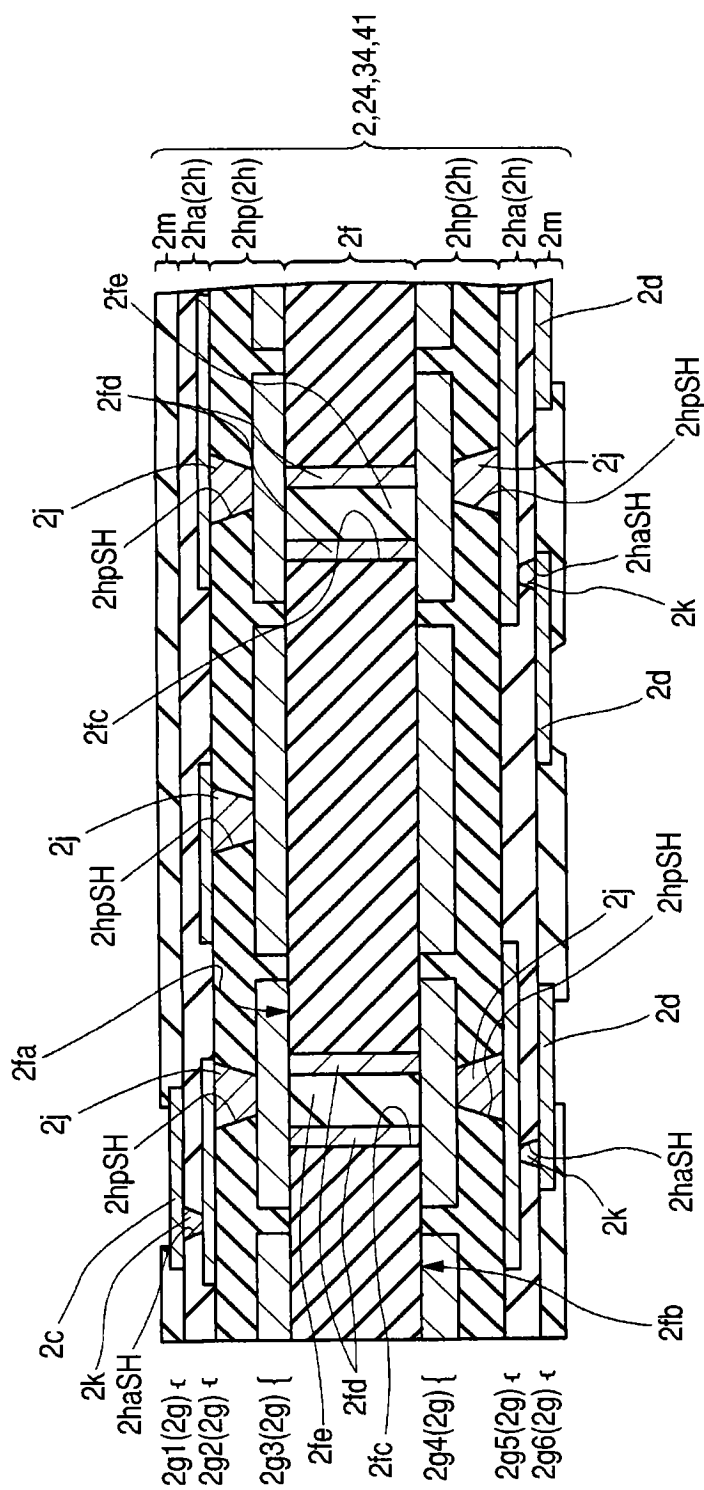


图 84

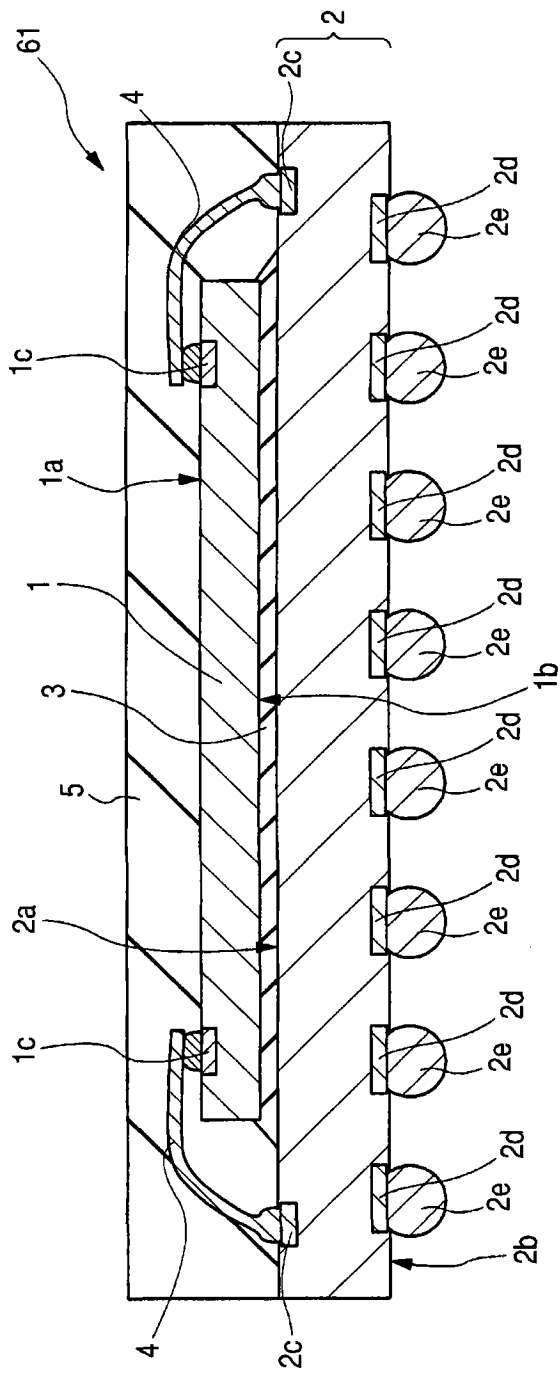


图 85

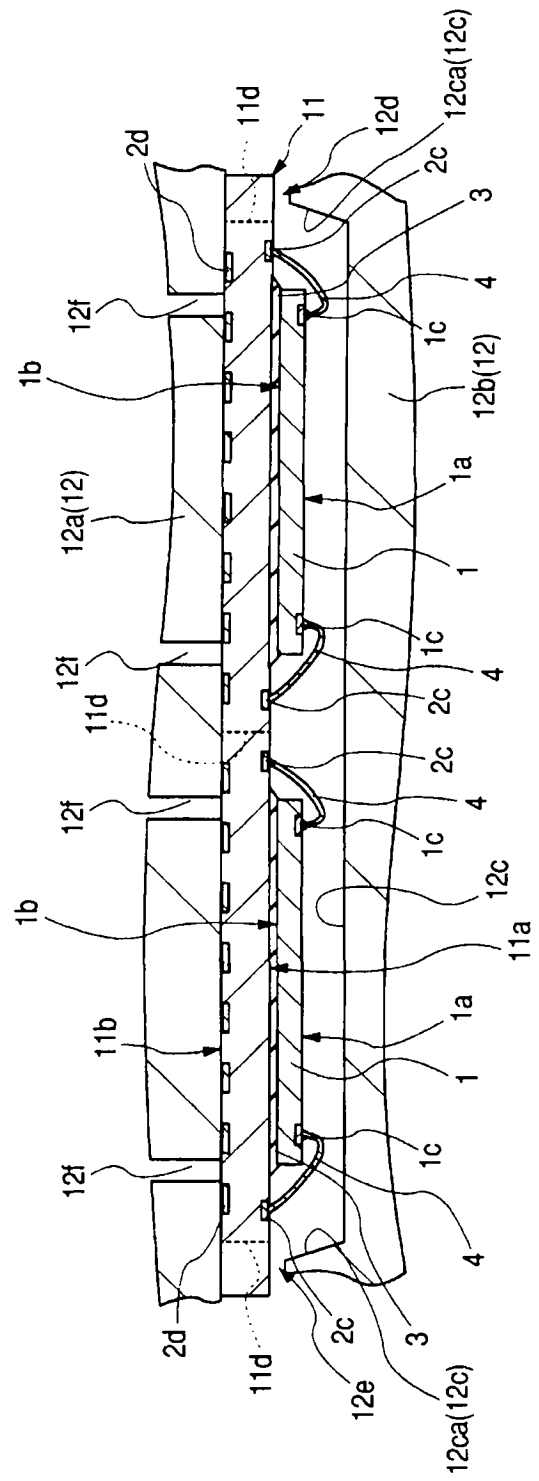


图 86

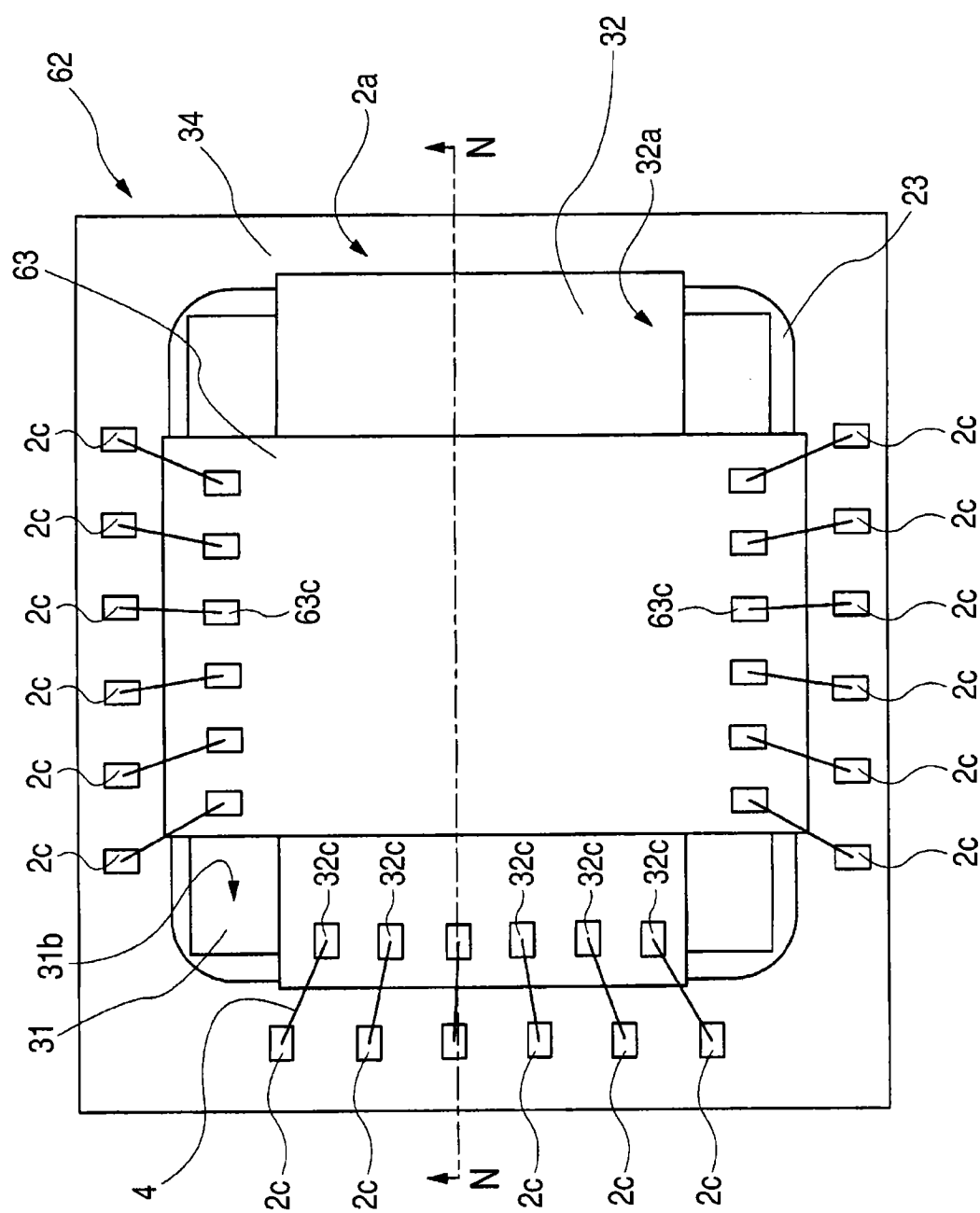


图 87

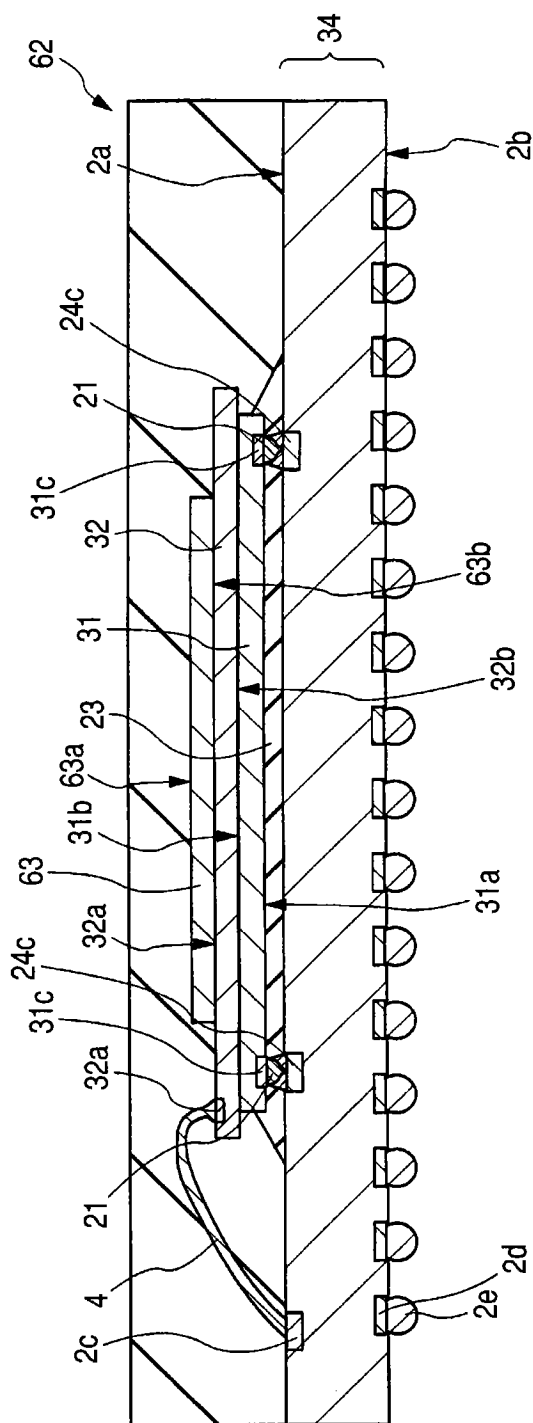


图 88

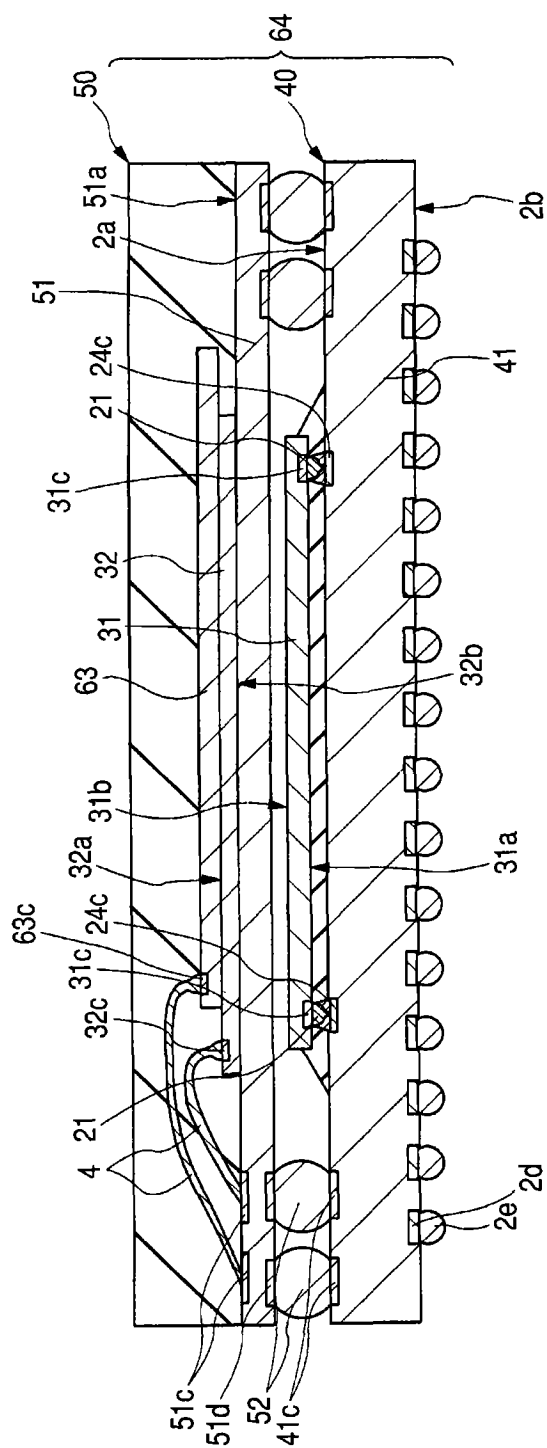


图 89

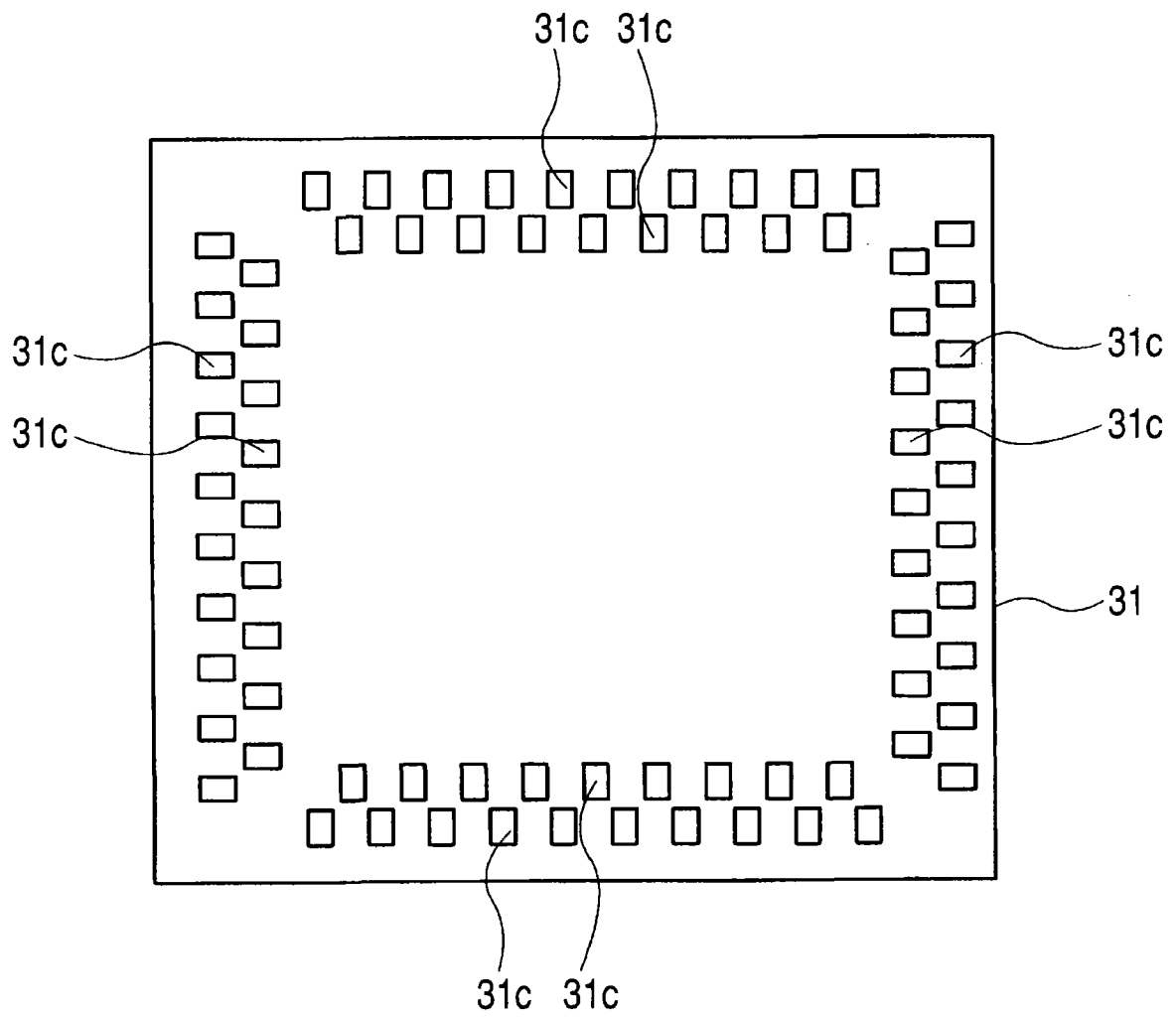


图 90

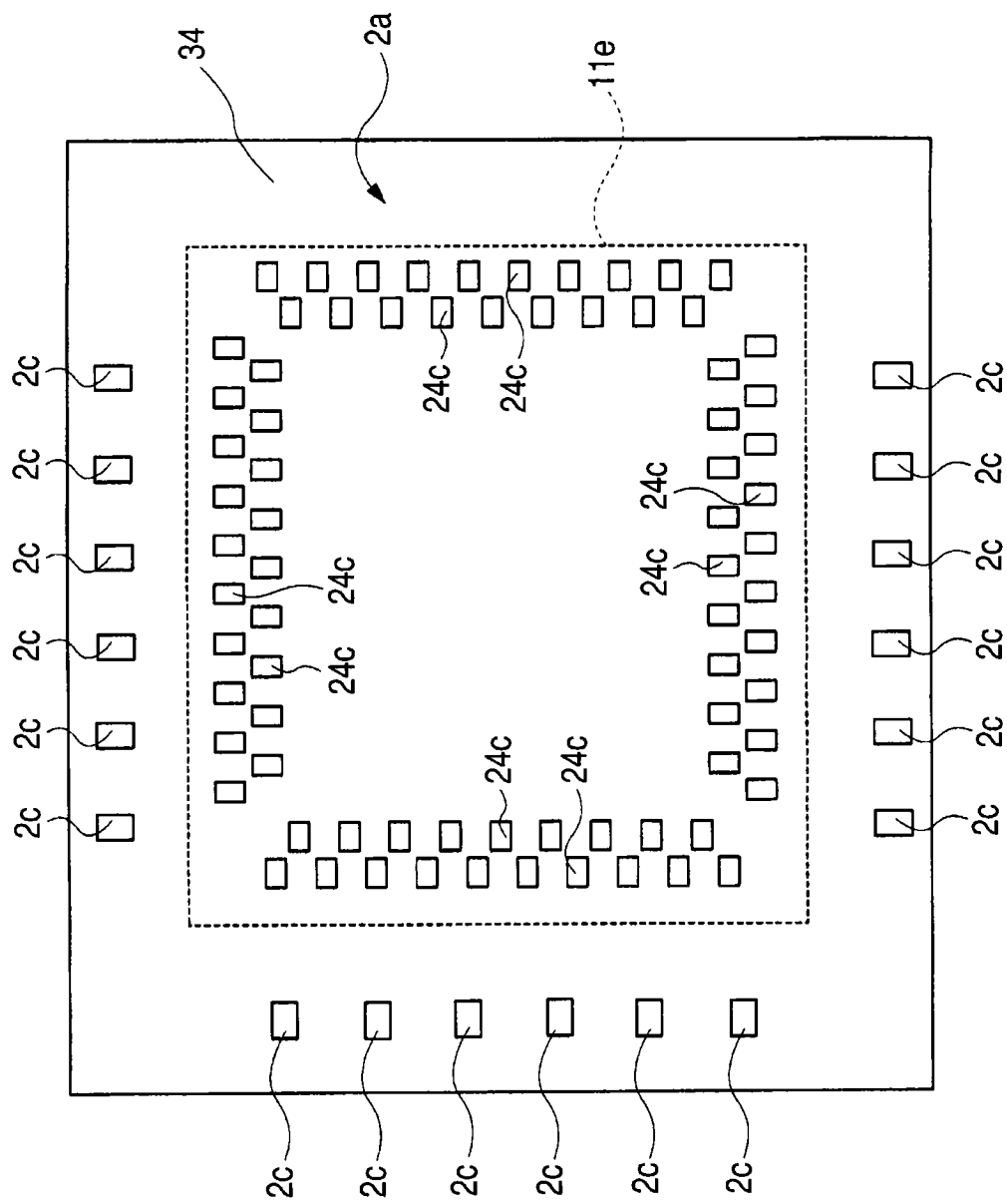


图 91

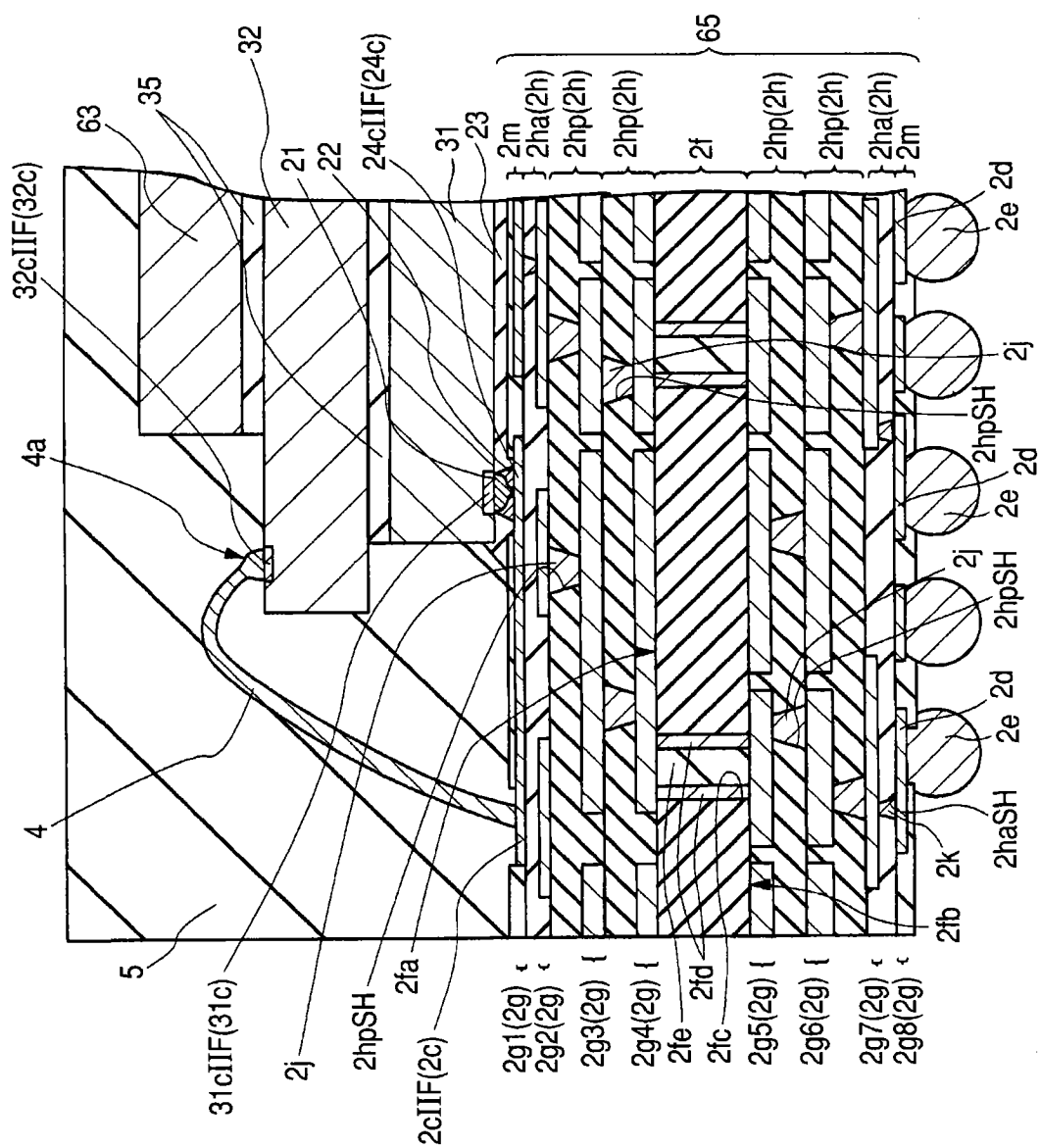


图 92

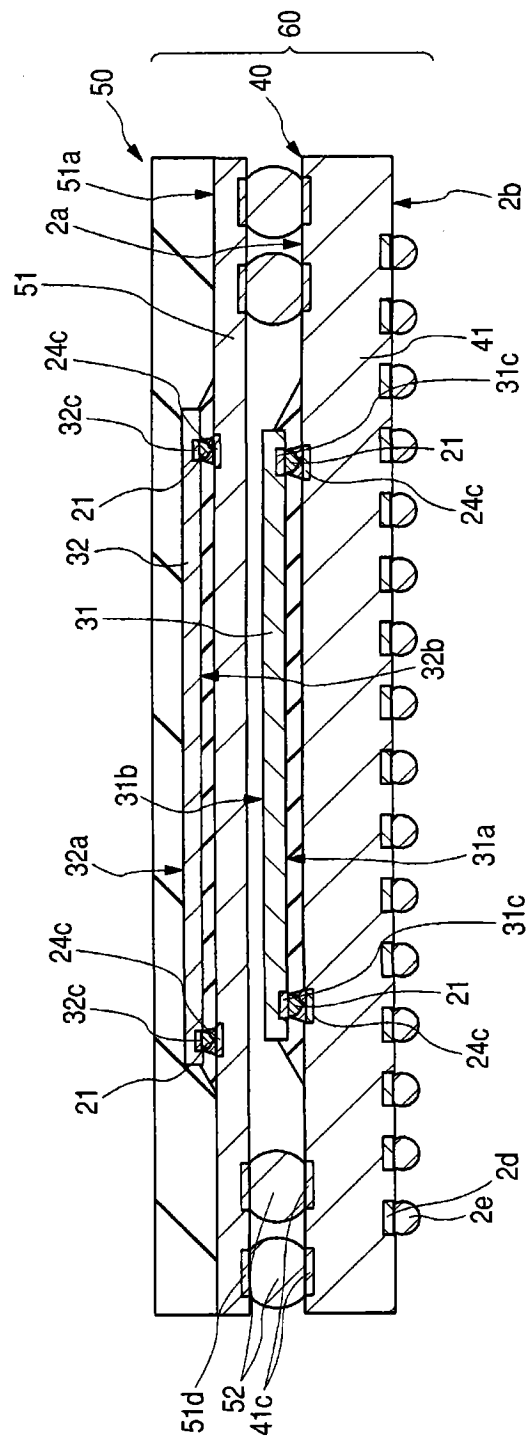


图 93

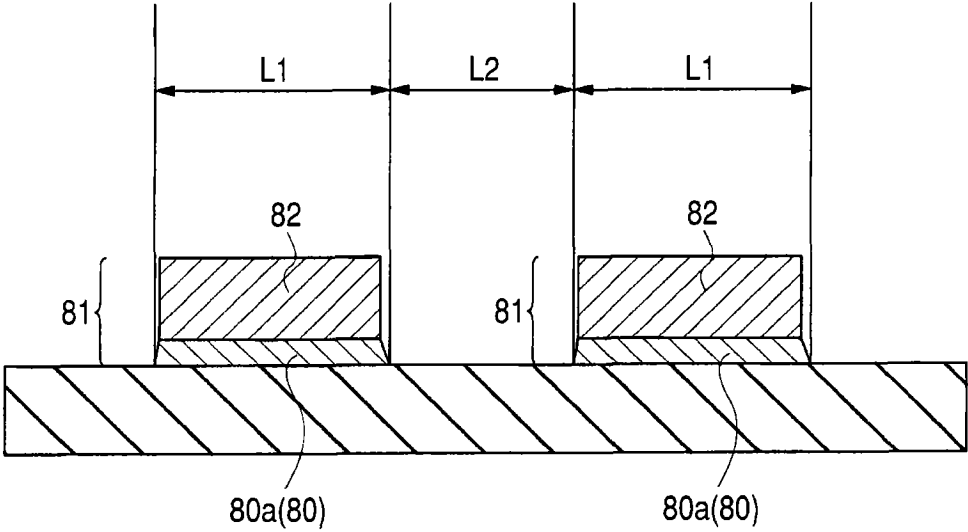


图 94

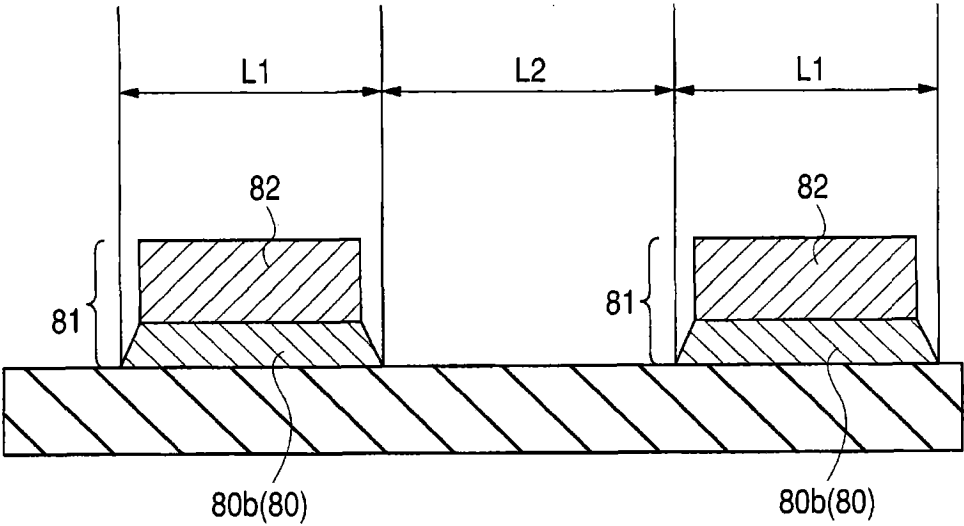


图 95