



(12)发明专利

(10)授权公告号 CN 105940604 B

(45)授权公告日 2019.01.15

(21)申请号 201580006078.7

(22)申请日 2015.01.28

(65)同一申请的已公布的文献号

申请公布号 CN 105940604 A

(43)申请公布日 2016.09.14

(30)优先权数据

14/167,972 2014.01.29 US

(85)PCT国际申请进入国家阶段日

2016.07.27

(86)PCT国际申请的申请数据

PCT/US2015/013245 2015.01.28

(87)PCT国际申请的公布数据

W02015/116655 EN 2015.08.06

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 N·A·塔瓦尔卡 S·卡斯图里阿

(74)专利代理机构 上海专利商标事务所有限公
司 31100

代理人 李小芳

(51)Int.Cl.

H03F 1/02(2006.01)

H03F 3/217(2006.01)

H03F 3/24(2006.01)

H03K 5/13(2014.01)

H03K 7/00(2006.01)

H03C 3/40(2006.01)

(56)对比文件

CN 102210096 A,2011.10.05,

US 2010/0097153 A1,2010.04.22,

US 2009/0146754 A1,2009.06.11,

US 2009/0149151 A1,2009.06.11,

US 2009/0311980 A1,2009.12.17,

审查员 颜佳

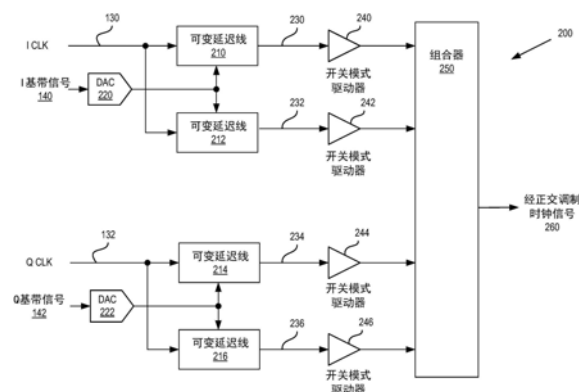
权利要求书4页 说明书11页 附图6页

(54)发明名称

通过经差分延迟时钟进行的调制

(57)摘要

时钟调制器可包括两个可配置延迟单元,并且可接收基带信号和时钟信号。这两个可配置延迟单元可生成两个经延迟时钟信号,每个经延迟时钟信号具有不同延迟量。这些延迟量可基于该基带信号。这些经延迟时钟信号可被组合以生成经调制时钟信号。可在第一时钟调制器接收第一基带信号和第一时钟信号且第二时钟调制器接收第二基带信号和第二时钟信号时生成经正交调制时钟信号。第一时钟信号可以是第二时钟信号的90度相移版本。来自第一时钟调制器的经调制时钟信号可与来自第二时钟调制器的经调制时钟信号相组合以生成经正交调制时钟信号。



1. 一种用于通信的设备,包括:

第一可配置延迟单元,其被配置成接收第一时钟信号和第一基带信号并至少部分地基于所述第一基带信号来生成第一经延迟时钟信号;

第二可配置延迟单元,其被配置成接收所述第一时钟信号和所述第一基带信号并至少部分地基于所述第一基带信号来生成第二经延迟时钟信号,其中所述第二经延迟时钟信号不同于所述第一经延迟时钟信号;

组合器,其被配置成组合所述第一经延迟时钟信号和所述第二经延迟时钟信号以生成经调制时钟信号;以及

与所述第一可配置延迟单元耦合的数模转换器,所述数模转换器被配置成接收所述第一基带信号并向所述第一可配置延迟单元提供模拟信号,其中所述第一可配置延迟单元被进一步配置成至少部分地基于所述模拟信号来生成所述第一经延迟时钟信号。

2. 如权利要求1所述的设备,其特征在于,所述第一可配置延迟单元被进一步配置成将所述第一时钟信号延迟第一延迟量以生成所述第一经延迟时钟信号,其中所述第一延迟量至少部分地基于所述第一基带信号。

3. 如权利要求2所述的设备,其特征在于,所述第二可配置延迟单元被进一步配置成将所述第一时钟信号延迟第二延迟量以生成所述第二经延迟时钟信号,其中所述第二延迟量至少部分地基于所述第一基带信号。

4. 如权利要求1所述的设备,其特征在于,所述组合器被进一步配置成生成具有脉冲的所述经调制时钟信号,所述脉冲具有至少部分地基于所述第一基带信号的脉冲宽度。

5. 如权利要求4所述的设备,其特征在于,所述脉冲宽度至少部分地基于第一延迟量与第二延迟量之和,其中所述第一延迟量和所述第二延迟量至少部分地基于所述第一基带信号。

6. 如权利要求1所述的设备,其特征在于,进一步包括:

第一驱动器,其被配置成接收所述第一经延迟时钟信号并生成第一经放大的经延迟时钟信号;以及

第二驱动器,其被配置成接收所述第二经延迟时钟信号并生成第二经放大的经延迟时钟信号,

其中所述组合器被配置成组合所述第一经延迟时钟信号和所述第二经延迟时钟信号包括所述组合器被配置成组合所述第一经放大的经延迟时钟信号和所述第二经放大的经延迟时钟信号以生成所述经调制时钟信号。

7. 如权利要求6所述的设备,其特征在于,所述第一驱动器和所述第二驱动器为开关模式驱动器。

8. 如权利要求1所述的设备,其特征在于,所述组合器被进一步配置成通过从所述第二经延迟时钟信号减去所述第一经延迟时钟信号来组合所述第一经延迟时钟信号和所述第二经延迟时钟信号以生成所述经调制时钟信号。

9. 如权利要求1所述的设备,其特征在于,进一步包括:

第三可配置延迟单元,其被配置成接收第二时钟信号和第二基带信号并至少部分地基于所述第二基带信号来生成第三经延迟时钟信号;以及

第四可配置延迟单元,其被配置成接收所述第二时钟信号和所述第二基带信号并至少

部分地基于所述第二基带信号来生成第四经延迟时钟信号，

其中所述组合器被进一步配置成组合所述第一经延迟时钟信号、所述第二经延迟时钟信号、所述第三经延迟时钟信号和所述第四经延迟时钟信号以生成所述经调制时钟信号。

10. 如权利要求9所述的设备，其特征在于，所述第二时钟信号通过一相移与所述第一时钟信号相关。

11. 一种通信方法，所述方法包括：

接收第一时钟信号；

接收第一基带信号；

至少部分地基于所述第一基带信号和所述第一时钟信号来生成第一经延迟时钟信号；

至少部分地基于所述第一基带信号和所述第一时钟信号来生成第二经延迟时钟信号，其中所述第一经延迟时钟信号不同于所述第二经延迟时钟信号；以及

组合所述第一经延迟时钟信号和所述第二经延迟时钟信号以生成经调制时钟信号，

其中所述组合进一步包括从所述第二经延迟时钟信号减去所述第一经延迟时钟信号以生成所述经调制时钟信号。

12. 如权利要求11所述的方法，其特征在于，生成所述第一经延迟时钟信号进一步包括将所述第一时钟信号延迟第一延迟量，其中所述第一延迟量至少部分地基于所述第一基带信号。

13. 如权利要求12所述的方法，其特征在于，生成所述第二经延迟时钟信号进一步包括将所述第一时钟信号延迟第二延迟量，其中所述第二延迟量至少部分地基于所述第一基带信号。

14. 如权利要求11所述的方法，其特征在于，所述经调制时钟信号包括具有至少部分地基于所述第一基带信号的脉冲宽度的脉冲。

15. 如权利要求14所述的方法，其特征在于，所述脉冲宽度至少部分地基于第一延迟量与第二延迟量之和，其中所述第一延迟量和所述第二延迟量至少部分地基于所述第一基带信号。

16. 如权利要求11所述的方法，其特征在于，进一步包括：

放大所述第一经延迟时钟信号；以及

放大所述第二经延迟时钟信号，

其中组合所述第一经延迟时钟信号和所述第二经延迟时钟信号包括组合第一经放大的经延迟时钟信号和第二经放大的经延迟时钟信号以生成所述经调制时钟信号。

17. 如权利要求16所述的方法，其特征在于，放大所述第一经延迟时钟信号进一步包括通过开关模式驱动器来放大。

18. 如权利要求11所述的方法，其特征在于，进一步包括：

接收第二时钟信号；

接收第二基带信号；

至少部分地基于所述第二基带信号和所述第二时钟信号来生成第三经延迟时钟信号；

至少部分地基于所述第二基带信号和所述第二时钟信号来生成第四经延迟时钟信号；

其中所述组合进一步包括组合所述第一经延迟时钟信号、所述第二经延迟时钟信号、所述第三经延迟时钟信号和所述第四经延迟时钟信号以生成所述经调制时钟信号。

19. 如权利要求18所述的方法,其特征在于,所述第二时钟信号通过一相移与所述第一时钟信号相关。

20. 一种用于通信的系统,包括:

用于生成经调制时钟信号的调制器,所述调制器包括:

第一可配置延迟单元,其被配置成接收第一时钟信号和第一基带信号并至少部分地基于所述第一基带信号来生成第一经延迟时钟信号,

第二可配置延迟单元,其被配置成接收所述第一时钟信号和所述第一

基带信号并至少部分地基于所述第一基带信号来生成第二经延迟时钟信号,其中所述第二经延迟时钟信号不同于所述第一经延迟时钟信号,以及

组合器,其被配置成至少部分地基于所述第一经延迟时钟信号和所述第二经延迟时钟信号来生成所述经调制时钟信号;

天线,其被配置成传送所述经调制时钟信号;以及

开关,其被配置成选择性地将所述经调制时钟信号耦合至所述天线。

21. 如权利要求20所述的系统,其特征在于,进一步包括:

预处理器,其被配置成接收所述第一基带信号并向所述第一可配置延迟单元提供经修改的第一基带信号。

22. 如权利要求21所述的系统,其特征在于,所述预处理器被配置成对所述第一基带信号进行预畸变。

23. 如权利要求20所述的系统,其特征在于,进一步包括:

第一驱动器,其被配置成接收所述第一经延迟时钟信号并生成第一经放大的经延迟时钟信号;以及

第二驱动器,其被配置成接收所述第二经延迟时钟信号并生成第二经放大的经延迟时钟信号,

其中所述组合器被配置成组合所述第一经延迟时钟信号和所述第二经延迟时钟信号包括所述组合器被配置成组合所述第一经放大的经延迟时钟信号和所述第二经放大的经延迟时钟信号以生成所述经调制时钟信号。

24. 如权利要求20所述的系统,其特征在于,所述调制器还包括:

第三可配置延迟单元,其被配置成接收第二时钟信号和第二基带信号并至少部分地基于所述第二基带信号来生成第三经延迟时钟信号,

第四可配置延迟单元,其被配置成接收所述第二时钟信号和所述第二基带信号并至少部分地基于所述第二基带信号来生成第四经延迟时钟信号,

其中所述组合器被进一步配置成组合所述第一经延迟时钟信号、所述第二经延迟时钟信号、所述第三经延迟时钟信号和所述第四经延迟时钟信号以生成所述经调制时钟信号。

25. 如权利要求20所述的系统,其特征在于,进一步包括滤波器,其被配置成从所述调制器接收所述经调制时钟信号并向所述开关提供经滤波的经调制时钟信号。

26. 如权利要求25所述的系统,其特征在于,所述滤波器具有低通、带通和高通滤波轮廓中的至少一种滤波轮廓。

27. 一种其中存储有机器可执行指令的非瞬态机器可读存储介质,所述机器可执行指令包括用于以下操作的指令:

接收第一时钟信号；

接收第一基带信号；

至少部分地基于所述第一基带信号和所述第一时钟信号来生成具有第一延迟量的第一经延迟时钟信号；

至少部分地基于所述第一基带信号和所述第一时钟信号来生成具有第二延迟量的第二经延迟时钟信号，其中所述第一延迟量不同于所述第二延迟量；以及

组合所述第一经延迟时钟信号和所述第二经延迟时钟信号以生成经调制时钟信号，

其中所述组合进一步包括从所述第二经延迟时钟信号减去所述第一经延迟时钟信号以生成所述经调制时钟信号。

通过经差分延迟时钟进行的调制

[0001] 相关申请

[0002] 本申请要求于2014年1月29日提交的美国申请S/N.14/167,972的优先权权益。

背景技术

[0003] 本发明主题内容的诸实施例一般涉及通信领域,尤其涉及使用经差分延迟时钟信号来生成经调制信号。

[0004] 调制技术通常涉及基带信号和载波信号。基带信号是可包括旨在通过介质传送的信息的信号。基带信号可被用来调制载波信号并生成经调制信号。携带来自基带信号的信息的经调制信号可被传送给接收机。数种调制技术可被用于用基带信号来调制载波信号。例如,无线设备(诸如接入点)可使用根据IEEE802.11规范的正交频分复用(OFDM)调制技术来调制信号。该无线设备可包括用于生成经调制信号的OFDM调制器和用于通过介质来传送经调制信号的发射机。

[0005] 传送经调制信号可能消耗大量功率,尤其是在与具有该调制器的设备中可包括的其他电路和组件作比较时。功率更为高效的发射机设计(诸如开关模式发射机)通常被用于降低功耗。然而,开关模式发射机的开关本质固有地是复杂的,并且并不使其自身易于用典型的信号调制技术来实现。

[0006] 概述

[0007] 公开了时钟调制器的各种实施例。在一些实施例中,时钟调制器可接收第一时钟信号和第一基带信号。第一时钟信号可被延迟以生成第一经延迟时钟信号和第二经延迟时钟信号。针对每个经延迟时钟信号的延迟量可基于第一基带信号。第一经延迟时钟信号和第二经延迟时钟信号可被组合以生成经调制时钟信号。

[0008] 在一些实施例中,时钟调制器可接收第一时钟信号、第二时钟信号、第一基带信号和第二基带信号。第二时钟信号可以是第一时钟信号的经相移版本。第一时钟信号可被延迟以生成第一和第二经延迟时钟信号,而第二时钟信号可被延迟以生成第三经延迟时钟信号和第四经延迟时钟信号。第一经延迟时钟信号、第二经延迟时钟信号、第三经延迟时钟信号和第四经延迟时钟信号可被组合以生成经正交调制时钟信号。

[0009] 在一些实施例中,一种设备包括:第一可配置延迟单元,其被配置成接收第一时钟信号和第一基带信号并至少部分地基于第一基带信号来生成第一经延迟时钟信号;第二可配置延迟单元,其被配置成接收第一时钟信号和第一基带信号并至少部分地基于第一基带信号来生成第二经延迟时钟信号,其中第二经延迟时钟信号不同于第一经延迟时钟信号;以及组合器,其被配置成组合第一经延迟时钟信号和第二经延迟时钟信号以生成经调制时钟信号。

[0010] 在一些实施例中,第一可配置延迟单元被进一步配置成将第一时钟信号延迟第一延迟量以生成第一经延迟时钟信号,其中第一延迟量至少部分地基于第一基带信号。

[0011] 在一些实施例中,第二可配置延迟单元被进一步配置成将第一时钟信号延迟第二延迟量以生成第二经延迟时钟信号,其中第二延迟量至少部分地基于第一基带信号。

[0012] 在一些实施例中,该组合器被进一步配置成生成具有脉冲的经调制时钟信号,该脉冲具有至少部分地基于第一基带信号的脉冲宽度。

[0013] 在一些实施例中,该脉冲宽度至少部分地基于第一延迟量与第二延迟量之和,其中第一延迟量和第二延迟量至少部分地基于第一基带信号。

[0014] 在一些实施例中,该设备进一步包括:第一驱动器,其被配置成接收第一经延迟时钟信号并生成第一经放大的经延迟时钟信号;以及第二驱动器,其被配置成接收第二经延迟时钟信号并生成第二经放大的经延迟时钟信号,其中该组合器被进一步配置成组合第一经放大的经延迟时钟信号和第二经放大的经延迟时钟信号以生成经调制时钟信号。

[0015] 在一些实施例中,第一驱动器和第二驱动器为开关模式驱动器。

[0016] 在一些实施例中,该设备进一步包括与第一可配置延迟单元耦合的数模转换器,该数模转换器被配置成接收第一基带信号并向第一可配置延迟单元提供模拟信号,其中第一可配置延迟单元被进一步配置成至少部分地基于该模拟信号来生成第一经延迟时钟信号。

[0017] 在一些实施例中,该组合器被进一步配置成通过从第二经延迟时钟信号减去第一经延迟时钟信号来组合第一经延迟时钟信号和第二经延迟时钟信号以生成经调制时钟信号。

[0018] 在一些实施例中,该设备进一步包括:第三可配置延迟单元,其被配置成接收第二时钟信号和第二基带信号并至少部分地基于第二基带信号来生成第三经延迟时钟信号;以及第四可配置延迟单元,其被配置成接收第二时钟信号和第二基带信号并至少部分地基于第二基带信号来生成第四经延迟时钟信号,其中该组合器被进一步配置成组合第一经延迟时钟信号、第二经延迟时钟信号、第三经延迟时钟信号和第四经延迟时钟信号以生成经调制时钟信号。

[0019] 在一些实施例中,第二时钟信号通过一相移与第一时钟信号相关。

[0020] 在一些实施例中,一种方法包括:接收第一时钟信号;接收第一基带信号;至少部分地基于第一基带信号和第一时钟信号来生成第一经延迟时钟信号;至少部分地基于第一基带信号和第一时钟信号来生成第二经延迟时钟信号,其中第一经延迟时钟信号不同于第二经延迟时钟信号;以及组合第一经延迟时钟信号和第二经延迟时钟信号以生成经调制时钟信号。

[0021] 在一些实施例中,生成第一经延迟时钟信号进一步包括将第一时钟信号延迟第一延迟量,其中第一延迟量至少部分地基于第一基带信号。

[0022] 在一些实施例中,生成第二经延迟时钟信号进一步包括将第一时钟信号延迟第二延迟量,其中第二延迟量至少部分地基于第一基带信号。

[0023] 在一些实施例中,经调制时钟信号包括具有至少部分地基于第一基带信号的脉冲宽度的脉冲。

[0024] 在一些实施例中,该脉冲宽度至少部分地基于第一延迟量与第二延迟量之和,其中第一延迟量和第二延迟量至少部分地基于第一基带信号。

[0025] 在一些实施例中,该方法进一步包括:放大第一经延迟时钟信号;以及放大第二经延迟时钟信号,其中组合第一经延迟时钟信号和第二经延迟时钟信号进一步包括组合第一经放大的经延迟时钟信号和第二经放大的经延迟时钟信号以生成经调制时钟信号。

[0026] 在一些实施例中,放大第一经延迟时钟信号进一步包括通过开关模式驱动器来放大。

[0027] 在一些实施例中,该组合进一步包括从第二经延迟时钟信号减去第一经延迟时钟信号以生成经调制时钟信号。

[0028] 在一些实施例中,该方法进一步包括接收第二时钟信号;接收第二基带信号;至少部分地基于第二基带信号和第二时钟信号来生成第三经延迟时钟信号;至少部分地基于第二基带信号和第二时钟信号来生成第四经延迟时钟信号;其中该组合进一步包括组合第一经延迟时钟信号、第二经延迟时钟信号、第三经延迟时钟信号和第四经延迟时钟信号以生成经调制时钟信号。

[0029] 在一些实施例中,第二时钟信号通过一相移与第一时钟信号相关。

[0030] 在一些实施例中,一种系统包括:用于生成经调制时钟信号的调制器,该调制器包括:第一可配置延迟单元,其被配置成接收第一时钟信号和第一基带信号并至少部分地基于第一基带信号来生成第一经延迟时钟信号;第二可配置延迟单元,其被配置成接收第一时钟信号和第一基带信号并至少部分地基于第一基带信号来生成第二经延迟时钟信号,其中第二经延迟时钟信号不同于第一经延迟时钟信号;以及组合器,其被配置成至少部分地基于第一经延迟时钟信号和第二经延迟时钟信号来生成经调制时钟信号。

[0031] 在一些实施例中,该系统进一步包括预处理器,其被配置成接收第一基带信号并向第一可配置延迟单元提供经修改的第一基带信号。

[0032] 在一些实施例中,该预处理器被配置成对第一基带信号进行预畸变。

[0033] 在一些实施例中,该系统进一步包括:第一驱动器,其被配置成接收第一经延迟时钟信号并生成第一经放大的经延迟时钟信号;以及第二驱动器,其被配置成接收第二经延迟时钟信号并生成第二经放大的经延迟时钟信号,其中该组合器被进一步配置成组合第一经放大的经延迟时钟信号和第二经放大的经延迟时钟信号以生成经调制时钟信号。

[0034] 在一些实施例中,该调制器进一步包括:第三可配置延迟单元,其被配置成接收第二时钟信号和第二基带信号并至少部分地基于第二基带信号来生成第三经延迟时钟信号,第四可配置延迟单元,其被配置成接收第二时钟信号和第二基带信号并至少部分地基于第二基带信号来生成第四经延迟时钟信号,其中该组合器被进一步配置成组合第一经延迟时钟信号、第二经延迟时钟信号、第三经延迟时钟信号和第四经延迟时钟信号以生成经调制时钟信号。

[0035] 在一些实施例中,该系统进一步包括:天线,其被配置成传送经调制时钟信号;以及开关,其被配置成选择性地将该经调制时钟信号耦合至该天线。

[0036] 在一些实施例中,该系统进一步包括滤波器,其被配置成从该调制器接收该经调制时钟信号并向该开关提供经滤波的经调制时钟信号。

[0037] 在一些实施例中,该滤波器具有低通、带通和高通滤波轮廓中的至少一种滤波轮廓。

[0038] 在一些实施例中,一种其中存储有机器可执行指令的非瞬态机器可读存储介质,该机器可执行指令包括用于以下操作的指令:接收第一时钟信号;接收第一基带信号;至少部分地基于第一基带信号和第一时钟信号来生成具有第一延迟量的第一经延迟时钟信号;至少部分地基于第一基带信号和第一时钟信号来生成具有第二延迟量的第二经延迟时钟

信号,其中第一延迟量不同于第二延迟量;以及组合第一经延迟时钟信号和第二经延迟时钟信号以生成经调制时钟信号。

[0039] 附图简述

[0040] 通过参照附图,可以更好地理解本发明的诸实施例并使众多目的、特征和优点为本领域技术人员所显见。

[0041] 图1是时钟调制器的简化示图。

[0042] 图2是正交时钟调制器的一个实施例的框图。

[0043] 图3是描绘时钟信号的示例波形形状和定时关系的波形图。

[0044] 图4是描绘包括正交时钟调制器的发射机的一个实施例的框图。

[0045] 图5是解说用于提供经调制时钟信号的示例操作的流程图。

[0046] 图6是包括正交时钟调制器的电子设备的示例性实施例的框图。

[0047] 实施例描述

[0048] 以下描述包括体现本发明主题内容的技术的示例性系统、方法、技术、指令序列、以及计算机程序产品。然而应理解,所描述的实施例在没有这些具体细节的情况下也可实践。例如,尽管诸示例引述了根据IEEE 802.11规范来操作的设备,但也可使用根据其他标准或规范来操作的其他无线、有线(例如,以太网、电力线通信(PLC)等)或混合设备。混合设备可包括用于无线和有线系统两者的组件。例如,混合设备可包括用于根据IEEE 802.11规范进行通信的无线组件和用于根据PLC规范进行通信的有线组件。在其他实例中,公知的指令实例、协议、结构和技术未被详细示出以免淡化本描述。

[0049] 通信网络中的第一设备可包括调制器和发射机。第一设备可通过向第二设备中的接收机传送经调制信号来与第二设备通信。由调制器生成的经调制信号可经由网络的通信介质从发射机向接收机传达信息。供传输的信息可被包括在基带信号中。例如,在一种调制方案中,载波信号由基带信号进行调制以生成经调制信号。经调制信号可在被耦合至放大器并被传送之前经受进一步处理(诸如滤波)。

[0050] 放大器通常向经调制的载波信号添加能量(例如,放大)以增加传输射程和可靠性。在经调制的载波信号被放大时,放大器可能引入畸变。常见的畸变(诸如相位畸变、增益畸变和频率畸变)可能增加用于接收和解调所传送的经调制载波信号的处理步骤数量。具有线性增益的放大器固有地具有少量畸变。A类或A/B类放大器设计是具有线性增益的放大器的示例。然而,A类或A/B类放大器可能是功率效率低下的。在一些情形中,A类或A/B类放大器可造成设备的大量功耗。D类(开关模式)放大器可优于A类或A/B类放大器,因为它们通常是功率效率更高的。然而,D类放大器通常不具有线性增益。结果,接收和解调来自D类放大器的经调制载波信号可能部分地由于从该放大器所添加的畸变而与更线性的放大器相比需要更多处理步骤。

[0051] 在一些实施例中,时钟调制器可包括两个可配置延迟单元以及组合器。每个可配置延迟单元可接收基带信号和时钟信号。每个可配置延迟单元可至少部分地基于基带信号来将时钟信号延迟一延迟量。每个可配置延迟单元提供的延迟量可以不同。第一可配置延迟单元可将时钟信号延迟第一延迟量以生成第一经延迟时钟信号。第二可配置延迟单元可将时钟信号延迟第二延迟量以生成第二经延迟时钟信号。在一个实施例中,总延迟量由第一经延迟时钟信号与第二经延迟时钟信号之间的时间差确定。第一经延迟时钟信号和第二

经延迟时钟信号被称为经差分延迟时钟信号。这些经差分延迟时钟信号可被组合以生成经调制时钟信号。

[0052] 在另一实施例中,时钟调制器可接收两个基带信号以及两个时钟信号。在一个实施例中,这些时钟信号可通过约90度的相移彼此相关。具有约90度相移关系的时钟信号被称为正交时钟。在此实施例中,时钟调制器可包括四个可配置延迟单元以及组合器。第一时钟信号和第一基带信号被耦合至第一可配置延迟单元和第二可配置延迟单元。如上所述,这些可配置延迟单元生成第一经延迟时钟信号和第二经延迟时钟信号。第二时钟信号和第二基带信号被耦合至第三可配置延迟单元和第四可配置延迟单元。第三可配置延迟单元和第四可配置延迟单元类似于以上所描述的其他可配置延迟单元。第三可配置延迟单元和第四可配置延迟单元分别生成第三经延迟时钟信号和第四经延迟时钟信号。第一、第二、第三和第四经延迟时钟信号由组合器组合以生成经调制时钟信号,其也被称为经正交调制时钟信号。

[0053] 图1是时钟调制器100的简化示图。该简化示图突出显示了时钟调制器100的概念性操作。时钟调制器100可接收第一基带信号、第二基带信号、第一时钟信号和第二时钟信号。这两个时钟信号可通过一相移彼此相关。当该相移为约90度时,这些时钟信号被称为处于正交关系。当这些时钟信号处于正交关系时,时钟调制器100为正交时钟调制器。

[0054] 第一时钟信号可被称为I CLK信号130(同相时钟),并且第二时钟信号可被称为Q CLK信号132(正交时钟)。在一个实施例中,I CLK和Q CLK信号130和132可为约2.4GHz。在其它实施例中,可使用其它频率。例如,I CLK和Q CLK信号130和132可为1.2GHz,或者I CLK和Q CLK信号130和132可为5.4GHz。第一和第二基带信号可携带数据。例如,这些基带信号可随时间变化以携带数据。尽管是时变的,但这些基带信号可被限于预定带宽。例如,这些基带信号可被限于50MHz。在一个实施例中,I CLK信号130和Q CLK信号132的频率可以为基带信号的带宽的至少十倍。限制基带信号相对于I CLK信号130和Q CLK信号132的带宽可减少对I CLK信号130和Q CLK信号132的非线性调制。以下更详细地描述对这些时钟信号的调制。第一基带信号可被称为I基带信号140且第二基带信号可被称为Q基带信号142。

[0055] I CLK信号130和I基带信号140被耦合至混频器102。混频器102可将诸信号相乘(或“混频”)到一起。概念性地,将两个信号混频会创建具有至少两个分量(“和”分量和“差”分量)的信号。例如,将两个信号F1和F2混频的结果生成了具有F1+F2(和)分量和F1-F2(差)分量的信号。当信号F1是具有第一频率的信号且信号F2是具有第二频率的信号时,那么将信号F1和F2混频会生成具有第一分量和第二分量的信号,第一分量具有基于第一频率加上第二频率的频率,第二分量基于第一频率减去第二频率。通常,对该混频器的输出进行滤波以移除这两个分量中的一个分量。混频操作可用模拟乘法器或数字乘法器来执行。当提供给混频器的两个信号中的一个信号是可变信号(例如,时变或频变信号)时,该混频器的输出被称为是经调制信号。该可变信号被称为将通过该混频器来调制不变信号。不变信号可以是时钟信号,诸如I CLK信号130。I CLK信号130的频率可以是恒定的。该可变信号可以是时变数据信号,诸如I基带信号140或Q基带信号142。

[0056] 可用混频器102将I基带信号140和I CLK信号130混频在一起以生成第一经调制时钟信号103。即,I CLK信号130由I基带信号140调制以生成第一经调制时钟信号103。以类似方式,混频器104可将Q基带信号142和Q CLK信号132混频在一起以生成第二经调制时钟信

号105。即,Q CLK信号132由Q基带信号142调制以生成第二经调制时钟信号105。在一个实施例中,I基带信号140和Q基带信号142为可变信号(时变或频变)且I CLK信号130和Q CLK信号132为不变信号。

[0057] 混频器102耦合至开关模式驱动器110。开关模式驱动器110可放大接收自混频器102的第一经调制时钟信号103。类似地,混频器104耦合至开关模式驱动器112,该开关模式驱动器112可放大接收自混频器104的第二经调制时钟信号105。开关模式驱动器110和112的输出耦合至功率组合器120。功率组合器120可将开关模式驱动器110的输出和开关模式驱动器112的输出加总(即,组合)在一起。由于I CLK信号130和Q CLK信号132具有正交关系,因此功率组合器120的输出可包括与第二经调制时钟信号105(经放大)正交的第一经调制时钟信号103(经放大)。功率组合器120的输出可被称为经正交调制时钟信号。

[0058] 图2是正交时钟调制器200的一个实施例的框图。正交时钟调制器200可接收I CLK信号130、Q CLK信号132、I基带信号140和Q基带信号142并生成经正交调制时钟信号260。

[0059] 在一个实施例中,正交时钟调制器200包括两个可配置延迟单元以处理I CLK信号130和I基带信号140。在此实施例中,这些可配置延迟单元被实现为可变延迟线。在其他实施例中,这些可配置延迟单元可被实现为抽头延迟线、可编程延迟线或任何其他在技术上可行的延迟单元。第一可变延迟线210和第二可变延迟线212各自可接收I CLK信号130。在此实施例中,I基带信号140通过第一数模转换器(DAC) 220耦合至第一和第二可变延迟线210和212。第一DAC 220可将I基带信号140从数字信号转换成模拟信号。例如,第一DAC 220可生成模拟电压信号或模拟电流信号。第一DAC 220可将I基带信号140转换成模拟信号以供耦合至第一和第二可变延迟线210和212。

[0060] 第一和第二可变延迟线210和212延迟I CLK信号130。第一可变延迟线210被配置成生成具有第一延迟量的第一经延迟时钟信号230。类似地,第二可变延迟线212生成具有第二延迟量的第二经延迟时钟信号232。确定第一和第二延迟量以使得第一经延迟时钟信号230与第二经延迟时钟信号232相差延迟量 δ 。

[0061] 延迟量 δ 可至少部分地基于I基带信号140。在一个实施例中,延迟量 δ 可基于I基带信号值。例如,I基带信号140可被配置成表示任意数据流。I基带信号140可包括值(诸如数值)以表示数据流值。I基带信号140值的其他示例可包括整数和浮点数、字母-数字数据、符号数据或任何其他在技术上可行的值。如果I基带信号140的值增大,则延迟量 δ 可相应增大。相反,如果I基带信号140的值减小,则延迟量 δ 可相应减小。从第一可变延迟线210和第二可变延迟线212生成第一和第二经延迟时钟信号230和232的操作在以下结合图3更详细地描述。

[0062] 延迟量 δ 可由第一可变延迟线210和第二可变延迟线212生成。在一个实施例中,可在第一可变延迟线210和第二可变延迟线212之间拆分延迟量 δ 。由第一可变延迟线210和第二可变延迟线212生成的延迟量在组合器250中被组合。即,组合器250可组合在第一可变延迟线210和第二可变延迟线212之间拆分的延迟量。关于用于提供延迟量 δ 的第一和第二可变延迟线210和212的配置以及组合器250的操作的细节在以下结合图3更详细地描述。在一个实施例中,可在第一可变延迟线210和第二可变延迟线212之间均匀地拆分延迟量 δ 。在其他实施例中,可在第一可变延迟线210和第二可变延迟线212之间不均匀地拆分延迟量 δ 。

[0063] 如上所述,延迟量 δ 不是固定的,而是可响应于I基带信号140而变化。例如,I基带

信号140可包括数值以表示时变数据流。在此示例中,由于延迟量 δ 可响应于I基带信号140而变化,因此延迟量 δ 可以是时变延迟量。

[0064] 第一经延迟时钟信号230和第二经延迟时钟信号232分别耦合至第一开关模式驱动器240和第二开关模式驱动器242。第一和第二开关模式驱动器240和242可增大第一和第二经延迟时钟信号230和232的能量。在一个实施例中,第一和第二开关模式驱动器240和242可以是D类输出驱动器。在另一实施例中,第一和第二开关模式驱动器240和242可以是具有高电流输出的反相器。第一和第二开关模式驱动器240和242的输出可耦合至组合器250。尽管第一和第二开关模式驱动器240和242耦合至第一和第二可变延迟线210和212的输出,但在其他实施例中,可由耦合至不同组件的不同器件来提供放大。例如,第一经延迟时钟信号230和第二经延迟时钟信号232可由耦合至组合器250的输出的放大器来放大。

[0065] 组合器250可组合来自第一和第二开关模式驱动器240和242的输出。在一个实施例中,组合器250可从第一开关模式驱动器240的第二输出减去第二开关模式驱动器242的第一输出。将第一和第二开关模式驱动器240和242的输出进行组合的操作在以下结合图3更详细地描述。

[0066] Q CLK信号132分别耦合至第三和第四可变延迟线214和216。Q基带信号142通过第二DAC 222耦合至第三和第四可变延迟线214和216。第三可变延迟线214生成具有第三延迟量的第三经延迟时钟信号234。类似地,第四可变延迟线216生成具有第四延迟量的第四经延迟时钟信号236。确定第三和第四延迟量以使得第三经延迟时钟信号234与第四经延迟时钟信号236相差至少部分地基于Q基带信号142的延迟量。例如,如果Q基带信号142的值增大或减小,则基于Q基带信号142的延迟量可相称地增大或减小。

[0067] 第三经延迟时钟信号234和第四经延迟时钟信号236分别耦合至第三开关模式驱动器244和第四开关模式驱动器246。第三和第四开关模式驱动器244和246可增大第三和第四经延迟时钟信号234和236的能量。组合器250可从第三开关模式驱动器244和第四开关模式驱动器246接收输出,并且可将这些输出与来自第一开关模式驱动器240和第二开关模式驱动器242的输出相组合。组合器250的输出是经正交调制时钟信号260。

[0068] 如上所述,对Q CLK信号132的处理类似于对I CLK信号130的处理。然而,Q基带信号142可独立于I基带信号140。因此,基于Q基带信号142的任何延迟量可独立于基于I基带信号140的任何延迟量。在一个实施例中,正交时钟调制器200的元件可以是对称的。即,用于处理I CLK信号130和I基带信号140的元件可类似于用于处理Q CLK信号132和Q基带信号142的相应元件。例如,第一开关模式驱动器240可用与第三开关模式驱动器244用于放大与Q CLK信号132和Q基带信号142相关的信号的类似增益量来放大与I CLK信号130和I基带信号140相关的信号(增大其能量)。在另一实施例中,正交时钟调制器200的元件可以是非对称的。

[0069] 图3是描绘时钟信号的示例波形形状和定时关系的波形图300。具体而言,波形图300示出了可在图2的正交时钟调制器200中找到的时钟信号、经延迟时钟信号、以及经延迟时钟信号的组合之间的关系。在波形图300的顶部示出了部分时钟波形301。时钟波形301可具有周期T,并且可具有约50%的占空比。由此,时钟波形301在虚线之间示出的部分大致为时钟波形301的周期T的一半。I CLK信号130和Q CLK信号132可具有类似于时钟波形301的波形。

[0070] 由于时钟信号(诸如I CLK信号130)被第一可变延迟线210和第二可变延迟线212延迟,因此分别生成第一经延迟时钟信号230和第二经延迟时钟信号232。如上所述,I基带信号140耦合至第一可变延迟线210和第二可变延迟线212。在一个实施例中,响应于I基带信号140的延迟量 δ 可分布在第一和第二可变延迟线210和212之间。例如,可由第一可变延迟线210提供延迟 $-(\delta/2)$ 且可由第二可变延迟线212提供延迟 $+(\delta/2)$ 。由于可能难以生成负延迟量,因此在一个实施例中,可由第一可变延迟线210和第二可变延迟线212两者引入固定时间常数C。固定时间常数C可帮助配置第一可变延迟线210和第二可变延迟线212以生成正延迟量。例如,如果固定时间常数C大于延迟量 δ ,则减去延迟量的一部分(诸如 $(\delta/2)$)将导致将由第一可变延迟线210或第二可变延迟线212生成正延迟量。

[0071] 返回到图3,波形302可表示来自第一可变延迟线210的第一经延迟时钟信号230。在此示例中,第一可变延迟线210提供延迟量 $C-(\delta/2)$ 。波形302中的阴影区域突出显示了延迟量 $C-(\delta/2)$ 。波形303可表示来自第二可变延迟线212的第二经延迟时钟信号232。如图所示,第二可变延迟线212提供延迟量 $C+(\delta/2)$ 。波形303中的阴影区域突出显示了延迟量 $C+(\delta/2)$ 。波形302和303可被组合以形成经调制时钟信号。在一个实施例中,波形302和303可在图2的组合器250中被组合。经组合波形的一个实施例在波形304中示出。波形304可通过从波形302减去波形303来产生。注意,在一个实施例中,经组合波形304可包括正脉冲310和负脉冲312。正脉冲310和负脉冲312各自具有如图所示的脉冲宽度 δ 。

[0072] 波形图300描绘了用于实现响应于基带信号的延迟量 δ 的一种办法。在另一实施例中,延迟量 δ 不必均匀地分布在第一可变延迟线210与第二可变延迟线212之间,而是可以改为不均匀地划分延迟量 δ 。

[0073] 波形304描绘了两个时钟信号(波形302和303)的组合。波形302中示出的时钟信号和波形303中示出的时钟信号各自已被延迟,以使得这两个时钟信号之间的延迟量为 δ 。如上所述,延迟量 δ 可至少部分地基于信号,诸如I基带信号140或Q基带信号142。即,延迟量 δ 可随着信号I基带信号140或Q基带信号142变化而变化。

[0074] 图4是描绘包括正交时钟调制器410的发射机400的一个实施例的框图。正交时钟调制器410可按与图2的正交时钟调制器200类似的方式操作。发射机400可包括时钟振荡器406,其可生成I CLK信号130和Q CLK信号132。I CLK信号130和Q CLK信号132可耦合至正交时钟调制器410。在一个实施例中,Q CLK信号132可以是I CLK信号130的经相移版本。例如,I CLK信号130可关于Q CLK信号132相移约90度。在其他实施例中,其他相移是可能的。例如,I CLK信号130可与Q CLK信号132相移180度。

[0075] 发射机400可接收I基带信号140和Q基带信号142。I基带信号140通过第一预处理器402耦合至正交时钟调制器410。类似地,Q基带信号142通过第二预处理器404耦合至正交时钟调制器410。第一和第二预处理器402和404可提供对发射机400的操作的调整或校正。例如,第一和第二预处理器402和404可向I基带信号140和/或Q基带信号142施加预畸变以补偿或校正由发射机400中的处理引入的畸变。在一个实施例中,第一预处理器402和/或第二预处理器404可包括查找表。第一预处理器402和/或第二预处理器404可被配置成接收基带信号并基于查找表中所包括的信息来生成经校正基带信号。例如,查找表中的信息可描述预畸变或校正函数。

[0076] 如以上在图2中所描述的,正交时钟调制器410可生成经正交调制时钟信号420。正

交时钟调制器410可包括一个或多个驱动器,诸如第一、第二、第三和第四开关模式驱动器240-246。第一、第二、第三和第四开关模式驱动器240-246可向正交时钟调制器410内的信号添加能量,这可使得能通过通信介质传输经正交调制时钟信号420。

[0077] 经正交调制时钟信号420耦合至滤波器412。滤波器412可具有高通、低通或带通滤波轮廓。在一些实施例中,滤波器412可包括两个或更多个滤波轮廓的组合。滤波器412的输出可耦合至开关414。开关414可将滤波器412的输出与天线416耦合或断开连接。在一个实施例中,开关414可以是用于将接收机(未示出)与天线416隔离的发射/接收开关。

[0078] 图5是解说用于提供经调制时钟信号的示例操作的流程图500。这些示例操作可由正交时钟调制器200或发射机400中的一个或多个组件来执行。该流程在框502始于接收基带信号之时。在一个实施例中,所接收到的基带信号可以是I基带信号140或Q基带信号142。在另一实施例中,所接收到的基带信号可包括I基带信号140和Q基带信号142两者。前进至框504,接收时钟信号。在一个实施例中,所接收到的时钟信号可以是I CLK信号130或Q CLK信号132。在另一实施例中,所接收到的时钟信号可包括I CLK信号130和Q CLK信号132两者。

[0079] 前进至框506,确定经延迟时钟信号。在一个实施例中,确定第一经延迟时钟信号230和第二经延迟时钟信号232。在另一实施例中,除了第一和第二经延迟时钟信号230和232之外还确定第三经延迟时钟信号234和第四经延迟时钟信号236。如上所述,这些时钟信号的延迟量可至少部分地基于基带信号。在一个实施例中,第一经延迟时钟信号230和第二经延迟时钟信号232的延迟量可基于I基带信号140,并且第三经延迟时钟信号234和第四经延迟时钟信号236的延迟量可基于Q基带信号142。第一经延迟时钟信号230的延迟量可不同于第二经延迟时钟信号232的延迟量。第三经延迟时钟信号234的延迟量可不同于第四经延迟时钟信号236的延迟量。

[0080] 前进至框508,可放大经延迟时钟信号。在一个实施例中,可放大第一经延迟时钟信号230和第二经延迟时钟信号232。在另一实施例中,除了第一和第二经延迟时钟信号230和232之外还可放大第三经延迟时钟信号234和第四经延迟时钟信号236。在一个实施例中,可经由开关模式驱动器(诸如D类输出驱动器)来放大这些经延迟时钟信号。在其他实施例中,可用反相器来放大这些经延迟时钟信号。在又一些其他实施例中,可使用任何在技术上可行的放大器。

[0081] 前进至框510,经放大的经延迟时钟信号可被组合以生成经调制时钟信号,并且该流程可结束。在一个实施例中,组合器250可组合来自第一开关模式驱动器240和第二开关模式驱动器242的经放大的经延迟时钟信号。在另一实施例中,组合器250可组合来自第一开关模式驱动器240、第二开关模式驱动器242、第三开关模式驱动器244和第四开关模式驱动器246的经放大的经延迟时钟信号。在一个实施例中,可通过从第二经放大的经延迟时钟信号减去第一经放大的经延迟时钟信号来组合这些经放大的经延迟时钟信号。在另一实施例中,可通过从第二经放大的经延迟时钟信号减去第一经放大的经延迟时钟信号来组合这些经放大的经延迟时钟信号以生成第一差分信号。可从第四经放大的经延迟时钟信号减去第三经放大的经延迟时钟信号以生成第二差分信号。第一差分信号和第二差分信号可被组合在一起,由此组合全部四个经放大的经延迟时钟信号。

[0082] 图1-5和本文所描述的操作是旨在帮助理解诸实施例的示例,并且不应当被用于

限制诸实施例或权利要求的范围。各实施例可执行附加操作、执行较少操作、以不同次序执行操作、并行地执行操作、以及以不同方式执行一些操作。例如,可在框502接收基带信号之前在框504接收时钟信号。

[0083] 如本领域技术人员将领会的,本发明主题内容的各方面可体现为系统、方法或计算机程序产品。因此,本发明主题内容的各方面可采取全硬件实施例、软件实施例(包括固件、驻留软件、微代码等)、或组合了软件与硬件方面的实施例的形式,其在本文可全部被统称为“电路”、“模块”或“系统”。此外,本发明主题内容的各方面可采取体现在其上含有计算机可读程序代码的一个或多个计算机可读介质中的计算机程序产品的形式。

[0084] 可以使用一个或多个计算机可读介质的任何组合。计算机可读介质可以是计算机可读存储介质。计算机可读存储介质可以是例如电子、磁性、光学、电磁、红外、或半导体系统、装置或设备,或者前述的任何合适组合。计算机可读存储介质的更具体示例可包括便携式计算机软盘、硬盘、随机存取存储器(RAM)、只读存储器(ROM)、可擦除可编程只读存储器(EPROM或闪存)、便携式压缩碟只读存储器(CD-ROM)、光存储设备、磁存储设备,或者前述的任何合适组合。在本文档的上下文中,计算机可读存储介质可以是能包含或存储供指令执行系统、装置或设备使用或者结合其使用的程序的任何有形介质。

[0085] 包含在计算机可读介质上的程序代码可以使用任何恰适的介质来传送,包括但不限于无线、有线、光纤缆线、RF等,或者前述的任何合适的组合。

[0086] 计算机可读介质可包括用于执行本发明主题内容的诸方面的操作的指令且可按一种或多种编程语言的任何组合来编写。编程语言的示例可包括面向对象的编程语言(诸如Java、Smalltalk、C++等)以及常规过程编程语言(诸如“C”编程语言)。程序代码可完全在用户计算机上、部分在用户计算机上、作为独立软件包、部分在用户计算机上且部分在远程计算机上、或者完全在远程计算机或服务器上执行。在后一情境中,远程计算机可通过任何类型的网络连接至用户计算机,包括局域网(LAN)或广域网(WAN),或者可进行与外部计算机的连接(例如,使用因特网服务提供商通过因特网来连接)。

[0087] 本发明主题内容的诸方面是参照各方法、装置(系统)和计算机程序产品的流程图解说和/或框图来描述的。将理解,这些流程图解说和/或框图中的每个框、以及这些流程图解说和/或框图中的框的组合可以通过计算机程序指令来实现。这些计算机程序指令可被提供给通用计算机的处理器、专用计算机、或其他可编程数据处理装置以被执行。

[0088] 计算机程序指令可被执行以指导计算机、其他可编程数据处理装置、或其他设备按特定方式运作以产生包括指令的制品,这些指令实现流程图和/或框图的一个或多个框中指定的功能/动作。

[0089] 计算机程序指令还可被加载到计算机、其他可编程数据处理装置、或其他设备上。计算机程序指令可被执行以使得执行一系列操作步骤来产生计算机实现的过程,使得所执行的指令可以提供用于实现流程图和/或框图的一个或多个框中指定的过程/动作。

[0090] 图6是包括时钟调制器612的电子设备600的示例性实施例的框图。在一些实现中,电子设备600可以是膝上型计算机、平板计算机、移动电话、电力线通信设备、智能家电(PDA)、接入点、无线站或其他电子系统之一。电子设备600可包括处理器单元602(可能包括多个处理器、多个核、多个节点、和/或实现多线程处理等等)。电子设备600还可包括存储器单元606。存储器单元606可以是系统存储器(例如,高速缓存、SRAM、DRAM、零电容器RAM、双

晶体管RAM、eDRAM、EDO RAM、DDR RAM、EEPROM、NVRAM、RRAM、SONOS、PRAM等中的一者或多者)或者上面已经描述的机器可读介质的可能实现中的任何一者或多者。电子设备600可包括总线610(例如,PCI、ISA、PCI-Express、HyperTransport®、InfiniBand®、NuBus、AHB、AXI等)。电子设备600可包括网络接口604,其包括无线网络接口(例如,WLAN接口、BLUETOOTH®(蓝牙)接口、WiMAX接口、ZigBee®接口、无线USB接口等)和有线网络接口(例如,以太网接口、电力线通信接口等)中的至少一者。在一些实现中,电子设备600可支持多个网络接口——其中每个网络接口被配置为将电子设备600耦合至不同的通信网络。

[0091] 电子设备600可包括通信单元620。通信单元620可包括无线电或具有用于有线和无线联网的发射机和接收机的混合无线电。例如,通信单元620可包括发射机608。发射机608可类似于如上所述的发射机400。发射机608可包括时钟调制器612。发射机608可传送经调制时钟信号。时钟调制器612可类似于以上所描述的正交时钟调制器200。发射机608还可包括一个或多个预处理器614。预处理器614可类似于以上所描述的第一和第二预处理器402和404。预处理器614可通过对信号(诸如基带信号)进行校正或预畸变来补偿由时钟调制器612导致的畸变。在一些实施例中,发射机608的其他部分可分布在处理器单元602、存储器单元606和总线610内。

[0092] 存储器单元606可包含用于实现以上在图1-5中描述的实施例的功能性。在一个实施例中,存储器单元606可包括促成提供两个或更多个经延迟时钟信号的一个或多个功能性,其中这些经延迟时钟信号的延迟量至少部分地基于基带信号。在另一个实施例中,存储器单元606可被用于实现可提供预处理器614的至少一部分功能性的查找表。

[0093] 这些功能性中的任一个功能性可部分地(或完全地)在硬件中和/或在处理器单元602上实现。例如,该功能性可用专用集成电路来实现、在处理器单元602中实现的逻辑中实现、在外围设备或卡上的协处理器中实现等。此外,诸实现可包括更少的组件或包括图6中未解说的附加组件(例如,视频卡、音频卡、附加网络接口、外围设备等)。处理器单元602、存储器单元606、网络接口604被耦合至总线610。尽管被解说为耦合至总线610,但是存储器单元606也可耦合至处理器单元602。

[0094] 尽管各实施例是参考各种实现和利用来描述的,但是将理解,这些实施例是解说性的且本发明主题内容的范围并不限于这些实施例。一般而言,本文描述的用于提供经延迟时钟信号并组合这些经延迟时钟信号的技术可以用符合任何一个或多个硬件系统的设施来实现。许多变体、修改、添加、和改进都是可能的。

[0095] 可为本文中描述为单数实例的组件、操作、或结构提供复数个实例。最后,各种组件、操作和数据存储之间的边界在某种程度上是任意的,并且在具体解说性配置的上下文中解说了特定操作。其他的功能性分配是已预见的并且可落在本发明主题内容的范围内。一般而言,在示例性配置中呈现为分开组件的结构和功能性可被实现为组合式结构或组件。类似地,被呈现为单个组件的结构和功能性可被实现为分开的组件。这些以及其他变体、修改、添加及改进可落在本发明主题内容的范围内。

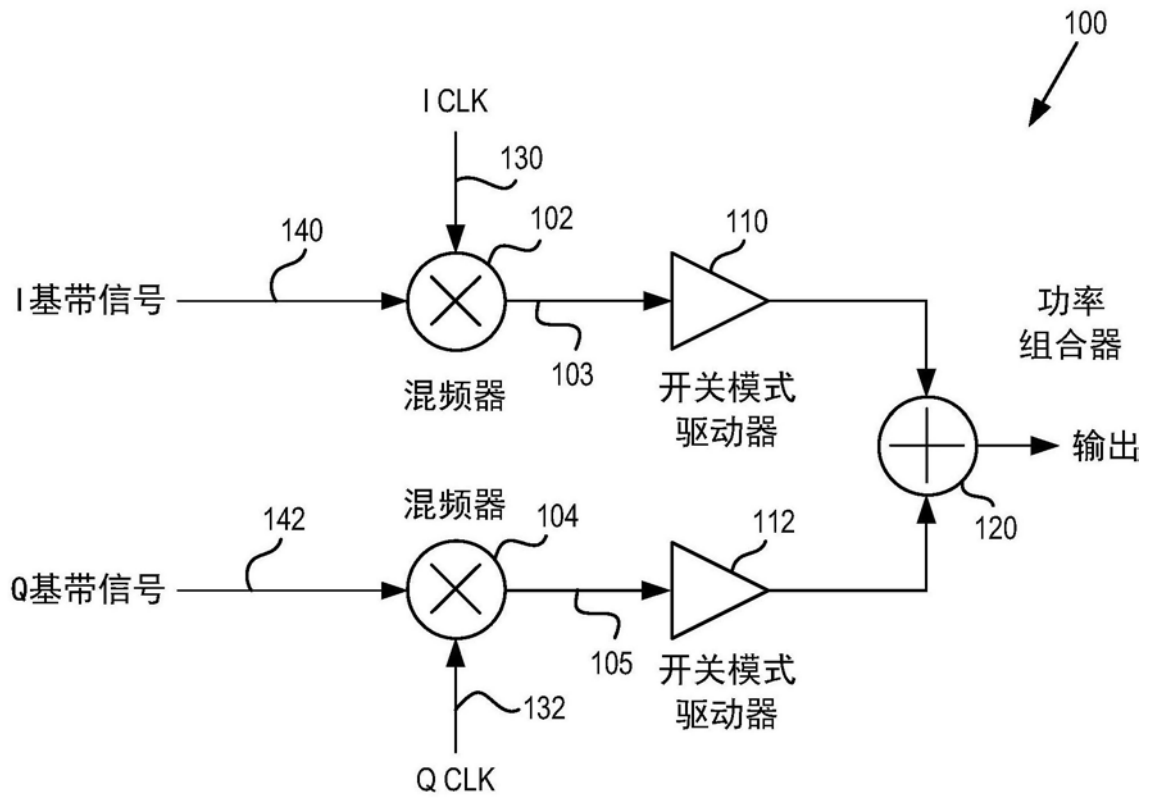


图1

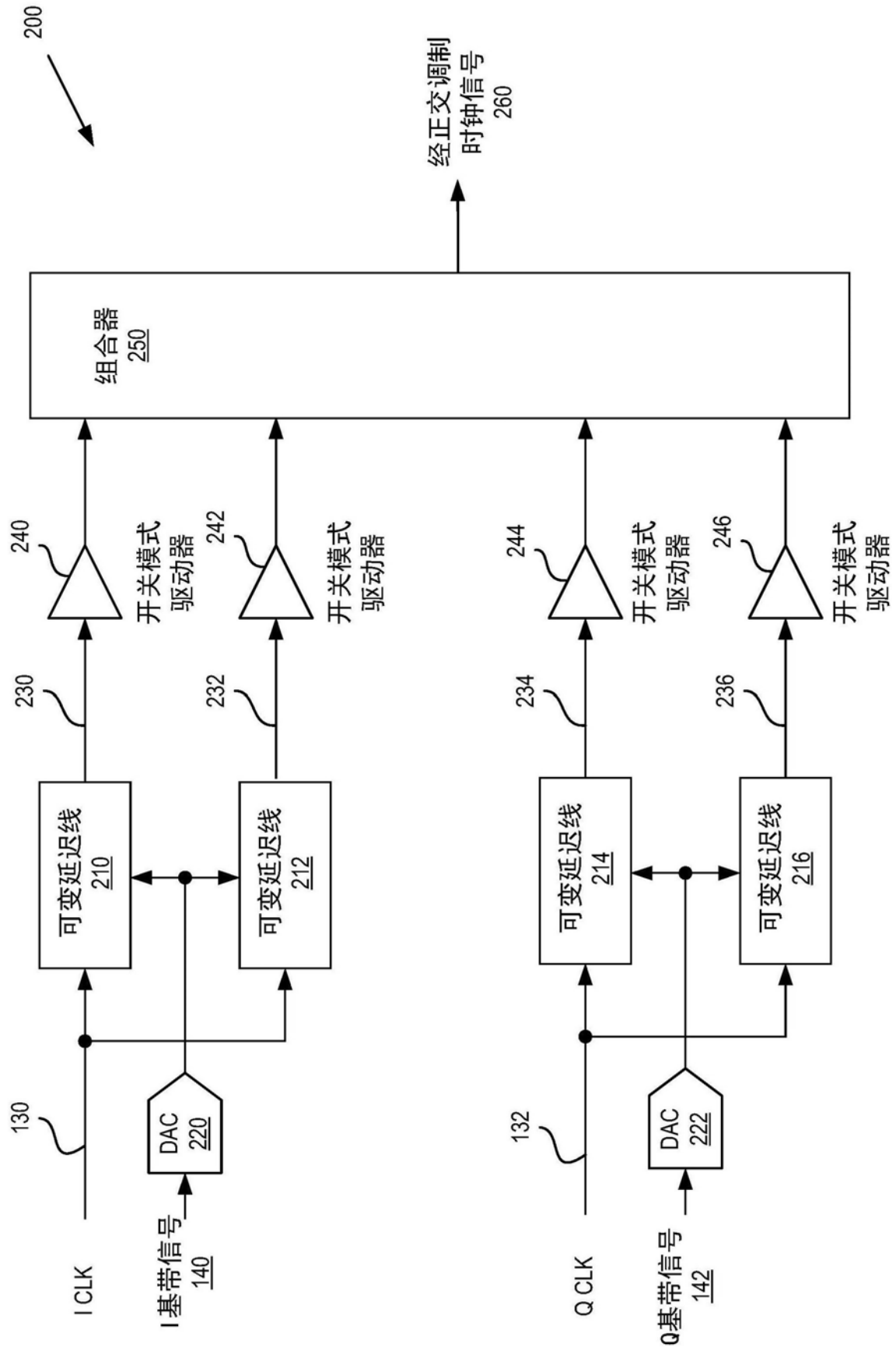


图2

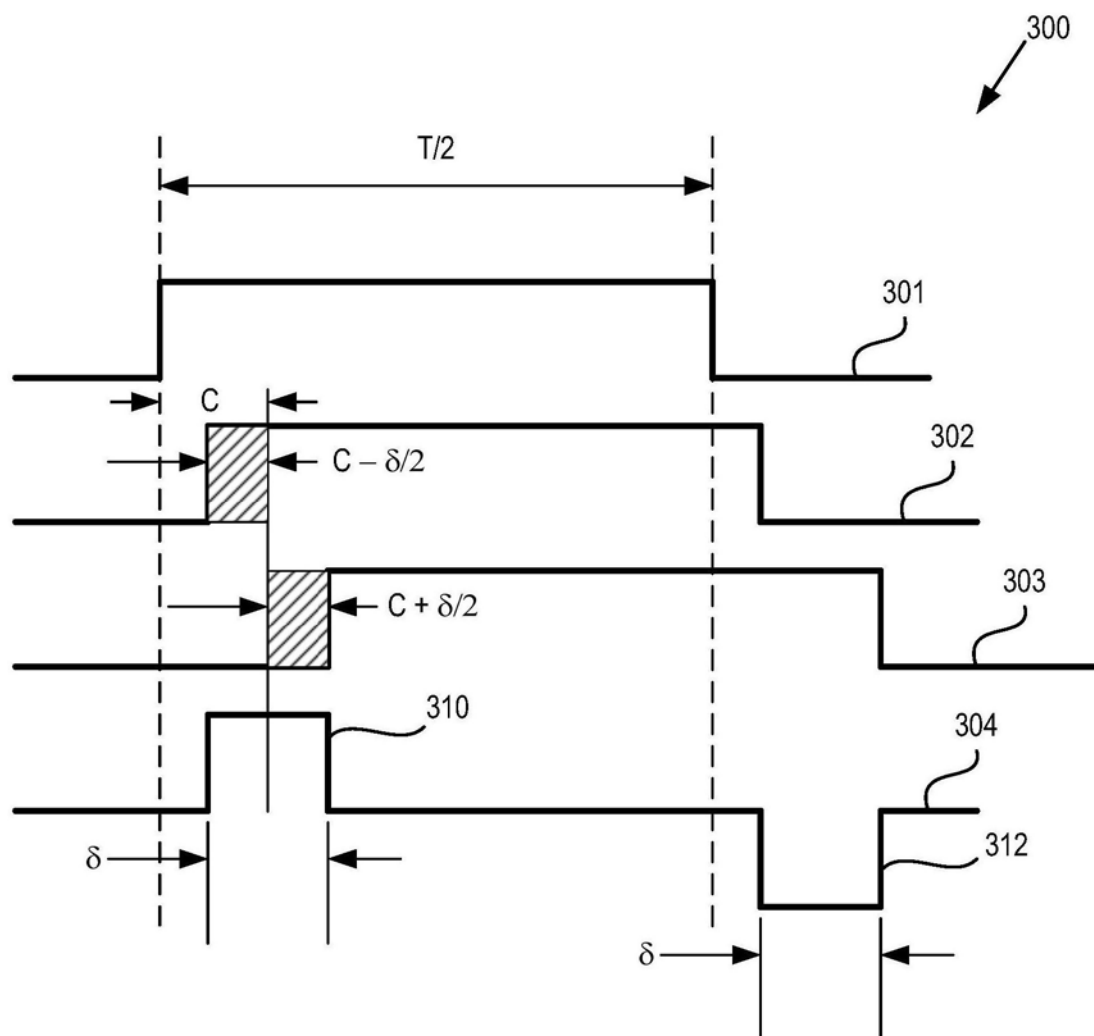


图3

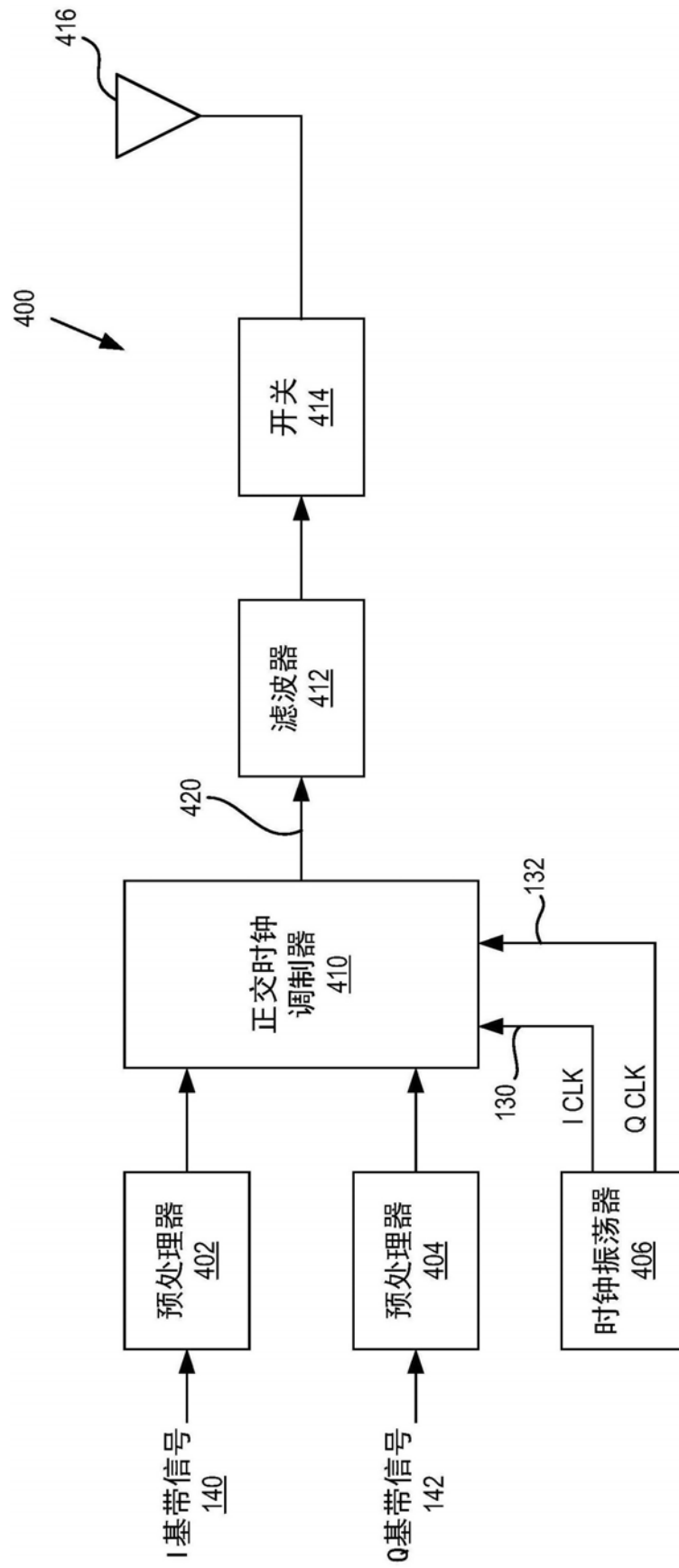


图4

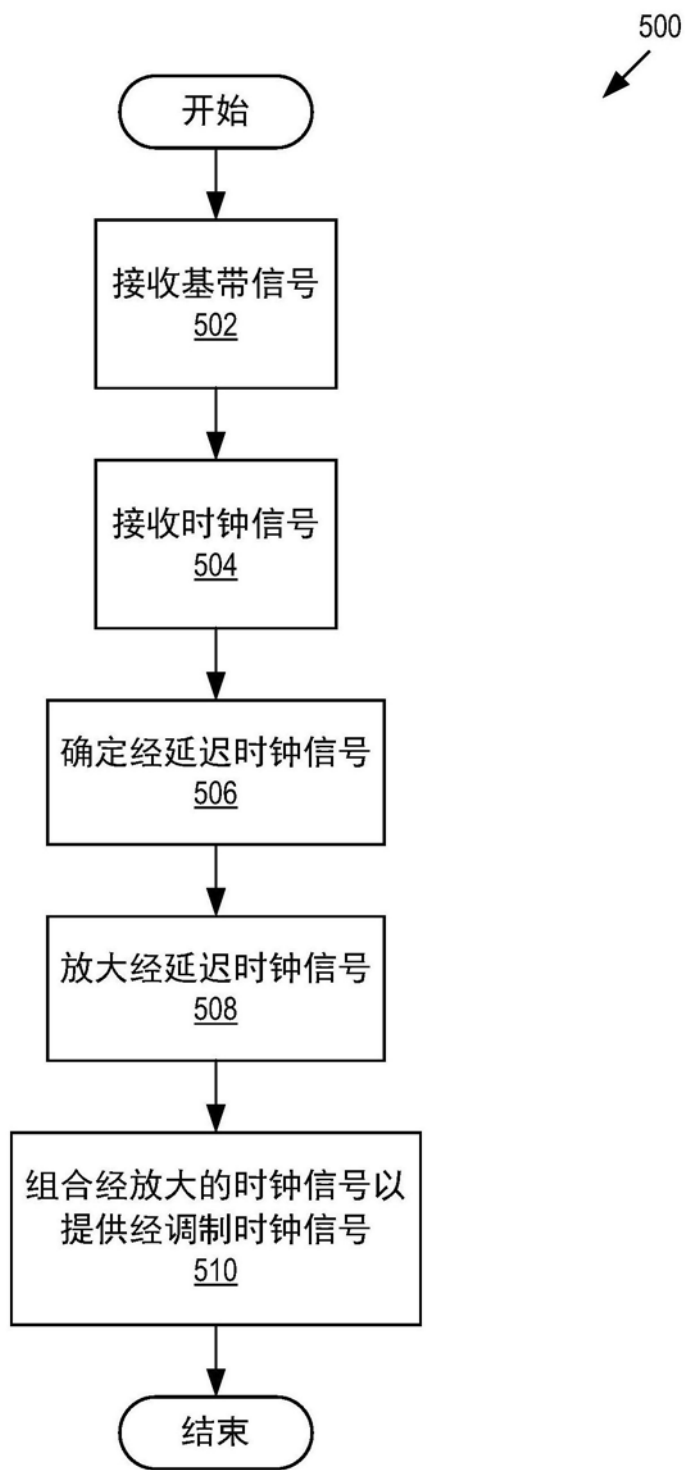


图5

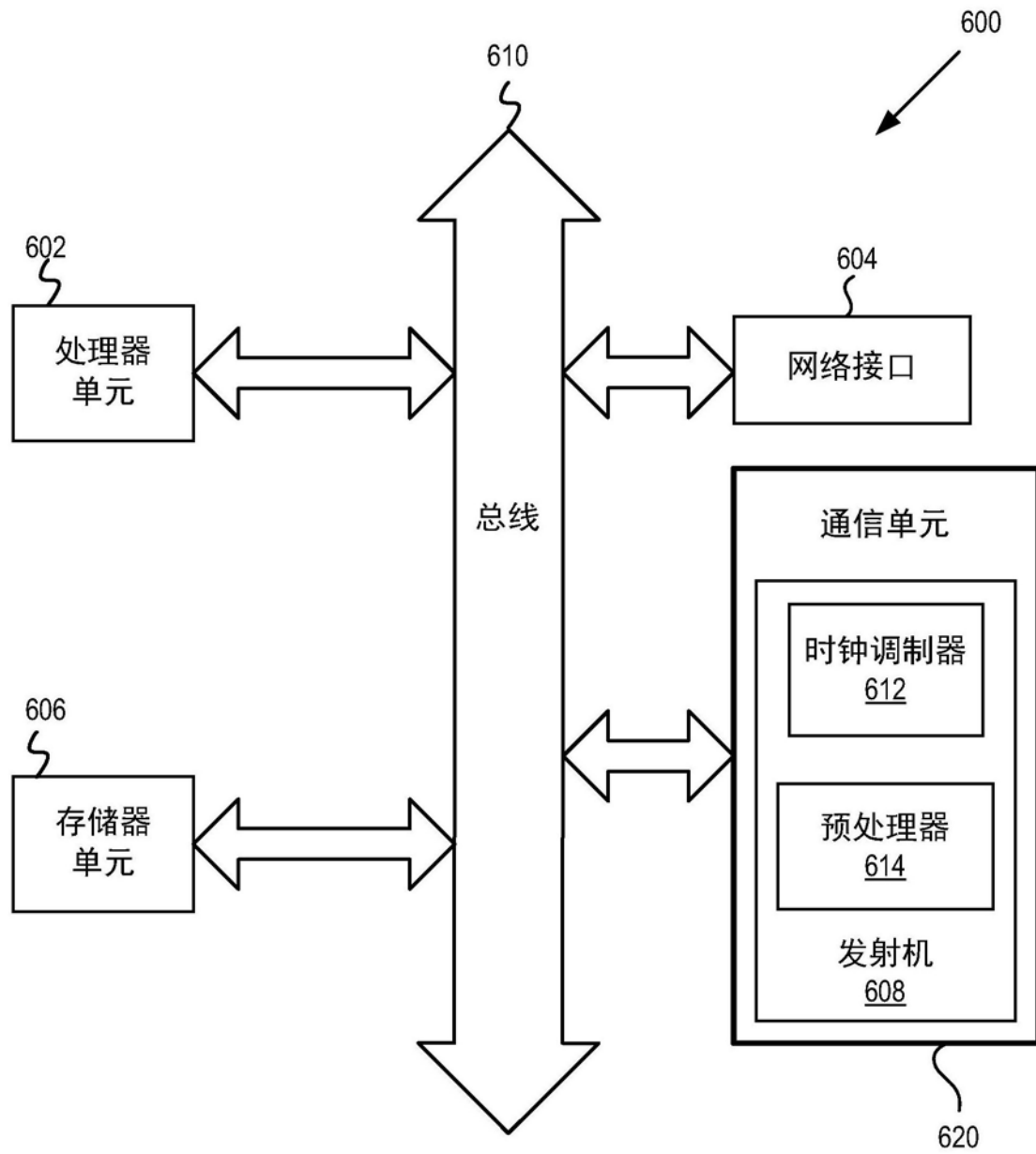


图6