(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 8 月 25 日(25.08.2016)

WIPO | PCT

(10) 国際公開番号
WO 2016/132551 A1

(51) 国際特許分類:
H01L 29/78 (2006.01)

(21) 国際出願番号: PCT/JP2015/054879

(22) 国際出願日: 2015 年 2 月 20 日(20.02.2015)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 新電元工業株式会社 (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目２番１号 Tokyo (JP).

(72) 発明者: 岸 雅人(KISHI, Masato); 〒3578585 埼玉県飯能市南町１０番１３号 新電元工業株式会社工場内 Saitama (JP). 渡辺 祐司(WATANABE, Yuji); 〒3578585 埼玉県飯能市南町１０番１３号 新電元工業株式会社工場内 Saitama (JP). 竹森 俊之(TAKEMORI, Toshiyuki); 〒3578585 埼玉県飯能市南町１０番１３号 新電元工業株式会社工場内 Saitama (JP). 穴澤 健夫(ANAZAWA, Takeo); 〒3578585 埼玉県飯能市南町１０番１３号 新電元工業株式会社工場内 Saitama (JP). 秋元 俊孝(AKIMOTO, Toshitaka); 〒3578585 埼玉県飯能市南町１０番１３号 新電元工業株式会社工場内 Saitama (JP).

(74) 代理人: 松尾 誠剛 (MATSUO, Nobutaka); 〒3990214 長野県諏訪郡富士見町落合９８６２番地６０ めぶき特許事務所 Nagano (JP).

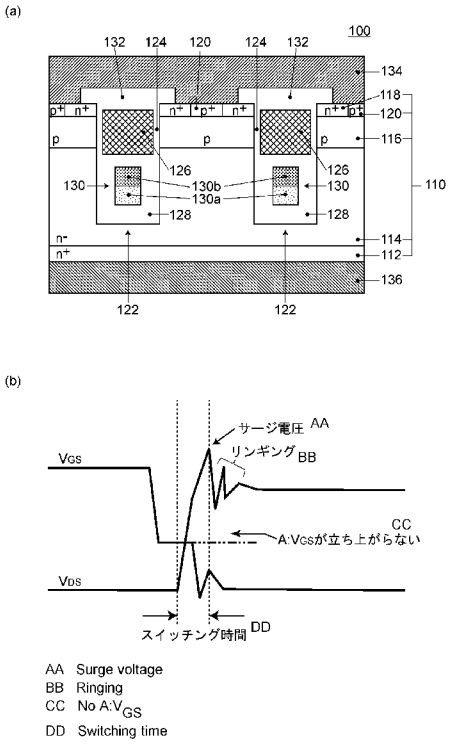
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) **Title**: SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置



(57) **Abstract**: A semiconductor device 100 comprising: gate electrodes 126 arranged inside trenches 122 and facing p-type base regions 116, via gate insulating films 124, in a side wall section; shield electrodes 130 arranged inside the trenches 122 and positioned between the gate electrodes 126 and the bottom of the trenches 122; electrical insulation regions 128 inside the trenches 122, spreading between the gate electrodes 126 and the shield electrodes 130 and spreading along the side wall and bottom of the trenches 122 and isolating the shield electrodes 130 from the side walls and bottom; and a source electrode 134 electrically connected to n+ source regions 118 and the shield electrodes 130. The shield electrodes 130 have a high-resistance region 130a positioned on an n+ drain region 112 side and a low-resistance region 130b positioned on the gate electrode 126 side. As a result, ringing and surge voltage can be suppressed, malfunctions can be suppressed, and increase in switching loss can be prevented.

(57) 要約: トレンチ１２２内に配設され、かつ、側壁の部分でゲート絶縁膜１２４を介してｐ型ベース領域１１６と対向するゲート電極１２６と、トレンチ内１２２に配設され、かつ、ゲート電極１２６とトレンチ１２２の底との間に位置するシールド電極１３０と、ゲート電極１２６とシールド電極１３０との間に拡がり、さらに、トレンチ１２２の側壁及び底に沿って拡がって側壁及び底からシールド電極１３０を離隔させる、トレンチ１２２内における電気的絶縁領域１２８と、ｎ＋型ソース領域１１８とシールド電極１３０とに電気的に接続されたソース電極１３４とを備え、シールド電極１３０は、ｎ＋ドレイン領域１１２側に位置する高抵抗領域１３０ａ、及び、ゲート電極１２６側に位置する低抵抗領域１３０ｂを有する半導体装置１００。リンギング及びサージ電圧の抑制、誤動作の抑制及びスイッチング損失の増加防止ができる。

WO 2016/132551 A1

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 従来より、いわゆるシールドゲート構造を有する半導体装置が知られている（例えば、特許文献１参照。）。従来の半導体装置９００は、図２０（ａ）に示すように、ｎ＋型ドレイン領域９１２、ｎ－型ドリフト領域９１４、ｐ型ベース領域９１６及びｎ＋型ソース領域９１８を含む半導体基体９１０と、半導体基体９１０内に形成され、ｎ－型ドリフト領域９１４に隣接した底、及び、ｐ型ベース領域９１６及びｎ－型ドリフト領域９１４に隣接した側壁を有し、平面的に見てストライプ状に形成されたトレンチ９２２と、トレンチ９２２内に配設され、かつ、側壁の部分でゲート絶縁膜９２４を介してｐ型ベース領域９１６と対向するゲート電極９２６と、トレンチ９２２内に配設され、かつ、ゲート電極９２６とトレンチ９２２の底との間に位置するシールド電極９３０と、ゲート電極９２６とシールド電極９３０との間に拡がり、さらに、トレンチ９２２の側壁及び底に沿って拡がって側壁及び底からシールド電極９３０を離隔させる、トレンチ９２２内における電気的絶縁領域９２８と、半導体基体９１０の上方に形成され、ソース領域９１８とシールド電極９３０とに電気的に接続されたソース電極９３４と、ｎ＋型ドレイン領域９１２に隣接して形成されたドレイン電極９３６とを備える。

[0003] 従来の半導体装置９００によれば、トレンチ９２２内に配設され、かつ、ゲート電極９２６とトレンチ９２２の底との間に位置するシールド電極９３０を備えることから、ゲート・ドレイン間容量C_{GD}（図２０（ｂ）参照。）が低減し、その結果、ゲート充電電流量及びゲート放電電流量が低減し、スイッチング速度を速くできる。また、電界集中が起こり易いトレンチ９２２の角部からゲート電極９２６までの距離を長くでき、さらには、電気的絶縁

領域９２８で電界を緩和することができる結果、耐圧を高くできる。

先行技術文献

特許文献

[0004] 特許文献1：特許第４７９０９０８号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、本発明者の研究により、従来の半導体装置９００においては、スイッチオフ時にリンギングが発生したり高いサージ電圧が発生したりする場合があることが分かった。そこで、本発明者は、シールド電極として高抵抗のシールド電極（例えば、ソース電極やゲート電極よりも高抵抗のシールド電極）を用いることを考えた（図２（ａ）参照。）。このようにすれば、シールド電極の高い内部抵抗により、スイッチオフ時にドレイン電極の電位変化を緩やかにすることができ、もって、スイッチオフ時に発生するリンギングを抑制するとともにサージ電圧を低減することが可能となる。

[0006] しかしながら、上記したようにシールド電極として高抵抗のシールド電極を用いると、スイッチング期間の後半において、シールド電極の配線に沿って電位差が生じるために、ゲート・ソース間の容量C_{GS}（図２０参照。図２においても同様。）を介してゲート電圧V_{GS}が立ち上がってしまい、誤動作（セルフ・ターンオン）が発生し易くなるという問題（図２（ｂ）符号Ａ参照。）が発生する。また、スイッチング速度が遅くなることで（図２（ｂ）参照。）、スイッチング損失が増加するという問題が発生する。

[0007] 一方、シールド電極として低抵抗のシールド電極を用いた場合には（図３（ａ）参照。）、スイッチオフ時にドレイン電極の電位変化を緩やかにすることができないことから、リンギングを抑制するとともにサージ電圧を低減することが可能となるという効果が得られなくなる（図３（ｂ）参照。）。

[0008] そこで、本発明は、これらの問題を解決するためになされたもので、スイッチオフ時に発生するリンギングを抑制するとともにサージ電圧を低減する

ことが可能で、かつ、スイッチオフ時にゲート電圧V_{GS}が立ち上がることに起因して発生する誤動作（セルフ・ターンオン）を抑制することが可能で、かつ、スイッチング損失が増加するという問題を低減することが可能な半導体装置を提供することを目的とする。

課題を解決するための手段

[0009] ［１］本発明の半導体装置は、第１導電型のドレイン領域、前記ドレイン領域に隣接した第１導電型のドリフト領域、前記ドリフト領域に隣接した第２導電型のベース領域、及び、前記ベース領域に隣接した第１導電型のソース領域を含む半導体基体と、前記半導体基体内に形成され、前記ドリフト領域に隣接した底、及び、前記ベース領域及び前記ドリフト領域に隣接した側壁を有し、平面的に見てストライプ状に形成されたトレンチと、前記トレンチ内に配設され、かつ、前記側壁の部分でゲート絶縁膜を介して前記ベース領域と対向するゲート電極と、前記トレンチ内に配設され、かつ、前記ゲート電極と前記トレンチの前記底との間に位置するシールド電極と、前記ゲート電極と前記シールド電極との間に拡がり、さらに、前記トレンチの前記側壁及び前記底に沿って拡がって前記側壁及び前記底から前記シールド電極を離隔させる、前記トレンチ内における電気的絶縁領域と、前記半導体基体の上方に形成され、前記ソース領域と前記シールド電極とに電気的に接続されたソース電極と、前記ドレイン領域に隣接して形成されたドレイン電極とを備える半導体装置であって、前記シールド電極は、前記ドレイン領域側に位置する高抵抗領域、及び、前記ゲート電極側に位置する低抵抗領域を有することを特徴とする。

[0010] なお、上記した高抵抗領域を、前記ドレイン領域側に位置し、前記シールド電極の長手方向に沿って第１の抵抗を有する第１領域と言い、上記した低抵抗領域を、前記ゲート電極側に位置し、前記シールド電極の長手方向に沿って前記第１の抵抗よりも高い第２の抵抗を有する第２領域と言うこともできる。

[0011] ［２］本発明の半導体装置においては、前記高抵抗領域及び前記低抵抗領域

はともに不純物を含有する同一の半導体材料からなり、前記低抵抗領域の不純物濃度は前記高抵抗領域の不純物濃度よりも高いことが好ましい。

[0012] ［３］本発明の半導体装置においては、前記高抵抗領域及び前記低抵抗領域はそれぞれ異なる材料からなり、前記低抵抗領域を構成する材料の電気抵抗率は前記高抵抗領域を構成する材料の電気抵抗率よりも低いことが好ましい。

[0013] ［４］本発明の半導体装置においては、前記高抵抗領域及び前記低抵抗領域はそれぞれ同一の材料からなり、前記シールド電極のストライプ長手方向に直交する平面で切断したときの前記低抵抗領域の断面積は、前記シールド電極の長手方向に直交する平面で切断したときの前記高抵抗領域の断面積よりも大きいことが好ましい。

[0014] ［５］本発明の半導体装置においては、前記高抵抗領域及び前記低抵抗領域は、互いに接する位置に位置することが好ましい。

[0015] ［６］本発明の半導体装置においては、前記高抵抗領域及び前記低抵抗領域は、前記電気的絶縁領域を介して互いに離隔する位置に位置することが好ましい。

[0016] ［７］本発明の半導体装置においては、前記電気的絶縁領域のうち前記高抵抗領域と前記低抵抗領域との間に挟まれている電気的絶縁領域は部分的に開口部を有し、前記高抵抗領域及び前記低抵抗領域は、前記開口部を介して部分的に接していることが好ましい。

[0017] ［８］本発明の半導体装置においては、前記低抵抗領域は前記高抵抗領域よりも薄いことが好ましい。

[0018] ［９］本発明の半導体装置においては、前記高抵抗領域は前記低抵抗領域よりも薄いことが好ましい。

発明の効果

[0019] 本発明の半導体装置によれば、シールド電極として、ドレイン領域側に位置する高抵抗領域、及び、ゲート電極側に位置する低抵抗領域を有するシールド電極を備えることから（図１（ａ）参照。）、高抵抗領域においては、

当該領域における抵抗Ｒａ（図４参照。）の抵抗値が抵抗Ｒｂ（図４参照。）の抵抗値よりも高いため、スイッチオフ時のドレイン電極の電位変化を緩やかにすることができ、もって、スイッチオフ時に発生するリンギングを抑制するとともにサージ電圧を低減することができる（図１（ｂ）参照。）。また、低抵抗領域においては、当該領域における抵抗Ｒｂ（図４参照。）の抵抗値が抵抗Ｒａ（図４参照。）の抵抗値よりも低いため、シールド電極の配線に沿って生じる電位差を低減することができ、もって、スイッチング期間の後半にゲート電圧V_{GS}が立ち上がることに起因して発生する誤動作（セルフ・ターンオン）を抑制できる（図１（ｂ）符号Ａ参照。）。また、低抵抗領域の存在により、スイッチング速度を速くすることができ（図１（ｂ）参照。）、もって、スイッチング損失の増加を防止することができる。

図面の簡単な説明

[0020] [図1]実施形態１に係る半導体装置１００を説明するために示す図である。図１（ａ）は半導体装置１００の断面図であり、図１（ｂ）は半導体装置１００のスイッチオフ時の応答波形を示す図である。

[図2]比較例１に係る半導体装置１００ａを説明するために示す図である。図２（ａ）は半導体装置１００ａの断面図であり、図２（ｂ）は半導体装置１００ａのスイッチオフ時の応答波形を示す図である。

[図3]比較例２に係る半導体装置１００ｂを説明するために示す図である。図３（ａ）は半導体装置１００ｂの断面図であり、図３（ｂ）は半導体装置１００ｂのスイッチオフ時の応答波形を示す図である。

[図4]実施形態１に係る半導体装置１００の作用・効果を説明するために示す図である。図４（ａ）は半導体装置１００の断面図に寄生抵抗及び寄生容量を追記した図であり、図４（ｂ）は半導体装置１００の等価回路図である。

[図5]実施形態１に係る半導体装置１００を製造する方法を説明するために示す図である。図５（ａ）～図５（ｄ）は各工程図である。

[図6]実施形態１に係る半導体装置１００を製造する方法を説明するために示す図である。図６（ａ）～図６（ｄ）は各工程図である。

[図7]実施形態１に係る半導体装置１００を製造する方法を説明するために示す図である。図７（ａ）～図７（ｄ）は各工程図である。

[図8]実施形態１に係る半導体装置１００を製造する方法を説明するために示す図である。図８（ａ）～図８（ｄ）は各工程図である。

[図9]実施形態２に係る半導体装置１０１の断面図である。

[図10]実施形態３に係る半導体装置１０２の断面図である。

[図11]変形例１に係る半導体装置１０３を説明するために示す図である。図１１（ａ）は半導体装置１０３の断面図であり、図１１（ｂ）は図１１（ａ）のＢ－Ｂ断面図である。

[図12]変形例２に係る半導体装置１０４の断面図である。

[図13]変形例３に係る半導体装置１０５の断面図である。

[図14]変形例４に係る半導体装置１０６の断面図である。

[図15]変形例５に係る半導体装置１０７の断面図である。

[図16]実施形態１に係る半導体装置１００を製造する別の方法を説明するために示す図である。

[図17]実施形態１に係る半導体装置１００を製造する別の方法を説明するために示す図である。図１６（ａ）～図１６（ｄ）及び図１７（ａ）～図１７（ｃ）は各工程図である。なお、図１６及び図１７においては、図５～図８に示す工程と同様の工程については図示を省略している。

[図18]実施形態１に係る半導体装置１００を製造するさらに別の方法を説明するために示す図である。

[図19]実施形態１に係る半導体装置１００を製造する別の方法を説明するために示す図である。図１８（ａ）～図１８（ｄ）及び図１９（ａ）～図１９（ｄ）は各工程図である。なお、図１８及び図１９においては、図５～図８に示す工程と同様の工程については図示を省略している。

[図20]従来の半導体装置９００の断面図である。図２０（ａ）は半導体装置９００の断面図に寄生抵抗及び寄生容量を追記した図であり、図２０（ｂ）は半導体装置９００の等価回路図である。

発明を実施するための形態

[0021] 以下、本発明の半導体装置について、図に示す実施形態に基づいて説明する。

[0022] ［実施形態１］

１．半導体装置

実施形態１に係る半導体装置は、図１（ａ）に示すように、ｎ＋型ドレイン領域（第１導電型のドレイン領域）１１２、ｎ＋型ドレイン領域１１２に隣接したｎ－型ドリフト領域（第１導電型のドリフト領域）１１４、ｎ－型ドリフト領域１１４に隣接したｐ型ベース領域（第２導電型のベース領域）１１６、及び、ｐ型ベース領域１１６に隣接したｎ＋型ソース領域（第１導電型のソース領域）１１８を含む半導体基体１１０と、半導体基体１１０内に形成され、ｎ－型ドリフト領域１１４に隣接した底、及び、ｐ型ベース領域１１６及びｎ－型ドリフト領域１１４に隣接した側壁を有し、平面的に見てストライプ状に形成されたトレンチ１２２と、トレンチ１２２内に配設され、かつ、側壁の部分でゲート絶縁膜１２４を介してｐ型ベース領域１１６と対向するゲート電極１２６と、トレンチ１２２内に配設され、かつ、ゲート電極１２６とトレンチ１２２の底との間に位置するシールド電極１３０と、ゲート電極１２６とシールド電極１３０との間に拡がり、さらに、トレンチ１２２の側壁及び底に沿って拡がって側壁及び底からシールド電極１３０を離隔させる、トレンチ１２２内における電気的絶縁領域１２８と、半導体基体１１０の上方に形成され、ソース領域１１８とシールド電極１３０とに電気的に接続されたソース電極１３４と、ドレイン領域１１２に隣接して形成されたドレイン電極１３６とを備える。

実施形態１に係る半導体装置１００は、パワーＭＯＳＦＥＴである。

[0023] そして、実施形態１に係る半導体装置１００においては、シールド電極１３０は、ドレイン領域１１２側に位置する高抵抗領域１３０ａ、及び、ゲート電極１２６側に位置する低抵抗領域１３０ｂを有する。また、高抵抗領域１３０ａ及び低抵抗領域１３０ｂはともに不純物を含有する同一の半導体材

料からなり、低抵抗領域１３０ｂの不純物濃度は高抵抗領域１３０ａの不純物濃度よりも高い。また、高抵抗領域１３０ａ及び低抵抗領域１３０ｂは、互いに接する位置に位置する。

[0024] ｎ＋型ドレイン領域１１２の厚さは５０μｍ～５００μｍ（例えば３５０μｍ）であり、ｎ＋型ドレイン領域１１２の不純物濃度は１×１０^{18}ｃｍ$^{-3}$～１×１０^{20}ｃｍ$^{-3}$（例えば１×１０^{19}ｃｍ$^{-3}$）である。ｎ－型ドリフト領域１１４の厚さは１０μｍ～５０μｍ（例えば１５μｍ）であり、ｎ－型ドリフト領域１１４の不純物濃度は１×１０^{14}ｃｍ$^{-3}$～１×１０^{17}ｃｍ$^{-3}$（例えば１×１０^{15}ｃｍ$^{-3}$）である。ｐ型ベース領域１１６の厚さは２μｍ～１０μｍ（例えば５μｍ）であり、ｐ型ベース領域１１６の不純物濃度は１×１０^{16}ｃｍ$^{-3}$～１×１０^{18}ｃｍ$^{-3}$（例えば１×１０^{17}ｃｍ$^{-3}$）である。

[0025] トレンチ１２２の深さは４μｍ～２０μｍ（例えば１０μｍ）であり、トレンチ１２２のピッチは３μｍ～１５μｍ（例えば１０μｍ）である。

ゲート絶縁膜１２４は例えば熱酸化法により形成された二酸化珪素膜からなり、ゲート絶縁膜１２４の厚さは２０ｎｍ～２００ｎｍ（例えば１００ｎｍ）である。

ゲート電極１２６は例えばＣＶＤ法により形成された低抵抗のポリシリコンからなり、ゲート電極１２６の厚さは２μｍ～１０μｍ（例えば５μｍ）である。

[0026] シールド電極１３０は、上記したように、トレンチ１２２内に配設され、かつ、ゲート電極１２６とトレンチ１２２の底との間に位置する。高抵抗領域１３０ａは例えばＣＶＤ法により形成された高抵抗のポリシリコンからなり、高抵抗領域１３０ａの厚さは１μｍ～４μｍ（例えば３μｍ）である。低抵抗領域１３０ａは例えばＣＶＤ法により形成された低抵抗のポリシリコンからなり、低抵抗領域１３０ｂの厚さは０．５μｍ～２μｍ（例えば１μｍ）である。

[0027] シールド電極１３０とゲート電極１２６との間隔は１μｍ～３μｍ（例えば２μｍ）であり、シールド電極１３０とトレンチ１２２の底との間隔は１

μｍ～３μｍ（例えば２μｍ）であり、シールド電極１３０とトレンチ１２２の側壁との間隔は１μｍ～３μｍ（例えば２μｍ）である。

[0028] ｎ＋型ソース領域１１８の深さは１μｍ～３μｍ（例えば２μｍ）であり、ｎ＋型ソース領域１１８の不純物濃度は１×１０^{18}ｃｍ$^{-3}$～１×１０^{20}ｃｍ$^{-3}$（例えば２×１０^{19}ｃｍ$^{-3}$）である。

ｐ＋型コンタクト領域１２０の深さは１μｍ～３μｍ（例えば２μｍ）であり、ｐ型コンタクト領域１２６の不純物濃度は１×１０^{18}ｃｍ$^{-3}$～１×１０^{20}ｃｍ$^{-3}$（例えば２×１０^{19}ｃｍ$^{-3}$）である。

層間絶縁膜１３２は例えばＣＶＤ法により形成された二酸化珪素膜からなり、層間絶縁膜１３２の厚さは０．５μｍ～３μｍ（例えば１μｍ）である。

[0029] ソース電極１３４は例えばＡｌ膜又はＡｌ合金膜（例えばＡｌＳｉ膜）からなり、ソース電極１３０の厚さは１μｍ～１０μｍ（例えば３μｍ）である。

ドレイン電極１３６はＴｉ、Ｎｉ、Ａｕがこの順序で積層された積層膜からなり、ドレイン電極１３６の厚さは０．２μｍ～１．５μｍ（例えば１μｍ）である。

[0030] ２．半導体装置の効果

実施形態１に係る半導体装置１００によれば、シールド電極として、ドレイン領域１１２側に位置する高抵抗領域１３０ａ、及び、ゲート電極１２６側に位置する低抵抗領域１３０ｂを有するシールド電極１３０を備えることから（図１（ａ）参照。）、高抵抗領域１３０ａにおいては、当該領域における抵抗Ｒａ（図４参照。）の抵抗値が抵抗Ｒｂ（図４参照。）の抵抗値よりも高いため、スイッチオフ時のドレイン電極の電位変化を緩やかにすることができ、もって、スイッチオフ時に発生するリンギングを抑制するとともにサージ電圧を低減することができる（図１（ｂ）参照。）。また、低抵抗領域１３０ｂにおいては、当該領域における抵抗Ｒｂ（図４参照。）の抵抗値が抵抗Ｒａ（図４参照。）の抵抗値よりも低いため、シールド電極１３０

の配線に沿って生じる電位差を低減することができ、もって、スイッチング期間の後半にゲート電圧V_{GS}が立ち上がることに起因して発生する誤動作（セルフ・ターンオン）を抑制できる（図１（ｂ）符号Ａ参照。）。また、低抵抗領域１３０ｂの存在により、スイッチング速度を速くすることができ（図１（ｂ）参照。）、もって、スイッチング損失の増加を防止することができる。

[0031] また、実施形態１に係る半導体装置１００によれば、シールド電極１３０として、高抵抗領域１３０ａ及び低抵抗領域１３０ｂがともに不純物を含有する同一の半導体材料からなり、低抵抗領域１３０ｂの不純物濃度が高抵抗領域１３０ａの不純物濃度よりも高いシールド電極を備えることから、不純物のドープ量を適宜の値に設定することにより、高抵抗領域１３０ａ及び低抵抗領域１３０ｂの電気抵抗率を比較的容易に所望の値に設定することができる。

[0032] また、実施形態１に係る半導体装置１００によれば、シールド電極１３０として、高抵抗領域１３０ａ及び低抵抗領域１３０ｂが互いに接する位置に位置するシールド電極を備えることから、後述する半導体装置の製造方法からも分かるように、シールド電極構造を比較的容易に形成することができる。

[0033] ３．半導体装置の製造方法

実施形態１に係る半導体装置１００は、以下に示す製造工程を有する製造方法（実施形態１に係る半導体装置の製造方法）により製造することができる。

[0034] （１）半導体基体準備工程

図５（ａ）～図５（ｃ）に示すように、ｎ＋型ドレイン領域１１２、ｎ＋型ドレイン領域１１２に隣接したｎ－型ドリフト領域１１４、ｎ－型ドリフト領域１１４に隣接したｐ型ベース領域１１６、ｐ型ベース領域１１６に隣接したｎ＋型ソース領域１１８及びｐ＋型コンタクト領域１２０を含む半導体基体１１０を準備する。

[0035] （２）トレンチ形成工程

その後、図５（ｄ）に示すように、半導体基体１１０の表面にマスクＭ３を形成し、当該マスクＭをマスクとしてｐ型ベース領域１１６の表面からｎ－型ドリフト層１１４に達するようにトレンチ１２２を形成する。トレンチ１２２の深さは例えば１１μｍとする。

[0036] （３）第１の電気的絶縁領域形成工程

その後、図６（ａ）に示すように、熱酸化法により、トレンチ１２２の内面及び半導体基体１１０の表面にシリコン酸化膜１２８’を形成し、これを電気的絶縁領域１２８の底部及び側壁部とする。なお、第１の電気的絶縁領域形成工程においては、ＣＶＤ法により底の部分のシリコン酸化膜１２８’を厚く形成し、その後、熱酸化法により側壁の部分のシリコン酸化膜１２８’を形成することとしてもよい。

[0037] （４）高抵抗領域形成工程

その後、図６（ｂ）に示すように、ＣＶＤ法により、トレンチ１２２の内部及び半導体基体１１０の表面に高抵抗ポリシリコン膜１３０ａ’を形成し、その後、図６（ｃ）に示すように、高抵抗ポリシリコン膜１３０ａ’のエッチバックを行い、トレンチ１２２内部の電気的絶縁領域１２８の底部上に所定厚さの高抵抗ポリシリコン膜１３０ａ’を残した状態で高抵抗ポリシリコン膜１３０ａ’を除去する。これにより、トレンチ１２２内部の電気的絶縁領域１２８の底部上に高抵抗領域１３０ａが形成される。

[0038] （５）低抵抗領域形成工程

その後、図６（ｄ）に示すように、ＣＶＤ法により、トレンチ１２２の内部及び半導体基体１１０の表面に低抵抗ポリシリコン膜１３０ｂ’を形成する。

その後、低抵抗ポリシリコン膜１３０ｂ’のエッチバックを行い、トレンチ１２２内部の高抵抗領域１３０ａ上に所定厚さの低抵抗ポリシリコン膜１３０ｂ’を残した状態で低抵抗ポリシリコン膜１３０ｂ’を除去する。これにより、トレンチ１２２内部の高抵抗領域１３０ａ上に低抵抗領域１３０ｂ

が形成され、全体として、高抵抗領域１３０ａ及び低抵抗領域１３０ｂを有するシールド電極１３０が形成される（図７（ａ）参照）。なお、シールド電極１３０は、当該シールド電極１３０の一部又は全部が、Ｐ型ベース領域１１６の底部よりも深い位置に位置されるよう形成される。

[0039] （６）第２の電気的絶縁領域形成工程

その後、ＣＶＤ法により、トレンチ１２２内部の低抵抗領域１３０ｂ上に所定厚さのシリコン酸化膜を形成し、これを電気的絶縁領域１２８の頂部とする（図７（ｂ）参照。）。

[0040] （７）ゲート絶縁膜形成工程

その後、図７（ｃ）に示すように、ウェットエッチングにより、ゲート絶縁膜１２４を形成する部位に形成されているシリコン酸化膜１２８’を除去する。その後、図７（ｄ）に示すように、熱酸化法により、トレンチ１２２の内面における絶縁膜１２４を形成する部位及び半導体基体１１０の表面にシリコン酸化膜１２４’を形成し、これを最終的なゲート絶縁膜１２４とする。

[0041] （８）ゲート電極形成工程

その後、図８（ａ）に示すように、半導体基体１１０の表面側から、トレンチ１２２を埋めるように低抵抗のポリシリコン膜１２６’を形成する。その後、図８（ｂ）に示すように、低抵抗のポリシリコン膜１２６’のエッチバックを行い、トレンチ１２２の内部にのみ低抵抗のポリシリコン膜１２６’を残した状態で低抵抗のポリシリコン膜１２６’の上方を除去する。これにより、トレンチ１２２の内周面に最終的なゲート電極１２６が形成される。

[0042] （９）層間絶縁膜形成工程

その後、半導体基体１１０の表面におけるシリコン酸化膜１２４’を除去し、その後、半導体基体１１０の表面側から気相法によりＰＳＧ膜を形成し、さらにその後、ゲート電極１２６の上部所定部分を残してシリコンの熱酸化膜及びＰＳＧ膜をエッチングにより除去する。これにより、図８（ｃ）に

示すように、ゲート電極１２６の上部に層間絶縁膜１３２が形成される。

[0043] （１０）ソース電極及びドレイン電極形成工程

その後、図８（ｄ）に示すように、半導体基体１１０及び層間絶縁膜１３２を覆うようにソース電極１３４を形成し、ｎ＋型ドレイン層１１２の表面にドレイン電極１３６を形成する。

[0044] 以上の工程を実施することにより、実施形態１に係る半導体装置１００を製造することができる。

[0045] ［実施形態２］

実施形態２に係る半導体装置１０１は、基本的には実施形態１に係る半導体装置１００と同様の構成を有するが、シールド電極の構成が実施形態１に係る半導体装置１００の場合とは異なる。すなわち、図９に示すように、実施形態２に係る半導体装置１０２においては、高抵抗領域１３０ａ及び低抵抗領域１３０ｂはそれぞれ異なる材料からなり、低抵抗領域１３０ｂを構成する材料の電気抵抗率は高抵抗領域１３０ａを構成する材料の電気抵抗率よりも低い（図９参照。）。

[0046] 高抵抗領域１３０ａを構成する材料としては、例えばＣＶＤ法により形成された高抵抗のポリシリコンを用いることができる。また、低抵抗領域１３０ｂとしては、高融点金属（例えば、Ｗ、Ｍｏ、Ｔａ、Ｎｂなど。）やその他の金属（例えば、Ｃｕなど。）を用いることができる。

[0047] このように、実施形態２に係る半導体装置１０１は、シールド電極の構成が実施形態１に係る半導体装置１００の場合とは異なるが、シールド電極として、ドレイン領域１１２側に位置する高抵抗領域１３０ａ、及び、ゲート電極１２６側に位置する低抵抗領域１３０ｂを有するシールド電極１３０を備えることから（図９参照。）、実施形態１に係る半導体装置１００の場合と同様に、高抵抗領域１３０ａにおいては、当該領域における抵抗Ｒａ（図４参照。）の抵抗値が抵抗Ｒｂ（図４参照。）の抵抗値よりも高いため、スイッチオフ時のドレイン電極の電位変化を緩やかにすることができ、もって、スイッチオフ時に発生するリンギングを抑制するとともにサージ電圧を低

減することができる。また、低抵抗領域１３０ｂにおいては、当該領域における抵抗Ｒｂ（図４参照。）の抵抗値が抵抗Ｒａ（図４参照。）の抵抗値よりも低いため、シールド電極１３０の配線に沿って生じる電位差を低減することができ、スイッチング期間の後半にゲート電圧V_{GS}が立ち上がることに起因して発生する誤動作（セルフ・ターンオン）を抑制できる。また、低抵抗領域１３０ｂの存在により、スイッチング速度を速くすることができ、もって、スイッチング損失の増加を防止することができる。

[0048] また、実施形態２に係る半導体装置１０１によれば、シールド電極１３０として、高抵抗領域１３０ａ及び低抵抗領域１３０ｂがそれぞれ異なる材料からなり、低抵抗領域１３０ｂを構成する材料の電気抵抗率が高抵抗領域１３０ａを構成する材料の電気抵抗率よりも低いシールド電極を備えることから、高抵抗領域１３０ａ及び低抵抗領域１３０ｂの材料を適宜選択することにより、高抵抗領域１３０ａ及び低抵抗領域１３０ｂの電気抵抗率を幅広い範囲から選択することができる。

[0049] ［実施形態３］

実施形態３に係る半導体装置は、基本的には実施形態１に係る半導体装置１００と同様の構成を有するが、シールド電極の構成が実施形態１に係る半導体装置１００の場合とは異なる。すなわち、図１０に示すように、実施形態３に係る半導体装置１０２においては、高抵抗領域１３０ａ及び低抵抗領域１３０ｂは、電気的絶縁領域１２８を介して互いに離隔する位置に位置する。

[0050] 高抵抗領域１３０ａと低抵抗領域１３０ｂとの間隔は適宜設定可能であるが、例えば、１μｍとすることができる。

[0051] このように、実施形態３に係る半導体装置１０２は、シールド電極の構成が実施形態１に係る半導体装置１００の場合とは異なるが、シールド電極として、ドレイン領域１１２側に位置する高抵抗領域１３０ａ、及び、ゲート電極１２６側に位置する低抵抗領域１３０ｂを有するシールド電極１３０を備えることから（図１０参照。）、実施形態１に係る半導体装置１００の場

合と同様に、高抵抗領域１３０ａにおいては抵抗Ｒａ（図４参照。）が高くなるため、スイッチオフ時のドレイン電極の電位変化を緩やかにすることができ、もって、スイッチオフ時に発生するリンギングを抑制するとともにサージ電圧を低減することができる。また、低抵抗領域１３０ｂにおいては抵抗Ｒｂ（図４参照。）が低くなるため、シールド電極１３０の配線に沿って生じる電位差を低減することができ、ゲート・ソース間容量C_{GS}を低減してゲートとソースのカップリングを小さくすることで、スイッチング期間の後半にゲート電圧V_{GS}が立ち上がることに起因して発生する誤動作（セルフ・ターンオン）を抑制できる。また、低抵抗領域１３０ｂの存在により、スイッチング速度を速くすることができ、もって、スイッチング損失が増加するという問題を低減することができる。

[0052] また、実施形態３に係る半導体装置１０２によれば、シールド電極１３０として、高抵抗領域１３０ａ及び低抵抗領域１３０ｂが電気的絶縁領域１２８を介して互いに離隔する位置に位置するシールド電極を備えることから、高抵抗領域１３０ａにおいては、低抵抗領域１３０ｂの影響を受け難くなるため、スイッチオフ時のドレイン電極の電位変化をより一層緩やかにすることができ、もって、スイッチオフ時に発生するリンギングをより一層抑制するとともにサージ電圧をより一層低減することができる。

[0053] 以上、本発明を上記の実施形態に基づいて説明したが、本発明は上記の実施形態に限定されるものではない。その趣旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば、次のような変形も可能である。

[0054] （１）上記実施形態１においては、高抵抗領域１３０ａとして、例えばＣＶＤ法により形成された高抵抗のポリシリコンを用い、低抵抗領域１３０ｂとして例えばＣＶＤ法により形成された低抵抗のポリシリコンを用いたが、本発明はこれに限定されるものではない。これら以外の材料を用いてもよい。

[0055] （２）上記実施形態２においては、高抵抗領域１３０ａとして、例えばＣＶＤ法により形成された高抵抗のポリシリコンを用い、低抵抗領域１３０ｂと

して高融点金属（例えば、Ｗ、Ｍｏ、Ｔａ、Ｎｂなど。）やその他の金属（例えば、Ｃｕなど。）を用いたが、本発明はこれに限定されるものではない。これら以外の材料を用いてもよい。

[0056] （３）上記実施形態３においては、シールド電極として、高抵抗領域１３０ａ及び低抵抗領域１３０ｂが電気的絶縁領域１２８を介して互いに離隔する位置に位置するシールド電極１３０を用いたが、図１１（ｂ）に示すように、シールド電極として、電気的絶縁領域１２８のうち高抵抗領域１３０ａと低抵抗領域１３０ｂとの間に挟まれている電気的絶縁領域１２８が部分的に開口部１３８を有し、高抵抗領域１３０ａ及び低抵抗領域１３０ｂが当該開口部１３８を介して部分的に接している構造のシールド電極を用いてもよい（変形例１）。

[0057] このような構成とすることにより、上記した開口部１３８の大きさ、ピッチなどを適宜なものに設定することにより、スイッチオフ時に発生するリンギングやサージ電圧を低減できる効果と、スイッチング期間の後半にV_{GS}が立ち上がることに起因して発生する誤動作（セルフ・ターンオン）やスイッチング損失の増加を防止できる効果をバランス良く実現することができる。

[0058] （４）上記実施形態１においては、シールド電極として、高抵抗領域１３０ａ及び低抵抗領域１３０ｂがともに不純物を含有する同一の半導体材料からなり、低抵抗領域１３０ｂの不純物濃度が高抵抗領域１３０ａの不純物濃度よりも高いシールド電極を用い、上記実施形態２においては、シールド電極として、高抵抗領域１３０ａ及び低抵抗領域１３０ｂがそれぞれ異なる材料からなり、低抵抗領域１３０ｂを構成する材料の電気抵抗率が高抵抗領域１３０ａを構成する材料の電気抵抗率よりも低いシールド電極を用いたが、本発明はこれに限定されるものではない。例えば、図１２に示すように、高抵抗領域１３０ａ及び低抵抗領域１３０ｂがそれぞれ同一の材料からなり、シールド電極１３０のストライプ長手方向（ストライプ状に形成されたトレンチの長手方向と略平行となっているシールド電極の長手方向）に直交する平面で切断したときの低抵抗領域１３０ｂの断面積が、同平面で切断したとき

の高抵抗領域１３０ａの断面積よりも大きい形状となっているシールド電極を用いてもよい（変形例２及び３。図１２及び図１３参照。）。

[0059] このような構成とすることによっても、ドレイン領域１１２側に位置する高抵抗領域（高抵抗領域１３０ａ）、及び、ゲート電極１２６側に位置する低抵抗領域（低抵抗領域１３０ｂ）を有するシールド電極を備えることから、実施形態１に係る半導体装置１００が有する効果を有する。なお、この場合、シールド電極１３０の断面形状は、逆三角形、逆五角形、野球のホームベース形状、押しピン形状など、種々のものが可能である。

[0060] （５）上記実施形態１においては、半導体装置１００として、パワーＭＯＳＦＥＴを例にして説明したが、本発明はこれに限定されるものではない。本発明は、パワーＭＯＳＦＥＴ以外の他のデバイスにも本発明の趣旨を逸脱しない範囲で種々に適用可能である。

[0061] （６）上記実施形態１においては、高抵抗領域１３０ａと低抵抗領域１３０ｂとを同じ厚さに設定したが、本発明はこれに限定されるものではない。低抵抗領域１３０ｂを高抵抗領域１３０ａよりも薄くしてもよいし（変形例４。図１４参照。）、低抵抗領域１３０ｂを高抵抗領域１３０ａよりも薄くしてもよい（変形例５。図１５参照。）。

[0062] 変形例４の場合には、スイッチオフ時に発生するリンギングやサージ電圧を低減できる効果を大きくすることができる。変形例５の場合には、スイッチング期間の後半にＶＧＳが立ち上がることに起因して発生する誤動作（セルフ・ターンオン）やスイッチング損失の増加を防止できる効果を大きくすることができる。

[0063] （７）実施形態１に係る半導体装置１００は、実施形態１に記載した方法とは別の方法によっても製造することができる。例えば、図１６及び図１７に示すように、シールド電極１３０やゲート電極１２６を形成した後に、ｎ＋型ソース領域１１８及びｐ＋型コンタクト領域１２０を形成するようにしてもよい。また、例えば、図１８及び図１９に示すように、シールド電極１３０やゲート電極１２６を形成した後に、ｎ＋型ソース領域１１８、ｐ型ベー

ス領域１１６及びｐ＋型コンタクト領域１２０を形成するようにしてもよい。

符号の説明

[0064] １００，１００ａ，１００ｂ，１０１，１０２，１０３，１０４，１０５，１０６，１０７…半導体装置、１１０…半導体基体、１１２…ｎ＋型ドレイン領域、１１４…ｎ－型ドリフト領域、１１６…ｐ型ベース領域、１１８…ｎ＋型ソース領域、１２０…ｐ＋型コンタクト領域、１２２…トレンチ、１２４…ゲート絶縁膜、１２６…ゲート電極、１２８…電気的絶縁領域、１３０…シールド電極、１３０ａ…高抵抗領域、１３０ｂ…低抵抗領域、１３２…層間絶縁膜、１３４…ソース電極、１３６…ドレイン電極、１３８…開口部、Ｍ１，Ｍ２，Ｍ３，Ｍ４，Ｍ５，Ｍ６，Ｍ７，Ｍ８，Ｍ９，Ｍ１０…マスク

請求の範囲

[請求項1] 第１導電型のドレイン領域、前記ドレイン領域に隣接した第１導電型のドリフト領域、前記ドリフト領域に隣接した第２導電型のベース領域、及び、前記ベース領域に隣接した第１導電型のソース領域を含む半導体基体と、

前記半導体基体内に形成され、前記ドリフト領域に隣接した底、及び、前記ベース領域及び前記ドリフト領域に隣接した側壁を有し、平面的に見てストライプ状に形成されたトレンチと、

前記トレンチ内に配設され、かつ、前記側壁の部分でゲート絶縁膜を介して前記ベース領域と対向するゲート電極と、

前記トレンチ内に配設され、かつ、前記ゲート電極と前記トレンチの前記底との間に位置するシールド電極と、

前記ゲート電極と前記シールド電極との間に拡がり、さらに、前記トレンチの前記側壁及び前記底に沿って拡がって前記側壁及び前記底から前記シールド電極を離隔させる、前記トレンチ内における電気的絶縁領域と、

前記半導体基体の上方に形成され、前記ソース領域と前記シールド電極とに電気的に接続されたソース電極と、

前記ドレイン領域に隣接して形成されたドレイン電極と、を備える半導体装置であって、

前記シールド電極は、前記ドレイン領域側に位置する高抵抗領域、及び、前記ゲート電極側に位置する低抵抗領域を有することを特徴とする半導体装置。

[請求項2] 請求項１に記載の半導体装置において、

前記高抵抗領域及び前記低抵抗領域はともに不純物を含有する同一の半導体材料からなり、前記低抵抗領域の不純物濃度は前記高抵抗領域の不純物濃度よりも高いことを特徴とする半導体装置。

[請求項3] 請求項１に記載の半導体装置において、

前記高抵抗領域及び前記低抵抗領域はそれぞれ異なる材料からなり、前記低抵抗領域を構成する材料の電気抵抗率は前記高抵抗領域を構成する材料の電気抵抗率よりも低いことを特徴とする半導体装置。

[請求項4] 請求項１に記載の半導体装置において、

前記高抵抗領域及び前記低抵抗領域はそれぞれ同一の材料からなり、前記シールド電極のストライプ長手方向に直交する平面で切断したときの前記低抵抗領域の断面積は、前記シールド電極の長手方向に直交する平面で切断したときの前記高抵抗領域の断面積よりも大きいことを特徴とする半導体装置。

[請求項5] 請求項１～４のいずれかに記載の半導体装置において、

前記高抵抗領域及び前記低抵抗領域は、互いに接する位置に位置することを特徴とする半導体装置。

[請求項6] 請求項１～４のいずれかに記載の半導体装置において、

前記高抵抗領域及び前記低抵抗領域は、前記電気的絶縁領域を介して互いに離隔する位置に位置することを特徴とする半導体装置。

[請求項7] 請求項６に記載の半導体装置において、

前記電気的絶縁領域のうち前記高抵抗領域と前記低抵抗領域との間に挟まれている電気的絶縁領域は部分的に開口部を有し、

前記高抵抗領域及び前記低抵抗領域は、前記開口部を介して部分的に接していることを特徴とする半導体装置。

[請求項8] 請求項２又は３に記載の半導体装置において、

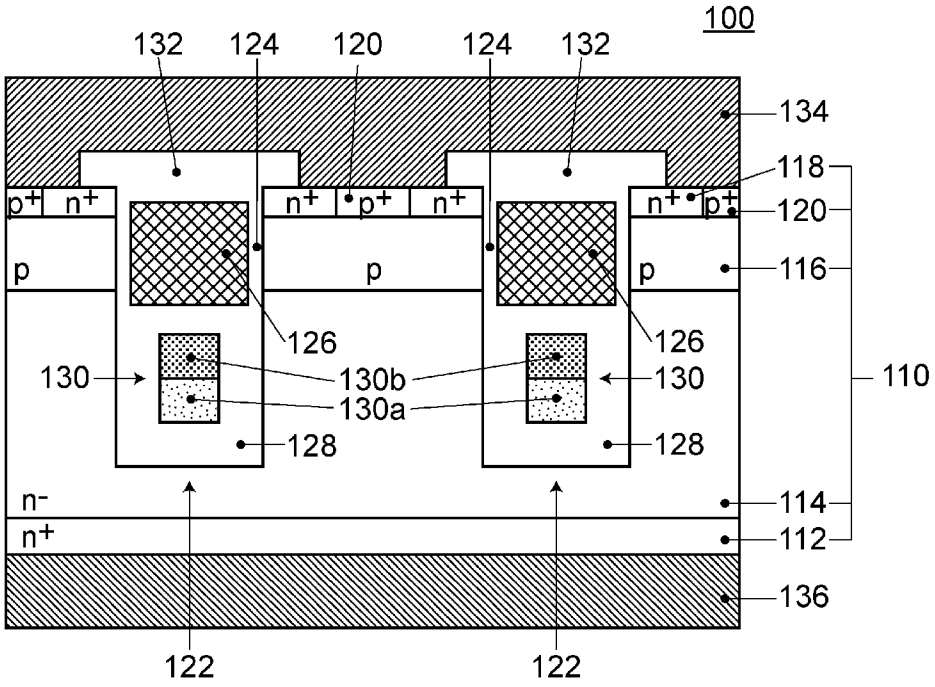
前記低抵抗領域は前記高抵抗領域よりも薄いことを特徴とする半導体装置。

[請求項9] 請求項２又は３に記載の半導体装置において、

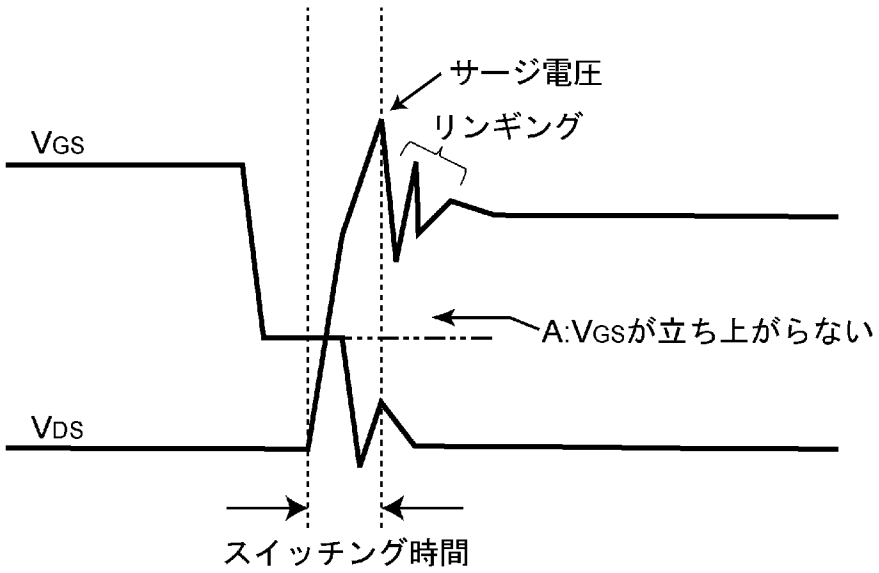
前記高抵抗領域は前記低抵抗領域よりも薄いことを特徴とする半導体装置。

[図1]

(a)

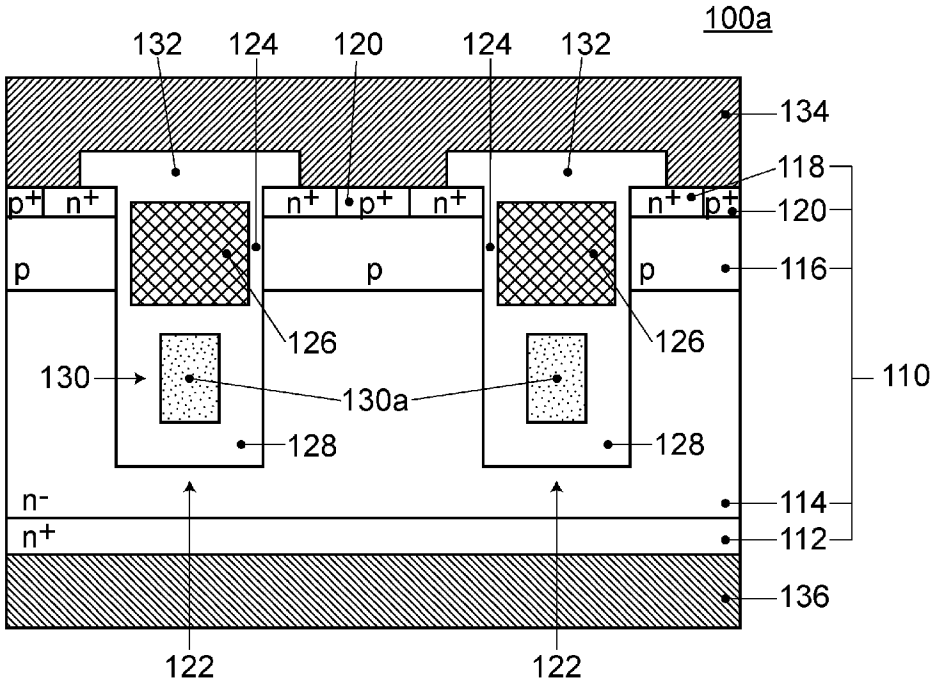

100
132
124
120
124
132
134
118
120
116
110
126
126
130
130b
130a
130
128
128
114
112
136
122
122
p+
n+
p
n-

(b)

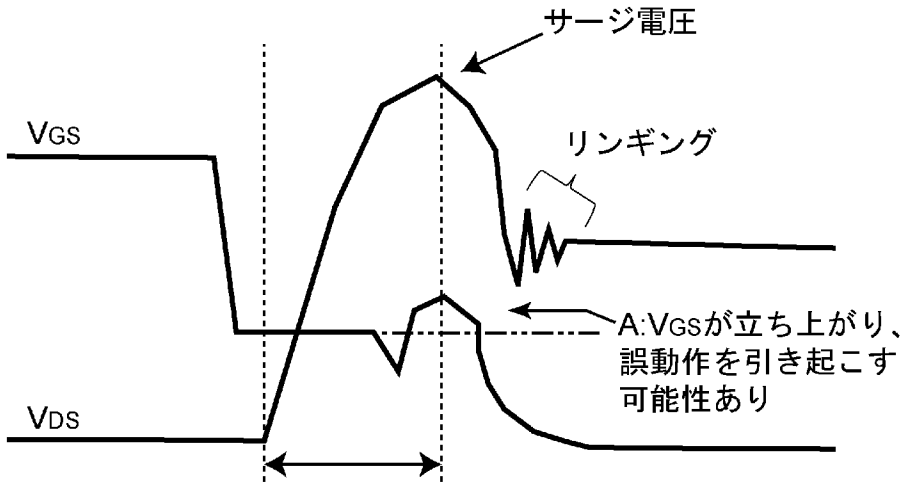

サージ電圧
リンギング
VGS
A:VGSが立ち上がらない
VDS
スイッチング時間

[図2]

(a)



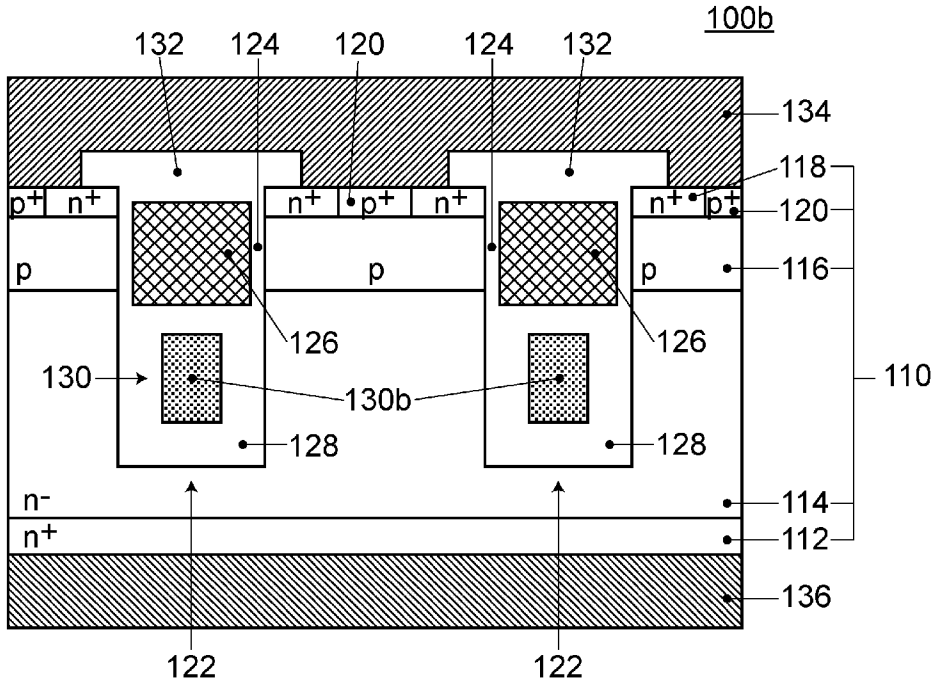
(b)



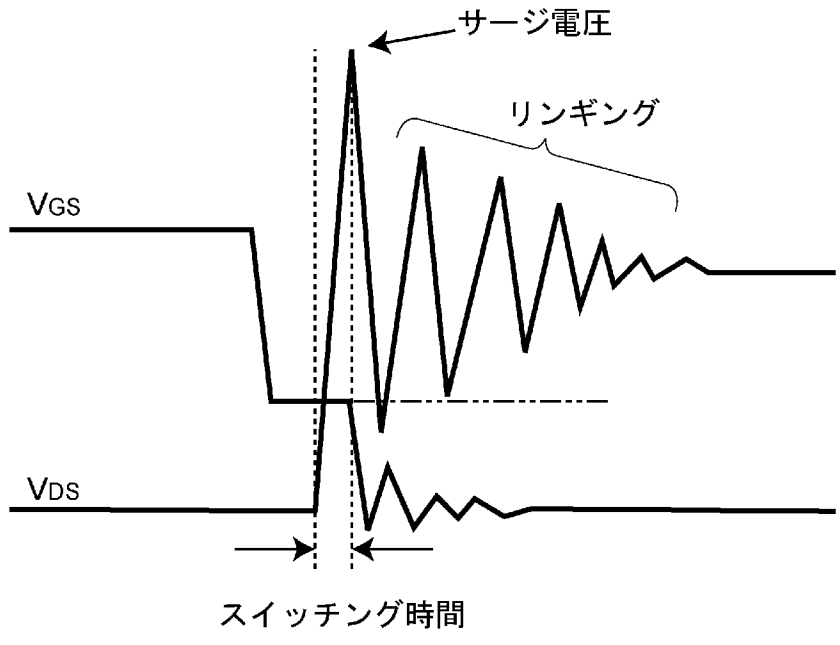
スイッチング時間

[図3]

(a)

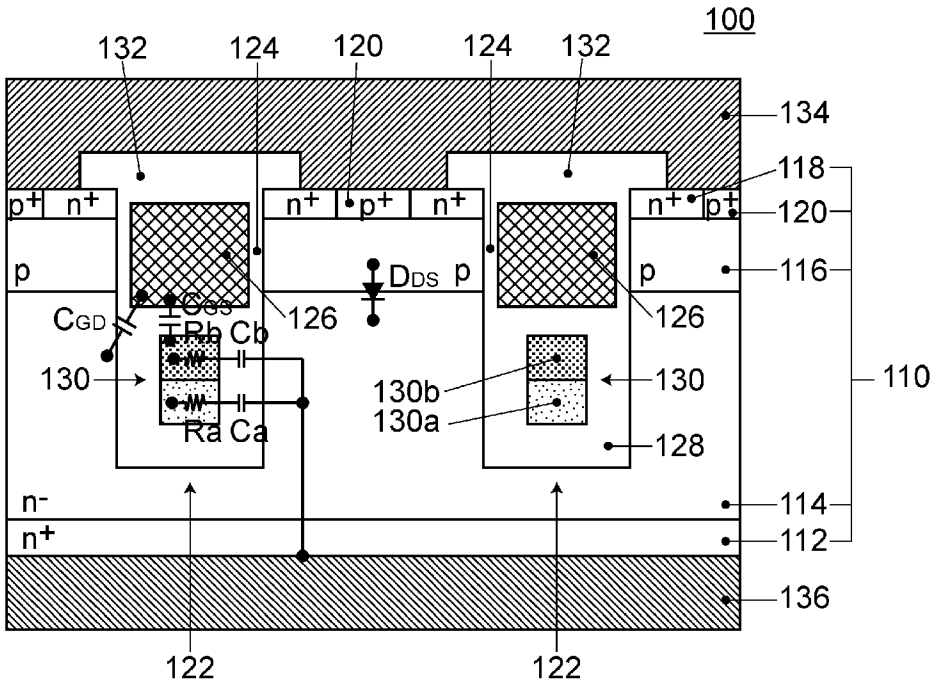

100b
132
124
120
124
132
134
118
120
116
110
114
112
136
126
126
130
130b
128
128
122
122
p+
n+
n+
p+
n+
n+
p+
p
p
p
n-
n+

(b)

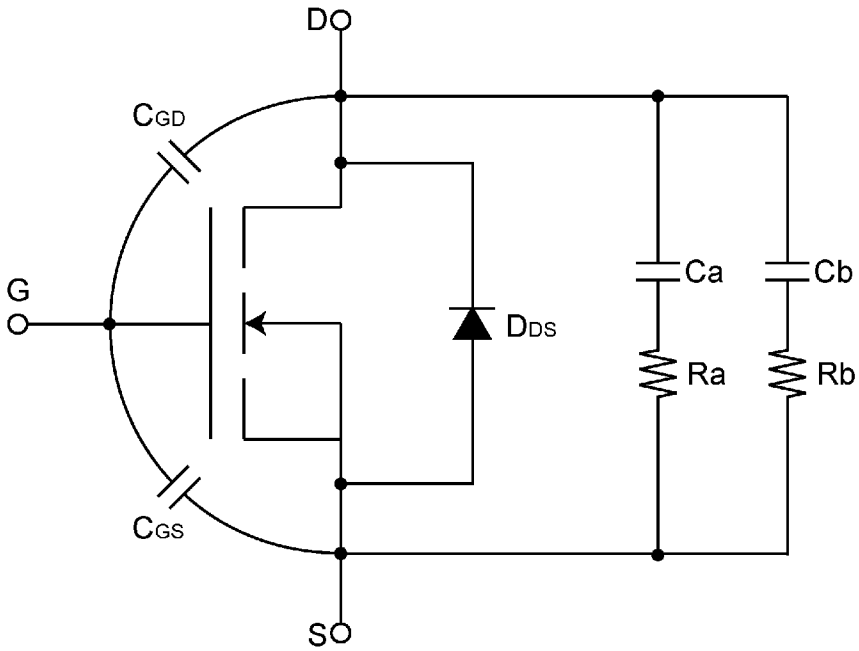

サージ電圧
リンギング
VGS
VDS
スイッチング時間

[図4]

(a)

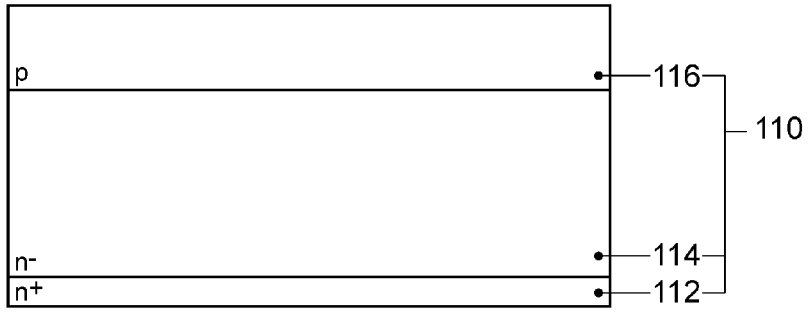

100
132
124
120
124
132
134
118
120
116
110
p+
n+
p
n+
p+
n+
p
p
DDS
CGD
CGS
Rb
Cb
Ra
Ca
126
126
130
130b
130a
130
128
n-
n+
114
112
136
122
122

(b)

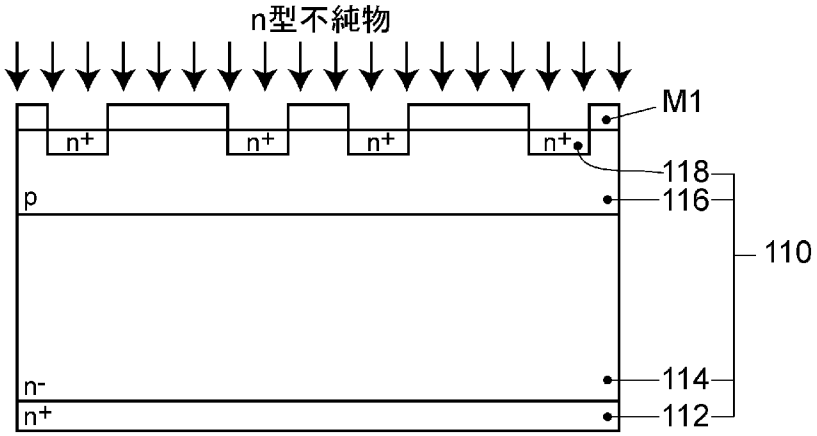

D
CGD
G
DDS
Ca
Cb
Ra
Rb
CGS
S

[図5]

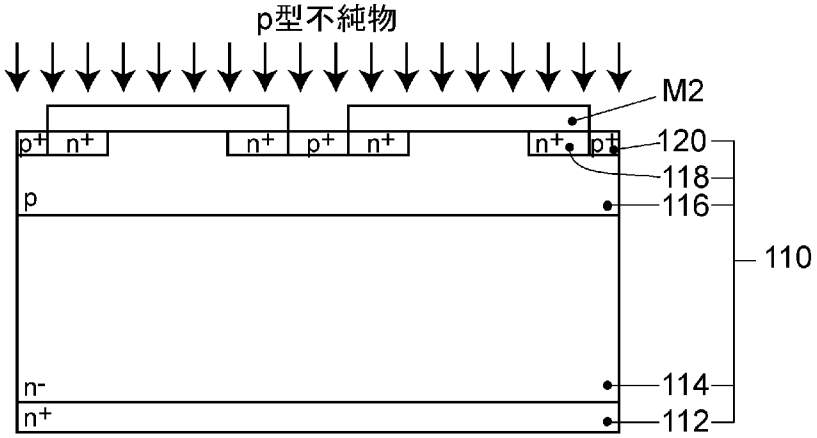
(a)


p
116
110
n-
114
n+
112

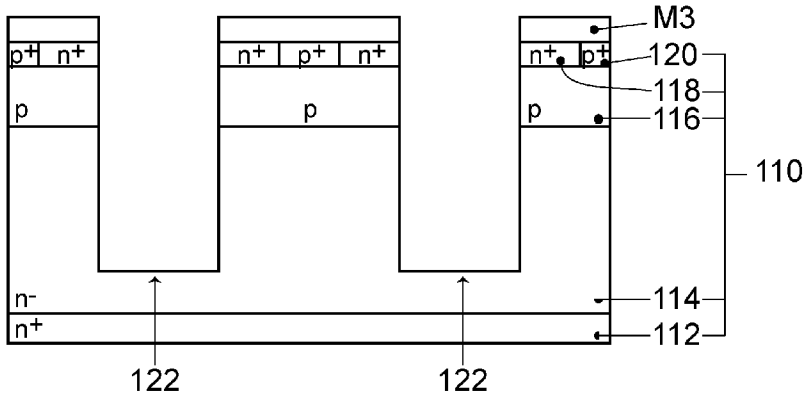
(b)


n型不純物
M1
n+
n+
n+
n+
118
p
116
110
n-
114
n+
112

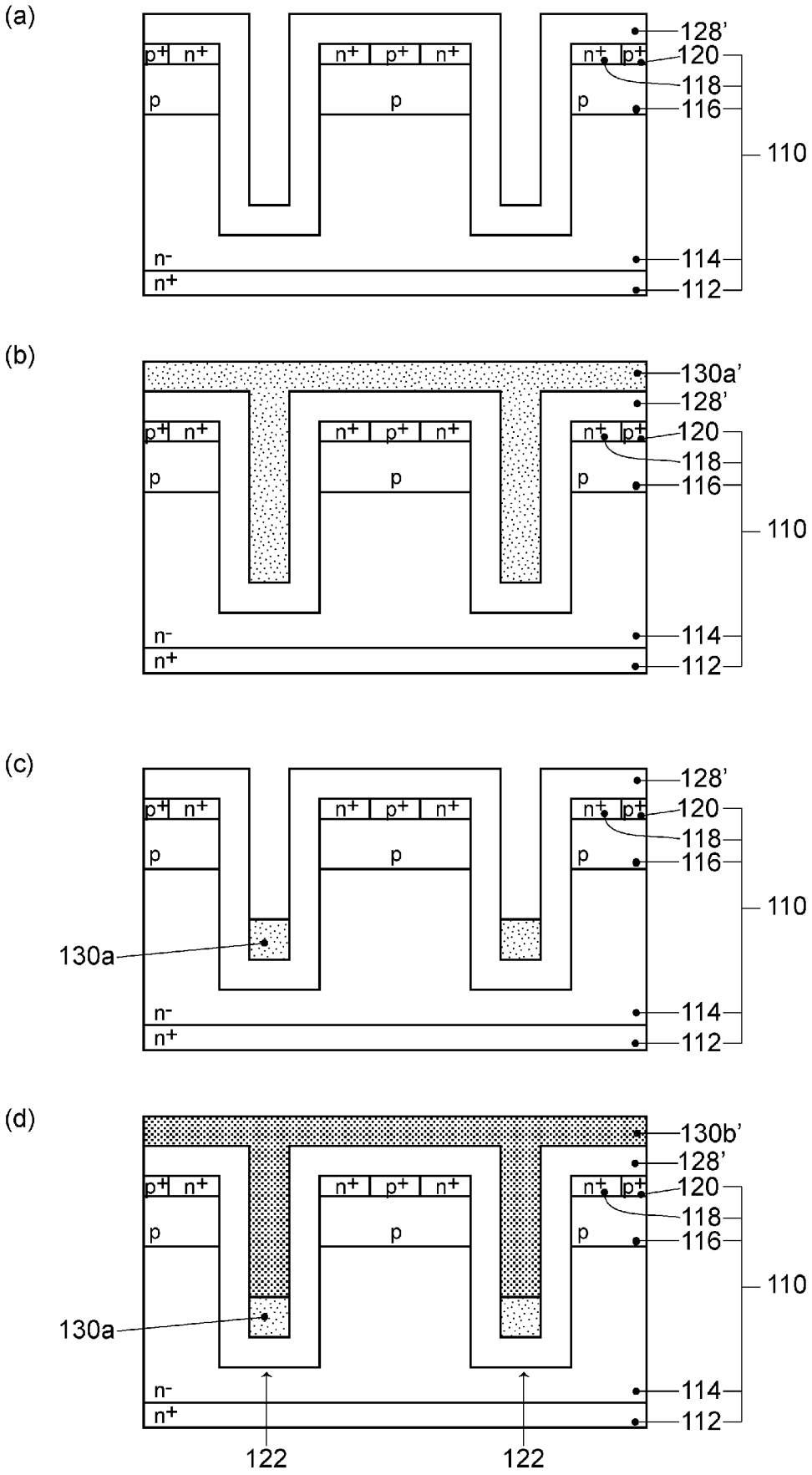
(c)


p型不純物
M2
p+
n+
n+
p+
n+
n+
p+
120
118
p
116
110
n-
114
n+
112

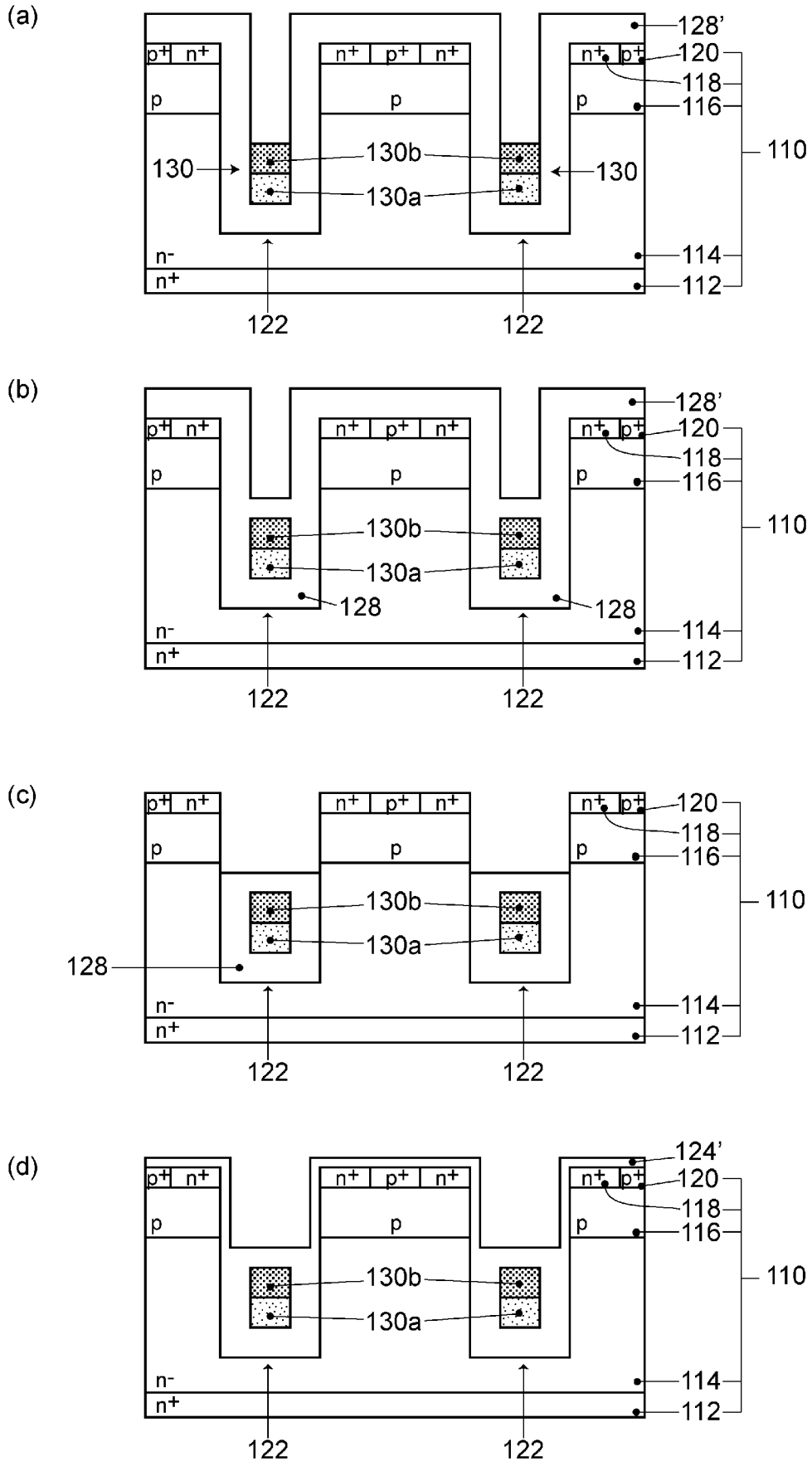
(d)


M3
p+
n+
n+
p+
n+
n+
p+
120
118
p
p
p
116
110
n-
114
n+
112
122
122

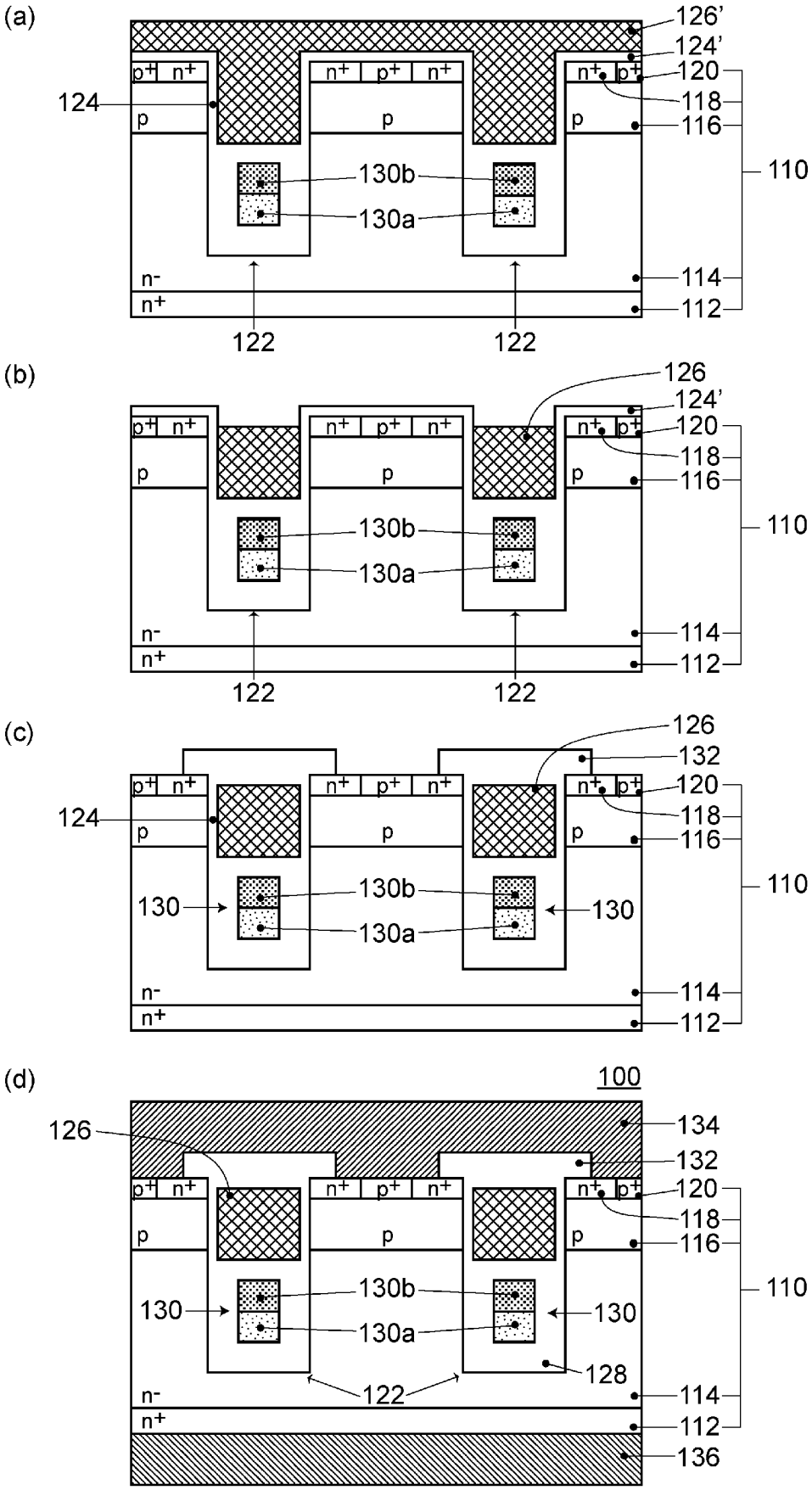
[図6]


(a)
128'
120
118
116
110
114
112
p+
n+
p
n-
(b)
130a'
128'
120
118
116
110
114
112
(c)
130a
128'
120
118
116
110
114
112
(d)
130b'
128'
120
118
116
110
130a
114
112
122
122

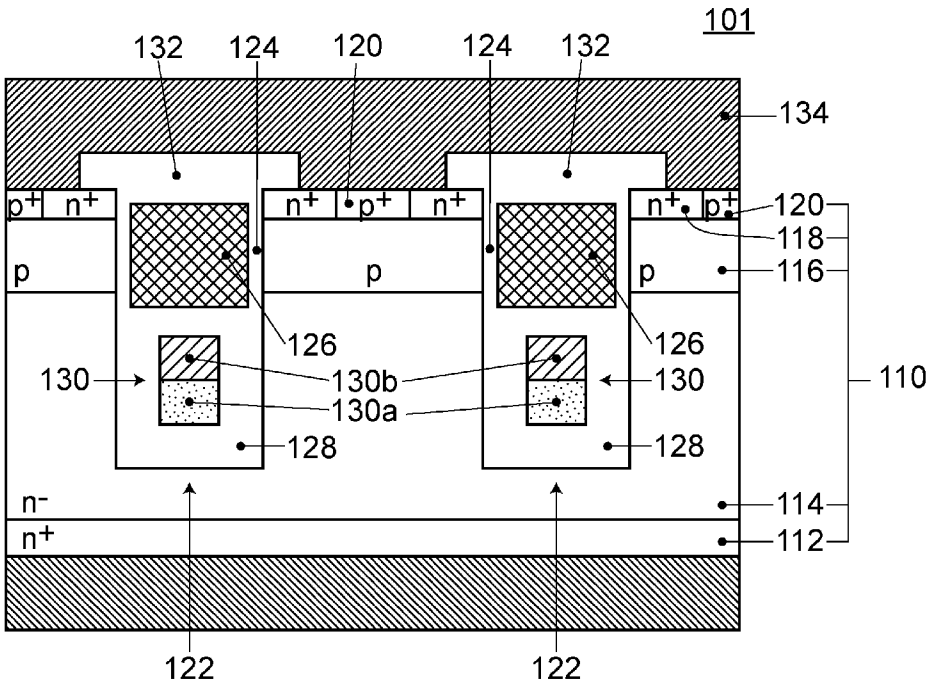
[図7]


(a)
128'
120
118
116
110
130
130b
130a
130
114
112
122
122
(b)
128'
120
118
116
110
130b
130a
128
128
114
112
122
122
(c)
120
118
116
110
130b
130a
128
114
112
122
122
(d)
124'
120
118
116
110
130b
130a
114
112
122
122
p+
n+
p
n-

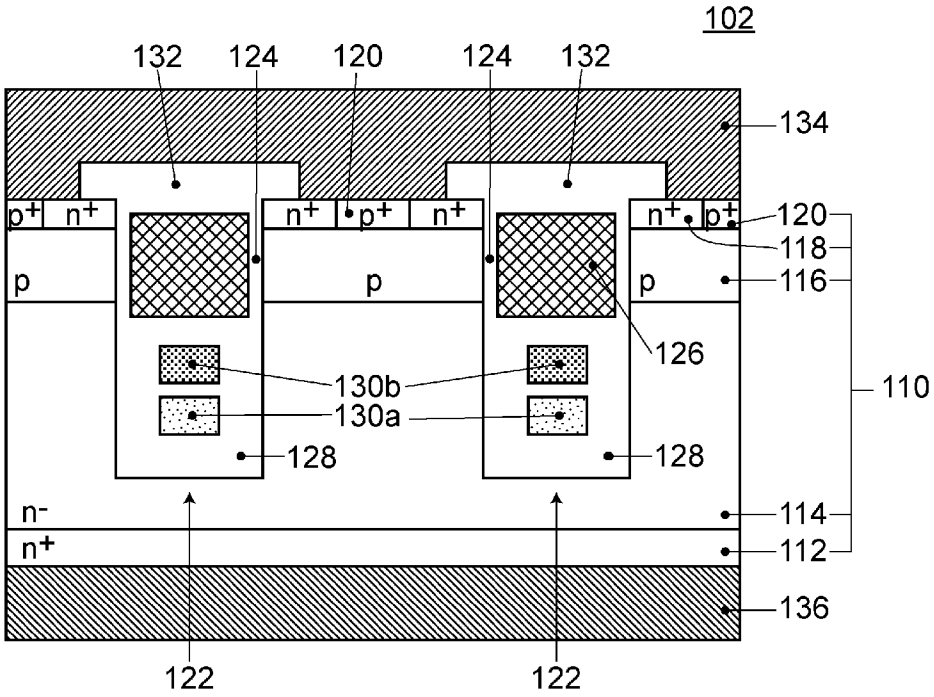
[図8]


(a)
126'
124'
120
118
116
110
124
130b
130a
114
112
122
122
(b)
126
124'
120
118
116
110
130b
130a
114
112
122
122
(c)
126
132
120
118
116
110
124
130
130b
130a
130
114
112
(d)
100
126
134
132
120
118
116
110
130
130b
130a
130
128
122
114
112
136

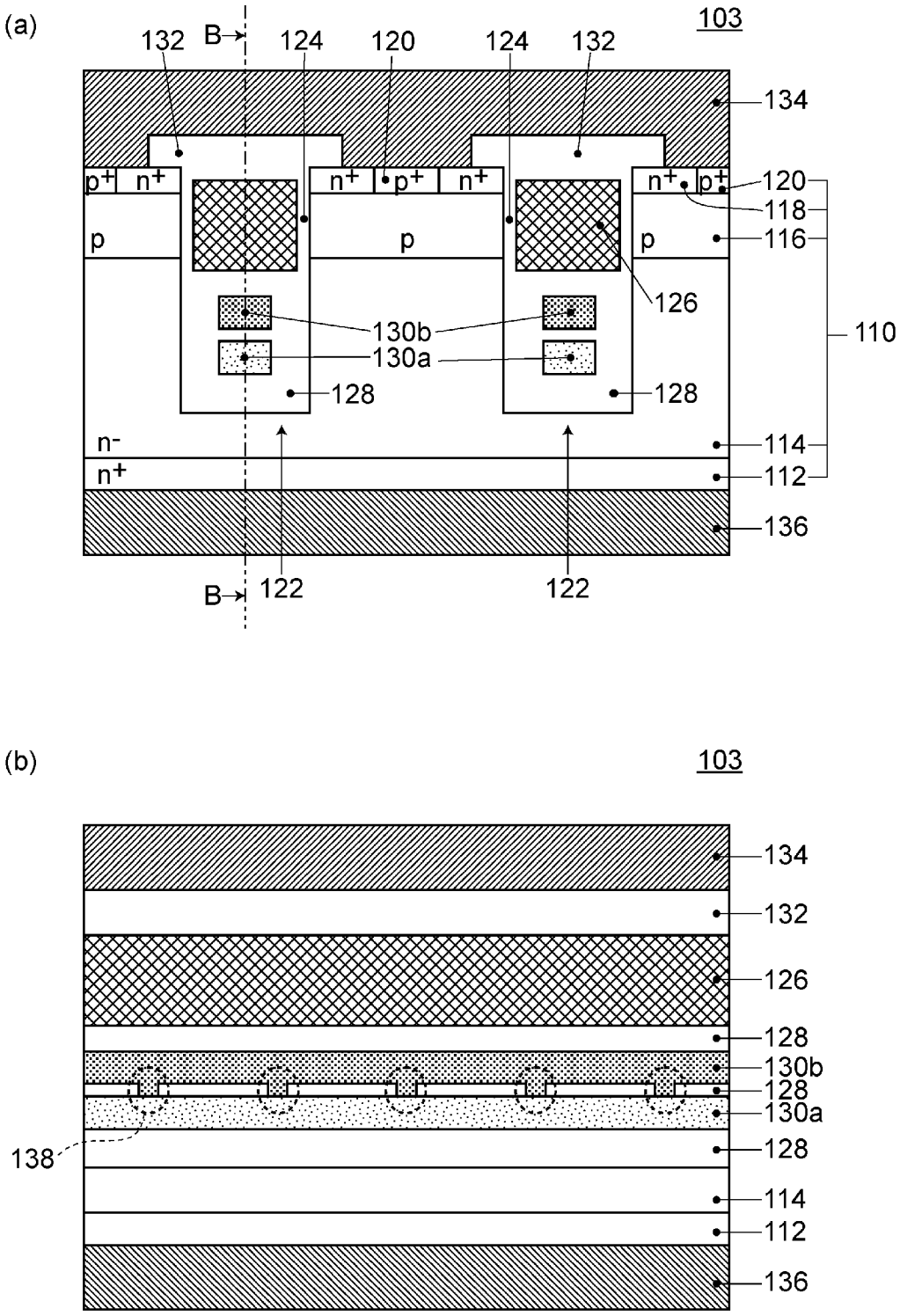
[図9]


101
132
124
120
124
132
134
p+
n+
n+
p+
n+
n+
p+
120
118
p
p
p
116
126
126
130
130b
130
110
130a
128
128
n-
114
n+
112
122
122

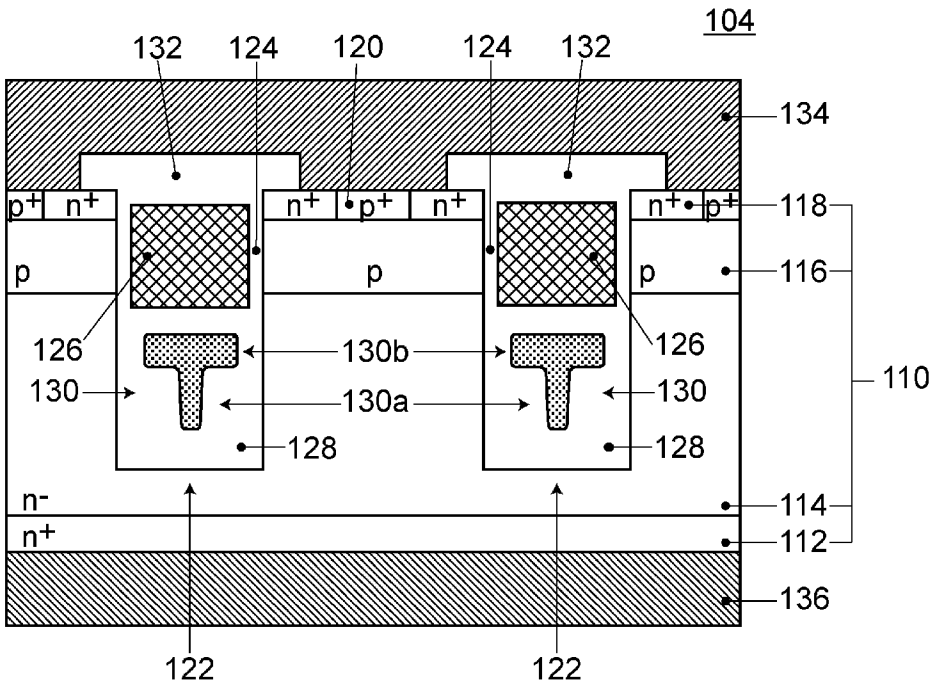
[図10]


102
132
124
120
124
132
134
p+
n+
n+
p+
n+
n+
p+
120
118
p
p
p
116
126
130b
110
130a
128
128
n-
114
n+
112
136
122
122

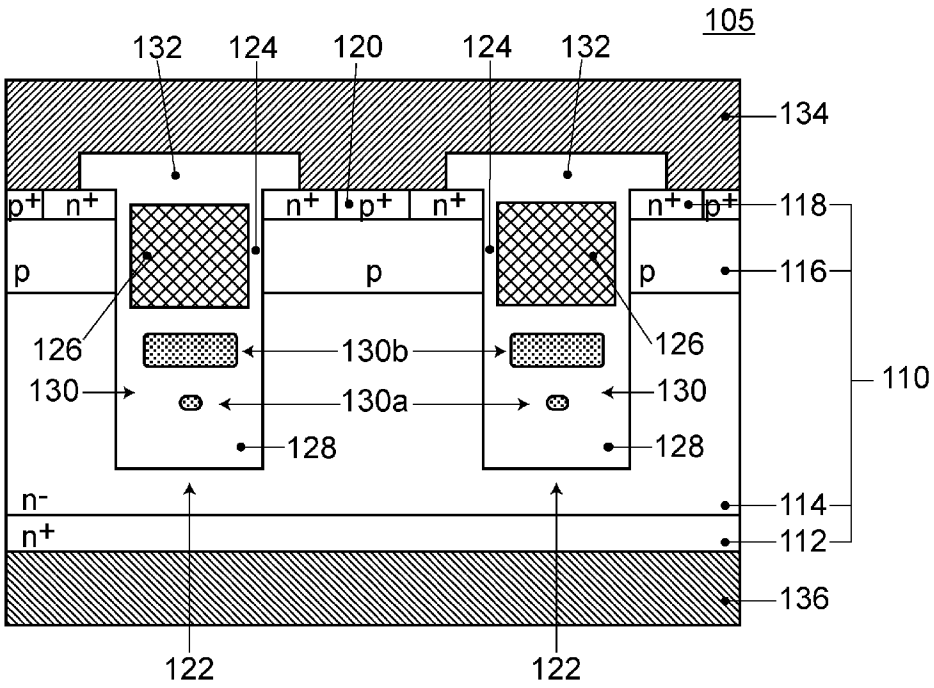
[図11]


(a)
103
132
B
124
120
124
132
134
p+
n+
n+
p+
n+
n+
p+
120
118
p
p
p
116
126
130b
130a
110
128
128
n-
114
n+
112
136
B
122
122
(b)
103
134
132
126
128
130b
128
130a
138
128
114
112
136

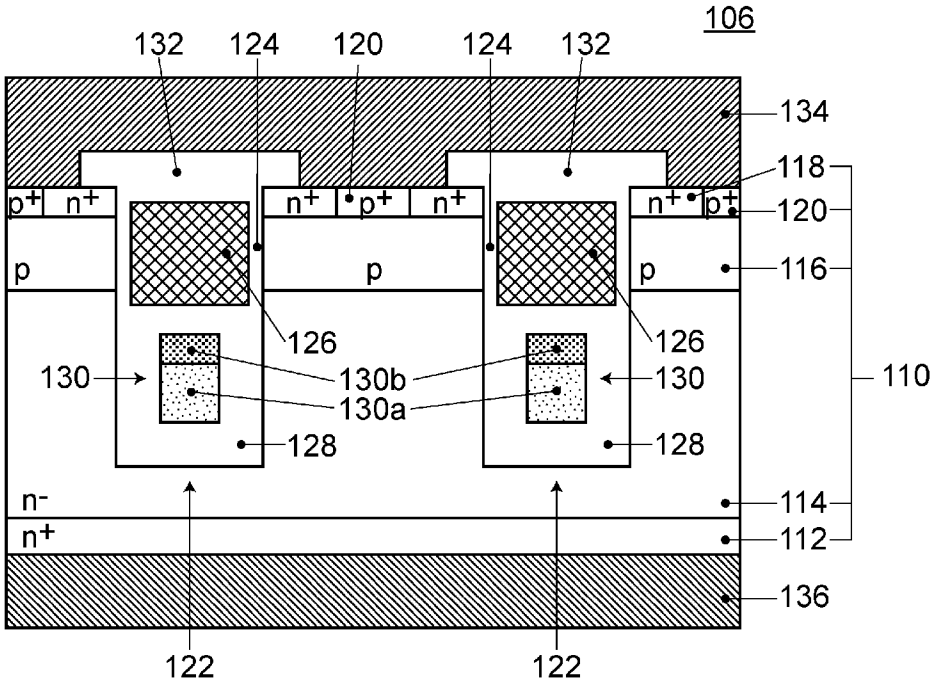
[図12]


104
132
124
120
124
132
134
p+
n+
n+
p+
n+
n+
p+
118
p
p
p
116
126
130b
126
110
130
130a
130
128
128
n-
114
n+
112
136
122
122

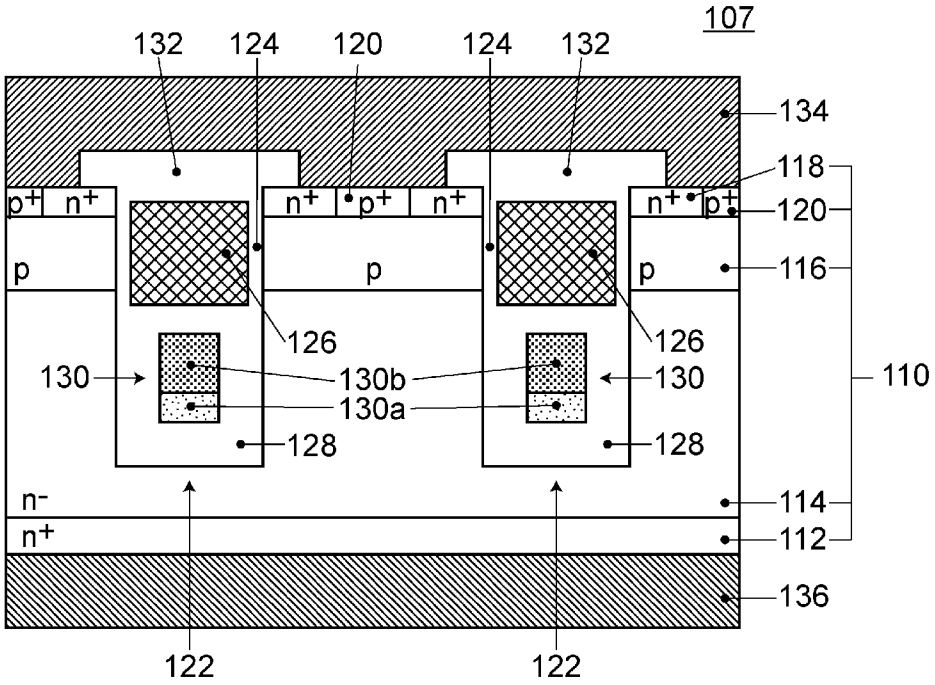
[図13]


105
132
124
120
124
132
134
p+
n+
n+
p+
n+
n+
p+
118
p
p
p
116
126
130b
126
110
130
130a
130
128
128
n-
114
n+
112
136
122
122

[図14]

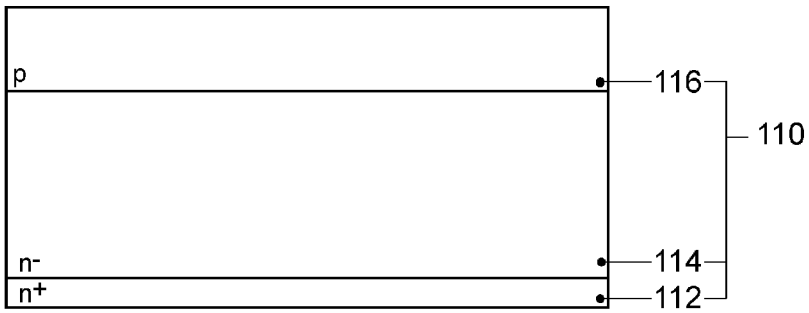

106
132
124
120
124
132
134
118
120
116
110
126
126
130
130b
130a
130
128
128
114
112
136
122
122
p+
n+
p

[図15]

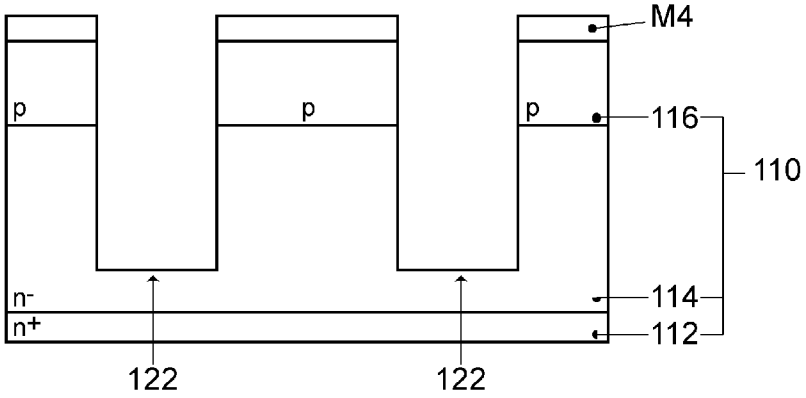

107
132
124
120
124
132
134
118
120
116
110
126
126
130
130b
130a
130
128
128
114
112
136
122
122
p+
n+
p

[図16]

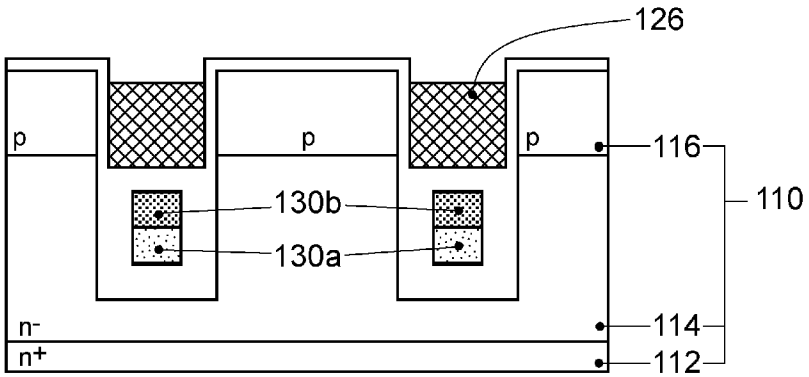
(a)


p
116
110
n-
114
n+
112

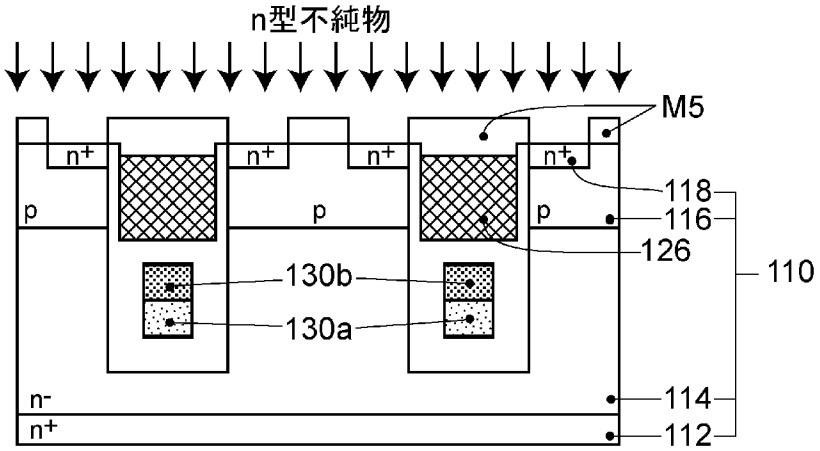
(b)


M4
p
p
p
116
110
n-
114
n+
112
122
122

(c)

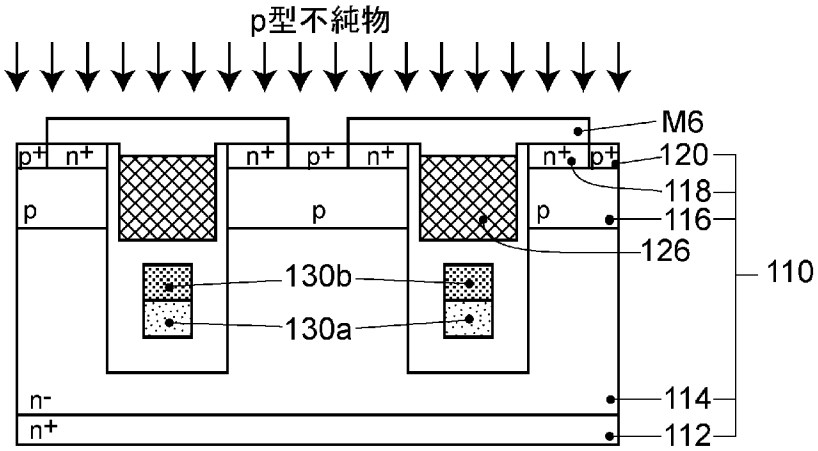

126
p
p
p
116
130b
110
130a
n-
114
n+
112

(d)

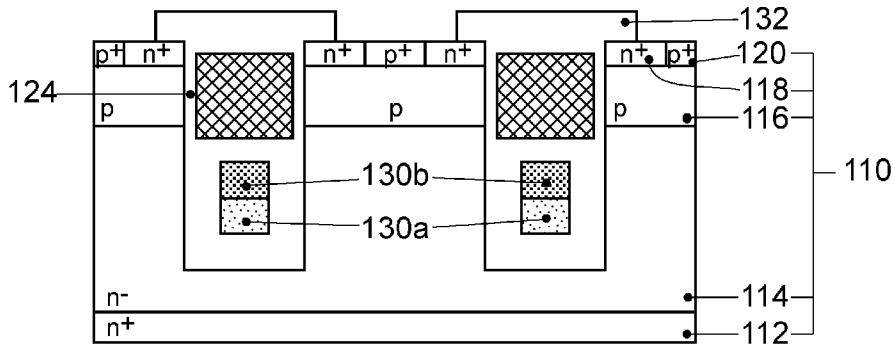

n型不純物
M5
n+
n+
n+
n+
118
p
p
p
116
126
130b
110
130a
n-
114
n+
112

[図17]

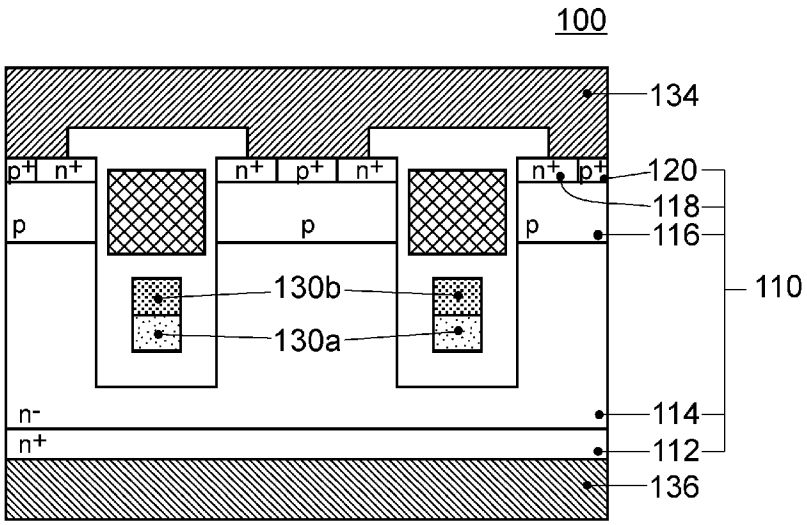
(a)


p型不純物
M6
120
118
116
126
110
130b
130a
114
112
p+
n+
p
n-

(b)

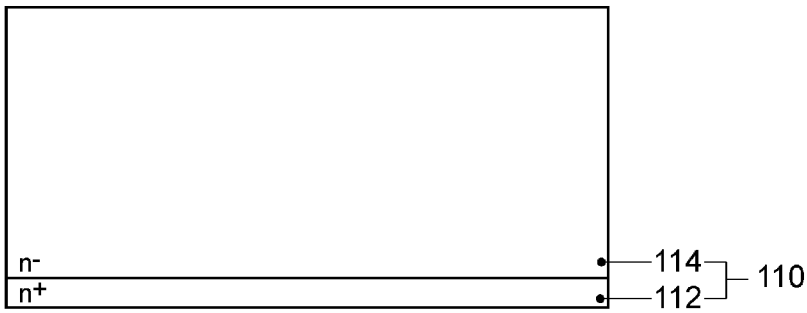

132
120
118
116
124
110
130b
130a
114
112
p+
n+
p
n-

(c)

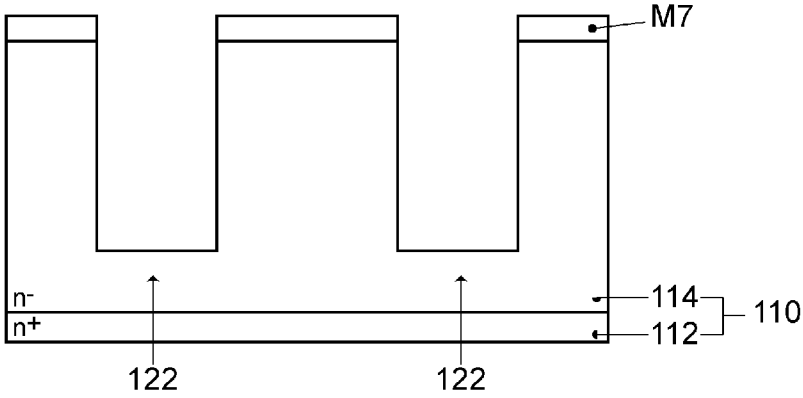

100
134
120
118
116
110
130b
130a
114
112
136
p+
n+
p
n-

[図18]

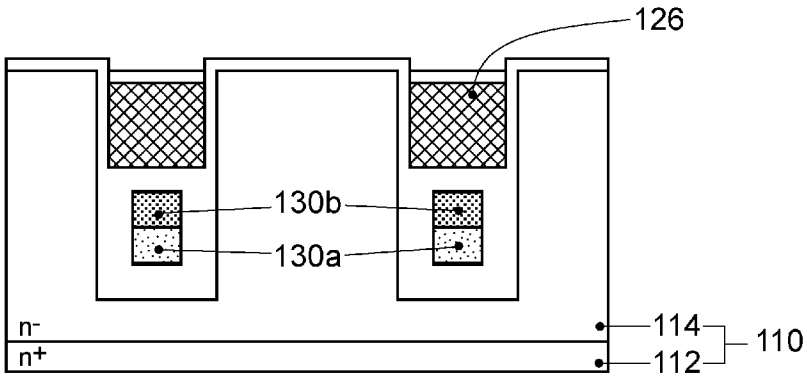
(a)


n-
n+
114
112
110

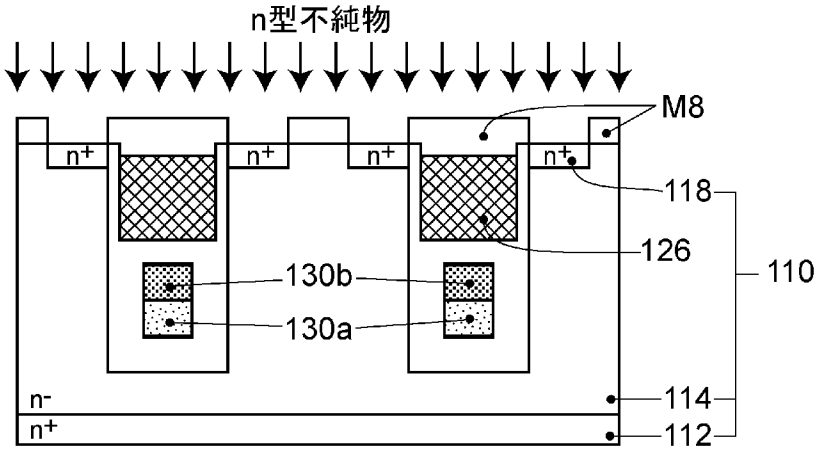
(b)


M7
n-
n+
114
112
110
122
122

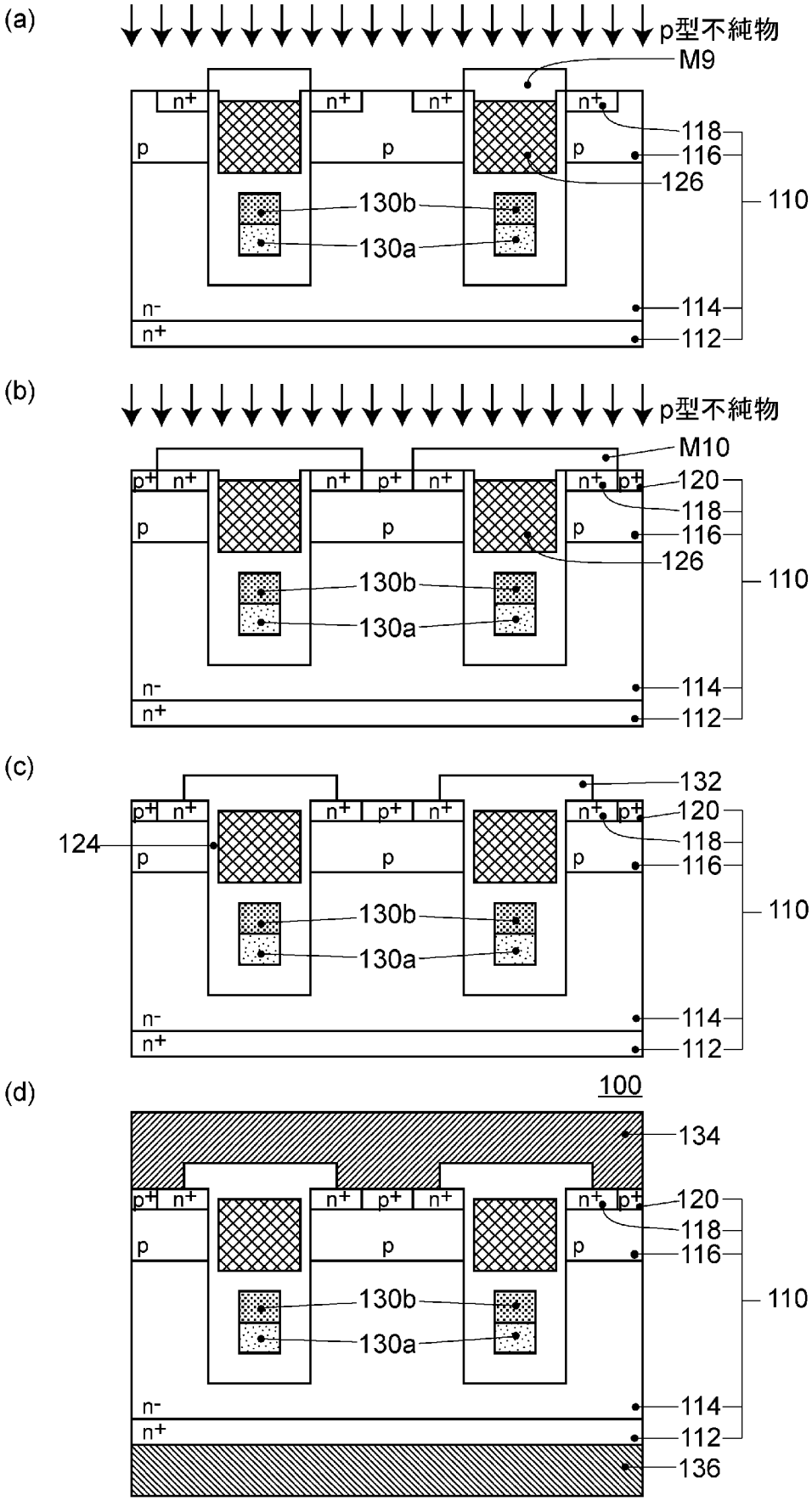
(c)


126
130b
130a
n-
n+
114
112
110

(d)

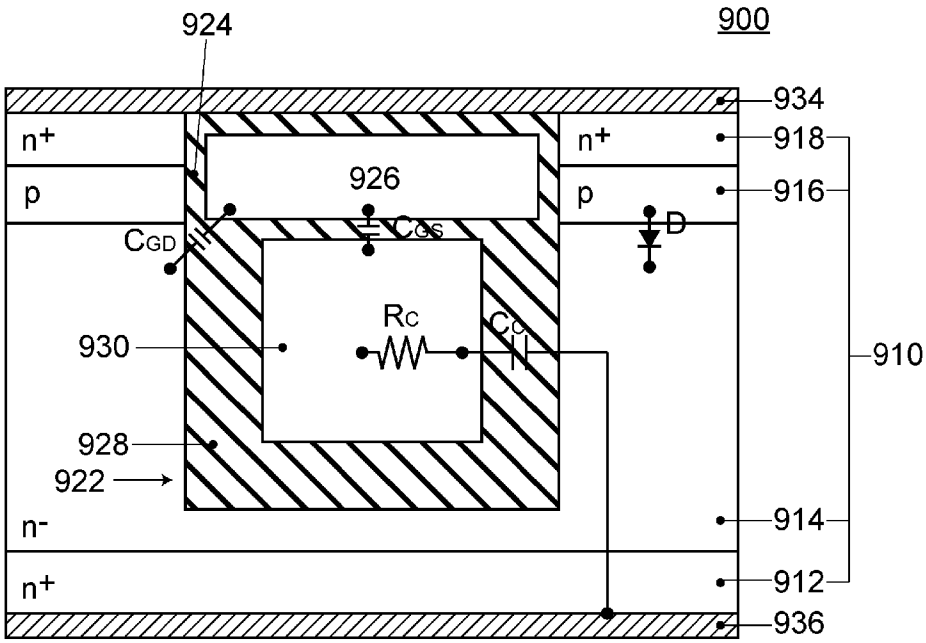

n型不純物
M8
n+
n+
n+
n+
118
126
130b
130a
110
n-
n+
114
112

[図19]

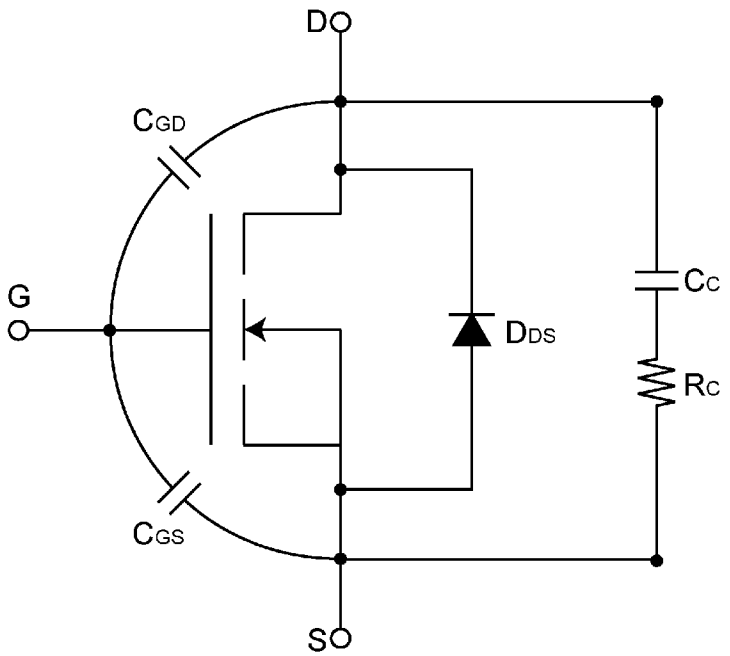

(a)
p型不純物
M9
n+
p
118
116
126
130b
130a
110
n-
114
112
(b)
p型不純物
M10
p+
120
(c)
132
124
(d)
100
134
136

[図20]

(a)


924
900
934
n+
n+
918
926
p
p
916
CGD
CGS
D
RC
CC
930
910
928
922
n-
914
n+
912
936

(b)


D
CGD
G
DDS
CC
RC
CGS
S

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/054879

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015
Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2012-204529 A (Toshiba Corp.), 22 October 2012 (22.10.2012), paragraphs [0009] to [0025], [0042], [0045], [0057] to [0059]; fig. 9 & US 8541834 B2 & CN 102694014 A	1,4-5 2-3,6-9
X A	JP 2012-204395 A (Toshiba Corp.), 22 October 2012 (22.10.2012), paragraphs [0010] to [0020]; fig. 1 & US 8723253 B2 & CN 102694009 A	1,4-5 2-3,6-9
A	DE 102004024661 A1 (INFINEON TECHNOLOGIES AG), 15 December 2005 (15.12.2005), paragraphs [0028] to [0073]; fig. 1 to 14 (Family: none)	1

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
05 March 2015 (05.03.15)	24 March 2015 (24.03.15)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 2009)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１５／０５４８７９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１５年
日本国実用新案登録公報	１９９６－２０１５年
日本国登録実用新案公報	１９９４－２０１５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X A	JP 2012-204529 A (株式会社東芝) 2012.10.22, 段落[0009]-[0025],[0042],[0045],[0057]-[0059],図 9 & US 8541834 B2 & CN 102694014 A	1, 4-5 2-3, 6-9
X A	JP 2012-204395 A (株式会社東芝) 2012.10.22, 段落[0010]-[0020], 図 1 & US 8723253 B2 & CN 102694009 A	1, 4-5 2-3, 6-9
A	DE 102004024661 A1 (INFINEON TECHNOLOGIES AG) 2005.12.15, 段落[0028]-[0073],FIGS.1-14 (ファミリーなし)	1

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０５．０３．２０１５	２４．０３．２０１５

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　４６８８
大橋　達也
電話番号　０３－３５８１－１１０１　内線　３５１６