



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2017년02월23일  
(11) 등록번호 10-1709878  
(24) 등록일자 2017년02월17일

- (51) 국제특허분류(Int. Cl.)  
H01L 27/15 (2006.01) H01L 33/00 (2010.01)  
H01L 33/38 (2010.01) H01L 33/62 (2010.01)
- (52) CPC특허분류  
H01L 27/156 (2013.01)  
H01L 33/0095 (2013.01)
- (21) 출원번호 10-2015-7017349
- (22) 출원일자(국제) 2013년12월04일  
심사청구일자 2015년06월29일
- (85) 번역문제출일자 2015년06월29일
- (65) 공개번호 10-2015-0090231
- (43) 공개일자 2015년08월05일
- (86) 국제출원번호 PCT/US2013/073055
- (87) 국제공개번호 WO 2014/089175  
국제공개일자 2014년06월12일
- (30) 우선권주장  
13/708,526 2012년12월07일 미국(US)
- (56) 선행기술조사문헌  
WO2010146783 A1  
JP2011507234 A

- (73) 특허권자  
마이크론 테크놀로지, 인크  
미국, 아이다호, 보이세, 사우스 페더럴 웨이 8000
- (72) 발명자  
오드노블류도프, 블라디미르  
미국, 아이다호 83616, 이글, 사우스 윌론 우드웨이 1363  
슈베르트, 마틴, 에프.  
미국, 아이다호 83716, 보이세, 사우스 글로브 시어터 애비뉴 3914
- (74) 대리인  
한양특허법인

전체 청구항 수 : 총 27 항

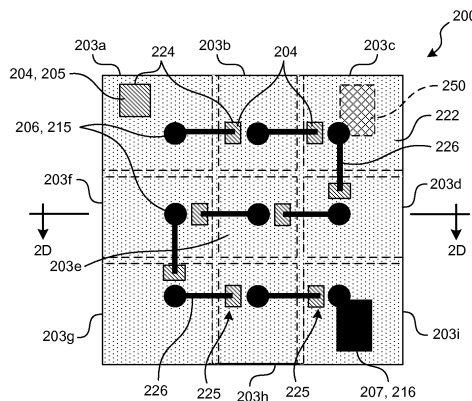
심사관 : 박성호

(54) 발명의 명칭 매립 콘택트를 갖는 수직 솔리드-스테이트 트랜스듀서 및 고전압 솔리드-스테이트 트랜스듀서 및 연관된 시스템 및 방법

(57) 요약

매립 콘택트를 갖는 솔리드-스테이트 트랜스듀서("SST") 및 수직 고전압 SST가 본 명세서에 개시된다. 특정 실시예에 따르는 SST 다이는 트랜스듀서 구조물의 제 1 면에 제 1 반도체 물질, 및 트랜스듀서 구조물의 제 2 면에 제 2 반도체 물질을 갖는 트랜스듀서 구조물을 포함할 수 있다. SST는 제 1 면에 위치하며 제 1 반도체 물질에 전기적으로 연결된 복수의 제 1 콘택트, 및 제 1 면에서부터 제 2 반도체 물질로 뻗어 있으며 제 2 반도체 물질에 전기적으로 연결된 복수의 제 2 콘택트를 더 포함할 수 있다. 인터커넥트가 적어도 하나의 제 1 콘택트 및 하나의 제 2 콘택트 사이에 형성될 수 있다. 상기 인터커넥트는 복수의 패키지 물질로 덮일 수 있다.

대표도 - 도2c



(52) CPC특허분류

*H01L 33/382* (2013.01)

*H01L 33/62* (2013.01)

*H01L 2224/73265* (2013.01)

---

**명세서**

**청구범위**

**청구항 1**

솔리드 스테이트 트랜스듀서(solid state transducer)(SST) 다이로서,

제 1 면 및 상기 제 1 면의 반대쪽인 제 2 면, 상기 제 1 면에 제 1 반도체 물질 및 상기 제 2 면에 제 2 반도체 물질을 갖는 트랜스듀서 구조물;

복수의 제 1 콘택트 - 개별 제 1 콘택트가 상기 제 1 반도체 물질에 전기적으로 연결됨 - ;

복수의 제 2 콘택트 - 제 2 콘택트가 제 2 반도체 물질에 전기적으로 연결되고, 제 2 콘택트는 트랜스듀서 구조물의 제 1 면에서 제 2 반도체 물질로 뻗어 있음 - ;

적어도 하나의 제 1 콘택트 및 하나의 제 2 콘택트 사이에 형성된 인터커넥트;

상기 제 1 콘택트, 상기 제2 콘택트, 상기 인터커넥트 상의 배리어 물질; 및

상기 배리어 물질 상의 전도성 물질 - 상기 전도성 물질은 상기 제 1 콘택트 중 하나와 전기적으로 연결된 제 1 외부 단자, 상기 제2 콘택트 중 하나와 전기적으로 연결된 제 2 외부 단자, 및 상기 제 1 및 제 2 외부 단자 각각과 전기적으로 절연되는 열 패드를 포함함 -

를 포함하는, 솔리드 스테이트 트랜스듀서(SST) 다이.

**청구항 2**

제1항에 있어서, 인터커넥트와 제 1 반도체 물질 사이의 유전체 물질을 더 포함하는, 솔리드 스테이트 트랜스듀서(SST) 다이.

**청구항 3**

제1항에 있어서, 제 1 콘택트 및 제 2 콘택트는 매립되어 있으며, 제 1 외부 단자 및 제 2 외부 단자가 전원으로 연결되도록 구성되는, 솔리드 스테이트 트랜스듀서(SST) 다이.

**청구항 4**

제1항에 있어서, 트랜스듀서 구조물은 제 1 면에 제 1 콘택트 및 제 2 콘택트를 갖는 수직 트랜스듀서 구조물이며, SST 다이는 외부 구성요소로 직접 부착되도록 구성되는, 솔리드 스테이트 트랜스듀서(SST) 다이.

**청구항 5**

제1항에 있어서, 상기 트랜스듀서 구조물은 직렬 연결된 복수의 고전압 트랜스듀서 접합부를 포함하는, 솔리드 스테이트 트랜스듀서(SST) 다이.

**청구항 6**

삭제

**청구항 7**

제1항에 있어서, SST 다이는 하나 이상의 개별 제 1 콘택트와 하나 이상의 제 2 콘택트 사이에 복수의 인터커넥트를 포함하는, 솔리드 스테이트 트랜스듀서(SST) 다이.

**청구항 8**

제1항에 있어서,

복수의 접합부, 및

인터커넥트에 연결된 제 3 콘택트 - 상기 제 3 콘택트는 제 2 다이 상의 다른 콘택트로 교차-연결되도록 구성됨 - 를 더 포함하는, 솔리드 스테이트 트랜스듀서(SST) 다이.

**청구항 9**

제1항에 있어서, 인터커넥트는 제 1 반도체 물질 및 제 2 반도체 물질로부터 전기적으로 고립되는, 솔리드 스테이트 트랜스듀서(SST) 다이.

**청구항 10**

제1항에 있어서, 트랜스듀서 구조물은 트랜스듀서 구조물을 제 1 트랜스듀서 접합부 및 제 2 트랜스듀서 접합부로 분리하는 복수의 특징부를 가지며, 제 1 트랜스듀서 접합부는 매립된 제 2 콘택트를 갖고 제 2 트랜스듀서 접합부는 노출된 제 1 콘택트를 가지며, 제 1 트랜스듀서 접합부 상의 매립된 제 2 콘택트와 제 2 트랜스듀서 접합부 상의 노출된 제 1 콘택트 사이에 인터커넥션이 형성되는, 솔리드 스테이트 트랜스듀서(SST) 다이.

**청구항 11**

솔리드 스테이트 트랜스듀서(SST) 웨이퍼로서,

제 1 면에 제 1 반도체 물질, 상기 제 1 면의 반대쪽인 제 2 면에 제 2 반도체 물질, 및 제 1 반도체 물질과 제 2 반도체 물질 사이에 발광 활성 영역을 갖는 트랜스듀서 구조물, 및

트랜스듀서 구조물을 복수의 개별적으로 주소 지정 가능한(addressable) 발광 다이오드(LED) 다이

를 포함하며, 각각의 LED 다이는

제 1 면에서 제 1 반도체 물질로 연결된 제 1 전기 단자,

제 1 면에서 제 2 반도체 물질로 연결된 제 2 전기 단자,

제 1 전기 단자와 제 2 전기 단자 사이에 직렬 연결된 복수의 접합부,

복수의 내부 제 1 콘택트, - 상기 제 1 콘택트 중 하나는 상기 제 1 전기 단자에 전기적으로 연결됨 -

복수의 내부 제 2 콘택트, - 상기 제 2 콘택트 중 하나는 상기 제 2 전기 단자에 전기적으로 연결됨 -

하나 이상의 제 1 콘택트와 제 2 콘택트 사이의 복수의 인터커넥션,

상기 내부 제 1 콘택트, 상기 내부 제 2 콘택트, 및 상기 인터커넥션 상의 배리어 물질; 및

상기 배리어 물질 상의 전도성 물질 - 상기 전도성 물질은

상기 제 1 전기 단자;

상기 제 2 전기 단자; 및

상기 제 1 및 제 2 전기 단자 각각과 전기적으로 절연되는 열 패드를 포함함 -

를 포함하는, 솔리드 스테이트 트랜스듀서(SST) 웨이퍼.

**청구항 12**

제11항에 있어서, 인터커넥션에 연결된 제 3 콘택트를 더 포함하며, 상기 제 3 콘택트는 제 2 다이 상의 다른 콘택트에 교차-연결되도록 구성된, 솔리드 스테이트 트랜스듀서(SST) 웨이퍼.

**청구항 13**

삭제

**청구항 14**

삭제

**청구항 15**

솔리드 스테이트 트랜스듀서(SST) 다이로서,

SST 다이의 제 1 면 상의 제 1 단자,

SST 다이의 제 1 면 상의 제 2 단자,

제 1 단자와 제 2 단자 사이에 직렬 연결된 복수의 SST 접합부,

복수의 매립된 제 1 콘택트 - 개별 SST 접합부 각각은 적어도 하나의 매립된 제 1 콘택트를 포함하며, 상기 매립된 제 1 콘택트 중 하나는 상기 제 1 단자와 전기적으로 연결됨 - ,

복수의 매립된 제 2 콘택트 - 개별 SST 접합부 각각은 적어도 하나의 매립된 제 2 콘택트를 포함하며, 상기 매립된 제 2 콘택트 중 하나는 상기 제 2 단자와 전기적으로 연결됨 - ,

개별 접합부 각각 사이의 복수의 매립된 인터커넥트 - 각각의 매립된 인터커넥트가 적어도 하나의 매립된 제 2 콘택트를 인접한 접합부 상의 적어도 하나의 매립된 제 1 콘택트로 연결함 - ,

상기 매립된 제 1 콘택트, 상기 매립된 제 2 콘택트 및 상기 매립된 인터커넥트 상의 배리어 물질; 및

상기 배리어 물질 상의 전도성 물질; - 상기 전도성 물질은

상기 제 1 단자;

상기 제 2 단자; 및

상기 제 1 및 제 2 단자 각각과 전기적으로 절연되는 열 패드 -

를 포함하는, 솔리드 스테이트 트랜스듀서(SST) 다이.

#### 청구항 16

삭제

#### 청구항 17

제15항에 있어서, 전도성 금속은 구리인, 솔리드 스테이트 트랜스듀서(SST) 다이.

#### 청구항 18

제15항에 있어서, 제 1 단자 및 제 2 단자가 복수의 유전체 경로에 의해 전기적으로 고립되는, 솔리드 스테이트 트랜스듀서(SST) 다이.

#### 청구항 19

고전압 발광 다이오드(high voltage light-emitting diode)(HVLED)를 형성하는 방법으로서, 상기 방법은

제 1 면, 상기 제 1 면의 반대쪽인 제 2 면, 상기 제 1 면에 제 1 반도체 물질, 상기 제 2 면에 제 2 반도체 물질, 및 상기 제 1 반도체 물질과 제 2 반도체 물질 사이의 발광 활성 영역을 갖는 발광 트랜스듀서 구조물을 형성하는 단계,

상기 트랜스듀서 구조물의 제 1 면에 제 1 콘택트를 형성하는 단계 - 상기 제 1 콘택트는 제 1 반도체 물질에 전기적으로 연결됨 - ,

트랜스듀서 구조물과 제 1 콘택트를 복수의 접합부로 분리하는 복수의 특징부를 형성하는 단계,

각각의 상기 접합부 상에 제 2 콘택트를 형성하는 단계 - 상기 제 2 콘택트는 제 2 반도체 물질로 전기적으로 연결되고 트랜스듀서 구조물의 제 1 면에서 제 2 반도체 물질까지 뻗어 있음 - ,

상기 제 1 콘택트 위에 부동태화 물질을 형성하는 단계,

상기 부동태화 물질을 통해 각각의 상기 접합부에서 제 1 콘택트의 적어도 일부분을 노출시키는 단계,

상기 제 2 콘택트와 인접한 상기 접합부 상의 노출된 제 1 콘택트 사이에 복수의 인터커넥트를 형성하는 단계;

상기 트랜스듀서 구조물의 상기 제 1 면 상에 배리어 물질을 증착하는 단계;

상기 배리어 물질 상에 시드 물질을 증착하고, 상기 시드 물질과 상기 배리어 물질을 패터닝하여 상기 부동태화 물질의 하나 또는 다수 부분을 노출시키는 단계; 및

상기 부동태화 물질의 부분을 덮지 않으면서 상기 시드 물질 상에 금속 기관을 증착하는 단계

를 포함하고, 복수의 상기 접합부는 복수의 인터커넥트를 통해 직렬로 전기 연결되는, 고전압 발광 다이오드(HVLED)를 형성하는 방법.

**청구항 20**

제19항에 있어서, 트랜스듀서 구조물을 분리하는 복수의 특징부를 형성하는 단계는 트랜스듀서 구조물에 복수의 메사(mesa)를 에칭하는 단계를 포함하는, 고전압 발광 다이오드(HVLED)를 형성하는 방법.

**청구항 21**

제19항에 있어서, 복수의 인터커넥트 위에 추가 부동태화 부분을 형성하는 단계를 더 포함하는, 고전압 발광 다이오드(HVLED)를 형성하는 방법.

**청구항 22**

제19항에 있어서, 상기 부동태화 물질 및 추가 부동태화 부분은 유전체 물질을 포함하는, 고전압 발광 다이오드(HVLED)를 형성하는 방법.

**청구항 23**

삭제

**청구항 24**

삭제

**청구항 25**

삭제

**청구항 26**

제19항에 있어서, 제 1 콘택트를 형성하는 단계는 반사성 p-금속 콘택트를 형성하는 단계를 포함하는, 고전압 발광 다이오드(HVLED)를 형성하는 방법.

**청구항 27**

직렬로 연결된 복수의 접합부를 갖는 솔리드 스테이트 트랜스듀서(SST) 다이를 형성하는 방법으로서, 상기 방법은

기관 및 상기 기관 상에 트랜스듀서 구조물을 갖는 웨이퍼를 제공하는 단계 - 상기 트랜스듀서 구조물은 제 1면에 제 1 반도체 물질, 상기 제 1면의 반대쪽인 제 2면에 제 2 반도체 물질, 및 트랜스듀서 구조물을 복수의 접합부를 갖는 복수의 개별적으로 주소 지정 가능한 SST 다이로 분할하는 복수의 트렌치를 가짐 - ,

각각의 개별 접합부 상에 제 1 콘택트를 형성하는 단계 - 상기 제 1 콘택트는 제 1 반도체 물질에 전기적으로 연결됨 - ,

각각의 개별 접합부 상에 제 2 반도체 물질에 전기적으로 연결된 제 2 콘택트를 형성하는 단계 - 상기 제 2 콘택트는 트랜스듀서 구조물의 제 1면에서부터 제 2 반도체 물질까지 뻗어 있음 - ,

제 1 접합부 상의 제 2 콘택트와 제 2 접합부 상의 제 1 콘택트 사이에 인터커넥트를 형성하여 제 1 접합부와 제 2 접합부가 인터커넥트를 통해 직렬로 전기 연결되게 하는 단계,

상기 인터커넥트 위에 유전체 물질을 형성하는 단계,

상기 트랜스듀서 구조물의 제 1면 상에 배리어 물질을 증착하는 단계,

상기 제 1면의 배리어 물질 상에 시드 물질을 증착하는 단계, 및

상기 시드 물질 상에 금속 기판을 증착하는 단계  
를 포함하는, 솔리드 스테이트 트랜스듀서(SST) 다이를 형성하는 방법.

**청구항 28**

삭제

**청구항 29**

제27항에 있어서,

상기 유전체 물질의 제 1 부분 및 상기 유전체 물질의 제 2 부분을 노출시키도록 상기 배리어 물질, 상기 시드 물질 및 상기 금속 기판을 패터닝하는 단계 - 각각의 개별적으로 주소 지정 가능한 SST 다이 상에서 상기 제 2 부분은 상기 제 1 부분과 이격되어 있음 -

제 1 외부 단자 및 제 2 외부 단자를 제 1 면 상에 제공하는 단계 - 제 1 부분에 의해 제 1 외부 단자는 SST 다이 상에서 전기적으로 고립되며 제 2 부분에 의해 제 2 외부 단자가 SST 다이 상에서 전기적으로 고립됨 - , 및 복수의 덮인 인터커넥트를 통해 제 1 단자와 제 2 단자 사이에 직렬로 복수의 접합부를 연결하는 단계  
를 더 포함하는, 솔리드 스테이트 트랜스듀서(SST) 다이를 형성하는 방법.

**청구항 30**

제29항에 있어서, 제 1 외부 단자 및 제 2 외부 단자를 외부 구성요소에 전기적으로 연결하는 단계를 더 포함하는, 솔리드 스테이트 트랜스듀서(SST) 다이를 형성하는 방법.

**청구항 31**

제27항에 있어서, 상기 금속 기판을 증착하는 단계는 각각의 개별적으로 주소 지정 가능한 SST 다이의 제 1 면 상에 열 패드를 형성하는 단계를 포함하는, 솔리드 스테이트 트랜스듀서(SST) 다이를 형성하는 방법.

**청구항 32**

제27항에 있어서, 인터커넥트에 전기적으로 연결된 제 3 외부 단자를 제공하는 단계 - 상기 제 3 외부 단자는 제 2 다이 상의 다른 단자로 교차-연결되도록 구성됨 - 를 더 포함하는, 솔리드 스테이트 트랜스듀서(SST) 다이를 형성하는 방법.

**청구항 33**

제27항에 있어서, 다이싱 레인을 따라 개별적으로 주소 지정 가능한 SST 다이를 싱글레이션하는 단계를 더 포함하는, 솔리드 스테이트 트랜스듀서(SST) 다이를 형성하는 방법.

**청구항 34**

고전력 발광 다이오드(high powered light-emitting diode(LED))로서,

제 1 면에서의 제 1 반도체 물질과 상기 제 1 면의 반대쪽인 제 2 면에서의 제 2 반도체 물질 사이에 위치하는 발광 활성 영역을 갖는 발광 트랜스듀서 구조물,

트랜스듀서 구조물의 제 1 면의 제 1 반도체 물질에 전기적으로 연결된 제 1 콘택트,

트랜스듀서 구조물 및 제 1 콘택트를 복수의 접합부로 분리하는 복수의 특징부 - 각각의 접합부는 제 2 반도체 물질에 전기적으로 연결되고 트랜스듀서 구조물의 제 1 면으로부터 발광 활성 영역을 통해 제 2 반도체 물질까지 뻗어 있는 제 2 콘택트를 포함함 - ,

상기 제 2 콘택트와 인접한 접합부 상의 제 1 콘택트 사이의 복수의 인터커넥트,

상기 제 1 콘택트 상의 부동태화 층,

상기 트랜스듀서 구조물의 제 1 면의 상기 부동태화 층 및 상기 인터커넥트 상의 배리어 물질; 및

상기 배리어 물질 상의 금속 기관 - 상기 금속 기관은 열 패드를 포함함-

을 포함하며, 복수의 접합부는 복수의 인터커넥트를 통해 직렬로 전기적으로 연결되는, 고전력 LED.

**청구항 35**

제34항에 있어서, 제 1 콘택트의 일부분이 트랜스듀서 구조물의 제 1 면에서 부동태화 층을 통해 노출되는, 고전력 LED.

**청구항 36**

삭제

**청구항 37**

삭제

**청구항 38**

삭제

**발명의 설명**

**기술분야**

[0001] 본 기술은 고전압 솔리드 스테이트 트랜스듀서 및 솔리드-스테이트 트랜스듀서 및 고전압 솔리드-스테이트 트랜스듀서 다이를 제작하는 방법에 관한 것이다. 구체적으로, 본 기술은 매립 콘택트를 갖는 수직 고전압 솔리드-스테이트 트랜스듀서 및 이와 연관된 시스템과 방법에 관한 것이다.

**배경기술**

[0002] 솔리드 스테이트 조명(solid state lighting)("SSL") 소자가 전기적 필라멘트, 플라스마, 또는 가스 대신, 발광 다이오드("LED"), 유기 발광 다이오드("OLED"), 및/또는 폴리머 발광 다이오드("PLED")를 조명원으로 사용하여 제작된다. 솔리드-스테이트 소자, 가령, LED는 서로 반대로 도핑된 물질 양단에 바이어스를 인가해 개재된 반도체 물질의 활성 영역으로부터 빛을 발생시킴으로써 전기적 에너지를 빛으로 변환한다. SSL 소자는 다양한 제품 및 적용예, 가령, 일반 소비자 전자 소자의 구성요소가 된다. 예를 들어, 모바일 전화기, 개인 디지털 보조기("PDA"), 디지털 카메라, MP3 플레이어, 및 그 밖의 다른 휴대용 전자 소자가 백라이트(backlighting)을 위해 SSL 소자를 이용한다. 덧붙여, SSL 소자는 신호등, 신호(signage), 실내 조명, 실외 조명, 및 그 밖의 다른 유형의 일반적인 조명을 위해서도 사용된다.

[0003] 마이크로전자 소자 제조가 더 우수한 성능을 갖는 더 높은 빛 출력을 필요로 하면서 더 작은 크기의 더 정교한 소자를 개발하고 있다. 현재의 설계 기준을 충족하기 위해, 감소하는 풋프린트(footprint), 얇아진 프로파일을 갖는 LED가 조립되며 그 후 고전압 어레이에 직렬 연결된다. 특정 실시예에서, 개별 SSL 다이가 직렬로 연결된 둘 이상의 LED 접합부를 포함할 수 있다.

[0004] 도 1a는 수평 구성(lateral configuration)에서 직렬 연결된 2개의 접합부를 갖는 것으로 나타난 종래의 고전압 SSL 소자(10a)의 횡단면도이다. 도 1a에 도시된 바와 같이, 고전압 SSL 소자(10a)는 절연 물질(12)에 의해 서로 전기적으로 고립되는 (제 1 및 제 2 LED 구조물(11a, 11b)로서 개별적으로 식별된) 복수의 LED 구조물(11)을 싣는 기관(20)을 포함한다. 각각의 LED 구조물(11a, 11b)은 활성 영역(active region)(14), 가령, P-형 GaN(15) 도핑된 물질과 N-형 GaN(16) 도핑된 물질 사이에 위치하는 갈륨 니트라이드/인듐 갈륨 니트라이드(GaN/InGaN) 복수 양자 우물(multiple quantum well)("MQW")을 포함하는 활성 영역을 가진다. 고전압 SSL 소자(10a)는 수평 구성에서 P-형 GaN(15) 상의 제 1 콘택트(17) 및 N-형 GaN(16) 상의 제 2 콘택트(19)를 더 포함한다. 개별 SSL 구조물(11a, 11b)이 노치(notch)(22)에 의해 분리되고, 상기 노치를 통해 N-형 GaN(16)의 일부분이 노출된다. 인터커넥트(24)가 노치(22)를 통해 두 개의 인접한 SSL 구조물(11a, 11b)을 전기적으로 연결한다. 동작 중에, 전기 전력이 콘택트(17, 19)를 통해 SSL 소자(10)로 제공됨으로써, 활성 영역(14)이 빛을 발산할 수 있다.

[0005] 도 1b는 또 다른 종래의 LED 소자(10b)의 횡단면도이며, 여기서, 수평이 아닌 수직 구성(vertical configuration)에서, 제 1 및 제 2 콘택트(17 및 19)는 서로 반대쪽에 위치한다. LED 소자(10b)의 형성 동안,



도 1a에 도시된 기판(20)과 유사한 성장 기판(도시되지 않음)이, 초기에, N-형 GaN(15), 활성 영역(14) 및 P-형 GaN(16)을 싣는다. 제 1 콘택트(17)는 P-형 GaN(16) 상에 배치되며 캐리어(carrier)(21)가 제 1 콘택트(17)에 부착된다. 기판은, 제 2 콘택트(19)가 N-형 GaN(15) 상에 배치되게 하면서, 제거된다. 그 후 구조물이 반전되어 도 1b에 도시된 배향을 만들 수 있다. LED 소자(10b)에서, 일반적으로 제 1 콘택트(17)는 N-형 GaN(15) 쪽으로 빛을 지향시키기 위해 반사성 및 전도성 물질(가령, 은 또는 알루미늄)을 포함한다. 그 후 컨버터 물질(23) 및 캡슐화재(25)가 LED 구조물(11) 상에 서로 위아래에 위치할 수 있다. 동작 중에, LED 구조물(11)은 제 2 발광(emission)(가령, 황색 빛)을 발산하기 위해 컨버터 물질(23)(가령, 인광체)을 자극하는 제 1 발광(가령, 청색 빛)을 발산할 수 있다. 제 1 발광과 제 2 발광의 조합은 원하는 색상의 빛(가령, 백색 빛)을 생성할 수 있다.

[0006] 일반적으로 수직 LED 소자(10b)는 수평 LED 소자 구성보다 더 높은 효율을 가진다. 더 높은 효율은 예를 들어, 강화된 전류 확산, 빛 추출 및 열 속성의 결과일 수 있다. 그러나 개선된 열 속성에도 불구하고, LED 소자(10b)는 여전히, 다양한 구조물 또는 영역 간에 박리(delamination)를 초래하거나 및/또는 패키징된 소자에 그 밖의 다른 손상을 초래할 수 있는 상당한 양의 열을 발생시킨다. 덧붙여, 도 1b에 도시된 바와 같이, 수직 LED 소자(10b)는 제 1 및 제 2 콘택트(17 및 19)와의 전기적 연결을 형성하기 위해 다이의 양면 모두로의 액세스를 요구하고, 일반적으로 제 2 콘택트(19)로 연결된 적어도 하나의 와이어 본드(wire bond)를 포함하며, 이는 소자 풋프린트와 제조 복잡도를 증가시킬 수 있다. 공정 단계 동안 고성능을 얻고 소자 손상을 방지하기 위해, 종래의 LED 다이 공정 단계들 중 일부(가령, 다이 레벨에서의 싱글레이션 후의 단계(도 1b))가 패키지 레벨로 제한되었다. 이러한 패키지-레벨 공정 단계들은 제조 자원, 가령, 시간 및 비용에 대한 수요를 증가시킬 뿐 아니라 또 다른 바람직하지 않은 결과, 가령, 패키지의 표면 조면화(surface roughening)를 가질 수 있다. 따라서 패키징을 용이케 하고 개선된 성능 및 신뢰도를 갖는 수직 LED, 수직 고전압 LED 다이 및 그 밖의 다른 솔리드-스테이트 소자에 대한 필요성이 여전히 존재한다.

**도면의 간단한 설명**

[0007] 본 발명의 많은 양태가 다음의 도면을 참조하여 더 잘 이해될 수 있다. 도면의 구성요소가 반드시 실제 비율로 그려진 것은 아니다. 대신, 본 발명의 원리를 명료하게 설명하는 데 강조가 이뤄진다. 덧붙여, 도면에서, 유사한 도면 부호가 몇 개의 도면에 걸쳐 대응하는 부분들을 지시한다.

도 1a 및 1b는 종래 기술에 따라 구성된 LED 소자의 개략적 단면도이다.

도 2a-2i는 본 발명의 기술의 실시예에 따라 솔리드-스테이트 트랜스듀서를 형성하기 위한 공정의 일부분을 도시하는 개략적 평면 및 횡단면도이다.

도 3a 및 3b는 본 기술의 추가 실시예에 따라 솔리드-스테이트 트랜스듀서를 형성하기 위한 공정의 추가 일부분을 도시하는 횡단면도이다.

도 4a-4c는 본 기술의 또 다른 실시예에 따라 구성된 복수의 솔리드-스테이트 트랜스듀서를 갖는 웨이퍼 레벨 조립체를 형성하기 위한 공정의 일부분을 도시하는 개략적 평면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0008] 솔리드-스테이트 트랜스듀서(solid-state transducer)("SST") 및 연관된 시스템 및 방법의 몇 가지 실시예의 구체적 상세사항이 이하에서 기재된다. 용어 "SST"는 일반적으로 반도체 물질을 전기 에너지를 가시광, 자외선, 적외선, 및/또는 그 밖의 다른 스펙트럼의 전자기 복사로 변환하는 활성 매체로서 포함하는 솔리드-스테이트 소자를 지칭한다. 예를 들어, SST는 솔리드-스테이트 발광체(가령, LED, 레이저 다이오드 등) 및/또는 전기 필터먼트, 플라즈마, 또는 가스가 아닌 그 밖의 다른 발광원을 포함한다. 또는 SST는 전자기 복사를 전기로 변환하는 솔리드-스테이트 소자를 포함할 수 있다. 덧붙여, 사용되는 맥락에 따라, 용어 "기판"은 웨이퍼-레벨 기판 또는 싱글레이션된 소자-레벨 기판을 지칭할 수 있다. 해당 분야의 통상의 기술자는 본 기술이 추가 실시예를 가질 수 있고, 본 기술이 도 2a-4c를 참조하여 이하에서 기재된 실시예의 상세사항 중 일부 없이 실시될 수 있음을 이해할 것이다.

[0009] 도 2a-4c는 본 기술의 하나의 실시예에 따라 SST를 형성하기 위한 공정을 도시하는 개략적 평면 및 횡단면도이다. 도 2a-2i는 명료성을 위해 단일 SST 다이(200)를 보여주는 공정의 다양한 부분을 도시하지만, 도시된 단계들은 본 명세서에 기재된 공정 단계들을 동시에 이용해 복수의 SST 다이(200)를 제작하기 위해 웨이퍼-레벨에서 구현될 수 있음이 자명하다. 예를 들어, 도 2a 및 2b는 트랜스듀서 구조물(202)이 성장 기판(220) 상에 형성된 후 공정의 단계에서의 SST 다이(200)를 도시한다. 도 2b에 도시된 바와 같이, SST 다이(200)는 제 1 면(201a)

및 상기 제 1 면(201a)과 반대쪽인 제 2 면(201b)을 가진다. 도 2a 및 2b를 함께 참조하면, SST 다이(200)는 트랜스듀서 구조물(202)을 (접합부(203a-203i)로 개별적으로 식별되는) 복수의 접합부(203)로 분리하는 복수의 특징부를 포함할 수 있다. 예를 들어, SST 다이(200)의 제 1 면(201a)에서 트랜스듀서 구조물(202)을 통해 기관(220)까지 뻗어 있는 트랜치(208)가 형성되어, 개별 접합부(203)들을 SST 다이(200) 상의 인접한 또는 그 밖의 다른 접합부(203)로부터 분리 및 전기적으로 고립시킬 수 있다.

[0010] 트랜스듀서 구조물(202)은 제 1 면(201a)에 제 1 반도체 물질(210), 제 2 면(201b)에 제 2 반도체 물질(212), 및 상기 제 1 반도체 물질과 제 2 반도체 물질(210, 212) 사이에 위치하는 활성 영역(214)을 포함할 수 있다. 또 다른 실시예에서, 트랜스듀서 구조물(202)은 또한 실리콘 니트라이드, 알루미늄 니트라이드(AIN), 및/또는 그 밖의 다른 적합한 증단 물질을 더 포함할 수 있다.

[0011] 제 1 및 제 2 반도체 물질(210 및 212)은 도핑된 반도체 물질일 수 있다. 하나의 실시예에서, 제 1 반도체 물질(210)은 P-형 반도체 물질(가령, P-GaN)일 수 있고, 제 2 반도체 물질(212)은 N-형 반도체 물질(가령, N-GaN)일 수 있다. 또 다른 실시예에서, 제 1 및 제 2 반도체 물질(210 및 212)은 뒤바뀔 수 있다. 또 다른 실시예에서, 제 1 및 제 2 반도체 물질(210 및 212)은 개별적으로 갈륨 아르세나이드(GaAs), 알루미늄 갈륨 아르세나이드(AlGaAs), 갈륨 아르세나이드 포스파이드(GaAsP), 갈륨(III) 포스파이드(GaP), 아연 셀레나이드(ZnSe), 붕소 니트라이드(BN), 알루미늄 갈륨 니트라이드(AlGaN), 및/또는 그 밖의 다른 적합한 반도체 물질 중 적어도 하나를 포함할 수 있다.

[0012] 제 1 및 제 2 반도체 물질(210 및 212) 사이의 활성 영역(214)은 단일 양자 우물(single quantum well)("SQW"), MQW, 및/또는 단일 입자 반도체 물질(가령, InGaN)을 포함할 수 있다. 하나의 실시예에서, 단일 입자 반도체 물질, 가령, InGaN은 약 10나노미터 초과 약 500나노미터 이하의 두께를 가질 수 있다. 특정 실시예에서, 활성 영역(214)은 InGaN SQW, GaN/InGaN MQW, 및/또는 InGaN 벌크 물질을 포함할 수 있다. 또 다른 실시예에서, 활성 영역(214)은 알루미늄 갈륨 인듐 포스파이드(AlGaInP), 알루미늄 갈륨 인듐 니트라이드(AlGaInN), 및/또는 그 밖의 다른 적합한 물질 또는 구성을 포함할 수 있다.

[0013] 특정 실시예에서, 제 1 반도체 물질(210), 활성 영역(214), 및 제 2 반도체 물질(212) 중 적어도 하나가, 금속 유기 화학 기상 증착("MOCVD"), 분자 빔 에피택시("MBE"), 액체 상태 에피택시("LPE"), 및/또는 히드라이드 기상 에피택시("HVPE")를 통해, 성장 기관(220) 상에 형성될 수 있다. 또 다른 실시예에서, 트랜스듀서 구조물(202)의 적어도 일부분이 그 밖의 다른 적합한 에피택시 성장 기법을 이용해 형성될 수 있다.

[0014] 도 2a 및 2b에서 도시된 바와 같이, 제 1 콘택트(204)가 제 1 반도체 물질(210) 상에 형성될 수 있다. 일부 실시예에서, 제 1 콘택트(204)는 아래 놓인 제 1 반도체 물질(210)의 큰 부분 상에 걸쳐 있을 수 있다. 또 다른 실시예에서, 제 1 콘택트(204)는 제 1 반도체 물질(210)의 더 작은 부분 상에 형성될 수 있다. 특정 배열에서, 제 1 콘택트(204)는 거울이거나 및/또는 반사성 콘택트 물질, 가령, 니켈(Ni), 은(Ag), 구리(Cu), 알루미늄(Al), 텅스텐(W), 및/또는 그 밖의 다른 반사성 물질로 만들어질 수 있다. 도 2a 및 2b에서 도시된 바와 같이, 제 1 콘택트(204)는 제 1 반도체 물질(210) 위에 형성된 콘택트 물질의 연속적인 오버레이일 수 있지만, 또 다른 실시예에서, SST 다이(200)는 제 1 면(201a)에 위치하고 제 1 반도체 물질(210)의 일부분 위에 놓이는 개별 반사성 요소를 포함할 수 있다. 차후 공정 스테이지 동안, 반사성 제 1 콘택트(204)가 발광(가령, 빛)을 SST 다이(200)의 활성 영역(214)을 통해 그리고 제 2 면(201b) 쪽으로 재지향시킬 수 있도록 트랜스듀서 구조물(202)은 반전될 수 있다(도 2b). 또 다른 실시예에서, 제 1 콘택트(204)가 비-반사성 물질로 만들어지거나, 및/또는 SST 다이(200)가 반사성 요소를 포함하지 않을 수 있다. 상기 제 1 콘택트(204)는 화학 기상 증착("CVD"), 물리 기상 증착("PVD"), 원자층 증착("ALD"), 스핀 코팅, 패터닝, 및/또는 종래에 해당 기술분야에 알려진 그 밖의 다른 적합한 기법을 이용해 형성될 수 있다.

[0015] 제 2 콘택트(206)는 SST 다이(200)의 제 1 면(201a)에서 제 2 반도체 물질(212)까지 또는 그 내부까지 뻗어 있는 복수의 매립 콘택트 요소(215)를 포함할 수 있다. 도 2b를 참조하면, 트랜스듀서 구조물(202)의 제 1 면(201a)(가령, 제 1 콘택트(204) 또는 제 1 반도체 물질(210))에서부터 제 2 반도체 물질(212)까지 또는 그 내부까지 뻗어 있는 트랜스듀서 구조물(202)에 복수의 채널 또는 오프닝(219)을 에칭 또는 그 밖의 다른 방식으로 형성함으로써 매립 콘택트 요소(215)가 형성될 수 있다. 하나의 실시예에서, (도 2b에 도시된 바와 같이) 상기 오프닝(219)은 제 1 콘택트(204)가 제 1 반도체 물질(210) 상에 형성되기 전에 형성될 수 있고 제 2 반도체 물질(212)의 일부분까지 또는 그 내부까지 뻗어 있을 수 있다. 또 다른 실시예에서, 오프닝(219)은 제 1 콘택트 물질(204)이 SST 다이(200)의 제 1 면(201a)에 형성된 후 형성될 수 있다. 오프닝(219)의 에칭된 측면이 유전체 물질(218)로 코팅되어, 제 1 콘택트(204), 제 1 반도체 물질(210), 및 활성 영역(214)을 통해 뻗어 있는 경로를

따라 제 2 콘택트 물질(216)을 전기적으로 절연할 수 있다. 유전체 물질(218)은 실리콘 디옥사이드(SiO<sub>2</sub>), 실리콘 니트라이드(SiN), 및/또는 그 밖의 다른 적합한 유전체 물질을 포함하며, CVD, PVD, ALD, 패터닝, 및/또는 반도체 제조 분야에 알려진 그 밖의 다른 적합한 기술을 통해, 오프닝(219) 내에 증착될 수 있다.

[0016] 다음 공정 단계에서, 절연된 오프닝(219) 내에 제 2 콘택트 물질(216)을 배치하여, 오프닝(219) 내 제 2 반도체 물질(212)의 노출된 일부분과 전기적으로 연결함으로써, 매립 콘택트 요소(215)가 형성될 수 있다. 제 2 콘택트 물질(216)이 티타늄(Ti), 알루미늄(Al), 니켈(Ni), 은(Ag), 및/또는 그 밖의 다른 적합한 전도성 물질을 포함할 수 있다. 상기 제 2 콘택트 물질(216)은 CVD, PVD, ALD, 패터닝 및/또는 그 밖의 다른 종래의 적합한 기술을 이용해 증착될 수 있다. 따라서 도 2a 및 2b에 도시된 바와 같이, 제 1 및 제 2 콘택트(204 및 206) 모두 SST 다이(200)의 제 1 면(201a)으로부터 전기적으로 접속 가능하다.

[0017] 도 2c 및 2d는 유전체 물질(222)(가령, 부동태화 물질(passivation material))이 제 1 콘택트(204) 위에 형성된 후의 공정 스테이지를 도시한다. 그 밖의 다른 기능들 중에, (도 2c에서 명료성을 위해 점선으로 나타난 특정 특징부를 갖는) 아래 놓인 트랜스듀서 구조물(202)을 환경으로부터 보호하기 위해 그리고 제 1 및 제 2 콘택트(204, 206)가 서로 쇼팅(short)되는 것을 방지하기 위해 유전체 물질(222)이 사용된다. 유전체 물질(222)은 오프닝(219) 내 유전체 물질(218)과 동일하거나 상이할 수 있다. 예를 들어, 유전체 물질(222)은 실리콘 니트라이드(SiN), 실리콘 디옥사이드(SiO<sub>2</sub>), 폴리이미드, 및/또는 그 밖의 다른 적합한 절연성 물질을 포함할 수 있다. 도 2c에 도시된 바와 같이, 유전체 물질(222)은 제 1 콘택트(204)의 일부분을 노출시키는 개구부(224)를 포함할 수 있다. 도시된 실시예에서, 유전체 물질(222)은 개별 접합부(203a-203i) 각각과 연관된 사각형 개구부(224)를 포함한다. 그러나 다른 실시예에서, 유전체 물질(222)이 더 많거나 더 적은 개구부(224)를 포함하거나 개구부(224)가 상이한 형태(가령, 사각형, 원형, 불규칙한 형태 등)를 가질 수 있다. 상기 유전체 물질(222)은 CVD, PVD, 패터닝, 스핀 코팅, 및/또는 또 다른 적합한 형성 방법을 이용해 형성될 수 있다. 상기 개구부(224)는 유전체 물질(222)의 일부분을 선택적으로 증착 또는 선택적으로 제거함으로써 형성될 수 있다. 도시된 실시예에서, 상기 유전체 물질(222)은 노출된 제 1 및 제 2 콘택트(204 및 206)를 수평 방향으로 서로 이격시키도록 위치하며, 따라서 다음 공정 동안 콘택트들을 서로 쇼팅하는 가능성이 감소된다.

[0018] 도 2c 및 2d에서 도시된 바와 같이, 유전체 물질(222)은 매립 콘택트 요소(215)를 덮지 않는다. 구체적 실시예에서, 인터커넥트(225)는 인접한 접합부(가령, 접합부(203e)) 상의 개구부(224)를 통해 접합부(가령, 접합부(203d)) 상의 제 2 콘택트(206)를 제 1 콘택트(204)로 전기적으로 연결하여, 접합부(가령, 접합부(203d 및 203e))가 직렬 연결되게 할 수 있다. 매립 콘택트 요소(215)와 개구부(224)를 통해 노출된 제 1 콘택트(204) 사이에서 유전체 물질(222) 상에 인터커넥트 라인(226)을 증착함으로써 인터커넥트(225)가 형성될 수 있다. 인터커넥트 라인(226) 아래 놓인 유전체 물질(222)은 제 1 콘택트(204)를 제 2 콘택트(206)로부터 전기적으로 고립시킨다. 상기 인터커넥트 라인(226)은 적합한 전기 전도성 물질, 가령, 제 2 콘택트 물질(216)용으로 사용되는 것들, 예컨대, 니켈(Ni), 은(Ag), 구리(Cu), 알루미늄(Al), 텅스텐(W) 및/또는 그 밖의 다른 적합한 전도성 물질로 만들어질 수 있고, 증착, 패터닝, 및/또는 종래 기술에서 알려진 그 밖의 다른 적합한 방법을 이용해 형성될 수 있다.

[0019] 도 2c에 도시된 바와 같이, SST 다이(200)는 접합부(203a) 상에 배치될 수 있는 제 1 외부 단자(205)를 포함한다. 제 1 외부 단자(205)는 접합부(203a)에서 개구부(224)를 통해 액세스 가능한 제 1 콘택트(204)의 노출된 일부분일 수 있다. 일반적으로, 제 1 외부 단자(205)는 복수의 직렬 연결된 접합부(가령, 접합부(203a-203i))의 제 1 접합부(가령, 접합부(203a))와 연관되지만, 또 다른 실시예에서, 제 1 외부 단자(205)는 또 다른 접합부(203b-203i)와 연관될 수 있다. 또 다른 개별 접합부(203b-203i) 각각과 연관된 장방향 개구부(224)와 유사하게, 제 1 외부 단자(205)는 제 1 콘택트(204)의 일부분을 노출시키는 유전체 물질(222) 내 장방향 개구부(224)를 통해 형성될 수 있다. 또 다른 실시예에서, 상기 개구부(224)는 제 1 콘택트(204)를 노출시켜 SST 다이(200) 상에 제 1 외부 단자(205)를 형성하기 위해 상이한 형태(가령, 사각형, 원형, 불규칙한 형태 등)를 가질 수 있다.

[0020] 마찬가지로, SST 다이(200)는 접합부(203i) 및/또는 직렬 연결된 접합부 그룹(203)의 단자 단부에 일반적으로 위치하는 또 다른 접합부에 위치할 수 있는 제 2 외부 단자(207)를 포함한다. 제 2 외부 단자(207)는 적합한 전기 전도성 물질, 가령, 제 2 콘택트 물질(216)용으로 사용되는 것들, 가령, 니켈(Ni), 은(Ag), 구리(Cu), 알루미늄(Al), 텅스텐(W) 및/또는 그 밖의 다른 적합한 전도성 물질로 만들어질 수 있다. 제 2 외부 단자(207)는 제 2 콘택트(206) 및/또는 연관된 접합부(가령, 접합부(203i))의 제 2 반도체 물질(212)로 전기적으로 연결될 수 있다. 예를 들어, 도 2c에 도시된 바와 같이, 제 2 외부 단자(207)는 증착, 패터닝, 및/또는 종래에 알려진 그



밖의 다른 적합한 방법을 이용해 유전체 물질(222) 위에 형성될 수 있고 연관된 접합부(가령, 접합부(203i))의 제 2 콘택트(206)로 전기적으로 연결될 수 있다.

[0021] 동작 중에, 제 1 및 제 2 단자(205, 207)가 외부 소자, 구성요소 또는 전원(가령, AC 또는 DC 전력 공급기)에 직접 부착되거나 및/또는 그 밖의 다른 방식으로 부 연결될 수 있다. 개별 접합부(203a-203i)가 인가된 전기 전압에 응답하여 빛 및/또는 그 밖의 다른 유형의 전자기 복사를 발산하도록 구성된다. 하나의 예를 들면, SST 다이(200)가 SST 어레이 내 다른 SST 다이와 직렬 또는 병렬 연결되어, 상기 SST 다이(200)를 포함하는 소자에서 높은 입력 전압을 획득하여, 소자 성능을 개선할 수 있다.

[0022] 선택사항으로서 그리고 또 다른 실시예에서, SST 다이(200)는 하나 이상의 중간 접합부(가령, 접합부(203b-203h))에서 인터커넥트(225) 또는 인터커넥션 라인(226)으로 전기적으로 연결된 (예를 들어, 접합부(203c)에서 점선으로 도시된) 제 3 콘택트 또는 교차-연결 콘택트(250)를 가질 수 있다. 교차-연결 콘택트(250)는 어레이, 가령, SST 어레이 내에 연결된 추가 다이와의 교차 연결(cross connection)을 형성하도록 사용될 수 있다. 교차-연결 콘택트 및 교차-연결이 본 명세서에 그 전체가 참조로서 포함되는 2012년 09월 04일에 출원된 미국 특허 출원 13/603,106호에 기재된 솔리드-스테이트 트랜스듀서 및 고전압 SST 어레이와 관련하여 상세히 기재된다. 따라서 접합부(203)들 간(가령, 접합부(203c)와 접합부(203d) 간) 인터커넥트(125)로 전기적으로 연결된 교차-연결 콘택트(250)는 고전압(가령, 복수 접합부) SST 다이(200) 내 액세스 가능한 전기적 연결을 제공한다. 따라서, 단자(205, 207)를 통해 제공된 입력 전압이 직렬 연결된 접합부(203)를 통해 그리고 또한 SST 다이(200)의 병렬 연결된 스트링(도시되지 않음) 사이에 흘러, 빛 출력 개선 및 더 높은 플럭스 전달을 위한 대안적 전기 경로를 제공할 수 있다. 따라서, 교차-연결 콘택트(250)를 갖는 SST 다이(200)를 포함하는 어레이 조립체(도시되지 않음)가 접합부 장애를 극복하기 위한 대비책을 가짐으로써, 어레이 내 개별적으로 연결된 SST 다이(200) 양단의 바이어스의 감소된 변동을 제공할 수 있다. 덧붙여, 어레이 조립체는 접합부 장애 후에도 사용 중을 유지하여, 개선된 칩 성능 및 신뢰성을 제공하고, 따라서 제조 비용을 감소시킬 수 있다.

[0023] 추가 실시예에서, SST 다이(200)는 예를 들어, 병렬-연결된 SST 다이(200)들 간 추가 교차-연결(도시되지 않음)을 제공하기 위해 복수의 인터커넥트(125)와 연관된 복수의 교차-연결 콘택트(250)를 포함할 수 있다. 이러한 실시예에서, 하나 이상의 교차-연결 콘택트(250)를 갖는 SST 다이(200)를 포함하는 어레이 조립체(도시되지 않음)가, 예를 들어, 병렬로 연결된 다이의 스트링들 간 SST 다이(200)의 인터커넥트(225)를 전기적으로 연결하는 복수의 교차-연결(도시되지 않음)을 포함하도록 구성될 수 있다.

[0024] 하나의 실시예에서, 교차-연결 콘택트(250)는 SST 다이(200)의 제 1 면(201a)에서 외부에서 액세스 가능하고 교차-연결은 와이어 본딩 및/또는 직접 부착에 의해 형성될 수 있다. 또 다른 실시예에서, 교차-연결 콘택트(250)는 SST 다이(200)의 제 1 면(201a)에 위치할 수 있으며, 이때, 적합한 절연 또는 유전체 물질이 상기 교차-연결 콘택트(250)와 아래 놓인 제 1 반도체 물질(210) 및 제 1 콘택트(204) 사이에 개재된다. 교차-연결 콘택트(250)에 적합한 물질은 티타늄(Ti), 알루미늄(Al), 니켈(Ni), 은(Ag), 및/또는 그 밖의 다른 적합한 전도성 물질을 포함할 수 있다. 또한 교차-연결 콘택트(250)는 CVD, PVD, ALD 또는 종래에 반도체 제조 분야에서 알려진 그 밖의 다른 적합한 기법을 이용해 형성될 수 있다.

[0025] 도 2e-21은 추가 유전체 부분 및 전도성 물질이 SST 다이(200)에 추가되는 공정 스테이지를 도시한다. 단지 설명 목적으로서 SST 다이(200)의 특정한 아래 놓인 특징부가 도 2e, 2g 및 2i의 점선으로 도시되어 있다. 하나의 실시예에서, 추가 유전체 부분(228)이 유전체 물질(222)과 동일한 물질로 형성되거나 상이한 물질일 수 있다. 예를 들어, 추가 유전체 부분(228)은 실리콘 니트라이드, 실리콘 디옥사이드, 폴리이미드 및/또는 그 밖의 다른 적합한 유전체 물질을 포함할 수 있다. 도 2e 및 2f에 도시된 바와 같이, 추가 유전체 부분(228)(가령, 부동태화 부분)이 (가령, CVD, PVD, 또는 그 밖의 다른 적합한 공정을 통해) 제 1 콘택트(204), 제 2 콘택트(206), 인터커넥트 라인(226), 및 인터커넥트(225)를 포함하는 SST 다이(200)의 일부분 위에 선택적으로 증착될 수 있다. 일부 실시예에서, 추가 유전체 부분(228)이 선택된 전기적 콘택트 및 SST 다이(200)의 인터커넥팅 부분 위에 사전-형성되고 위치될 수 있다. 도시된 실시예에서, 추가 유전체 부분(228)이 제 1 콘택트(204), 제 2 콘택트(206), 인터커넥트 라인(226) 및 인터커넥트(225) 모두 위에 위치한다. 덧붙여, 그리고 도 2e에 도시된 바와 같이, 추가 유전체 부분(228)은 제 1 및 제 2 외부 단자(205, 207)를 덮지 않도록, 위치설정, 증착, 패터닝 및/또는 그 밖의 다른 방식으로 구성된다. 또 다른 실시예에서, SST 다이(200)는 더 넓거나 더 적은 영역의 유전체 물질 및/또는 제 1 및 제 2 콘택트(204 및 206) 및 인터커넥트(225)의 더 넓거나 더 적은 부분을 덮는 일부분(222 및 228)을 포함할 수 있다. 예를 들어, 유전체 물질 및/또는 일부분(222 및 228)이 하나 이상의 제 2 콘택트(206)가 노출되도록 증착될 수 있다.

- [0026] 도 2g 및 2h는 SST 다이(200)의 제 1 면(201a) 상으로의 배리어 물질(232), 가령, 배리어 금속의 추가를 도시하며, 상기 배리어 물질은 유전체 물질(222) 및/또는 추가 유전체 부분(228) 위에 증착될 수 있다. 배리어 물질(232)이 코발트, 루테튬, 탄탈럼, 탄탈럼 니트라이드, 인듐 옥사이드, 텅스텐 니트라이드, 티타늄 니트라이드, 텅스텐 티타늄(Wti), 및/또는 그 밖의 다른 적합한 고립적 전도성 물질을 포함할 수 있고, CVD, PVD, ALD, 패터닝, 및/또는 종래에 알려진 그 밖의 다른 적합한 기술을 이용해 증착될 수 있다.
- [0027] 그 후 도 2i 및 2j를 참조하면, 금속성 시드 물질(234)이 SST 다이(200)의 제 1 면(201a) 상의 배리어 물질(232) 위에 그리고 여기에 부착되도록 증착되어, 예를 들어, 아래 놓인 트랜스듀서 구조물(202)과 다른 구성요소 간 전도성 연결을 제공할 수 있다. 도시된 실시예에서, 시드 물질(234)이 전체 제 1 면(201a)을 덮는다. 하나의 실시예에서, 시드 물질(234)은 얇고 연속적인 오버레이를 포함하거나, 또 다른 배열로, 구리(Cu)의 비-연속적 오버레이, 티타늄/구리 합금, 및/또는 그 밖의 다른 적합한 전도성 물질을 포함할 수 있고, 전자도금, 무전해 도금, 또는 그 밖의 다른 방법에 의해 증착될 수 있다. 예를 들어, 시드 물질(234)은 CVD, PVD, ALD, 패터닝, 스퍼터-증착 및/또는 종래 분야에 알려진 그 밖의 다른 적합한 기법을 이용해 증착될 수 있다.
- [0028] 도 2g-2j를 함께 참조하면, 배리어 물질(232)이 SST 다이(200)의 전기적 특성을 변경할 수 있는 시드 물질(234)(가령, Cu 시드 물질)의 확산이 아래 놓인 반도체 물질, 가령, 유전체 물질(222), 추가 유전체 부분(228), 또는 트랜스듀서 구조물(202), 가령, 제 1 및 제 2 반도체 물질(210, 212) 및 활성 영역(214)으로 확산되는 것을 막는다.
- [0029] 도 2i 및 2j는 시드 물질(234) 및 배리어 물질(232)이 아래 놓인 유전체 물질(222) 또는 추가 유전체 부분(228)을 노출하도록 패터닝되는 공정 스테이지를 더 도시한다. 도 2i에 도시된 바와 같이, 시드 물질(234) 및 배리어 물질(232)이 선택적으로 제거 또는 에칭되어, 제 1 외부 단자(205) 및 제 2 외부 단자(207)를 둘러싸고 전기적으로 고립시키는 유전체 경로(236)를 제 1 면(201a)상에 만들 수 있다. 또 다른 실시예에서, 배리어 물질(232) 및/또는 시드 물질(234)이 없는 유전체 경로(236)를 형성하는 섹션을 남겨두면서, 배리어 물질(232) 및/또는 시드 물질(234)이 유전체 물질(222) 및 유전체 부분(228) 위에 선택적으로 증착될 수 있다.
- [0030] 도 2k 및 2l은 SST 다이(200)의 제 1 면(201a) 상의 시드 물질(234) 위에 금속 기관(238)이 형성되는 공정 스테이지를 도시한다. 하나의 실시예에서, 금속 기관(238)은 구리(Cu), 알루미늄(Al), 합금(가령, NiFe 합금), 또는 그 밖의 다른 적합한 물질을 포함할 수 있다. 상기 금속 기관은 전기도금, 무전해 도금, 또는 종래에 알려진 그 밖의 다른 기술에 의해 형성될 수 있다. 일부 실시예에서, 금속 기관(238)은 약 100 $\mu$ m의 두께를 가질 수 있지만, 또 다른 실시예에서, 금속 기관(238)은 다양한 두께를 가질 수 있다. 도 2k 및 2l에서 도시된 바와 같이, 금속 기관(238)(가령, 두꺼운 구리 기관)이 유전체 경로(236)를 따라 아래 놓인 유전체 물질(222) 및 추가 유전체 부분(228)을 노출하도록 패터닝될 수 있다. 하나의 실시예에서, 유전체 경로(236)를 형성하는 유전체 물질(222) 및 유전체 부분(228)의 섹션에 금속 기관(238)이 없도록 금속 기관(238)이 선택적으로 도금될 수 있다. 기재된 바와 같이, 유전체 경로(236)가 제 1 외부 단자(205) 및 제 2 외부 단자(207)를 둘러싸고 전기적으로 고립시킨다. 제 1 및 제 2 외부 단자(205, 207)로 전기적으로 그리고 수직으로 연결되고 유전체 경로(236)에 의해 둘러싸인 전도성 금속 기관(238)이, 추가 와이어 본드 또는 본드 패드가 필요 없이, 외부 구성요소의 직접 부착을 위한 외부 본딩 사이트를 제공한다.
- [0031] 도 2k를 다시 참조하면, 금속 기관(238)이 열 전도성이어서 SST 다이(200)에서 외부 히트 싱크(도시되지 않음)로 열을 전달하고 SST 다이(200)에 제 1 면(201a) 상에 열 패드(240)를 제공할 수 있다. 예를 들어, 금속 기관(238)은 구리, 알루미늄 또는 SST 다이(200)의 열 팽창 계수 또는 상기 SST 다이(200)가 연관된 더 큰 패키지 또는 회로 기관의 열 팽창 계수와 적어도 일반적으로 유사한 열 팽창 계수를 갖는 합금을 포함할 수 있다. 따라서, 열 패드(240)는 열을 기관, 패키지, 히트 싱크, 또는 SST 다이(200)를 포함하는 소자의 또 다른 요소로 열을 전달함으로써, SST 다이(200)의 동작 온도를 감소시킬 수 있다. 덧붙여, 도 2k의 도시된 실시예가 단 하나의 열 패드(240)를 포함하더라도, 다른 실시예에서, SST 다이(200)가 다양한 적합한 크기 및 형태 중 임의의 것을 갖고 SST 다이(200)의 제 1 면(201a) 상의 다양한 적합한 위치 중 임의의 위치에 위치하는 복수의 더 작은 및/또는 개별 열 패드(240)를 포함할 수 있다.
- [0032] SST 다이(200)(도 2l)가 또 다른 캐리어 기관(도시되지 않음)에 부착되거나 그 밖의 다른 방식으로 반전되고 금속 기관(238)이 SST 다이(200)의 제 2 면(201b) 상의 추가 공정을 위한 지지를 제공할 수 있다. 도 3a-3b는 추가 공정의 다양한 스테이지에서의 도 2l의 SST 다이(200)의 개략적 횡단면도이다. 예를 들어, 도 3a 및 3b는 공정 중 SST 다이(200)가 반전되고 성장 기관(220)이 제거되어(도 4b) 트랜스듀서 구조물(202)이 SST 다이(200)의 제 2 면(201b)에서 노출되는 단계를 도시한다. 화학-기계 평탄화(CMP), 후면연마(backgrinding), 에칭(가령, 습

식 에칭, 건식 에칭 등), 화학 또는 기계적 리프트오프(lift-off), 및/또는 그 밖의 다른 제거 기법에 의해 성장 기관(220)이 제거될 수 있다. 또한 공정은 제 2 반도체 물질(212)(도시되지 않음)의 조면화를 포함할 수 있다. 마찬가지로, 금속 기관(138)은, 필요에 따라, 후면연마, CMP, 에칭, 및/또는 그 밖의 다른 적합한 방법(도시되지 않음)에 의해, 연마 또는 씌닝(thinning)될 수 있다. 도시되지 않은 추가 실시예에서, SST 다이(200)가 광학 속성 및/또는 그 밖의 다른 속성을 강화 또는 개선(가령, 최적화)하기 위한 추가 공정을 겪을 수 있다. 예를 들어, 광학 요소, 가령, 렌즈가 SST 다이(200)의 제 2 면(201b)에 추가될 수 있다. 최종 SST 다이(200)는 와이어 본드를 필요로 하지 않고, 가령, 솔더 리플로우(solder reflow) 공정을 이용해, 보드, 패키지 또는 또 다른 구성요소 상에 장착될 수 있는 제 1 외부 단자(205)(도 2k에 도시됨), 제 2 외부 단자(207) 및 열 패드(240)(도 2k에 도시됨)를 제 1 면(201a)에서 포함한다. 따라서 직접 부착 단자(205, 207) 및 열 패드(240)에 의해 단일 단계 공정으로 SST 다이(200)가 보드 또는 그 밖의 다른 기관 또는 지지부에 효과적으로 장착될 수 있다.

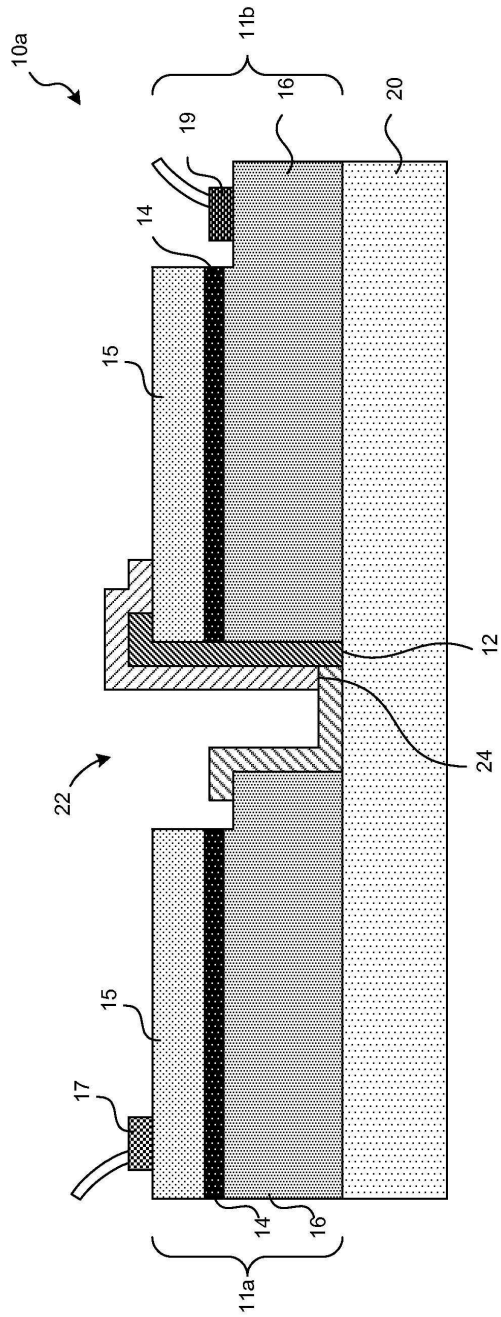
[0033] 설명 목적으로, 도 2a-3b가 개별 SST 다이(200) 상에서의 제조 공정의 스테이지를 도시한다. 도 4a-4c는 복수의 SST 다이(200)를 갖는 웨이퍼-레벨 조립체의 일부분을 도시한다. 해당 분야의 통상의 기술자라면 본 명세서에 기재된 공정의 각각의 스테이지가 웨이퍼 레벨 또는 다이 레벨로 수행될 수 있음을 알 것이다. 도 4a는 도 2i에서 도시된 것과 일반적으로 유사하게 제 1 면(401a)을 갖고 4개의 개별 SST 다이(200)를 포함하는 웨이퍼 레벨 조립체(400)의 일부분의 평면도이다. 따라서, 도 4a는 웨이퍼 레벨 조립체(400)의 제 1 면(401a) 상에서 금속성 시드 물질(234)이 아래 놓인 배리어 물질(232)(예를 들어, 도 2g, 2h 및 2j에 도시됨) 위에 증착되고 상기 배리어 물질에 부착되어, 예를 들어, 아래 놓인 트랜스듀서 구조물(202)(도 2j에 도시됨)과 그 밖의 다른 외부 구성요소 사이의 전도성 연결을 제공할 수 있는 제조 공정 스테이지를 도시한다. 도 4a에 도시된 바와 같이, 아래 놓인 유전체 물질(222) 또는 추가 유전체 부분(228)을 노출시켜 복수의 유전체 경로(236)를 생성하도록 시드 물질(234) 및 배리어 물질(232)(도 2j에 도시됨)이 패터닝된다.

[0034] 도 4b는 도 2k에 도시된 바와 일반적으로 유사한 공정의 한 스테이지에서 웨이퍼 레벨 조립체(400)의 일부분의 평면도이다. 예를 들어, 도 4b는 웨이퍼 레벨 조립체(400)의 제 1 면(401a) 상에서 금속 기관(238)이 시드 물질(234) 위에 형성되고 패터닝되어 복수의 유전체 경로(236)를 형성하는 제조 공정 스테이지를 도시한다. 개별 SST 다이(200) 각각은 열 패드(240)를 포함한다. 도 4c에 도시된 바와 같이, 조립체(400)는 다이싱 레인(dicing lane)(402)을 따라 다이싱되어 싱글레이션된 SST 다이(200)를 형성하거나, 또 다른 실시예에서, 처리되어 SST 어레이를 형성할 수 있다. 싱글레이션된 SST 다이(200)는 제 1 면(201a, 401a)에서 제 1 외부 단자(205), 제 2 외부 단자(207) 및 열 패드(240)를 포함한다.

[0035] 상기로부터, 기술의 특정 실시예가 설명 목적으로 본 명세서에 기재되었지만, 본 명세서에서 벗어난 다양한 변형예가 만들어질 수 있음이 자명할 것이다. SST 다이(200) 및 조립체(400)가 추가 구성요소, 및/또는 본 명세서에 기재된 구성요소들의 상이한 조합을 포함할 수 있다. 예를 들어, SST 다이(200) 및/또는 조립체(400)가 복수의 다이 또는 조립체를 갖는 SST 어레이 내에 포함될 수 있다. 덧붙여, 광학 요소, 가령, 렌즈가 개별 SST 다이(200) 각각에 추가될 수 있다. 덧붙여, 조립체(400)가 SST 다이(200)의 2x2 어레이를 포함하지만, 또 다른 실시예에서, 조립체는 상이한 개수의 SST 다이를 포함하거나 및/또는 상이한 형태(가령, 장방형, 원형 등)를 가질 수 있다. 덧붙여, 특정 실시예의 맥락에서 기재된 본 기술의 특정 양태가 다른 실시예에서 제거될 수 있다. 예를 들어, 유전체 물질(222) 및 유전체 부분(228)의 구성이 변경되어, 콘택트, 인터커넥트, 및/또는 그 밖의 다른 전도성 라인의 상이한 조합을 노출 또는 덮을 수 있다. 덧붙여, 본 기술의 특정 실시예와 연관된 특징부가 상기 특정 실시예의 맥락에서 기재되었지만, 또 다른 실시예도 이러한 특징을 보일 수 있으며, 기술의 범위 내에 속하도록 모든 실시예가 반드시 이러한 특징을 보일 필요는 없다. 따라서 본 발명 및 이와 연관된 기술이 본 명세서에 명시적으로 도시되거나 기재되지 않은 다른 실시예도 포함할 수 있다.

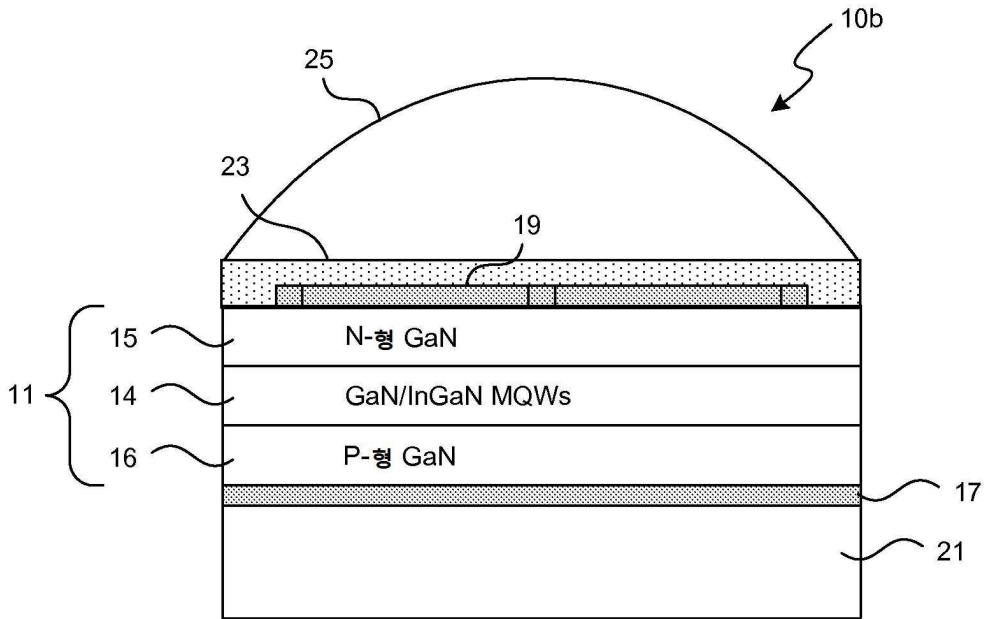
도면

도면1a



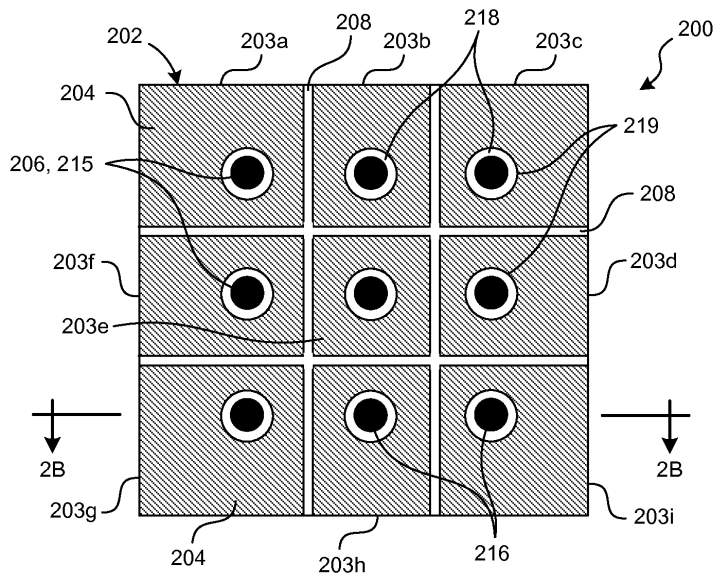
(중래 기술)

도면1b



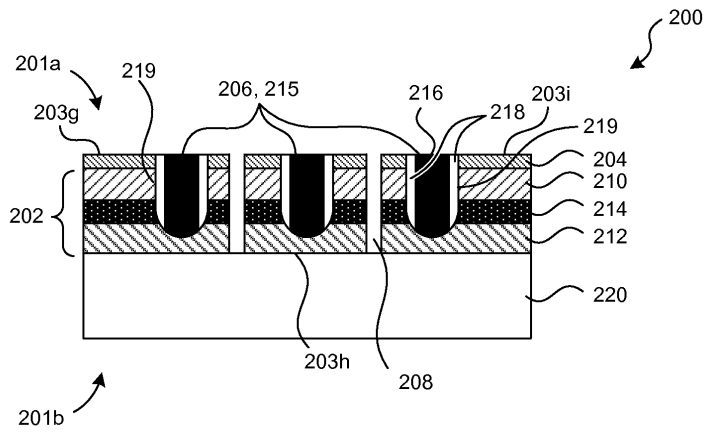
(종래 기술)

도면2a

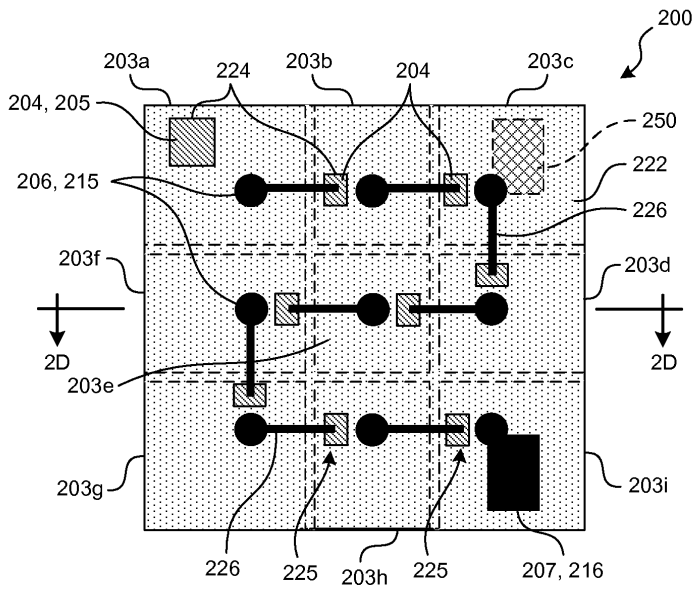




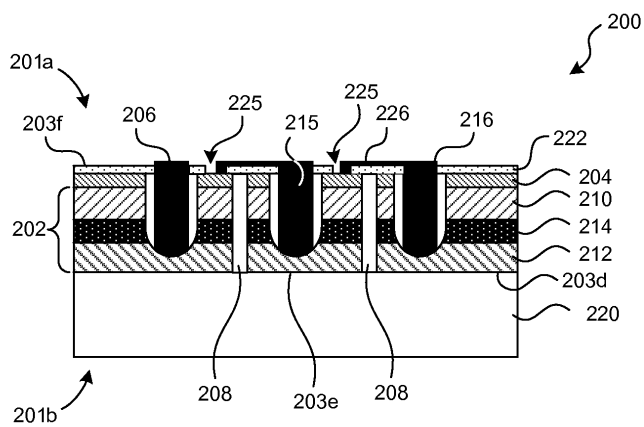
도면2b



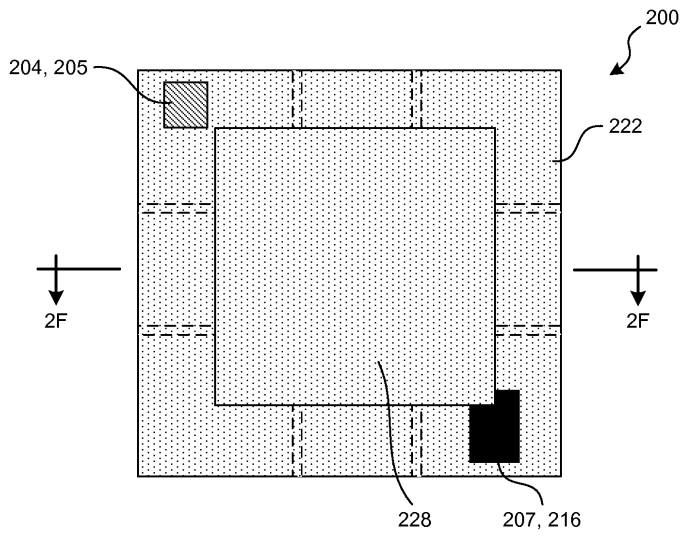
도면2c



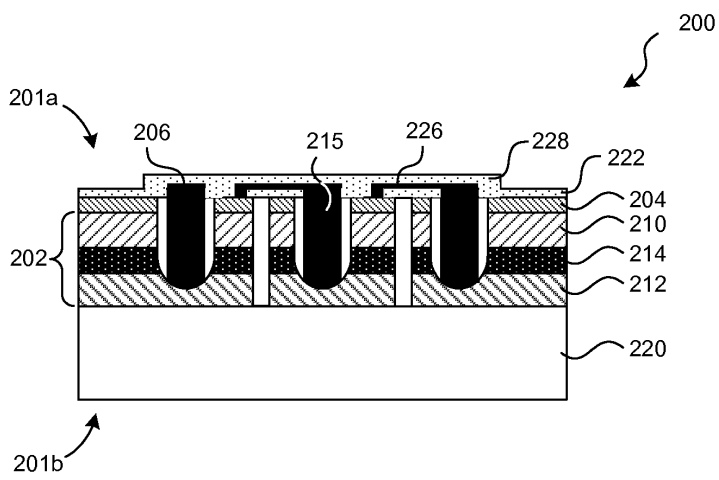
도면2d



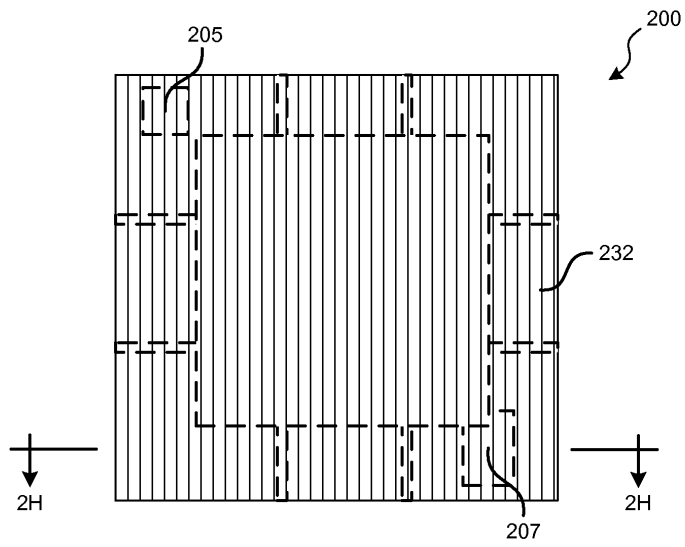
도면2e



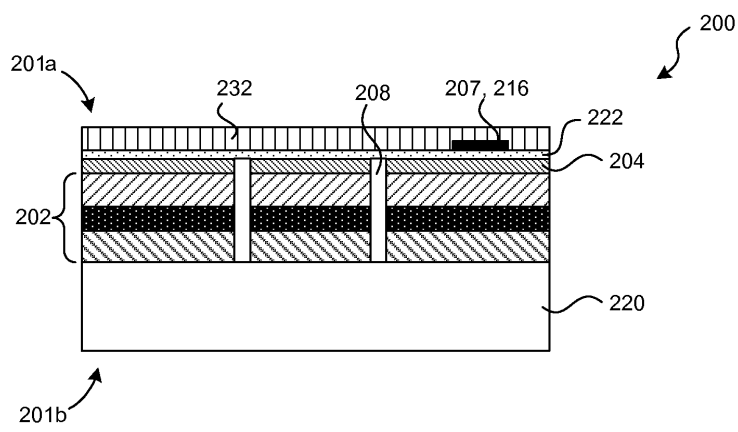
도면2f



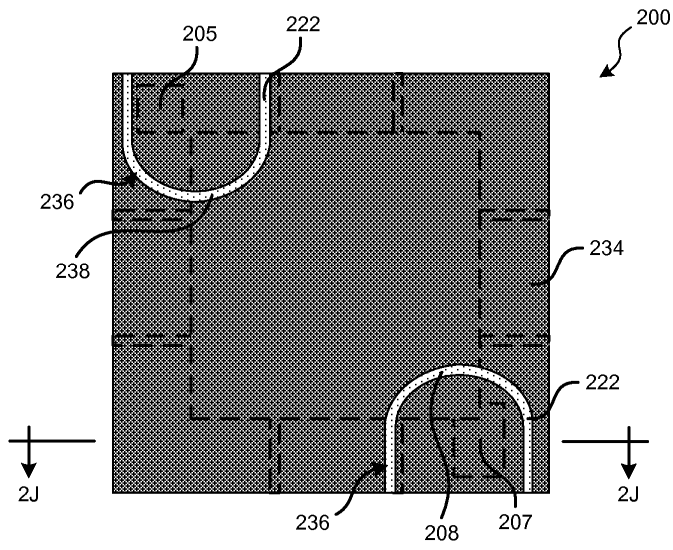
도면2g



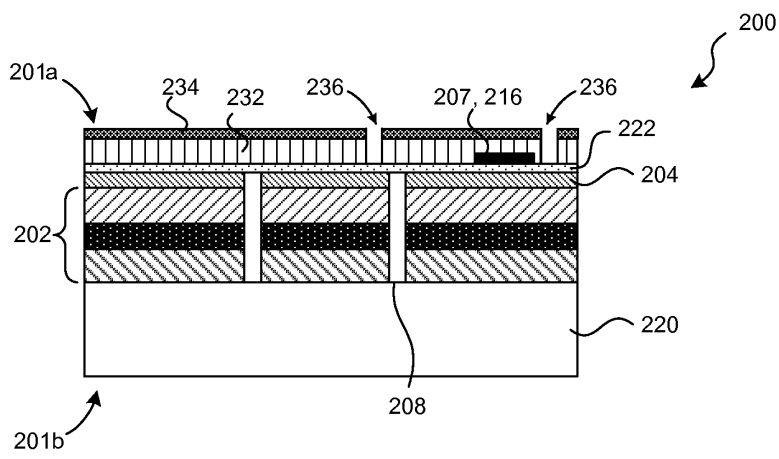
도면2h



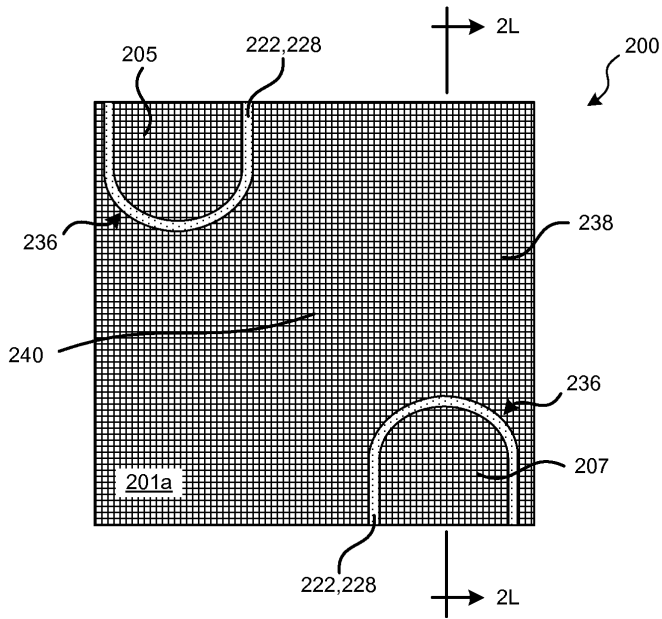
도면2i



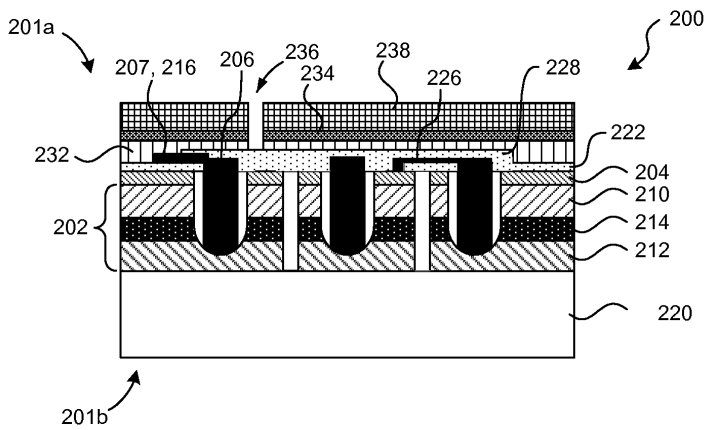
도면2j



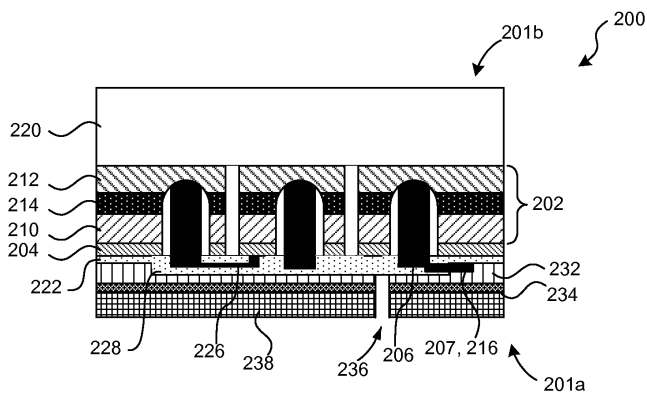
도면2k



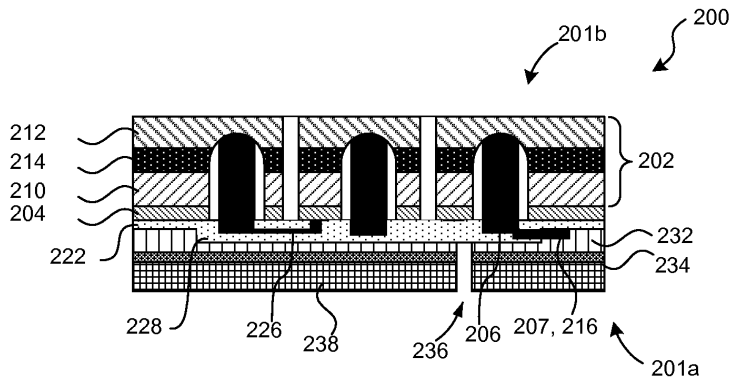
도면2l



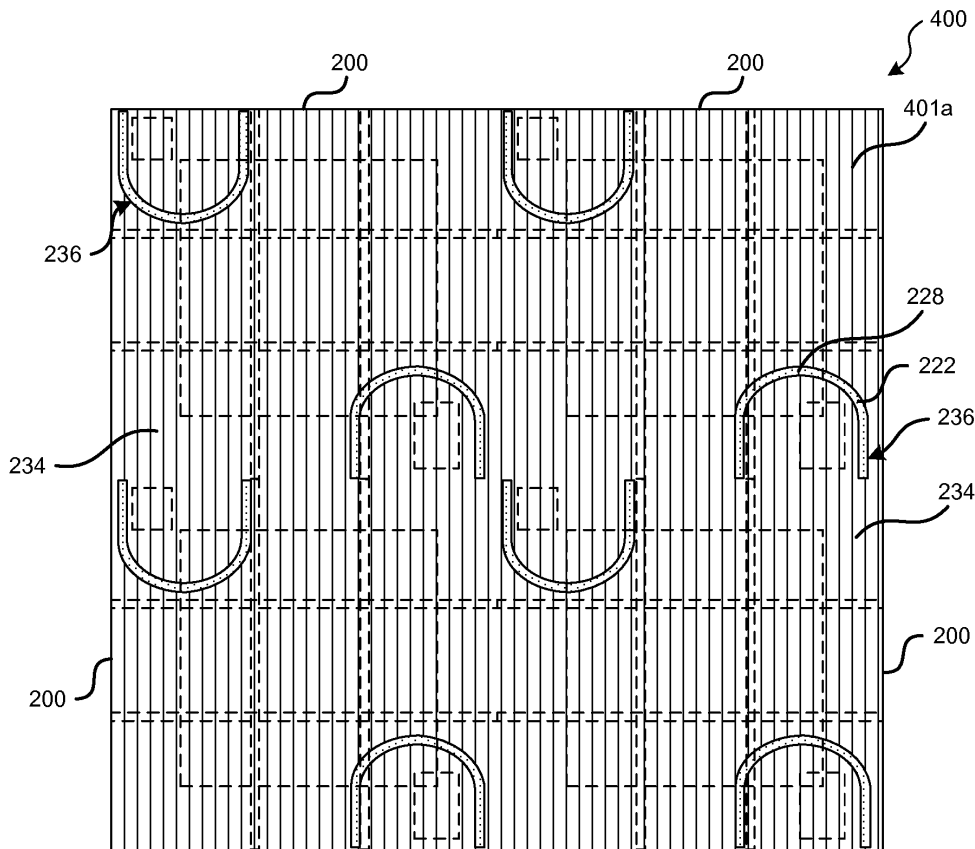
도면3a



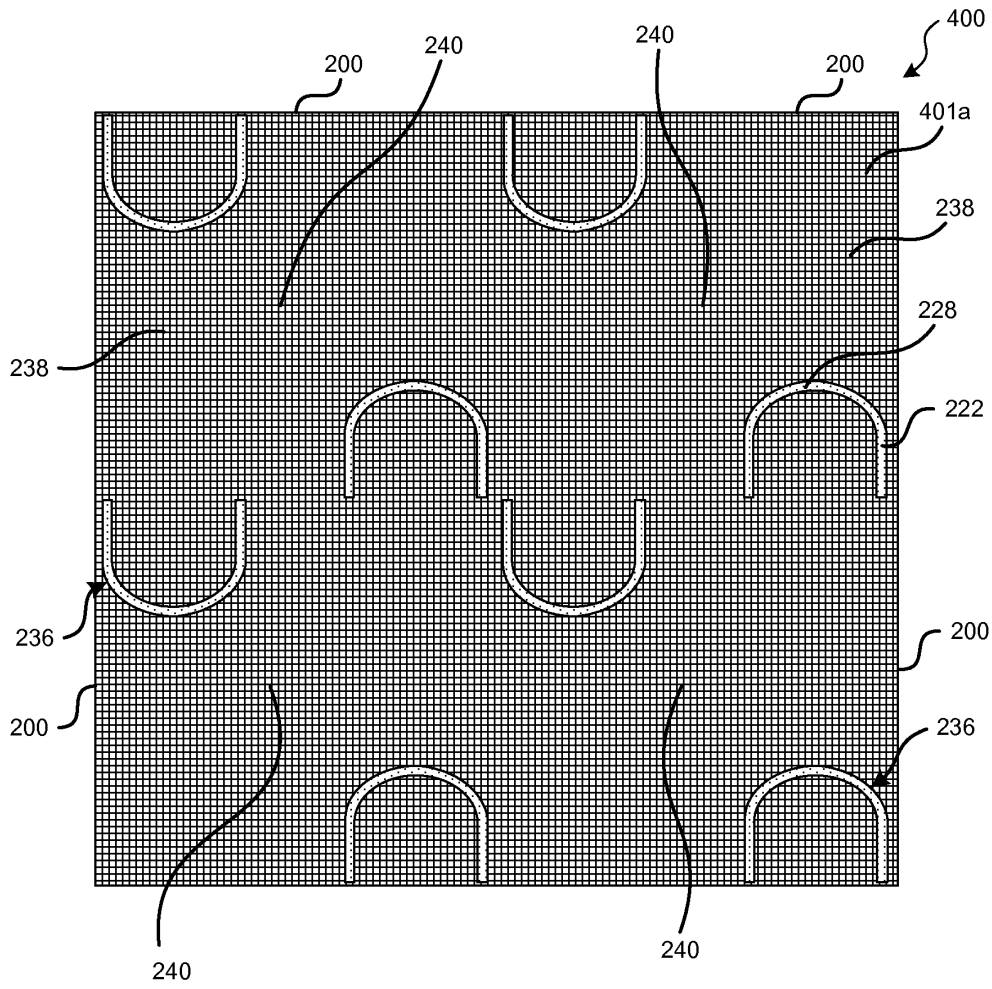
도면3b



도면4a



도면4b



도면4c

