

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6877203号  
(P6877203)

(45) 発行日 令和3年5月26日 (2021.5.26)

(24) 登録日 令和3年4月30日 (2021.4.30)

(51) Int.Cl.

H04N 5/376 (2011.01)

F I

H04N 5/376

請求項の数 21 (全 13 頁)

(21) 出願番号 特願2017-59690 (P2017-59690)  
 (22) 出願日 平成29年3月24日 (2017.3.24)  
 (65) 公開番号 特開2018-164170 (P2018-164170A)  
 (43) 公開日 平成30年10月18日 (2018.10.18)  
 審査請求日 令和2年3月24日 (2020.3.24)

(73) 特許権者 000001007  
 キヤノン株式会社  
 東京都大田区下丸子3丁目30番2号  
 (74) 代理人 110003281  
 特許業務法人大塚国際特許事務所  
 (72) 発明者 高田 佳明  
 東京都大田区下丸子3丁目30番2号 キ  
 ヤノン株式会社内  
 (72) 発明者 山崎 和男  
 東京都大田区下丸子3丁目30番2号 キ  
 ヤノン株式会社内

審査官 大室 秀明

最終頁に続く

(54) 【発明の名称】 撮像装置および移動体

(57) 【特許請求の範囲】

【請求項 1】

複数の行および複数の列を構成するように配列された複数の画素と、  
 前記複数の行の1つに対して1つの制御線群が接続されるように、前記複数の行にそれ  
 ぞれ割り当てられた複数の制御線群と、  
 前記複数の制御線群を駆動する行駆動回路と、  
 補助回路と、を備え、  
 前記複数の制御線群の各々は、第1制御線および第2制御線を含み、  
 前記行駆動回路は、前記複数の制御線群のうち対応する制御線群の前記第1制御線の一  
 端に接続された第1駆動回路と、前記対応する制御線群の前記第2制御線の一端に接続さ  
 れた第2駆動回路と、を含み、

前記補助回路は、複数の補助駆動回路を含み、前記複数の補助駆動回路の各々は、前記  
 第2制御線に供給される制御信号に従って前記第1制御線を駆動するように前記複数の制  
 御線群のうち対応する制御線群の前記第1制御線の他端に接続され、前記複数の補助駆動  
 回路の各々は、前記第2駆動回路によって前記対応する第2制御線に供給される制御信号  
 、および、前記制御信号とは異なり、前記対応する第1制御線の信号とは異なる第2信号  
 に従って、前記対応する第1制御線を駆動し、前記第2信号は、前記補助駆動回路が前記  
 対応する第1制御線を所定電圧に向かって駆動する期間を規定する、

ことを特徴とする撮像装置。

【請求項 2】

10

20

前記補助駆動回路は、前記第 1 駆動回路が前記第 1 制御線を第 1 電圧から第 2 電圧に駆動するときに、前記第 1 制御線を前記第 1 電圧から前記第 2 電圧に駆動する、  
ことを特徴とする請求項 1 に記載の撮像装置。

【請求項 3】

前記補助駆動回路は、前記第 1 制御線他端と前記第 2 電圧を供給するノードとの間に接続されたトランジスタを含み、

前記補助駆動回路は、前記トランジスタをオンすることにより、前記第 1 制御線を駆動する、

ことを特徴とする請求項 2 に記載の撮像装置。

【請求項 4】

時間幅信号が前記行駆動回路および前記補助回路に供給される、

ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の撮像装置。

【請求項 5】

前記第 1 駆動回路は、第 1 期間を規定する第 1 パルス信号を前記第 1 制御線に供給し、

前記第 2 駆動回路は、第 2 期間を規定する第 2 パルス信号を前記制御信号として前記第 2 制御線に供給し、

前記第 1 期間の全体が前記第 2 期間に属する、

ことを請求項 4 に記載の撮像装置。

【請求項 6】

前記時間幅信号は、第 3 期間を規定する第 3 パルス信号であり、

前記第 3 期間の全体が前記第 2 期間に属する、

ことを特徴とする請求項 5 に記載の撮像装置。

【請求項 7】

前記第 3 期間は、前記第 1 期間と等しい、

ことを特徴とする請求項 6 に記載の撮像装置。

【請求項 8】

前記複数の画素の各々は、光電変換部と、電荷電圧変換部と、前記光電変換部で生じた電荷を前記電荷電圧変換部に転送する転送部と、前記電荷電圧変換部の電圧をリセットするリセット部とを含み、

前記第 1 制御線は、前記リセット部を制御するように前記リセット部に接続されている

ことを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の撮像装置。

【請求項 9】

前記複数の画素の各々は、選択部を更に含み、前記選択部が活性化されることによって前記複数の画素のうち前記選択部を含む画素が選択され、

前記第 2 制御線は、前記選択部を制御するように前記選択部に接続されている、

ことを特徴とする請求項 8 に記載の撮像装置。

【請求項 10】

前記電荷電圧変換部は、電荷電圧変換ノードと、前記電荷電圧変換ノードの容量を変更するためのスイッチを含み、

前記複数の制御線群の各々は、前記複数の行のうち対応する行の画素の前記スイッチを制御するための第 3 制御線を更に含み、

前記行駆動回路は、複数の第 3 駆動回路を更に含み、前記複数の第 3 駆動回路の各々は、前記複数の制御線群のうち対応する制御線群の前記第 3 制御線を駆動するように前記第 3 制御線の一端に接続され、

前記補助回路は、複数の第 2 補助駆動回路を含み、前記複数の第 2 補助駆動回路の各々は、前記複数の制御線群のうち対応する制御線群の前記第 3 制御線を駆動するように前記第 3 制御線他端に接続されている、

ことを特徴とする請求項 8 又は 9 に記載の撮像装置。

【請求項 11】

前記複数の第2補助駆動回路は、前記複数の第2補助駆動回路に対して共通に生成される制御信号に応答して前記複数の制御線群のそれぞれの前記第3制御線を駆動する、  
ことを特徴とする請求項10に記載の撮像装置。

【請求項12】

前記複数の第2補助駆動回路は、前記複数の制御線群のそれぞれの前記第3制御線が前記複数の第2補助駆動回路によって同時に駆動される期間が存在するように構成されている、

ことを特徴とする請求項11に記載の撮像装置。

【請求項13】

複数の行および複数の列を構成するように配列された複数の画素と、

10

前記複数の行の1つに対して1つの制御線群が接続されるように、前記複数の行にそれぞれ割り当てられた複数の制御線群と、

前記複数の制御線群を駆動する行駆動回路と、

補助回路と、を備え、

前記複数の画素の各々は、光電変換部と、電荷電圧変換部と、前記光電変換部で生じた電荷を前記電荷電圧変換部に転送する転送部と、前記電荷電圧変換部の電圧をリセットするリセット部とを含み、

前記電荷電圧変換部は、電荷電圧変換ノードと、前記電荷電圧変換ノードの容量を変更するためのスイッチを含み、

前記複数の制御線群の各々は、前記複数の行のうち対応する行の画素の前記スイッチを制御するためのスイッチ制御線を含み、

20

前記行駆動回路は、複数の駆動回路を含み、前記複数の駆動回路の各々は、前記複数の制御線群のうち対応する制御線群の前記スイッチ制御線を駆動するように前記スイッチ制御線の一端に接続され、

前記補助回路は、複数の補助駆動回路を含み、前記複数の補助駆動回路の各々は、前記複数の制御線群のうち対応する制御線群の前記スイッチ制御線を駆動するように前記スイッチ制御線の他端に接続され、

前記複数の補助駆動回路は、前記複数の補助駆動回路に対して共通に生成される制御信号に応答して前記複数の制御線群のそれぞれの前記スイッチ制御線を駆動する、

ことを特徴とする撮像装置。

30

【請求項14】

複数の行および複数の列を構成するように配列された複数の画素と、

前記複数の行の1つに対して1つの制御線群が接続されるように、前記複数の行にそれぞれ割り当てられた複数の制御線群と、

前記複数の制御線群を駆動する行駆動回路と、

補助回路と、を備え、

前記複数の画素の各々は、光電変換部と、電荷電圧変換部と、前記光電変換部で生じた電荷を前記電荷電圧変換部に転送する転送部と、前記電荷電圧変換部の電圧をリセットするリセット部とを含み、

前記電荷電圧変換部は、電荷電圧変換ノードと、前記電荷電圧変換ノードの容量を変更するためのスイッチを含み、

40

前記複数の制御線群の各々は、前記複数の行のうち対応する行の画素の前記スイッチを制御するためのスイッチ制御線を含み、

前記行駆動回路は、複数の駆動回路を含み、前記複数の駆動回路の各々は、前記複数の制御線群のうち対応する制御線群の前記スイッチ制御線を駆動するように前記スイッチ制御線の一端に接続され、

前記補助回路は、複数の補助駆動回路を含み、前記複数の補助駆動回路の各々は、前記複数の制御線群のうち対応する制御線群の前記スイッチ制御線を駆動するように前記スイッチ制御線の他端に接続され、

前記複数の補助駆動回路は、前記複数の制御線群のそれぞれの前記スイッチ制御線が前

50

記複数の補助駆動回路によって同時に駆動される期間が存在するように構成されている、  
ことを特徴とする撮像装置。

【請求項 1 5】

前記複数の補助駆動回路の各々は、前記複数の駆動回路のうち対応する駆動回路が複数の前記制御線群のうち対応する制御線群の前記スイッチ制御線を第 1 電圧に駆動するとき、前記対応する制御線群の前記スイッチ制御線を前記第 1 電圧に駆動する、

ことを特徴とする請求項 1 3 又は 1 4 に記載の撮像装置。

【請求項 1 6】

前記複数の補助駆動回路の各々は、前記対応する制御線群の前記スイッチ制御線他端と前記第 1 電圧を供給するノードとの間に接続されたトランジスタを含み、前記トランジスタがオンされることにより、前記対応する制御線が駆動される、

ことを特徴とする請求項 1 5 に記載の撮像装置。

【請求項 1 7】

前記複数の画素は、前記第 1 駆動回路および前記第 2 駆動回路を含む行駆動回路と前記補助回路との間に配置されている、

ことを特徴とする請求項 1 乃至 1 2 のいずれか 1 項に記載の撮像装置。

【請求項 1 8】

前記複数の補助駆動回路の各々は、前記対応する第 2 制御線に供給される前記制御信号、および、前記第 2 信号を受信し、前記対応する制御線群の前記第 1 制御線を駆動するための信号を発生する論理ゲートを含む、

ことを特徴とする請求項 1 乃至 1 2 のいずれか 1 項に記載の撮像装置。

【請求項 1 9】

前記行駆動回路は、前記複数の画素から画素を選択するように構成され、

前記撮像装置は、前記行駆動回路によって選択された画素から信号を読み出すように構成された読出回路を更に備える、

ことを特徴とする請求項 1 3 乃至 1 6 のいずれか 1 項に記載の撮像装置。

【請求項 2 0】

複数の行および複数の列を構成するように配列された複数の画素と、

前記複数の行の 1 つに対して 1 つの制御線群が接続されるように、前記複数の行にそれぞれ割り当てられた複数の制御線群と、

前記複数の制御線群を駆動する行駆動回路と、

補助回路と、を備え、

前記複数の制御線群の各々は、第 1 制御線および第 2 制御線を含み、

前記行駆動回路は、前記第 1 制御線の一端に接続された第 1 駆動回路と、前記第 2 制御線の一端に接続された第 2 駆動回路と、を含み、

前記補助回路は、複数の補助駆動回路を含み、前記複数の補助駆動回路の各々は、前記複数の制御線群のうち対応する制御線群の前記第 1 制御線他端に接続され、

前記複数の補助駆動回路の各々は、前記対応する第 2 制御線に供給される制御信号に従って、前記対応する第 1 制御線を駆動し、

前記複数の画素は、前記第 1 駆動回路および前記第 2 駆動回路を含む行駆動回路と前記補助回路との間に配置されている、

ことを特徴とする撮像装置。

【請求項 2 1】

請求項 1 乃至 2 0 のいずれか 1 項に記載の撮像装置と、

前記撮像装置から出力される信号を処理する集積回路と、

を備えることを特徴とする移動体。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、撮像装置および移動体に関する。

10

20

30

40

50

## 【背景技術】

## 【0002】

特許文献1には、第1の基板と第2の基板とで構成された撮像装置が記載されている。第1の基板は、複数の画素を有する画素部を含む。第2の基板は、画素直下領域を挟むように配置された第1の垂直走査回路および第2の垂直走査回路と、画素直下領域に配置された第1のバッファおよび第2のバッファとを含む。画素部の同一行に配置された複数の画素のうちの第1のバッファに近い画素には、第1のバッファから出力される制御信号が供給される。画素部の同一行に配置された複数の画素のうちの第2のバッファに近い画素には、第2のバッファから出力される制御信号が供給される。画素部の同一行に配置された複数の画素のうちの中央に配置された画素には、第1のバッファおよび第2のバッファから出力される制御信号が供給される。特許文献1に記載された撮像装置では、以上のような構成によって同一行に配置された複数の画素に対する制御信号の供給タイミングのずれが小さくされる。

10

## 【先行技術文献】

## 【特許文献】

## 【0003】

【特許文献1】特開2015-70591号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

20

特許文献1に記載された撮像装置は、画素直下領域を挟むように第1および第2の垂直走査回路が配置されているので、全体の回路規模が大きくなるとともに撮像装置のサイズが大きくなる。

## 【0005】

本発明は、同一行に配置された複数の画素に対して信号が到達するタイミングの差を低減しつつ撮像装置の大型化を抑制するために有利な技術を提供する。

## 【課題を解決するための手段】

## 【0006】

本発明の1つの側面は、撮像装置に係り、前記撮像装置は、複数の行および複数の列を構成するように配列された複数の画素と、前記複数の行の1つに対して1つの制御線群が接続されるように、前記複数の行にそれぞれ割り当てられた複数の制御線群と、前記複数の制御線群を駆動する行駆動回路と、補助回路と、を備え、前記複数の制御線群の各々は、第1制御線および第2制御線を含み、前記行駆動回路は、前記第1制御線の一端に接続された第1駆動回路と、前記第2制御線の一端に接続された第2駆動回路と、を含み、前記補助回路は、前記第2制御線に供給される制御信号に従って前記第1制御線を駆動するように前記第1制御線他端に接続された補助駆動回路を含む。

30

## 【発明の効果】

## 【0007】

本発明によれば、同一行に配置された複数の画素に対して信号が到達するタイミングの差を低減しつつ撮像装置の大型化を抑制するために有利な技術が提供される。

40

## 【図面の簡単な説明】

## 【0008】

【図1】本発明の第1実施形態の撮像装置の構成を示す図。

【図2】本発明の第1実施形態における時間幅信号PRESB、選択制御信号SEL、リセット制御信号RES、選択制御信号SWを示す図。

【図3】本発明の第1実施形態における第1～第n行の感度制御信号FDINC[1]～FDINC[n]および制御信号ENBを示す図。

【図4】本発明の第2実施形態の撮像装置の構成を示す図。

【図5】本発明の第3実施形態の撮像装置の構成を示す図。

【図6】本発明の適用例としての移動体の構成を示す図。

50

## 【発明を実施するための形態】

## 【0009】

以下、添付図面を参照しながら本発明をその例示的な実施形態を通して説明する。

## 【0010】

図1には、本発明の第1実施形態の撮像装置1の構成が示されている。撮像装置1は、画素アレイ10、行駆動回路20、補助回路30、制御回路40および読出回路50を備えうる。画素アレイ10は、複数の行および複数の列を構成するように配列された複数の画素11を有する。画素11は、光電変換部PDと、電荷電圧変換部CVCと、光電変換部PDで生じた電荷を電荷電圧変換部CVCに転送する転送部Tr1と、電荷電圧変換部CVCの電圧をリセットするリセット部Tr2とを含みうる。

10

## 【0011】

光電変換部PDは、例えば、フォトダイオードで構成されうる。電荷電圧変換部CVCは、電荷電圧変換ノードFDと、電荷電圧変換ノードFDの容量を変更するためのスイッチTr5と、容量Cとを含みうる。スイッチTr5がオンされると、容量Cが電荷電圧変換ノードFDに接続され、電荷電圧変換ノードFDの容量が増加する。つまり、スイッチTr5がオンされると、画素11が低感度モードに設定され、スイッチTr5がオフされると、画素11が高感度モードに設定される。電荷電圧変換ノードFDの容量は、電荷電圧変換ノードFDと所定電圧（例えば、接地電圧）との間の容量を意味する。

## 【0012】

転送部Tr1は、光電変換部PDと電荷電圧変換部CVCとの間の半導体領域にチャンネルを形成するゲート電極で構成されうる。あるいは、転送部Tr1は、MOSトランジスタで構成されるものとしても理解されうる。転送部Tr1は、ゲート電極に供給される転送制御信号TX[i]が活性化されることによって前記半導体領域にチャンネルを形成し、このチャンネルを通して光電変換部PDで生じた電荷を電荷電圧変換部CVCに転送する。リセット部Tr2は、MOSトランジスタで構成されうる。リセット部Tr2は、そのMOSトランジスタのゲート電極に供給されるリセット制御信号RES[i]が活性化されることによって電荷電圧変換部CVCの電圧をリセットする。

20

## 【0013】

また、各画素11は、電荷電圧変換部CVCの電圧に応じた信号を列信号線12に出力する増幅部Tr3と、画素11を選択状態または非選択状態にするための選択部Tr4とを含みうる。増幅部Tr3は、電荷電圧変換部CVC（電荷電圧変換ノードFD）にゲート電極が接続されたMOSトランジスタで構成され、列信号線12に接続された不図示の電流源とともにソースフォロア回路を構成しうる。選択部Tr4は、MOSトランジスタで構成されうる。選択部Tr4は、そのMOSトランジスタのゲート電極に供給される選択制御線SEL[i]が活性化されることによって増幅部Tr3を動作状態（増幅部Tr3が列信号線12を駆動可能な状態）にする。

30

## 【0014】

行駆動回路20は、画素アレイ10の複数の行にそれぞれ割り当てられた複数の制御線群を駆動する。各行に割り当てられた制御線群は、例えば、リセット制御線RES[i]、転送制御線TX[i]、選択制御線SEL[i]、感度制御線FDINC[i]を含みうる（iは行番号を示し、1～nである）。行駆動回路20は、複数の制御線群に供給すべき制御信号群を発生する。制御信号群は、例えば、リセット制御信号RES[i]、転送制御信号TX[i]、選択制御信号SEL[i]、感度制御信号FDINC[i]を含みうる。リセット制御信号RES[i]は、リセット制御線RES[i]に供給される。転送制御信号TX[i]は、転送制御線TX[i]に供給される。選択制御信号SEL[i]は、選択制御線SEL[i]に供給される。感度制御信号FDINC[i]は、感度制御線FDINC[i]に供給される。

40

## 【0015】

行駆動回路20は、複数の制御信号群を発生する行選択回路21（例えば、垂直走査回路）と、行選択回路21が発生した複数の制御信号群をそれぞれバッファリングするバッ

50

ファ回路群 2 2 とを含みうる。なお、行選択回路 2 1 から出力される複数の制御信号群とバッファ回路群 2 2 から出力される複数の制御信号群とは、論理レベルが同じであるので、両者を同じ信号名称で示す。例えば、行選択回路 2 1 から出力されるリセット制御信号およびバッファ回路群 2 2 から出力されるリセット制御信号は、ともに  $RES[i]$  で示される。バッファ回路群 2 2 は、複数のバッファ回路 2 2 1 を有する。1 つのバッファ回路 2 2 1 は、1 つの行に対応する。

#### 【0016】

バッファ回路群 2 2 は、バッファ回路 2 2 2、2 2 3、2 2 4、2 2 5 を含む。バッファ回路 2 2 2 (第 1 駆動回路) は、リセット制御線  $RES[i]$  (第 1 制御線) を駆動するようにリセット制御線  $RES[i]$  の一端に接続されている。バッファ回路 2 2 2 (第 1 駆動回路) は、リセット制御信号  $RES[i]$  を活性化させるときは、リセット制御信号  $RES[i]$  を論理ハイレベルである第 1 電圧  $VDD$  (電源電圧) にする。また、バッファ回路 2 2 2 (第 1 駆動回路) は、リセット制御信号  $RES[i]$  を非活性化させるときは、リセット制御信号  $RES[i]$  を論理ローレベルである第 2 電圧  $VL$  (第 1 電圧より低い電圧、例えば接地電圧) にする。

#### 【0017】

バッファ回路 2 2 3 は、転送制御線  $TX[i]$  を駆動するように転送制御線  $TX[i]$  の一端に接続されている。バッファ回路 2 2 4 (第 2 駆動回路) は、選択制御線  $SEL[i]$  (第 2 制御線) を駆動するように選択制御線  $SEL[i]$  の一端に接続されている。バッファ回路 2 2 5 (第 3 駆動回路) は、感度制御線  $FDINC[i]$  (第 3 制御線) を駆動するように感度制御線  $FDINC[i]$  の一端に接続されている。

#### 【0018】

補助回路 3 0 は、第 1 ~ 第  $n$  行にそれぞれ対応する複数の行補助回路 3 1 を含む。各行補助回路 3 1 は、補助駆動回路 3 4 を含みうる。換言すると、補助回路 3 0 は、第 1 行 ~ 第  $n$  行にそれぞれ対応する複数の補助駆動回路 3 4 を含みうる。補助駆動回路 3 4 は、選択制御線  $SEL[i]$  (第 2 制御線) に供給される選択制御信号  $SEL[i]$  (第 2 制御信号) に従ってリセット制御線  $RES[i]$  (第 1 制御線) を駆動するようにリセット制御線  $RES[i]$  の他端に接続されている。補助駆動回路 3 4 は、画素アレイ 1 0 の複数の行のそれぞれに対して (即ち、第 1 行 ~ 第  $n$  行) に対して設けられている。補助駆動回路 3 4 は、選択制御信号  $SEL[i]$  (第 2 制御信号) の他、時間幅信号  $PRESB$  に従ってリセット制御線  $RES[i]$  (第 1 制御線) を駆動しうる。時間幅信号  $PRESB$  は、補助駆動回路 3 4 がリセット制御線  $RES[i]$  (第 1 制御線) を駆動する期間を規定する信号である。補助駆動回路 3 4 は、例えば、AND 回路 3 2 と、MOS トランジスタ 3 3 とを含みうる。AND 回路 3 2 は、選択制御信号  $SEL[i]$  と時間幅信号  $PRESB$  との論理積を駆動信号  $SW[i]$  として出力する。MOS トランジスタ 3 3 は、ゲート電極に駆動信号  $SW[i]$  が供給され、ソース電極に第 2 電圧  $VL$  (第 2 電圧  $VL$  を供給するノード) が供給され、ドレイン電極がリセット制御線  $RES[i]$  (第 1 制御線) に接続されている。補助駆動回路 3 4 は、バッファ回路 2 2 2 (第 1 駆動回路) がリセット制御線  $RES[i]$  (第 1 制御線) を第 1 電圧  $VDD$  から第 2 電圧  $VL$  に駆動するときに、リセット制御線  $RES[i]$  (第 1 制御線) を第 1 電圧  $VDD$  から第 2 電圧  $VL$  に駆動する。

#### 【0019】

各行補助回路 3 1 は、第 2 補助駆動回路 3 7 を含みうる。換言すると、補助回路 3 0 は、第 1 行 ~ 第  $n$  行にそれぞれ対応する複数の第 2 補助駆動回路 3 7 を含みうる。複数の第 2 補助駆動回路 3 7 の各々は、複数の駆動線群のうち対応する駆動線群の感度制御線  $FDINC[i]$  (第 3 制御線) を駆動するように感度制御線  $FDINC[i]$  の他端に接続されている。複数の第 2 補助駆動回路 3 7 は、複数の第 2 補助駆動回路 3 7 に対して共通に供給される制御信号  $ENB$  に応答して複数の駆動線群の感度制御線  $FDINC[i]$  (第 3 制御線) を第 1 電圧  $VDD$  に駆動する。第 2 補助駆動回路 3 7 は、例えば、制御信号  $ENB$  が供給されるインバータ 3 5 と、インバータ 3 5 によって駆動される MOS トランジスタ

10

20

30

40

50

36とを含みうる。MOSトランジスタ36は、ゲート電極がインバータ35の出力端子に接続され、ソース電極に第1電圧VDDが供給され、ドレイン電極が感度制御線FDINC[i]に接続されている。第2補助駆動回路37は、バッファ回路225(第3駆動回路)が感度制御線FDINC[i](第3制御線)を第2電圧VLから第1電圧VDDに駆動するときに、感度制御線FDINC[i](第3制御線)を第2電圧VLから第1電圧VDDに駆動する。

#### 【0020】

制御回路40は、行駆動回路20を制御するための制御信号を発生し行駆動回路20に供給する他、前述の時間幅信号PRESBおよび制御信号ENBを発生し補助回路30に供給する。読出回路50は、行駆動回路20によって選択された行の複数の画素11の信号を複数の列信号線12を介して読み出す。読出回路50は、例えば、複数の列信号線12にそれぞれ対応する複数の列アンプと、該複数の列アンプによって読み出された複数の信号を保持する保持回路と、水平選択回路(列選択回路)等を含みうる。

10

#### 【0021】

図2には、画素アレイ10の第(i-1)行、第i行および第(i+1)行の画素11からの信号の読み出し時における時間幅信号PRESB、選択制御信号SEL、リセット制御信号RESおよび選択制御信号SWが示されている。なお、転送制御信号TXは省略されている。

#### 【0022】

画素アレイ10の第i行の画素11から信号を読み出す場合、第i行のバッファ回路224によって第i行の選択制御信号SEL[i](第2制御信号)が第2期間T2にわたって活性化される。選択制御信号SEL[i]は、第2期間T2を規定する第2パルス信号として理解されうる。第i行の選択制御信号SEL[i](第2制御信号)が活性化された後、第i行のバッファ回路222によって第i行のリセット制御信号RES[i](第1制御信号)が第1期間T1にわたって活性化される。リセット制御信号RES[i]は、第1期間T1を規定する第1パルス信号として理解されうる。ここで、第1期間T1の全体が第2期間T2に属しうる。

20

#### 【0023】

時間幅信号PRESBは、第1行~第n行のそれぞれについて、第3期間T3にわたって活性化される信号でありうる。時間幅信号PRESBは、第3期間T3を規定する第3パルス信号として理解されうる。第3期間T3の全体が第2期間T2に属しうる。第3期間T3は、第1期間T1と等しく設定されることが好ましい。換言すると、時間幅信号PRESBは、RES[i](i=1~n)のそれぞれが活性化されるときに活性化されることが好ましい。

30

#### 【0024】

補助駆動回路34のAND回路32は、選択制御信号SEL[i]と時間幅信号PRESBとの論理積を駆動信号SW[i]として出力する。第1期間T1において、駆動信号SW[i]が活性化され、MOSトランジスタ33がリセット制御線RES[i]を第2電圧VLに駆動する。したがって、画素アレイ10の第i行の画素11から信号を読み出す場合、第i行のリセット制御線RES[i]は、第1期間T1において、第i行のバッファ回路222および第i行の補助駆動回路34の双方によって第2電圧VLに駆動される。これにより、第i行(即ち、読出対象の行)の画素11の電荷電圧変換部CVCをリセットするリセット部Tr2を高速に非活性化することができる。これは、第i行(即ち、読出対象の行)の画素11から信号を読み出すために要する時間を短縮するために有利である。また、第i行のリセット制御線RES[i]が第i行のバッファ回路222および第i行の補助駆動回路34によって第2電圧VLに駆動されることによって、第i行の複数の画素11間でのリセット解除のタイミングの差を低減することができる。また、このような駆動は、隣接する行間におけるクロストークの低減に有利である。

40

#### 【0025】

以上のような構成によれば、第i行の補助駆動回路34を第i行の選択制御信号SE

50



L[i]に従って動作させるので、複数の補助駆動回路34のうち動作させるべき補助駆動回路34を選択するためにデコーダを設ける必要がない。したがって、補助回路30（補助駆動回路34）を設けることによる撮像装置1の大型化を抑制することができる。

#### 【0026】

第i行の画素11からの信号の読み出しは、第i行の選択制御信号SEL[i]が活性化され、第i行のリセット制御信号RES[i]が非活性化された後に、第i行の転送制御信号TX[i]を活性化することによってなされる。第i行の転送制御信号TX[i]が活性化されることによって、第i行の各画素11において、光電変換部PDから電荷電圧変換部CVCに転送され、増幅部Tr3は、電荷電圧変換部CVCに転送された電荷に応じた信号を列信号線12に出力する。列信号線12に出力された信号は、読出回路50によって読み出される。

10

#### 【0027】

以上の例では、補助駆動回路34は、選択制御線SEL[i]（第2制御線）に供給される選択制御信号SEL[i]（第2制御信号）に従ってリセット制御線RES[i]（第1制御線）を駆動するようにリセット制御線RES[i]の他端に接続されている。これに代えて、補助駆動回路34は、選択制御線SEL[i]（第2制御線）に供給される選択制御信号SEL[i]（第2制御信号）に従って転送制御線TX[i]（第1制御線）を駆動するように転送制御線TX[i]の他端に接続されている。この場合、補助駆動回路34は、バッファ回路223が転送制御線TX[i]を駆動するときに、その駆動を補助するように構成されうる。例えば、補助駆動回路34は、バッファ回路223が転送制御線TX[i]を論理ハイレベルに駆動するときに、その駆動を補助するように構成されうる。また、例えば、補助駆動回路34は、バッファ回路223が転送制御線TX[i]を論理ローレベルに駆動するときに、その駆動を補助するように構成されうる。

20

#### 【0028】

図3には、第1～第n行の感度制御信号FDINC[1]～FDINC[n]および制御信号ENBが示されている。感度制御信号FDINC[1]～FDINC[n]は、行駆動回路20によって生成される。制御信号ENBは、制御回路40によって第1～第n行に対して共通の信号として生成され補助回路30（第2補助駆動回路37）に供給される。これにより、第1行～第n行の感度制御線FDINC[1]～FDINC[n]は、第1行～第n行の第2補助駆動回路37によって第2電圧VLから第1電圧VDに同時に駆動される。なお、このような駆動は一例に過ぎず、第1行～第n行の第2補助駆動回路37によって第1行～第n行の感度制御線FDINC[1]～FDINC[n]が第2電圧VLから第1電圧VDに同時に駆動される期間が存在するように構成が変更されてもよい。

30

#### 【0029】

第1行～第n行の感度制御線FDINC[1]～FDINC[n]の各々を行駆動回路20のバッファ回路225および補助回路30の第2補助駆動回路37によって駆動する構成は、クロストークおよびスミアの低減に有効である。

#### 【0030】

図4には、本発明の第2実施形態の撮像装置1の構成が示されている。第2実施形態の撮像装置1は、図1に示された第1実施形態の撮像装置1から第2補助駆動回路37を取り除いた構成を有する。図5には、本発明の第3実施形態の撮像装置1の構成が示されている。第3実施形態の撮像装置1は、図1に示された第1実施形態の撮像装置1から補助駆動回路34を取り除いた構成を有する。

40

#### 【0031】

以下、撮像装置1を移動体に適用した例を説明する。移動体は、例えば、車載カメラを備えた自動車である。図6(a)は、自動車2100の外観と主な内部構造を模式的に示している。自動車2100は、撮像装置2102、撮像システム用集積回路(ASIC: Application Specific Integrated Circuit)2103、警報装置2112、主制御部2113を備える。

50

## 【0032】

撮像装置2102には、上述の第1乃至第3実施形態に代表される撮像装置1が用いられる。警報装置2112は、撮像システム、車両センサ、制御ユニットなどから異常を示す信号を受けたときに、運転手へ向けて警告を行う。主制御部2113は、撮像システム、車両センサ、制御ユニットなどの動作を統括的に制御する。なお、自動車2100が主制御部2113を備えていなくてもよい。この場合、撮像システム、車両センサ、制御ユニットが個別に通信インターフェースを有して、それぞれが通信ネットワークを介して制御信号の送受を行う（例えばCAN規格）。

## 【0033】

図6(b)は、自動車2100のシステム構成を示すブロック図である。自動車2100は、第1の撮像装置2102と第2の撮像装置2102を含む。つまり、本実施例の車載カメラはステレオカメラである。撮像装置2102には、光学部2114により被写体像が結像される。撮像装置2102から出力された画素信号は、画像前処理部2115によって処理され、そして、撮像システム用集積回路2103に伝達される。画像前処理部2115は、S-N演算や、同期信号付加などの処理を行う。

## 【0034】

撮像システム用集積回路2103は、画像処理部2104、メモリ2105、光学測距部2106、視差演算部2107、物体認知部2108、異常検出部2109、および、外部インターフェース(I/F)部2116を備える。画像処理部2104は、画素信号を処理して画像信号を生成する。また、画像処理部2104は、画像信号の補正や異常画素の補完を行う。メモリ2105は、画像信号を一時的に保持する。また、メモリ2105は、既知の撮像装置2102の異常画素の位置を記憶していてもよい。光学測距部2106は、画像信号を用いて被写体の合焦または測距を行う。視差演算部2107は、視差画像の被写体照合(ステレオマッチング)を行う。物体認知部2108は、画像信号を解析して、自動車、人物、標識、道路などの被写体の認知を行う。異常検出部2109は、撮像装置2102の故障、あるいは、誤動作を検知する。異常検出部2109は、故障や誤動作を検知した場合には、主制御部2113へ異常を検知したことを示す信号を送る。外部I/F部2116は、撮像システム用集積回路2103の各部と、主制御部2113あるいは種々の制御ユニット等との間での情報の授受を仲介する。

## 【0035】

自動車2100は、車両情報取得部2110および運転支援部2111を含む。車両情報取得部2110は、速度・加速度センサ、角速度センサ、舵角センサ、測距レーダ、圧力センサなどの車両センサを含む。

## 【0036】

運転支援部2111は、衝突判定部を含む。衝突判定部は、光学測距部2106、視差演算部2107、物体認知部2108からの情報に基づいて、物体との衝突可能性があるか否かを判定する。光学測距部2106や視差演算部2107は、対象物までの距離情報を取得する距離情報取得手段の一例である。すなわち、距離情報とは、視差、デフォーカス量、対象物までの距離等に関する情報である。衝突判定部はこれらの距離情報のいずれかを用いて、衝突可能性を判定してもよい。距離情報取得手段は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよい。

## 【0037】

運転支援部2111が他の物体と衝突しないように自動車2100を制御する例を説明したが、他の車両に追従して自動運転する制御や、車線からはみ出さないように自動運転する制御などにも適用可能である。

## 【0038】

自動車2100は、さらに、エアバッグ、アクセル、ブレーキ、ステアリング、トランスミッション等の走行に用いられる駆動部を具備する。また、自動車2100は、それらの制御ユニットを含む。制御ユニットは、主制御部2113の制御信号に基づいて、対応

する駆動部を制御する。

#### 【 0 0 3 9 】

本実施例に用いられた撮像システムは、自動車に限らず、例えば、船舶、航空機あるいは産業用ロボットなどの移動体（移動装置）に適用することができる。加えて、移動体に限らず、高度道路交通システム（ITS）等、広く物体認識を利用する機器に適用することができる。

#### 【 0 0 4 0 】

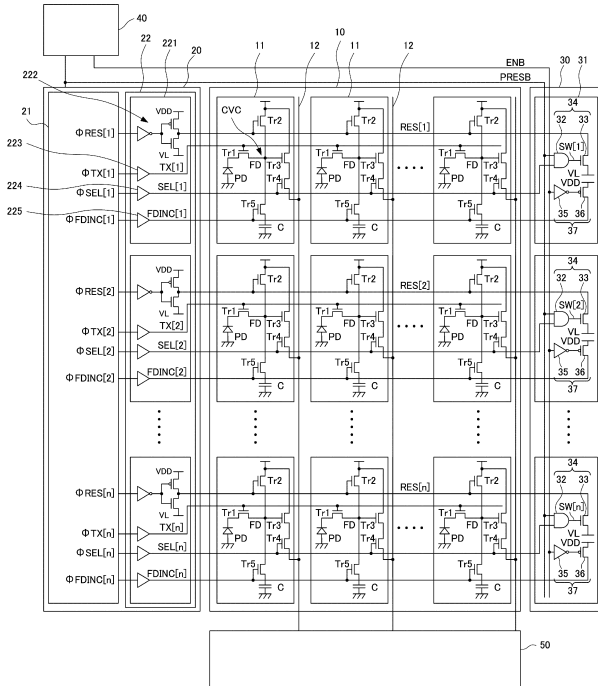
以上に説明した通り、自動車の実施例において、撮像装置 2 1 0 2 には、上述の第 1 ～ 第 3 の実施形態のいずれかの撮像装置が用いられる。このような構成によれば、テストカバレッジ率を向上させることができる。

#### 【 符号の説明 】

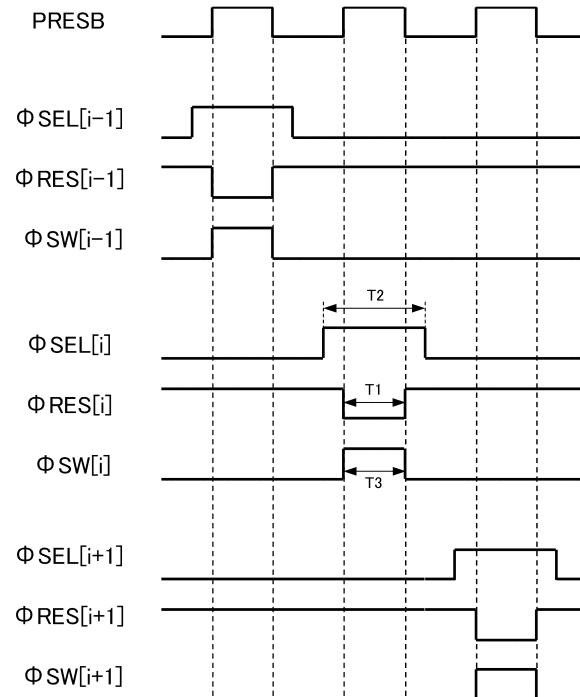
#### 【 0 0 4 1 】

1：撮像装置、10：画素アレイ、11：画素、PD：光電変換部、Tr1：転送部、Tr2：リセット部、Tr3：増幅部、Tr4：選択部、Tr5：スイッチ、CVC：電荷電圧変換部、FD：電荷電圧変換ノード、C：容量、20：行駆動回路、21：行選択回路、22：バッファ回路群、221：バッファ回路、RES：リセット制御信号、TX：転送制御信号、SEL：選択制御信号、FDINC：感度制御信号、30：補助回路、31：

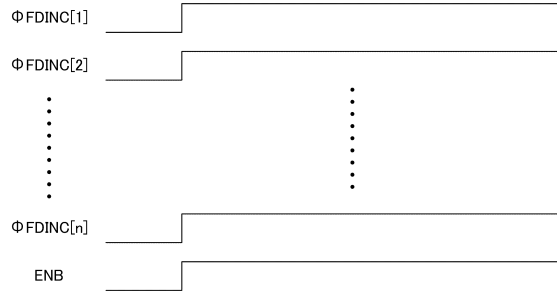
【 図 1 】



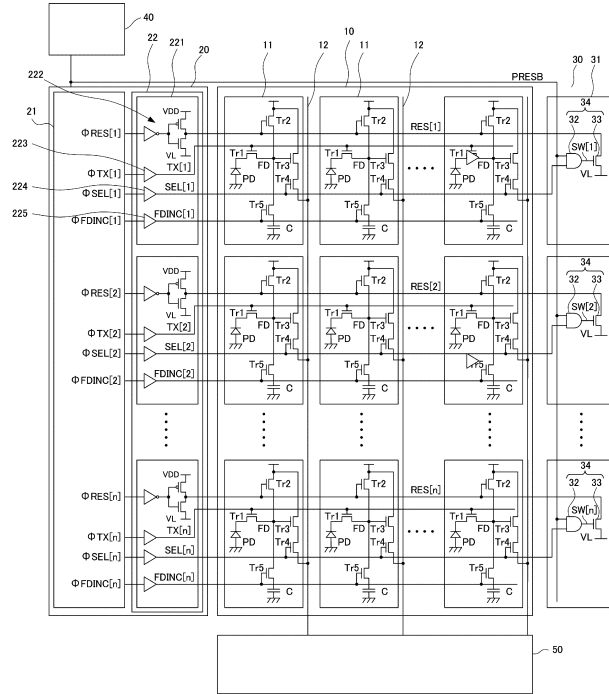
【 図 2 】



【図 3】

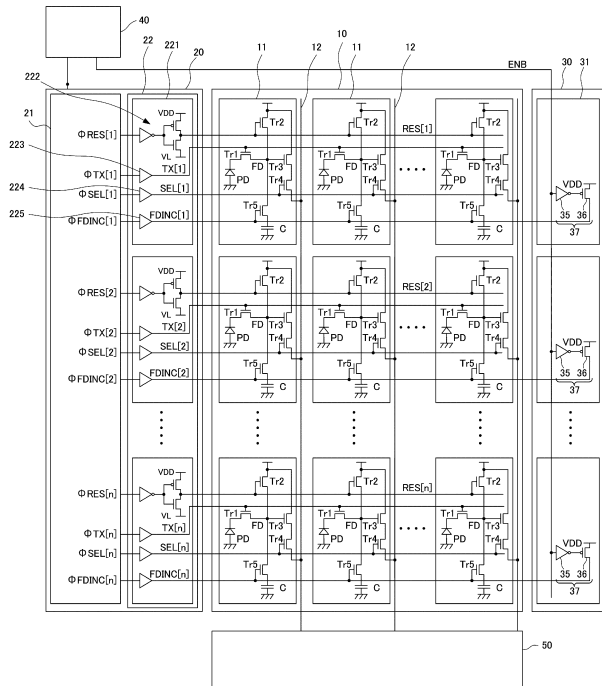


【図 4】



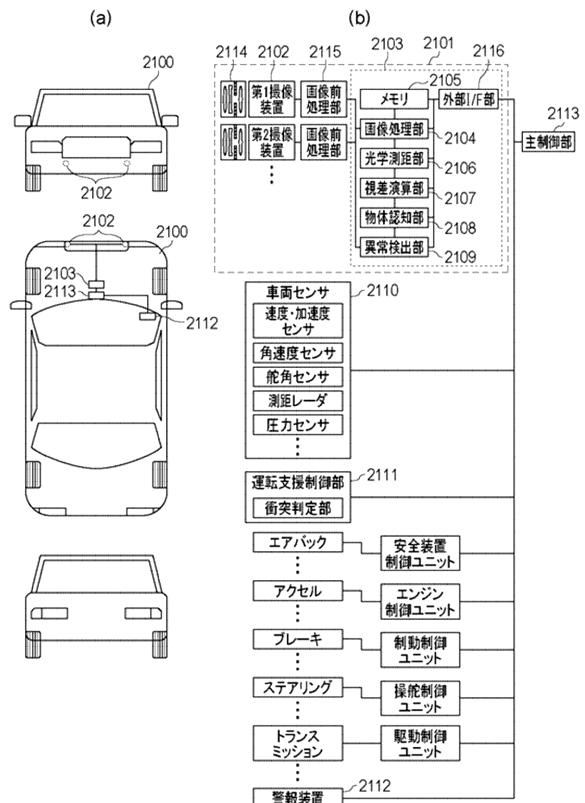
1

【図 5】



1

【図 6】



---

フロントページの続き

(56)参考文献 特開 2 0 0 9 - 2 9 0 7 8 4 ( J P , A )  
特開 2 0 0 9 - 0 1 7 2 1 8 ( J P , A )  
特開 2 0 0 7 - 2 0 8 3 2 2 ( J P , A )  
特開 2 0 1 1 - 1 2 0 1 4 8 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 3 3 9  
H 0 1 L 2 7 / 1 4 - 2 7 / 1 4 8  
H 0 1 L 2 7 / 3 0  
H 0 1 L 2 9 / 7 6 2  
H 0 4 N 5 / 3 0 - 5 / 3 7 8