

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：9218351

※申請日期：92-07-04

※IPC 分類：H01L21/00

壹、發明名稱：(中文/日文)

半導體裝置及其製造方法

半導体装置及びその製造方法

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商東芝股份有限公司

KABUSHIKI KAISHA TOSHIBA

代表人：(中文/英文)

岡村 正

TADASHI OKAMURA

住居所或營業所地址：(中文/英文)

日本國東京都港區芝浦 1 丁目 1 番 1 號

1-1, SHIBAURA, 1-CHOME MINATO-KU, TOKYO 105-8001, JAPAN

國籍：(中文/英文)

日本 JAPAN

參、發明人：(共 1 人)

姓名：(中文/英文)

飯沼 俊彦

住居所地址：(中文/英文)

日本國神奈川縣橫濱市戶塚區上倉田町 601-5-305

國籍：(中文/英文)

日本 JAPAN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1. 日本；2002 年 07 月 10 日；特願 2002-201127

2.

3.

4.

5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本；2002 年 07 月 10 日；特願 2002-201127

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於半導體裝置，特別是關於在源極、汲極擴散層之一部分形成矽化物膜之MIS(Metal Insulator Semiconductor：金屬-絕緣體-半導體)型FET(Field Effect Transistor:場效電晶體)元件。

【先前技術】

具有MIS型FET等電晶體之半導體裝置係，具有形成電晶體之區域(以下稱為電晶體區域)，及形成接觸之區域(以下稱為接觸區域)。接觸係，電性連接電晶體與配線。電晶體區域與接觸區域之境界係，以擁有特定的餘裕形成。該餘裕係，為避免於微影步驟之曝光時，因掩膜圖案之偏移之不適而設。再者，以下，於MIS型FET包含，MOS(Metal Oxide Semiconductor:金屬-氧-半導體)型FET。

近來，半導體裝置之細微化被發展。伴隨此，電晶體區域及接觸區域佔半導體裝置面積之比例增加。因該等區域之比例增加，難以於電晶體區域與接觸區域之境界部擁有餘裕。因此，不擁有餘裕地於電晶體之閘極電極或源極電極形成接觸之技術被要求。該技術係，所謂稱之為無邊界接觸。

圖9~圖12係，依序表示利用無邊界接觸之電晶體之先前之製造步驟。

如圖9所示，於半導體基板101之表面內，形成以矽氧化膜之隔離絕緣膜102、井擴散層103。其次，形成由閘極絕

緣膜112、閘極電極113、第1側壁絕緣膜115所成之閘極構造。其次，藉由植入雜質，於井擴散層103表面形成第2擴散區域122。

其次，如圖10所示，於第1側壁絕緣膜115之周圍形成第2側壁絕緣膜116。其次，藉由植入雜質，形成第1擴散區域121。其次，利用習知之矽化物步驟，於閘極電極113及第1擴散區域121之表面分別形成矽化物膜114a、114b。

其次，如圖11所示，於半導體基板1上之全面，形成矽氧化膜等之層間絕緣膜131。其次，藉由微影步驟及RIE (Reactive Ion Etching: 反應性離子蝕刻)等非等向性蝕刻，形成接觸孔134。於該蝕刻時，利用與接觸孔134之位置對應之位置具有開口之掩膜。

其次，如圖12所示，於接觸孔134內壁上，形成鈦膜、氮化鈦膜所成之積層膜。其次，經由該積層膜以鎢膜填入接觸孔134。此結果，形成接觸132。其次，適宜地形成配線層133。

【發明內容】

發明所欲解決之課題

然而，於微影步驟及蝕刻時，掩膜有產生偏移的情形。發生該偏移的結果，於形成接觸孔134之步驟，掩膜的開口有跨於元件隔離絕緣膜102之情形。

於此，如上所述接觸孔134係藉由蝕刻形成。又，層間絕緣膜131及元件隔離絕緣膜102係，均以矽氧化膜構成。因此，於形成接觸孔134之蝕刻時，產生元件隔離絕緣膜102

被去除一部分之情形。此結果，依地點，可能形成如圖 11 所示之溝 141。

於RIE對矽氧化膜之選擇比，由鈷所形成之矽化物膜 114b 不被蝕刻。因此，典型地，溝 141 形成於元件隔離絕緣膜 102 之中，與矽化物膜 112b 之介面。

圖 13 為放大圖 12 之實線所框區域之圖。如圖 13 所示，於圖 12 所示之步驟，於接觸孔 134 內，形成積層膜 132a 及鎢膜 134b。但，若形成有溝 141，則該溝 141 內亦會形成由積層膜 132a 及鎢膜 134b 所成之接觸 132。

特別是，溝 141 之深度變深，有到達第 1 擴散區域 121 與井擴散層 103 之接合面之情形。此時，因形成於溝 141 內之接觸 134，於此部分產生短路，發生半導體裝置之動作不良。

又，即使溝 141 深度並不是那麼深的情形，亦有如圖 13 所示，溝 141 到達第 1 擴散區域 121 之側面之情形。此時，由積層膜 132a 中之鈦與第 1 擴散區域 121 中的矽會產生鈦矽化物 142。則，於第 1 擴散區域 121 與井擴散層 103 之間，經由矽化物 142 流之漏電流將增大。此結果，產生半導體裝置之動作不良。

又，伴隨著半導體裝置之細微化，第 1 擴散層區域 121 之深度變淺。因此，矽化物膜 114b 底面，與第 1 擴散層區域 121 與井擴散層區域 103 之間之接合面之距離變小。則，如上述即使未形成矽化物 142，亦會增大由矽化物膜 114b 之接合漏電流。

再者，該等問題，因蝕刻之條件等，於產生有所分散。

因此，有降低半導體元件之良率之問題。

又，進行元件的細微化，達閘極長100 nm以下，則於形成第2擴散區域122時產生如以下之問題。即，於第2擴散區域122之形成，利用如上述之離子植入步驟。但，於閘極長100 nm以下則僅單純地以降低離子植入步驟之加速能量，則該區域之薄層電阻將急劇上升。此結果，產生電晶體驅動能力劣化之問題。為避免該問題，可考慮增加植入之雜質原子之數量(滲雜量)之方法。但，即使以該方法實際地於矽中活化之雜質之量幾乎不會增大。因此，無法解決上述問題。再者，不僅無法解決該問題，亦招致增大第2擴散區域122之擴散深度之結果。則，產生招致元件特性劣化(特別是產生短通道效果)之問題。

又，形成接觸孔134時，藉由調整蝕刻時間等，嘗試避免溝141之形成。但，於分別之元件隔離絕緣膜102，避免上述問題，較蝕刻控制性等問題困難。

又，於圖10所示步驟後，由元件隔離絕緣膜102上，到閘極電極113上之矽化物114a上形成矽氮化膜等之墊材之方法亦被考慮。藉由如此做法，嘗試於接觸134之形成時，避免隔離絕緣膜102被不必要的蝕刻。但是，考慮用於層間絕緣膜131及元件隔離絕緣膜102之材料之關係，則無法於該等材料與墊材之間取得十分大的選擇比。因此，為達至解決上述問題。

再者，於上述之例，針對PMOS元件說明，惟對NMOS元件亦會產生同樣的問題。

本發明係為解決上述問題而進行者，其目的係提供，避免形成不必要之矽化物的同時，可減低接合漏電流之半導體裝置及其製造方法。

【課題之解決手段】

本發明係，為解決上述課題利用以下所示手段。

依本發明之第1觀點之半導體裝置，其特徵在於具備：半導體基板；元件隔離絕緣膜，其係配設於前述半導體基板之表面，隔離元件區域者；閘極電極，其經由閘極絕緣膜配設於前述元件區域之前述半導體基板上；一對源極/汲極區域，其包夾前述閘極電極之下之區域的方式形成於前述半導體基板之表面內；矽化物膜，其係配設於前述源極/汲極區域之表面上，且延在至前述元件隔離絕緣膜上，且具有位於較前述半導體基板之表面為上方之上面；層間絕緣膜，其係配設於前述元件隔離絕緣膜上與前述矽化物膜上；接觸孔，其貫通前述層間絕緣膜到達前述矽化物膜，且一端及另一端分別位於前述矽化物膜上及前述隔離絕緣膜上，且於底部且前述元件隔離絕緣膜之上部一端具有與前述矽化物膜之端部接觸之溝部；及配線層，其配設於前述接觸孔內部。

依本發明第2觀點之半導體裝置之製造方法，其特徵在於具備：於半導體基板之表面內，形成隔離元件區域之元件隔離絕緣膜之步驟；於前述元件區域之前述半導體基板之表面內，形成1對源極/汲極區域之步驟；於前述源極/汲極區域之相互間之前述半導體基板上，形成具備閘極絕緣膜

及閘極電極之閘極構造之步驟；由前述源極/汲極區域上延至前述元件隔離絕緣膜上的方式形成矽化物膜之步驟；於前述元件隔離絕緣膜上與前述矽化物膜上形成層間絕緣膜之步驟；藉由將前述層間絕緣膜選擇蝕刻，形成底面到達前述矽化物膜且一端與另一端分別位於前述矽化物膜上及前述元件隔離絕緣膜上之接觸孔的同時，於前述元件隔離絕緣膜之上部形成一端與前述矽化物膜之端部接觸之溝部之步驟；及將前述接觸孔以導電膜填入之步驟。

再者，關於本發明之實施形態含有各種階段之發明，藉由適當組合所揭示之多數構成要件可萃取得各種發明。例如，由實施形態所示全構成要件省略幾個構成要件萃取發明之情形，實施該萃取之發明時省略部分係以習知慣用技術適當補充者。

【實施方式】

發明之實施形態

以下對發明之實施形態參照圖面說明。再者，於以下說明，對具有略相同之功能及構成之構成要素，賦予同一符號，重複說明僅於必要時進行說明。

圖1為表示關於本發明實施形態之半導體裝置概略之剖面圖。再者，於以下之說明，針對P型之MIS電晶體說明，惟對N型電晶體，亦可藉由適當變更雜質之導電型同樣地形成。

如圖1所示，例如於N型半導體基板1之表面內，形成多數元件隔離絕緣膜2。作為半導體基板1利用例如矽。作為元

件隔離絕緣膜2，利用例如矽氧化膜。元件隔離絕緣膜2，於上面具有溝部41。對該溝部41，於後詳述。

於元件區域之半導體基板1表面內形成N型井擴散層3。於N型井擴散層3上形成MIS電晶體11。電晶體11具備：閘極絕緣膜12、閘極電極13、矽化物膜14a、14b、第1側壁絕緣膜15、第2側壁絕緣膜16、第1擴散層21、第2擴散層22。

閘極電極13係，經由閘極絕緣膜12設於井擴散層3上。閘極絕緣膜12，例如以矽氧化膜構成，閘極電極13，例如以多晶矽構成。於閘極電極13之上部，形成矽化物膜14a。作為該矽氧化膜14a，利用例如鈷矽化物(CoSi_2)。矽化物膜14b之上面，位於較半導體基板1之表面之上方。

藉由第1側壁絕緣膜15，將閘極絕緣膜12、閘極電極13、矽化物膜14a之側面覆蓋。第1側壁絕緣膜15，例如以矽氮化膜形成。第1側壁絕緣膜15之周圍，形成有第2側壁絕緣膜16。第2側壁絕緣膜16，例如以矽氧化膜構成。

P型第1擴散區域(源極/汲極・接觸區域)21，於井擴散層3之表面內，例如由元件隔離絕緣膜2，形成至第1側壁絕緣膜15之附近。於井擴散層3之表面內，形成P型第2擴散區域(源極/汲極・接觸區域)22。第2擴散區域22，例如由第1擴散區域21之端部形成至閘極電極13之端部，較第1擴散區域21淺地形成。又，第2擴散區域22，具有較第1擴散區域低的雜質濃度。

第1擴散區域21、第2擴散區域22之表面，形成矽膜23。矽膜23，設於半導體基板1與第2側壁絕緣膜16之間，例如

由第1側壁絕緣膜15之端部跨至第2側壁絕緣膜16之附近。

第1擴散區域21之表面上，形成矽化物膜14b。矽化物膜14b延在至元件隔離絕緣膜2之上，由溝部41之端部跨至矽膜23之端部。矽化物膜14b，與矽化物膜14a同樣地例如利用鈷形成。

於半導體基板1之全面，設有層間絕緣膜31。層間絕緣膜31，例如以矽氧化膜成。於層間絕緣膜31內，形成接觸孔34。接觸孔34，底面達至矽化物膜14b，接觸孔34之一端位於矽化物膜14b上，另一端位於元件隔離絕緣膜之上。接觸孔34，與溝部53連接。

於接觸孔34內，設有例如以鋁、銅等構成之導電膜。此結果，形成接觸32。導電膜，設於溝部41內。層間絕緣膜31上，設有與接觸32連接之配線層33。

溝部53之一端與矽化物膜14b之端部接觸，另一端與接觸孔34之另一端共通。又，溝部41，形成於由元件隔離絕緣膜2之端部僅離間特定距離之位置。即，溝部41與第1擴散區域21之端部之間，介在有元件隔離絕緣膜。

溝部41之端部與元件隔離絕緣膜2之端部之距離為，例如5 nm~50 nm，可以10 nm~30 nm為佳。該值為，例如元件的設計規則為100 nm，閘極電極13之閘極長為40 nm，矽化物膜14b之膜厚為30 nm時，可使之為20 nm。藉由使之為如此之距離，可得後述所望之效果。再者，溝部41之端部與元件隔離絕緣膜2之端部之距離，藉由後述之方法，可設定為任一之值。

其次，說明上述構成之半導體裝置之製造步驟。圖2~圖7為，依序表示示於圖1之半導體裝置之製造步驟之剖面圖。

如圖2所示，於半導體基板1之表面利用微影步驟及蝕刻技術形成溝。作為蝕刻技術，利用例如RIE等非等向性蝕刻。藉由於溝之內部填入矽氧化膜等絕緣膜，形成元件隔離絕緣膜2。其次，N型雜質植入半導體基板1。作為雜質，可利用例如磷。其次，藉由將半導體基板1熱處理使雜質擴散，形成井擴散層。

其次，如圖3所示，半導體基板1(井擴散層3)之露出表面上形成閘極絕緣膜材。於閘極絕緣膜材之形成，可利用例如熱氧化等技術。其次於閘極絕緣膜材上沈積多晶矽材、氮化矽膜材。其次，利用微影步驟及蝕刻技術，蝕刻氮化矽膜材、多晶矽材、閘極絕緣膜材。此結果，形成由閘極絕緣膜12、閘極電極13、矽氮化膜17所成之閘極構造。

其次，於半導體基板1上之全面，藉由例如CVD(Chemical Vapor Deposition:化學氣相沈積)法沈積矽氮化膜等之絕緣膜。其次，利用RIE等蝕刻技術，蝕刻該絕緣膜。此結果，形成第1側壁絕緣膜15。其次，將矽氮化膜17及第1側壁絕緣膜15作為掩膜，於半導體基板1表面植入P型雜質。作為P型雜質，可利用例如硼(B)、氟化硼(BF₂)。該離子植入以低能量條件進行。例如，作為雜質利用硼的情形，能量為500 eV左右以下，利用氟化硼的情形，能量為2.5 KeV左右以下。植入雜質之結果，形成第2擴散區域。

其次，如圖4所示，於第2擴散區域22之表面上藉由選擇

成長形成矽膜23。該矽膜23，由第1側壁絕緣膜15延在至元件隔離絕緣膜2之上面之一部分。矽膜23之形成係，可藉由例如以低溫條件沈積非晶矽後，將該非晶矽，以600℃左右熱處理使之結晶化形成。此時，單晶化之區域以外之非晶矽膜，可藉由化學乾蝕刻等蝕刻手法選擇去除。藉由如此之步驟將單晶矽膜選擇地形成之方法，請參照，例如特願平11-375404之提案。

矽膜23之膜厚及向元件隔離絕緣膜2上伸出之量，可任意設定。該設定係，藉由調節例如非晶矽膜之膜厚、結晶化熱處理溫度、時間而可。藉由如此之調節，因應使用於本實施形態之半導體裝置，可將矽膜23之形成最佳化。例如，將各構成部分已上述尺寸，即，元件設計規則為100 nm、閘極長為40 nm，矽化物膜之膜厚為30 nm時，可使矽膜23之膜厚為20 nm即可。此結果，可使伸出至元件隔離絕緣膜2上之矽膜之長度為20 nm左右。於後之步驟，該伸出部分之矽膜23被矽化物化，將矽化物膜作為掩膜形成溝部41。此結果，可使溝部41之端部與元件隔離絕緣膜2之端部之距離為20 nm。

藉由採用提案於特願平11-375404之方法，可得以下的好處。首先，將單晶矽膜藉由CVD法選擇地形成時，有以高溫(900℃以上)之條件下將矽表面清潔之必要。因該高溫處理，於第2擴散區域以低能量植入之雜質將擴散。此結果，第2擴散區域22之底部，將形成於所望以上深度之位置。但，依照提案之方法則無需於高溫之熱處理。因此，可避免

該問題。再者，亦可防止植入之硼因向外擴散而失去。

其次，如圖5所示，於半導體基板1上之全面藉由例如CVD法沈積矽氧化膜等絕緣膜。其次，藉由蝕刻技術，蝕刻該絕緣膜。此結果，形成第2側壁絕緣膜16。

其次，如圖6所示，矽氮化膜17利用例如加熱之磷酸等去除。其次，於半導體基板1之全面，將第2側壁絕緣膜16作為掩膜植入P形雜質。做為該雜質可利用例如硼。其次，將半導體基板1，以例如1050℃左右之條件下，極短時間、熱處理。此結果，形成第1擴散區域21的同時，閘極電極13成具有P型導電性。又，同時，第2擴散區域22之表面之P形雜質，熱擴散至矽膜23之中第1側壁絕緣膜15附近之區域。此結果，該區域成具有P型導電性。

其次，如圖7所示，閘極電極13及矽膜23之表面之自然氧化膜，藉由濕蝕刻去除。作為濕蝕刻之藥液，可利用例如稀氟酸溶液等。其次，利用習知之自行對準矽化步驟，矽化矽氧化膜23及半導體基板1表面之一部分。此結果，於閘極電極13及第2擴散區域22之表面分別形成矽化物膜14a、14b。

其次，如圖8所示，於半導體基板1上之全面藉由例如CVD法沈積矽氧化膜等絕緣膜。其次，藉由CMP(Chemical Mechanical Polishing:化學機械研磨)等平坦化該絕緣膜表面。此結果，形成層間絕緣膜31。其次，藉由微影步驟及RIE等之非等向性蝕刻，形成接觸孔34。

如於先前技術之說明所記載地，形成矽化物膜14b之區域

與接觸孔34形成之區域之間，不採取對掩膜對準偏移之餘裕。因此，於接觸孔34形成時，掩膜之開口之端部有位於元件隔離絕緣膜2上之情形。但是，由於矽化物膜14b延在至元件隔離絕緣膜2，故該部分不被蝕刻。因此，於掩膜之開口，元件隔離絕緣膜2之中未形成矽化物膜14b之區域被去除。此結果，溝部41將矽化物膜作為14b，自行對準地形成。

其次，如圖1所示，於接觸孔34內部，形成由鈦膜、氮化鈦膜、鎢膜所成之接觸32。即，由鈦膜、氮化鈦膜所成之積層膜32a沿著接觸孔34之內壁形成，經由該積層膜以鎢膜填入接觸孔34。接觸32之形成，利用例如CVD法、濺鍍法。將接觸孔34填入時，形成有溝部41的情形，於該溝部41內亦與接觸孔34同樣地填入。其次，藉由習之方法將配線層33形成。

依照本發明之實施形態，矽化物膜14b延在特定距離至元件隔離絕緣膜2。因此，形成接觸孔34時，即使於元件隔離絕緣膜2形成溝部41的情形，亦可避免溝部41與第1擴散區域21接觸。因此，可防止示於先前例之，形成異常成長之矽化物142。因此，可避免因矽化物142為原因之接合漏電流之產生。

又，矽化物膜14b之底面，與第1擴散區域21與井擴散層3之間之接合面之距離以選擇成長之矽膜23之厚度之份離間。因此，可抑制起因於矽化物膜之接合漏電流之不良之產生。

又，近來，因元件的細微化而成問題之源極/汲極・延伸區域之寄生電阻之增加成問題。但，依照本實施形態，於第2側壁絕緣膜16之下，形成P型矽膜23。該部分作為導電膜之功能，有流汲極電流之作用。因此，可大幅減低上述寄生電阻。因此，可提升電晶體驅動能力。

其他，於本發明之思想之範疇，只要是該當業者，可想到各種變更例及修正例，針對該等變更例及修正例亦理解為屬於本發明之範圍。

【發明之效果】

如以上所詳述，依照本發明，可提供避免形成不必要的矽化物的同時，可減低接合漏電流之半導體裝置及其製造方法。

【圖式簡單說明】

圖1為表示關於本發明實施形態之半導體裝置概略之剖面圖。

圖2為概略表示示於圖1之半導體裝置之製造步驟之剖面圖。

圖3為概略表示繼圖2之步驟之剖面圖。

圖4為概略表示繼圖3之步驟之剖面圖。

圖5為概略表示繼圖4之步驟之剖面圖。

圖6為概略表示繼圖5之步驟之剖面圖。

圖7為概略表示繼圖6之步驟之剖面圖。

圖8為概略表示繼圖7之步驟之剖面圖。

圖9為概略表示先前之製造步驟之剖面圖。

圖 10 為概略表示繼圖 9 之步驟之剖面圖。

圖 11 為概略表示繼圖 10 之步驟之剖面圖。

圖 12 為概略表示繼圖 11 之步驟之剖面圖。

圖 13 為放大圖 12 之實線所框區域之圖

【圖式代表符號說明】

- 1...半導體基板
- 2...元件隔離絕緣膜
- 3...井擴散層
- 11...電晶體
- 12...閘極絕緣膜
- 13...閘極電極
- 14a、b...矽化物膜
- 15...第1側壁絕緣膜
- 16...第2側壁絕緣膜
- 17...矽氮化膜
- 21...第1擴散區域(源極/汲極・接觸區域)
- 22...第2擴散區域(源極/汲極・延伸區域)
- 23...矽膜
- 31...層間絕緣膜
- 32...接觸
- 33...配線層
- 34...接觸孔。

伍、中文發明摘要：

本發明的課題係提供一種半導體裝置，其避免不必要的矽化物之形成的同時，可減低接合漏電流。其解決之手段在於，半導體裝置，包含元件隔離絕緣膜，其配設於半導體基板之表面，將元件區域隔離。於半導體基板表面內，有將閘極電極之下之區域包夾的方式形成之1對源極/汲極區域。矽化物膜係，配設於源極/汲極區域之表面上，延在至元件隔離絕緣膜上。元件隔離絕緣膜與矽化物膜上，配設有層間絕緣膜。接觸孔係，貫通層間絕緣膜達至矽化物膜，一端及另一端分別位於矽化物膜上及元件隔離絕緣膜上。又，接觸孔於底部且元件隔離絕緣膜之上部，具有一端與矽化物膜鄰接之溝部。配線層配設於接觸孔之內部。

陸、日文發明摘要：

不要なシリサイドの形成を回避するとともに接合リーク電流の低減が可能な半導体装置を提供する。

半導体装置は、半導体基板の表面内に配設された、素子領域を分離する素子分離絶縁膜を含む。素子領域の半導体基板上には、ゲート絶縁膜を介してゲート電極が配設される。半導体基板の表面内には、ゲート電極の下領域を挟むように1対のソース/ドレイン領域が形成される。シリサイド膜は、ソース/ドレイン領域の表面上に配設され、素子分離絶縁膜上まで延在する。素子分離絶縁膜上とシリサイド膜上とは、層間絶縁膜が配設される。コンタクトホールは、層間絶縁膜を貫通してシリサイド膜に達し、一端及び他端がシリサイド膜上及び素子分離絶縁膜上にそれぞれ位置する。また、コンタクトホールは底部で且つ素子分離絶縁膜の上部において一端がシリサイド膜の端部と接する溝部を有する。配線層がコンタクトホールの内部に配設される。

柒、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件代表符號簡單說明：

- | | |
|-------|--------------------|
| 1 | 半導體基板 |
| 2 | 元件隔離絕緣膜 |
| 3 | 井擴散層 |
| 11 | 電晶體 |
| 12 | 閘極絕緣膜 |
| 13 | 閘極電極 |
| 14a、b | 矽化物膜 |
| 15 | 第1側壁絕緣膜 |
| 16 | 第2側壁絕緣膜 |
| 21 | 第1擴散區域(源極/汲極・接觸區域) |
| 22 | 第2擴散區域(源極/汲極・延伸區域) |
| 23 | 矽膜 |
| 31 | 層間絕緣膜 |
| 32 | 接觸 |
| 33 | 配線層 |
| 34 | 接觸孔 |
| 41 | 溝部 |

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍：

1. 一種半導體裝置，其特徵在於具備：

半導體基板；

元件隔離絕緣膜，其係配設於前述半導體基板之表面，隔離元件區域者；

閘極電極，其經由閘極絕緣膜配設於前述元件區域之前述半導體基板上；一對源極/汲極區域，其包夾前述閘極電極之下之區域的方式形成於前述半導體基板之表面內；

矽化物膜，其係配設於前述源極/汲極區域之表面上，且延在至前述元件隔離絕緣膜上，且具有位於較前述半導體基板之表面為上方之上面；

層間絕緣膜，其係配設於前述元件隔離絕緣膜上與前述矽化物膜上；

接觸孔，其貫通前述層間絕緣膜到達前述矽化物膜，且一端及另一端分別位於前述矽化物膜上及前述隔離絕緣膜上，且於底部且前述元件隔離絕緣膜之上部一端具有與前述矽化物膜之端部接觸之溝部；及

配線層，其配設於前述接觸孔內部。

2. 如申請專利範圍第1項之半導體裝置，其中前述溝部，與前述接觸孔之另一端具有共通之端部。
3. 如申請專利範圍第1項之半導體裝置，其中前述源極/汲極區域之分別之端部與前述元件隔離絕緣膜鄰接。
4. 如申請專利範圍第1項之半導體裝置，其中前述溝部與

前述源極/汲極區域之間，介在有前述元件隔離絕緣膜之一部分。

5. 如申請專利範圍第1項之半導體裝置，其中前述溝部之內部以與前述配線層相同之材料填充。
6. 如申請專利範圍第1項之半導體裝置，其中進一步具備矽膜，其配設於前述閘極電極與前述矽化物膜之間之前述半導體基板表面上，且具有與前述矽化膜實質上相同的高度。
7. 如申請專利範圍第6項之半導體裝置，其中前述矽膜為導電性。
8. 如申請專利範圍第6項之半導體裝置，其中前述源極/汲極區域具備：第1擴散區域；及第2擴散區域，其係形成於矽膜之下之區域之前述半導體基板之表面內且具有較前述第1擴散區域低之雜質濃度。
9. 如申請專利範圍第1至8項之任一項之半導體裝置，其中前述元件隔離絕緣膜之端部與前述溝部之一端之間的距離為，5 nm乃至50 nm。
10. 一種半導體裝置之製造方法，其特徵在於具備：

於半導體基板之表面內，形成隔離元件區域之元件隔離絕緣膜之步驟；

於前述元件區域之前述半導體基板之表面內，形成1對源極/汲極區域之步驟；

於前述源極/汲極區域之相互間之前述半導體基板上，形成具備閘極絕緣膜及閘極電極之閘極構造之步驟；

由前述源極/汲極區域上延在至前述元件隔離絕緣膜上的方式形成矽化物膜之步驟；

於前述元件隔離絕緣膜上與前述矽化物膜上形成層間絕緣膜之步驟；藉由將前述層間絕緣膜選擇蝕刻，形成底面到達前述矽化物膜且一端與另一端分別位於前述矽化物膜上及前述元件隔離絕緣膜上之接觸孔的同時，於前述元件隔離絕緣膜之上部形成一端與前述矽化物膜之端部接觸之溝部之步驟；及

將前述接觸孔以導電膜填入之步驟。

11. 如申請專利範圍第10項之半導體裝置之製造方法，其中前述形成矽化物膜之步驟具備：

於前述源極/汲極區域上，由前述閘極構造之端部延在至前述元件隔離絕緣膜上的方式將矽膜形成之步驟；及將前述矽膜之一部分矽化物化之步驟。

12. 如申請專利範圍第11項之半導體裝置之製造方法，其中進一步具備於前述矽膜形成後，藉由於前述矽膜植入雜質，將前述矽膜導電化之步驟。

13. 如申請專利範圍第10項之半導體裝置之製造方法，其中前述溝部，將前述矽化物膜作為掩膜自行對準形成。

14. 如申請專利範圍第10項之半導體裝置之製造方法，其中前述溝部之一端與前述元件隔離絕緣膜之端部之間，自行對準地殘存前述元件隔離絕緣膜之一部分。

15. 如申請專利範圍第10至14項之任一項之半導體裝置之製造方法，其中前述矽膜之膜厚為，5 nm乃至50 nm。

拾壹、圖式：

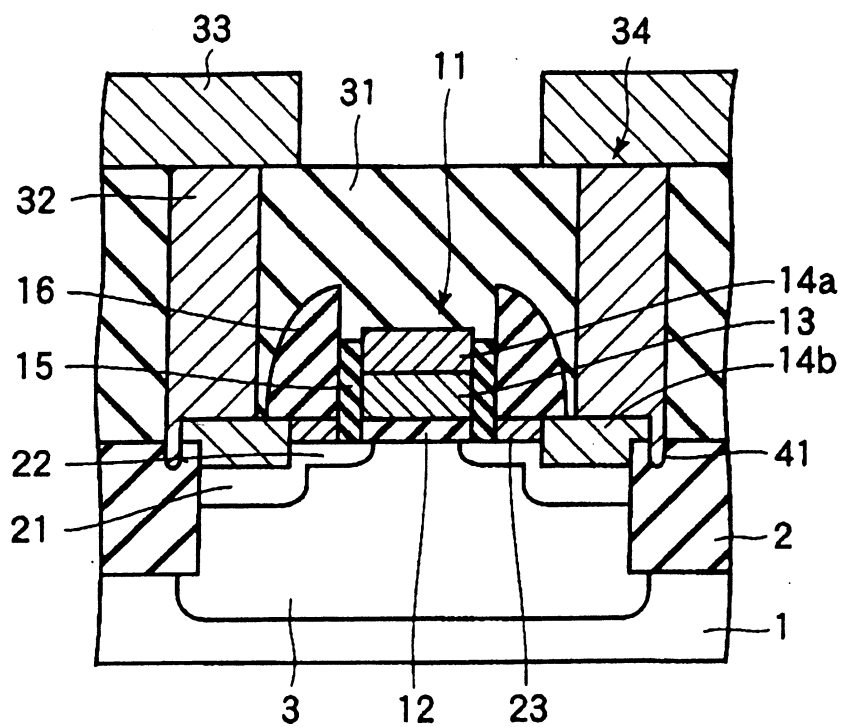


圖 1

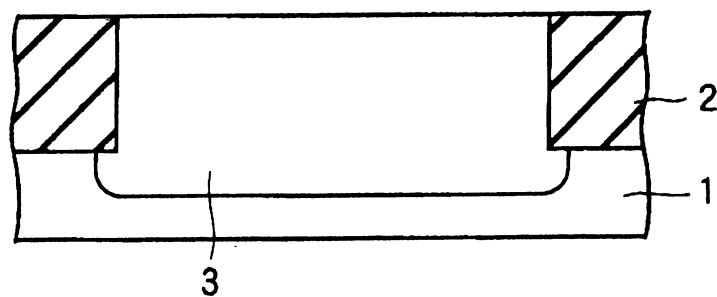


圖 2

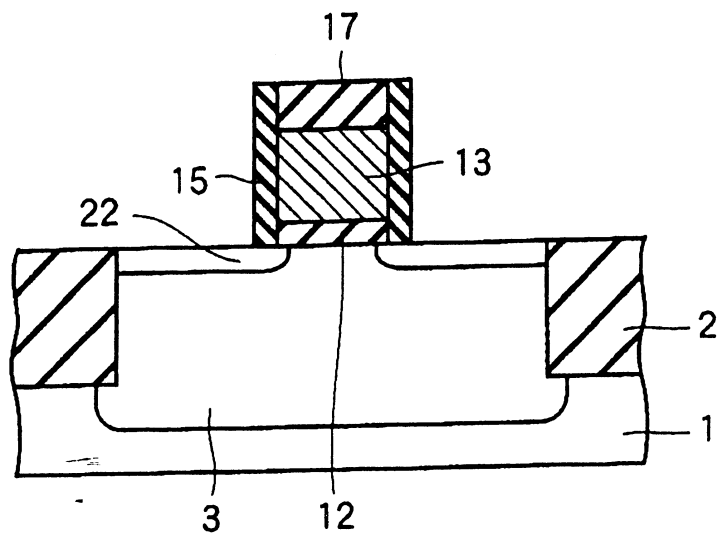


圖 3

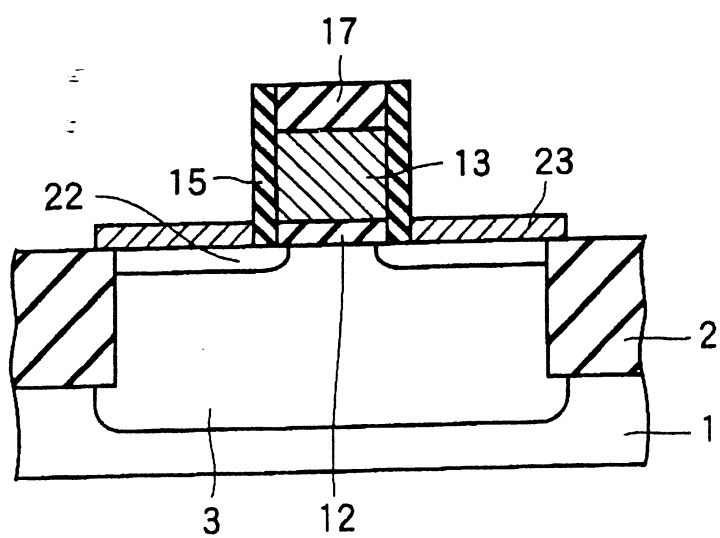


圖 4

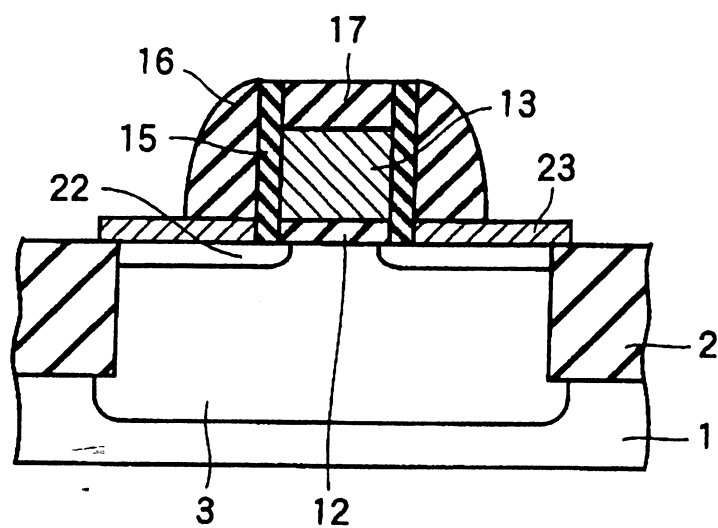


圖 5

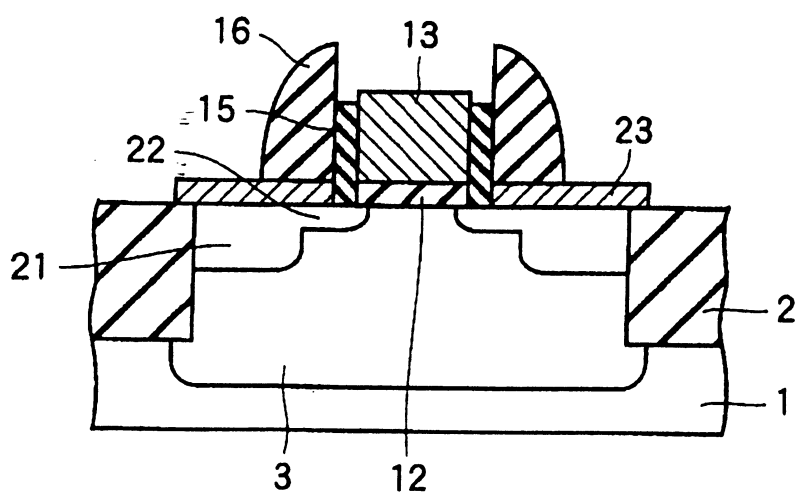


圖 6

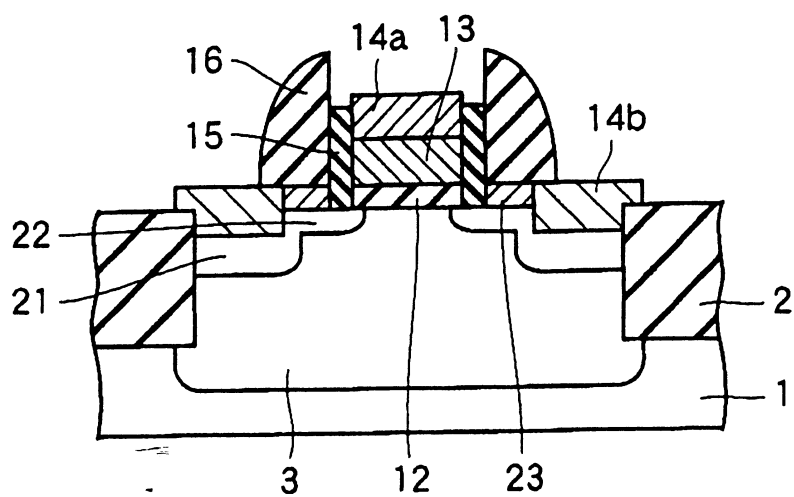


圖 7

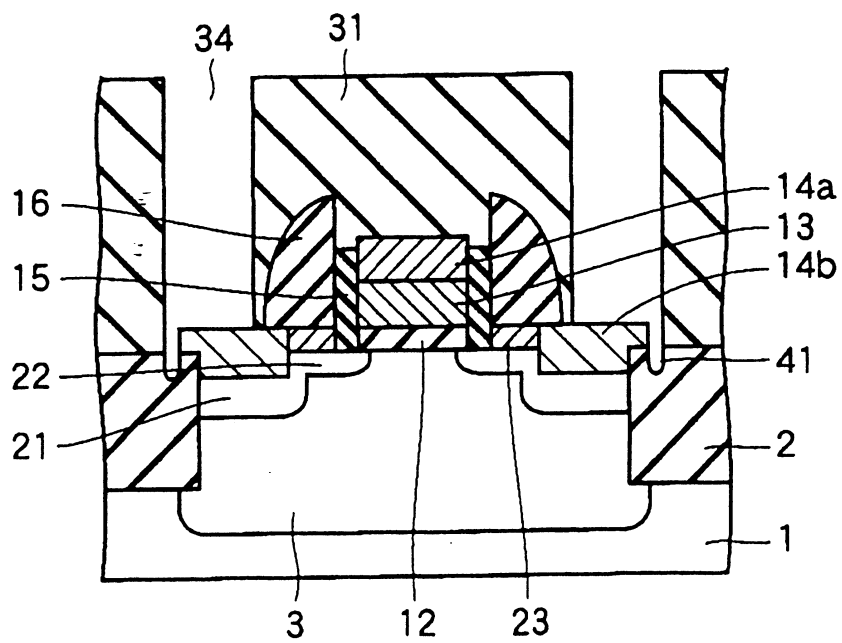


圖 8

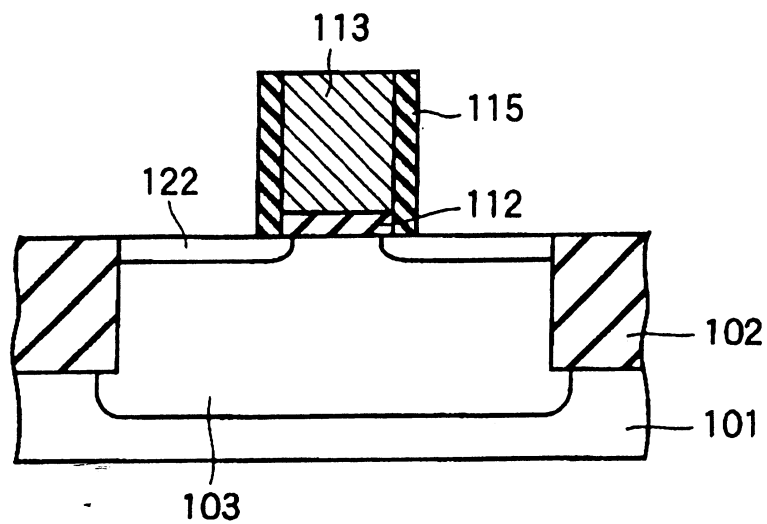


圖 9

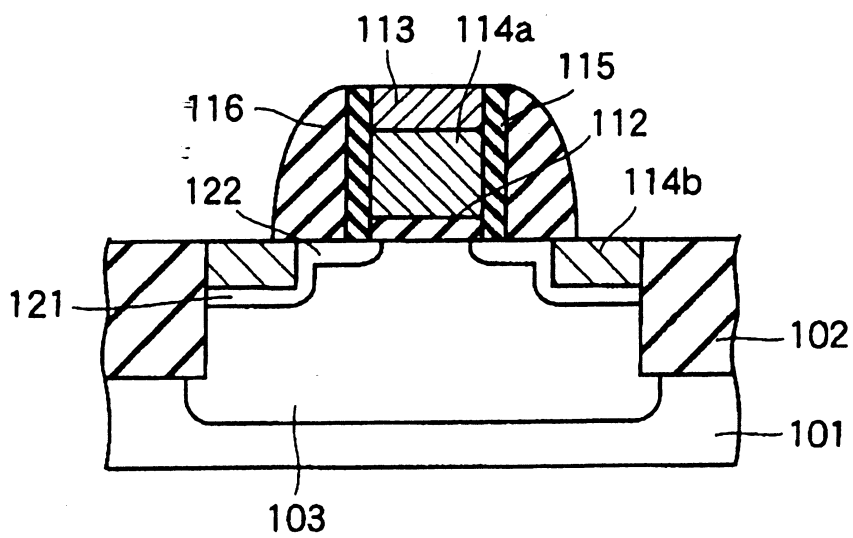


圖 10

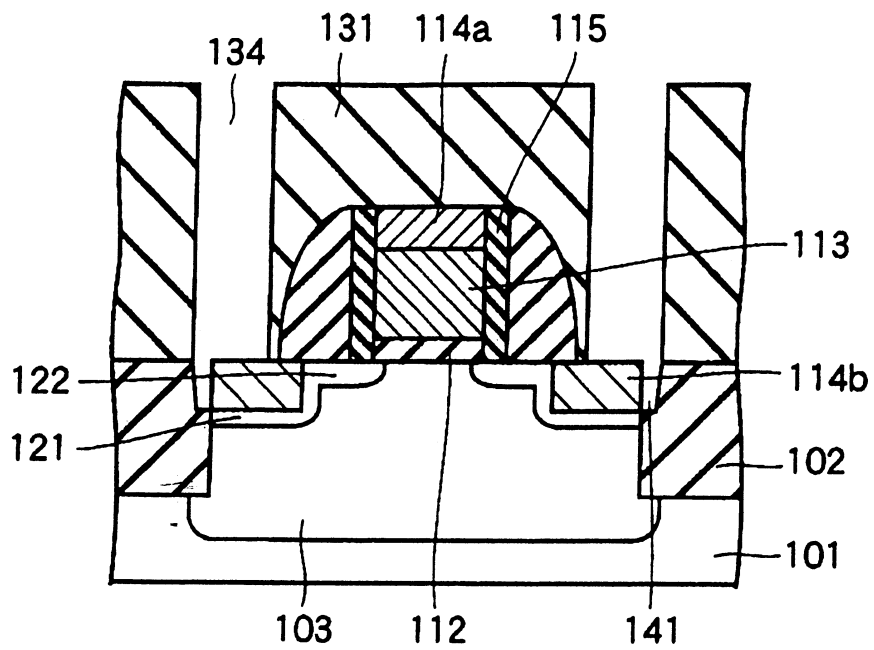


圖 11

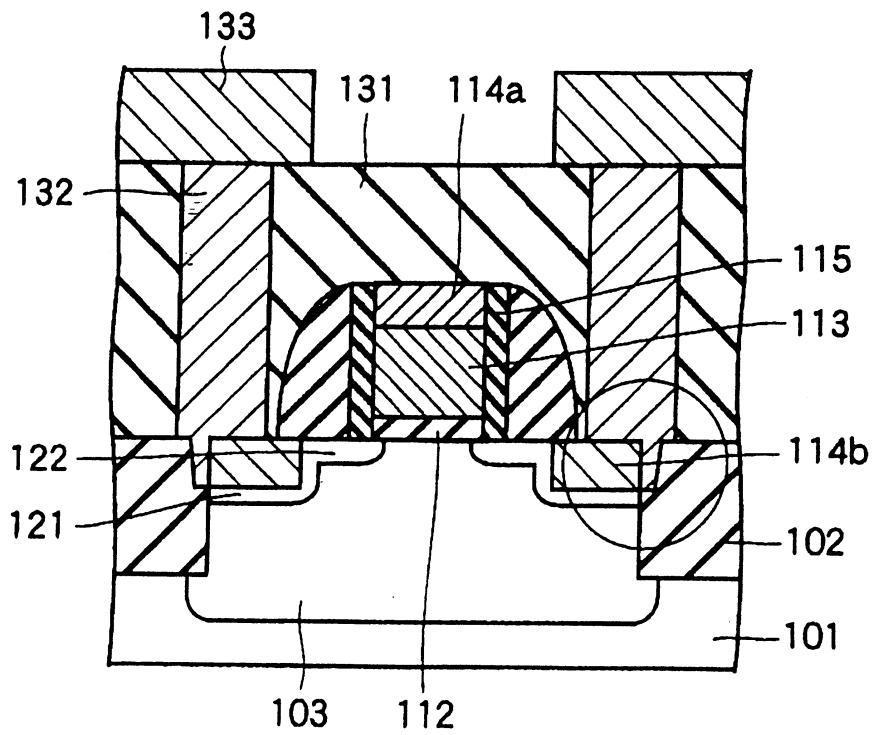


圖 12

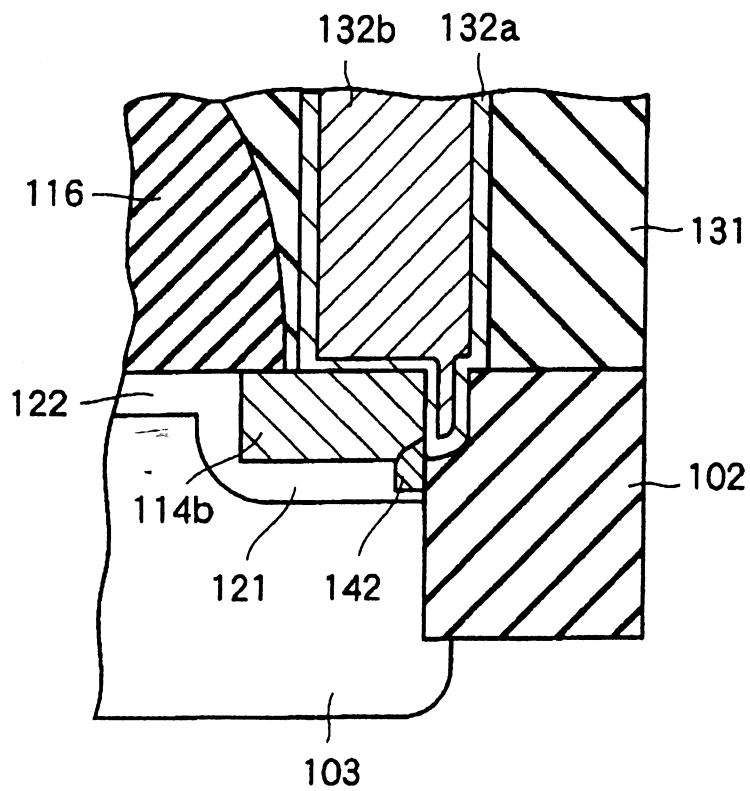


圖 13