

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4253473号
(P4253473)

(45) 発行日 平成21年4月15日 (2009. 4. 15)

(24) 登録日 平成21年1月30日 (2009. 1. 30)

(51) Int. Cl.

F I

H O 1 L 21/8247 (2006. 01)

H O 1 L 29/78 3 7 1

H O 1 L 29/788 (2006. 01)

H O 1 L 27/10 4 3 4

H O 1 L 29/792 (2006. 01)

H O 1 L 27/115 (2006. 01)

請求項の数 6 (全 25 頁)

(21) 出願番号 特願2002-180894 (P2002-180894)
 (22) 出願日 平成14年6月21日 (2002. 6. 21)
 (65) 公開番号 特開2003-78050 (P2003-78050A)
 (43) 公開日 平成15年3月14日 (2003. 3. 14)
 審査請求日 平成15年9月25日 (2003. 9. 25)
 審判番号 不服2005-25221 (P2005-25221/J1)
 審判請求日 平成17年12月28日 (2005. 12. 28)
 (31) 優先権主張番号 特願2001-190405 (P2001-190405)
 (32) 優先日 平成13年6月22日 (2001. 6. 22)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100108062
 弁理士 日向寺 雅彦
 (72) 発明者 大場 竜二
 神奈川県横浜市磯子区新杉田町8番地 株
 式会社東芝 横浜事業所内
 (72) 発明者 古賀 淳二
 神奈川県横浜市磯子区新杉田町8番地 株
 式会社東芝 横浜事業所内

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体と、
 前記半導体の表面上に設けられた第1のトンネル絶縁膜と、
 前記第1のトンネル絶縁膜の上に設けられた複数の下部量子ドットと、
 前記下部量子ドットの上に設けられた第2のトンネル絶縁膜と、
 前記第2のトンネル絶縁膜の上に設けられ前記下部量子ドットよりもサイズが大きい上
 部量子ドットと、
 を備え、
 前記上部量子ドットの下に複数の前記下部量子ドットが前記上部量子ドットとオーバ
 ラップするように選択的に配置されてなり、
 前記複数の下部量子ドット同士の間隙が絶縁体により充填され、
 前記上部量子ドットに情報電荷を蓄積し、
 前記半導体から前記下部量子ドットを介して前記上部量子ドットに対する前記情報電荷
 の書込みと消去とを行い、前記上部量子ドットと前記半導体との間における前記情報電荷
 の移動経路は、その上部量子ドットとオーバーラップされた前記下部量子ドットを経由す
 るものに限られることを特徴とする半導体装置。

【請求項 2】

前記半導体の前記表面に対して前記上部量子ドットを投影した空間内に、少なくとも2
 以上の前記下部量子ドットが包含されてなることを特徴とする請求項1記載の半導体装置

10

20

。

【請求項 3】

前記上部量子ドットは、前記第 2 のトンネル絶縁膜の上において $1 \times 10^{11} \text{ cm}^{-2}$ 以上の面密度で設けられたことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記下部量子ドットは、クーロンブロッケイド条件を満たすサイズであることを特徴とする請求項 1 ないし 3 のいずれか 1 つに記載の半導体装置。

【請求項 5】

前記上部量子ドットの粒径は、 30 nm 以下であることを特徴とする請求項 1 ないし 4 のいずれか 1 つに記載の半導体装置。

10

【請求項 6】

請求項 1 ~ 5 のいずれか 1 つに記載の半導体装置を製造する製造方法であって、

前記半導体の表面上に、前記第 1 のトンネル絶縁膜となる絶縁膜を形成する工程と、

前記第 1 のトンネル絶縁膜となる絶縁膜の上に、非晶質シリコン薄膜を形成する工程と

、

前記非晶質シリコン薄膜の上に、前記第 2 のトンネル絶縁膜となる絶縁膜を形成する工程と、

前記第 1 のトンネル絶縁膜となる絶縁膜と前記第 2 のトンネル絶縁膜となる絶縁膜とで挟まれた前記非晶質シリコン薄膜に熱処理を施すことにより、前記複数の下部量子ドットを形成する工程と、

20

前記第 2 のトンネル絶縁膜となる絶縁膜の上に、前記上部量子ドットとなる半導体のドットを形成する工程と、

前記上部量子ドットとなる半導体のドット同士の隙間の下にある前記下部ドットを酸化またはエッチングにより消滅させる工程と、

を備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特に、浮遊ゲート部のゲート絶縁膜中に情報電荷蓄積部となる量子ドットを有する不揮発性メモリ素子などの半導体装置及びその製造方法に関する。

30

【0002】

【従来の技術】

電子波動関数を 3 次元的な微小空間に閉じこめることにより量子効果を発現するメカニズムとして、「量子ドット」がある。このような量子ドットの特有の量子効果を利用することにより、従来とは異なる種々の新規な半導体装置を実現することが可能となり、その一例として、メモリを挙げることができる。

【0003】

例えば、電氣的消去及び書き込みが可能なメモリ（以下、「不揮発性メモリ」と称する）は、電荷を蓄積することによって電源を切断しても情報を保持することができる特徴を持ち、磁気ディスクのような駆動部品が無く小型かつ軽量であるため、携帯情報機器などの記憶媒体として、低電圧駆動化と大容量化が望まれている。本発明者は、既に、この不揮発性メモリに量子ドットを応用する発明をしている。

40

【0004】

図 22 は、本発明者が既に発明した浮遊ゲート型メモリ装置の浮遊ゲート構造を表す模式図である。

【0005】

すなわち、このメモリ装置は、同図（a）に表したように、シリコン基板 101 の表面にトンネル酸化膜 102 が形成され、その上に、下部 Si（シリコン）量子ドット 103、上側トンネル酸化膜 104、上部 Si ドット 105、制御酸化膜 106、ゲート電極 10

50

7がこの順に積層されている。また、この積層構造の両側には、ソース/ドレイン領域108が形成されている。

【0006】

トンネル酸化膜102は、基板101を熱酸化することにより形成することができ、その厚さ $t_{ox} = 3\text{ nm}$ 程度とすることができる。また、下部Si量子ドット103は、直径5 nm程度のシリコン粒子により形成される。一方、上部Siドット105は、直径10 nm程度のシリコン粒子により形成される。制御酸化膜106の膜厚 $T_{ox} = 30\text{ nm}$ 程度とすることができる。

【0007】

この浮遊ゲート型Siドットメモリに設けられる量子ドットの配置関係は、図22(b)に表した如くであり、下部Si量子ドット103の真上に上部Siドット105が、上側トンネル酸化膜104を介して積重なっている。

10

【0008】

この浮遊ゲート型メモリは、ゲート酸化膜中に「クーロンブロッケイド条件(電子一個の充電エネルギーが熱揺らぎよりも大きいこと)」を満たす下部Siドット103を挟んだ二重トンネル接合を介して、Si基板101の表面と上部Siドット105との間で情報電子の入出が可能な構造を有する。

【0009】

よって、記憶保持状態においては、上部Siドット105とSi基板101との間に下部Siドット103でのクーロンブロッケイド効果と量子閉じ込め効果によるエネルギー障壁が形成され、簡単には情報電子の出入りができなくなり、記憶保持時間が上がる。下部Siドット103の粒径を微小化することによってエネルギー障壁を上げてやれば指数関数的にトンネル確率が減少するため、極めて効率良く保持特性を改善できる。

20

【0010】

一方、情報電子の書込消去は、ゲート電極107に印加するゲート電圧をトンネル膜全体に $2\Delta E$ (ΔE は下部ドットでのエネルギー障壁)よりも大きくなるようにすることで、直接トンネルの速さで可能である。ただし、保持時間を向上させるために、エネルギー障壁 ΔE を大きくすると書込消去速度は少しずつ低下する。

【0011】

【発明が解決しようとする課題】

30

すなわち、図22に例示した素子構造においては、記憶保持時間を長くするために下部Siドット103のサイズを微小化してエネルギー障壁 ΔE を大きくすると、書込消去速度が次第に遅くなるという点でさらなる改善の余地があった。

【0012】

本発明は、かかる課題の認識に基づいてなされたものであり、その目的は、書込/消去速度を劣化させることなく記憶保持時間を効率良く改善できるような、Si量子ドットを利用した半導体装置及びその製造方法を提供することにある。

【0013】

【課題を解決するための手段】

上記目的を達成するため、本発明の半導体装置は、半導体と、前記半導体の表面上に設けられた第1のトンネル絶縁膜と、前記第1のトンネル絶縁膜の上に設けられた複数の下部量子ドットと、前記下部量子ドットの上に設けられた第2のトンネル絶縁膜と、前記第2のトンネル絶縁膜の上に設けられ前記下部量子ドットよりもサイズが大きい上部量子ドットと、を備え、前記上部量子ドットの下に複数の前記下部量子ドットが前記上部量子ドットとオーバーラップするように選択的に配置されてなり、前記複数の下部量子ドット同士の間隙が絶縁体により充填され、前記上部量子ドットに情報電荷を蓄積し、前記半導体から前記下部量子ドットを介して前記上部量子ドットに対する前記情報電荷の書込みと消去とを行い、前記上部量子ドットと前記半導体との間における前記情報電荷の移動経路は、その上部量子ドットとオーバーラップされた前記下部量子ドットを経由するものに限られることを特徴とする。

40

50

【0014】

上記構成によれば、上部ドットとチャネル間の情報電荷の注入放出経路が並列に複数個（N個）になるので、経路が1つの場合よりも、書込消去速度を劣化させずに、下部ドット内でのエネルギー障壁を大きくでき、よって記憶保持時間をより効率的に改善できる。

【0015】

ここで、前記半導体または導体の前記表面に対して前記上部量子ドットを投影した空間内に、少なくとも2以上の前記下部量子ドットが包含されてなるものとすることができる。

【0016】

このように複数の下部量子ドットを上部量子ドットに対して「オーバーラップ」させて配置すれば、ひとつの上部量子ドットに対してこれら複数の下部量子ドットを確実に結合させることができ、情報電荷の注入放出経路として複数の経路を確実に確保できる。

10

【0017】

また、前記複数の下部量子ドット同士の間隙は絶縁体により充填され、前記上部量子ドットと前記半導体または導体との間における電荷の移動は、前記下部量子ドットを経由するものに限られるものとするれば、下部量子ドット間の空間をリークする情報電荷の移動を確実に防ぐことができる。

また、前記上部量子ドットに情報電荷を蓄積し、前記半導体または導体から前記下部量子ドットを介して前記上部量子ドットに対する前記情報電荷の書込と消去とを行うものとするれば、いわゆる「浮遊ゲート」型の不揮発性メモリを形成することができる。

20

【0018】

また、前記上部量子ドットは、前記第2のトンネル絶縁膜の上において $1 \times 10^{11} \text{ cm}^{-2}$ 以上の面密度で設けられたものとするれば、上部ドット間の平均距離をクーロン遮蔽長以下とすることができ、クーロン遮蔽によってチャネル電流を減少させることによるメモリ効果を確実に得ることができる。

【0019】

また、前記上部量子ドットの粒径は、30 nm以下であることを特徴とする。本願明細書において用いる「量子ドット」は、例えば導電体や半導体からなる微粒子状のドットであり、素電荷に相当する電位差 q / C_{dot} （ q は素電荷、 C_{dot} はドットの容量）が、室温 25 meV よりも大きいものであることが望ましい。

【0020】

量子ドットの粒径が30 nmの場合に、電位差 q / C_{dot} が約 25 meV となるので、本発明においては、量子ドットの粒径として30 nm以下のものを用いることが望ましい。

30

【0021】

一方、本発明をメモリに適用した場合、好適なメモリ動作のために要求される量子ドットの面密度は、 $1 \times 10^{11} \text{ cm}^{-2} \sim (30 \text{ nm})^{-2}$ 以上であるが、30 nm四方の面積に一個以上のドットが入らなければこれが実現できない。上部量子ドットの粒径が30 nm以下であれば、 $1 \times 10^{11} \text{ cm}^{-2}$ 以上の面密度が得られる点でも、その粒径は30 nm以下とすることが望ましい。

【0022】

一方、本発明の半導体装置の製造方法は、上記のいずれかの半導体装置を製造する製造方法であって、前記半導体の表面上に、前記第1のトンネル絶縁膜となる絶縁膜を形成する工程と、前記第1のトンネル絶縁膜となる絶縁膜の上に、非晶質シリコン薄膜を形成する工程と、前記非晶質シリコン薄膜の上に、前記第2のトンネル絶縁膜となる絶縁膜を形成する工程と、前記第1のトンネル絶縁膜となる絶縁膜と前記第2のトンネル絶縁膜となる絶縁膜とで挟まれた前記非晶質シリコン薄膜に熱処理を施すことにより、前記複数の下部量子ドットを形成する工程と、前記第2のトンネル絶縁膜となる絶縁膜の上に、前記上部量子ドットとなる半導体のドットを形成する工程と、前記上部量子ドットとなる半導体のドット同士の間隙の下にある前記下部ドットを酸化またはエッチングにより消滅させる工程と、を備えたことを特徴とする。

40

【0023】

50

この方法によれば、略同一平面内に配置された多数の微細な下部量子ドットを確実に形成することができる。

【 0 0 2 9 】

なお、本願明細書において「トンネル絶縁膜」とは、直接トンネルにより低電圧でも速い電子の透過が可能な薄い絶縁膜のことをいう。例えば、 SiO_2 を主成分とする場合は、膜厚 0.5 nm 以上 3.5 nm 以下のものであることが望ましい。また、厚さ 3.5 nm 以下の SiO_2 膜と同様のトンネル確率を有する絶縁膜であれば、 SiO_2 以外の材料からなるものも用いることができる。

【 0 0 3 0 】

【発明の実施の形態】

10

以下、図面を参照しつつ本発明の実施の形態について詳細に説明する。

【 0 0 3 1 】

(第1の実施の形態)

まず、本発明の第1の実施の形態として、1個の上部量子ドットの下に、1個よりも多い数の下部量子ドットが設けられた半導体装置について説明する。

【 0 0 3 2 】

図1は、本発明の第1実施形態に係る浮遊ゲート型メモリ装置の浮遊ゲート構造を説明する。

【 0 0 3 3 】

本実施形態のメモリ装置は、シリコン基板11の表面にトンネル酸化膜12が形成され、その上に、複数の下部Si(シリコン)量子ドット13、上側トンネル酸化膜14、上部Siドット15、制御酸化膜16、ゲート電極17がこの順に積層されている。また、この積層構造の両側には、ソース/ドレイン領域18が形成されている。

20

【 0 0 3 4 】

トンネル酸化膜12は、基板11を熱酸化することにより形成することができ、その厚さ $t_{ox} = 3 \text{ nm}$ 程度とすることができる。また、下部Si量子ドット13は、直径 5 nm 程度のシリコン粒子により形成される。一方、上部Siドット15は、直径 10 nm 程度のシリコン粒子により形成される。制御酸化膜16の膜厚 $T_{ox} = 30 \text{ nm}$ 程度とすることができる。

【 0 0 3 5 】

30

この浮遊ゲート型Siドットメモリに設けられる量子ドットの配置関係は、図1(b)に表した如くであり、複数の下部Si量子ドット13の上にひとつの上部Siドット15が、上側トンネル酸化膜14を介して積重なっている。

【 0 0 3 6 】

この浮遊ゲート型メモリにおいても、ゲート酸化膜中に「クーロンブロッケイド条件」を満たす複数の下部Siドット13を挟んだ二重トンネル接合を介して、Si基板11の表面と上部Siドット15との間で情報電子の入出が可能な構造を有する。

【 0 0 3 7 】

ここで、「クーロンブロッケイド条件を満たす」とは、電子一個の静電エネルギー(クーロンブロッケイド・エネルギー: 素電荷を q 、量子ドットの容量を C_{dot} として、 $q/2$ C_{dot} と与えられる)が熱揺らぎよりも大きいことをいう。例えば、量子ドットが粒径 5 nm 程度のシリコンナノ微結晶である場合には、その容量 C_{dot} は約 1 aF であり、クーロンブロッケイド・エネルギー ΔE は以下の如くとなる。

40

$$\Delta E = q / 2 C_{dot} = 80 \text{ meV}$$

室温での熱エネルギーは約 25 meV であるので、この場合はクーロンブロッケイド条件を満たすこととなる。

【 0 0 3 8 】

そして、本発明の量子ドット構造においては、1つの上部ドット15に対して複数個(N 個)の下部ドット13が設けられているため、下部ドット13が1個しか設けられていない場合と比較して、下部ドット13のエネルギー障壁 ΔE が全て同じ場合には、 N 個の注

50

入放出経路が設けられたこととなり、N倍速い書込消去速度が得られる。換言すると、同じ書込消去速度においては、下部ドット13をN個設けた本発明の方が、図22に例示した1個の時よりもエネルギー障壁 ΔE を大きくできる。この時、記憶保持時間は ΔE に対し指数関数的に上昇するので、非常に効率良く増加する。つまり、経路数がN倍になることで、書込消去速度を全く変えることなく、エネルギー障壁 ΔE を大きくできるので、記憶保持時間を指数関数的に改善することが可能となる。

【0039】

上述した如く、本発明の量子ドット浮遊ゲート型メモリ素子では、複数個の下部Siドット13の上に1個の上部Siドット15が積重なった量子ドット構造を浮遊ゲートとしており、電荷蓄積部である上部ドットへの充放電はクーロンブロッケイド条件を満たすSiナノ微粒子を挟んだ2重トンネル接合を経由して行われる。

10

【0040】

本発明のメモリ素子が、従来技術よりも、同一の書込消去速度において記憶保持特性に優れていることを示すため、以下にまず、図22の構造において得られる作用効果について説明する。

【0041】

図23は、図22に表した構造に対する比較例としての半導体装置の模式図である。同図については、図22に関して前述したものと同様の要素には同一の符号を付して詳細な説明は省略する。すなわち、図23は、1層のトンネル酸化膜102のみを有するドットメモリを表す。

20

【0042】

図22に例示した構造においては、図23に例示した1層のトンネル酸化膜のみのドットメモリとは違い、二重トンネル接合に挟まれた下部Siドット103でのエネルギー障壁 ΔE によって、電子の出入りが抑制されて記憶保持時間が向上する。

【0043】

図2は、図23の構造と図22の構造における量子ドットの近傍のエネルギーバンドを表す模式図である。すなわち、図2(a)は、比較例(図23)の構造におけるエネルギーバンドを表し、図2(b)は、図22に表した構造におけるエネルギーバンドを表す。

【0044】

図2(b)に表した2重量子ドット構造においては、エネルギー障壁 ΔE が得られることが分かる。このエネルギー障壁 ΔE は、下部ドット103での量子閉じ込め効果とクーロンブロッケイド効果によるものである。

30

【0045】

図3は、書込消去の際の量子ドット近傍のエネルギーバンドを表す模式図である。すなわち、図3(a)は、比較例(図23)の構造におけるエネルギーバンドを表し、図3(b)は、図22に表した構造におけるエネルギーバンドを表す。

【0046】

二重ドット構造の場合、書込消去の際には、図3(b)に例示したように、上部ドット15とチャネル間の電圧 V_{eff} が $2\Delta E$ よりも大きくなるような領域を用いれば、途中でエネルギー障壁が無いため速い書込消去ができる。

40

【0047】

二重接合のトンネル電流の計算で最も一般的なオーソドックス理論で計算すると、二重ドットメモリの ΔE により抑制されたトンネル確率と、一重ドットメモリの薄い酸化膜1層しか存在しない時のトンネル確率との比は図4に表した如くである。ここで、図4の上側の横軸は、対応する下部Siドット13(103)の粒径を表す。

【0048】

保持状態($V_{eff} \sim 0V$)では、トンネル確率比 $P(\text{single})/P(\text{double})$ は、次式により与えられる。

$$P(\text{single})/P(\text{double}) = (2kT/\Delta E) \sinh(\Delta E/kT)$$

ここで、 k はボルツマン定数であり、 T は室温(300K)である。下部ドット103を

50

微小化して ΔE を大きくしてやることでトンネル確率が指数関数的に小さく抑えられるので、飛躍的に保持時間を改善できる。

【0049】

例えば、下部ドット13の直径が5nm程度の場合、 ΔE はクーロンブロッケイドによるエネルギーが80meV、量子閉じ込め効果によるエネルギーが0.12eVなので、全部で $\Delta E = 0.2$ eVとなり、 $V_{eff} = 0$ Vでのトンネル確率の比から、記憶保持時間は数100倍の改善になることがわかる。

【0050】

書込消去状態（典型的な $V_{eff} = 1$ V $> 2 \Delta E$ ）においては、トンネル確率比 $P(\text{single}) / P(\text{double})$ は、次式により与えられる。

$$\begin{aligned} P(\text{single}) / P(\text{double}) \\ &= (V_{eff} / R_t) / ([V_{eff} - 2 \Delta E] / 2 R_t) \\ &= 2 / (1 - 2 \Delta E) \end{aligned}$$

すなわち、下部ドット103のサイズを微小化して ΔE を大きくしてやると、トンネル確率が、保持状態の時ほど顕著ではないがやはり減少するので、書込消去速度は遅くなってしまう。例えば、下部ドット103の直径を4nmよりも小さくしていくと10倍程度の書込消去速度の低下が生ずる。

【0051】

以上説明した図22の構造に対して、図1に表したように上部ドット15の真下に複数個（N個）の下部ドット13が設けられた本発明の構造の場合について説明する。ここで問題は、図22に表したように下部ドット103が一個の場合と比較して、本発明のN個ある時が、両者同一の書込消去速度で、どちらが保持時間を良く改善できるかということである。

【0052】

1個の場合（図22）と複数の場合（図1）とで書込消去速度が同じということは、同じ電圧 $V_{eff} = 1$ V $(> 2 \Delta E)$ において両者のトンネル確率が等しいということである。つまり、次式が成立する。

$$\begin{aligned} P(N) / P(1) &= N(1 - 2 \Delta E(N)) / (1 - 2 \Delta E) \\ &= 1 \end{aligned}$$

ここで ΔE は、図22の構造における下部ドット103が1個の時のエネルギー障壁である。また、 $\Delta E(N)$ は、本発明において下部ドット3がN個の時のエネルギー障壁である。本発明においては注入放出経路がN個あるために確率は単純にN倍になるので、上式右辺の分子がN倍になる。これにより、同一の書込消去速度では、次式が成り立つ。

$$\Delta E(N) = (N - 1 + 2 \Delta E) / (2N)$$

ただし

$$\begin{aligned} \Delta E(N) - \Delta E &= (1 - 2 \Delta E)(1 - 1/N) / 2 \\ &> 0 \end{aligned}$$

すなわち $\Delta E(N)$ が ΔE よりも大きくなることは重要である。これは、本発明では確率がN倍になる分、同一のトンネル確率でエネルギー障壁 $\Delta E(N)$ を大きくできる余裕が生じるためである。

【0053】

図5は、下部ドット13の数に対する ΔE の依存性を表すグラフ図である。同図から、下部ドット13の数Nが増え、同一書込消去速度でのエネルギー障壁 ΔE が上昇することが分かる。ここで、 $N = 1$ は図22に例示した構造に対応し、本発明のようにNが2, 3, 4...と複数になると ΔE が増えていく。

【0054】

次に、保持時間の改善について説明する。本発明のように、一つの上部ドット15に対してN個（複数）の下部ドット13が設けられている時、保持状態（ $V_{eff} \sim 0$ V）でもトンネル確率がN倍になる点は同等である。従って、1層の薄い酸化膜しか存在しない場合（図23）とのトンネル確率比 $P(\text{single}) / P(\text{double})$ は、次式により与えられる。

$P(\text{single}) / P(\text{double})$

$$= (1/N) (2kT / \Delta E(N)) \sinh(\Delta E(N) / kT)$$

保持時間は、経路がN個設けられている分、 $1/N$ 倍に低下するが、図5に表したように下部ドット13の数を複數にすることでエネルギー障壁が増えるため、記憶保持時間が指數関数的に改善されるので、本発明の方が従来技術よりも、同一の書込消去速度で記憶保持時間が良くなることが期待される。

【0055】

図6は、書込消去速度を同一とした時の下部ドットの数に対する記憶保持時間の依存性を表すグラフ図である。図22に例示した如く $N=1$ の場合よりも、本発明のように N が2, 3, 4...と複數になるほうが、記憶保持時間が大きく改善できることがわかる。すなわち、本発明により $N(>1)$ 個の下部S iドット13の上に1個の上部S iドット15が積重なった量子ドット構造を浮遊ゲートとするほうが、 $N=1$ 個の場合よりも、書込消去速度を劣化させないで記憶保持時間を向上させることができる。

【0056】

本発明の作用効果が実際のメモリ特性において有効に寄与するためには、図1に例示した(1個の上部ドット15に対して N 個の下部ドット13)という構造単位が、通常チャネル上に、ある程度の面密度で存在しなければならない。メモリ効果は、上部ドット15の情報電荷によるクーロン遮蔽によりチャネル電流が減少することにより発現する。従って、上部ドット15同士の平均間隔が、クーロン遮蔽長(およそ15nm程度)の2倍よりも大きいとチャネル面上にクーロン遮蔽を受けない部分が現れ、メモリ効果が十分発現しないことになる。よって、(1個の上部ドット15に対して N 個の下部ドット13)という構造単位が、面密度にして $1/(30\text{nm})^2 \sim 1 \times 10^{11} \text{cm}^{-2}$ 以上存在することが望ましい。但し、チャネル幅がクーロン遮蔽長程度まで細いような場合であれば、図1(b)の量子ドット構造単位が最低1個でも、メモリ効果に寄与可能である。

【0057】

また、本発明の効果は、 N 個の下部ドット13によってトンネル確率が N 倍になることに起因するため、 N 個の下部ドット13が上部ドット15にできるだけオーバーラップするように設けられることが望ましい。また、隣接する下部ドット13同士の隙間にリーク電流が流れると記憶保持効果が弱まってしまうので、下部ドット同士の隙間は後に具体例として説明するように、酸化膜やa-Si(非晶質シリコン)などの高抵抗物質であることが望ましい。

【0058】

以上の説明は、上部ドット15と半導体チャネルとの間において、下部ドット13を挟む二重トンネル接合を介して情報電荷が出入りする場合に対応するが、多重トンネル接合を介して情報電荷が出入りする場合でも同様である。

【0059】

図7及び図8は、このような多重トンネル接合を例示する模式図である。すなわち、図7は、図22の構成において多重接合を導入したものを表し、一つの上部ドット15の直下に、一つの下部ドット13Bと一つの下部ドット13Aとが直列状に設けられて多重トンネル接合を形成している。

【0060】

一方、図8は、図1の構成において多重接合を導入したものを表し、一つの上部ドット15の直下に、複數の下部ドット13Bと複數の下部ドット13Aとが複數直列状に設けられて、複數の多重トンネル接合を形成している。

【0061】

図8に例示したように一つの上部ドット15に対して、情報電荷の注入放出経路数を複數倍にしたものの方が、上述の場合と同様にメモリ効果が改善される。要するに、注入放出経路が並列に複數個形成されれば、経路が一本しかない時よりも、同一の書込消去速度の条件で、途中のエネルギー障壁を高くできるため、保持時間をより改善できるという同様の効果が得られる。

【 0 0 6 2 】

図 9 は、このような多重トンネル接合を有するメモリの断面構造を表す模式図である。すなわち、同図のメモリは、ひとつの上部ドット 1 5 に対して、複数の下部ドット 1 3 B と複数の下部ドット 1 3 A とが複数直列状に設けられ、複数の多重トンネル接合が形成されている。

【 0 0 6 3 】

図 9 に表したような構造の浮遊ゲートに有するメモリは、例えば、以下に説明する第 1 実施例において、下部ドット 2 3 を成す S i (シリコン) 層を 2 層にすれば得られる。

【 0 0 6 4 】

また、後に説明する第 4 実施例のように、図 1 の基本構造が「入れ子状」に設けられた構造においても、同様の効果があることは勿論である。この場合、上部ドット 5 5 と中間下部ドット 5 0 との間で、N 倍のトンネル確率差に起因した中間下部ドット 5 0 におけるエネルギー障壁の増加が可能な上、中間下部ドット 5 0 と下部ドット 5 3 との間での N ' 倍のトンネル確率差に起因して、下部ドット 5 3 におけるエネルギー障壁の増加も可能なため、より効率よく記憶保持特性を向上できる。

【 0 0 6 5 】

以下、実施例を参照しつつ本発明の実施の形態についてさらに詳細に説明する。

【 0 0 6 6 】

(第 1 の実施例)

まず、本発明の第 1 の実施例として、複数の下部 S i ドットの上に 1 個の上部 S i ドットが積重なった量子ドット構造を有する浮遊ゲート型メモリ装置について説明する。

【 0 0 6 7 】

図 1 0 は、本発明の第 1 の実施例にかかる半導体装置の要部製造工程を表す工程断面図である。その要部について説明すると、以下の如くである。

【 0 0 6 8 】

まず、S i (シリコン) 基板 2 1 上に厚さ $t_{ox} = 2 \text{ nm}$ の熱酸化膜 2 2 を形成し、その上に C V D (Chemical Vapor Deposition) 法によりアモルファスシリコン (a - S i) 薄膜を約 4 nm の膜厚に堆積する。次に、700 °C、3 分間のドライ酸化処理により a - S i 層の表面に 2 nm の酸化膜 2 4 を形成する。これにより、a - S i 層の厚さは 3 nm となり、その上下両側が厚さ 2 nm の酸化膜で挟まれた構造が得られる。さらに、窒素雰囲気中で 900 °C の高温アニールを行うと、a - S i 層は 3 nm 程度のポリシリコングレイン 2 3 からなるシリコン層となり、図 1 0 (a) に表した構造が得られる。

【 0 0 6 9 】

次に、図 1 0 (b) に表したように、L P C V D (Low Pressure Chemical Vapor Deposition) 法により、粒径約 8 nm の上部 S i ドット 2 5 を形成する。

【 0 0 7 0 】

次に、図 1 0 (c) に表したように、L P C V D により厚さ 10 nm の制御酸化膜 2 6 を形成し、さらにゲート電極となる厚さ 200 nm の n^+ ポリシリコン層を C V D により堆積し、ゲート電極 2 7 をレジストパターンをマスクとすることにより形成する。さらに、リン (P) をドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ 、入射エネルギー 15 KeV の条件で注入し、900 °C でアニールすることにより、ソース・ドレインとなる n^+ 層 2 8 を形成する。

【 0 0 7 1 】

このようにして、複数の下部 S i ドット 2 3 の上に 1 個の上部 S i ドット 2 5 が積重なった量子ドット構造を有する浮遊ゲート型メモリ装置が形成できた。

【 0 0 7 2 】

以上説明した第 1 実施例においては、アニール時間によっては、下部 S i ドット 2 3 同士の間には a - S i が残る場合もありうるが、上部ドット 2 5 の下に複数の S i 微結晶ドットが存在する位、多くの部分が S i 微結晶と成っていれば良い。

【 0 0 7 3 】

また、本実施例の場合、隣接する上部ドット 2 5 同士の間にも下部ドット 2 3 が存在して

10

20

30

40

50

いるが、上部ドット 25 の真下に複数個の下部ドット 23 が存在しているという構造上の特徴は同一であり、上部ドット間の隙間に下部ドットがあっても本発明の効果は失われることはない。

【0074】

(第2の実施例)

次に、本発明の第2の実施例として、隣接する上部ドット同士の間には下部ドットが設けられないような半導体装置の製造方法について説明する。

【0075】

図11は、本実施形態の製造方法を表す要部工程断面図である。

【0076】

まず、Si基板31上に厚さ $t_{ox} = 2\text{ nm}$ の熱酸化膜32を形成し、その上にCVD法によりアモルファスシリコン(a-Si)薄膜を4 nm堆積する。次に、700、3分間のドライ酸化によりa-Si層の表面に2 nmの酸化膜34を形成する。これにより、a-Si層の厚さは3 nmとなり、その上下両側を厚さ2 nmの酸化膜で挟まれた構造が得られる。さらに、窒素雰囲気中で900 の高温アニールを行うと、a-Si層は3 nm程度のポリシリコンゲイン33からなるシリコン層となる。

【0077】

さらに、図11(a)に表したように、LPCVDにより、粒径12 nmの上部Siドット35を形成する。

【0078】

次に、900 の水蒸気酸化により8 nm程度酸化すると、図11(b)に表したように、上部Siドットの真下以外の部分にあった下部Siドット33は全て酸化膜となって消滅する。

【0079】

この後、図11(c)に表したように、LPCVDにより厚さ10 nmの制御酸化膜36を形成し、さらにゲート電極となる厚さ200 nmの n^+ ポリシリコン層をCVDで堆積し、ゲート電極37を、レジストパターンをマスクとすることにより形成する。

【0080】

さらに、リン(P)をドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ 、入射エネルギー15 KeVの条件で注入し、900 でアニールすることによりソース・ドレインとなる n^+ 層38が形成される。

【0081】

このようにして、複数個の下部Siドット33の上に1個の上部Siドット35が積重なった量子ドット構造を有する浮遊ゲート型メモリ装置が形成できた。

【0082】

なお、本実施例においては、隣接する上部ドット35同士の隙間の下部ドットを酸化により消滅させたが、本発明はこれには限定されず、例えば、図11(d)に表したように、RIE(Reactive Ion Etching)などの方法によりエッチング除去してもよい。

【0083】

(第3の実施例)

次に、本発明の第3の実施例として、本発明の半導体装置のもうひとつの製造方法について説明する。

【0084】

図12は、本実施例の半導体装置の製造方法の要部を表す工程断面図である。

【0085】

まず、Si基板41上に厚さ $t_{ox} = 2\text{ nm}$ の熱酸化膜42を形成し、その上にCVD法によりアモルファスシリコン(a-Si)薄膜を4 nm堆積する。

【0086】

次に、700、3分間のドライ酸化処理により、a-Si層の表面に2 nmの酸化膜44を形成する。これにより、a-Si層の厚さは約3 nmとなり、その上下両側が厚さ2

10

20

30

40

50

nmの酸化膜で挟まれた構造が得られる。さらに、窒素雰囲気中で900 の高温アニールを行うと、a-Si層は3nm程度のポリシリコングレイン(微結晶)43からなるシリコン層となる。その際に、下部Siドットの間に少しa-Si43aが残る程度の短めのアニール時間とすると、図12(a)に表した構造が得られる。

【0087】

その後、700 のドライ酸化を行うと、微結晶43は表面の応力により酸化が進みにくいので、図12(b)に表したように、結晶化していない微結晶の隙間のa-Si43aのみが酸化される。

【0088】

次に、図12(c)に表したように、LPCVD法により、粒径8nmの上部Siドット45を形成し、その上にLPCVD法により厚さ10nmの制御酸化膜46を形成する。さらに、ゲート電極となる厚さ200nmのn⁺ポリシリコン層をCVD法で堆積し、ゲート電極47をレジストパターンをマスクとすることにより形成する。また、リンをドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ 、入射エネルギー15 KeVの条件で注入し、900 のアニール処理を施すことにより、ソース・ドレインとなるn⁺層48を形成する。

【0089】

このようにして、複数個の下部Siドット43の上に1個の上部Siドット45が積重なった量子ドット構造を有する浮遊ゲート型メモリ装置が形成できた。

【0090】

なお、本実施例においても、第2実施例に関して前述したように、隣接する上部ドット45同士の隙間の下にある下部ドット43を、酸化またはエッチングにより無くすることができる。このようにすると、図12(d)に表した構造が得られる。

【0091】

(第4の実施例)

次に、本発明の第4の実施例として、量子ドットが「入れ子状」に積層された構造を有する半導体装置について説明する。

【0092】

図13は、本実施例の半導体装置の製造方法を表す要部工程断面図である。

【0093】

本実施例においてもまず、Si基板51の上に厚さ $t_{ox} = 2 \text{ nm}$ の熱酸化膜52を形成し、その上にCVD法によりアモルファスシリコン(a-Si)薄膜を4nm堆積する。

【0094】

次に、700 、3分間のドライ酸化によりa-Si層の表面に2nmの酸化膜54を形成する。これによりa-Si層の厚さは3nmとなり、その上下両側が厚さ2nmの酸化膜で挟まれた構造が得られる。その上に、CVD法によりアモルファスシリコン(a-Si)薄膜を7nm堆積する。

【0095】

次に、700 、3分間のドライ酸化によりa-Si層の表面に2nmの酸化膜59を形成する。これにより、図13(a)に表したように、上側a-Si層の厚さは約6nmとなり、その上下両側が厚さ2nmの酸化膜で挟まれた構造が得られる。

【0096】

次に、窒素雰囲気中で900 の高温アニールを行うと、図13(b)に表したように、a-Si層は3nm程度のポリシリコングレイン53と6nm程度のポリシリコングレイン50とからなるシリコン層となる。

【0097】

次に、図13(c)に表したように、LPCVD法により、粒径12nmの上部Siドット55を形成する。さらに、LPCVD法により厚さ10nmの制御酸化膜56を形成し、ゲート電極となる厚さ200nmのn⁺ポリシリコン層をCVDで堆積し、ゲート電極57を、レジストパターンをマスクとすることにより形成する。さらに、リンをドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ 、入射エネルギー15 KeVの条件で注入し、900 のアニール

10

20

30

40

50

を施すことによりソース・ドレインとなる n^+ 層 58 を形成することができる。

【0098】

このようにして、図13(c)に表したように、複数個の下部Siドット53の上に1個の中間Siドット50が積重なった量子ドット構造を有し、さらに複数個の中間Siドット50の上に1個の上部Siドット55が積重なった量子ドット構造を有する「入れ子状」の浮遊ゲート型メモリ装置が形成できた。

【0099】

本実施例においても、第2実施例に関して前述したように、上部ドット55の隙間にある中間ドット50や、その中間ドット50同士の隙間にある下部ドット53を酸化またはエッチングにより無くしてもよい。このようにすると、図13(d)に表した構造が得られる。

10

【0100】

中間Siドット50同士の間には、アニール時間によってはa-Siが残る場合もありうるが、上部ドットの下に複数のSi微結晶ドットが存在する位、多くの部分がSi微結晶となっていれば良い。また第3実施例に関して前述したように、中間ドット50や下部ドット53の隙間に残ったa-Si部を700℃のドライ酸化で酸化してもよい。

【0101】

(第2の実施の形態)

次に、本発明の第2の実施の形態として、量子ドットの上下のトンネル酸化膜の「厚み」が異なる半導体装置について説明する。

20

【0102】

図14は、本実施形態の浮遊ゲート型メモリ装置の浮遊ゲート構造を表す断面図である。

【0103】

すなわち、本実施形態のメモリ装置は、シリコン基板61の表面に下側トンネル酸化膜62が形成され、その上に、下部Si(シリコン)量子ドット63、上側トンネル酸化膜64、上部Si量子ドット65、制御酸化膜66、ゲート電極67がこの順に積層されている。また、この積層構造の両側には、ソース/ドレイン領域68が形成されている。

【0104】

本実施形態の浮遊ゲート型メモリも、ゲート酸化膜中に「クーロンブロッケイド条件(電子一個の充電エネルギーが熱揺らぎよりも大きいこと)」を満たす下部Si量子ドット63を挟んだ二重トンネル接合を介して、Si基板61の表面と上部Si量子ドット65との間で情報電子の入出が可能とされている。

30

【0105】

つまり、記憶保持状態においては、上部Siドット65とSi基板61との間に下部Siドット63でのクーロンブロッケイド効果と量子閉じ込め効果によるエネルギー障壁が形成され、簡単には情報電子の出入りができなくなり、記憶保持時間が上がる。下部Siドット63の粒径を微小化することによってエネルギー障壁を上げてやれば指数関数的にトンネル確率が減少するため、極めて効率良く保持特性を改善できる。

【0106】

そしてさらに、本実施形態においては、下部量子ドット65の上下に設けられたトンネル酸化膜のうち、下側トンネル酸化膜62の厚みが、上側トンネル酸化膜64よりも厚くなるように形成されている。

40

【0107】

具体的には、例えば、シリコン基板61の表面に設けられた下側トンネル酸化膜62の厚さ t_{ox} を3.07nmとし、その上に直径5nm程度の下部Si量子ドット63を設け、その真上に、厚みが1.535nmの上側トンネル酸化膜64を設ける。この上に設けられる上部量子ドット65の直径は、例えば、10nm程度とすることができる。

【0108】

このゲート構造の上に制御酸化膜66を介して、 n^+ 型ポリシリコンなどからなるゲート電極67を設け、基板61の両側にソース/ドレイン領域68を設けることにより、浮遊

50

ゲート型 $S i$ ドットメモリ装置となる。

【0109】

本実施形態の量子ドット構造では、図22に例示したような比較例とは異なり、二重トンネル酸化膜のチャネル側に近接して設けられる下側トンネル酸化膜62の方が、上側トンネル酸化膜64よりも厚く形成されている。このため、上下のトンネル酸化膜の膜厚が同様である場合と比べると、電荷保持状態において、 $S i$ 量子ドット62における記憶保持特性の悪化の主要原因であるキャリア放出が効率よく抑制されるので、記憶保持特性が向上する。本実施形態における二重トンネル接合のトンネル抵抗の和は、図22に表した比較例において上下のトンネル酸化膜102、104の膜厚をともに3nmとした場合と同じであるため、書込消去速度は同じである。

10

【0110】

つまり、本実施形態によれば、上下2つのトンネル抵抗の和をほぼ等しくするという条件のもとに、これらトンネル酸化膜の内の電荷供給部（チャネル）側が厚い非対称二重接合とすることで、書込消去速度を実質的に変えることなく、記憶保持時間を改善することが可能となる。

【0111】

なおここで、本実施形態においては、第1実施形態の如く一つの上部量子ドット65の下に複数の下部量子ドット62を設ける必要は必ずしもなく、一つの上部量子ドット65の下に一つの下部量子ドット62のみを設けてもよい。

【0112】

以下、本実施形態において得られる作用効果について、具体例を挙げつつさらに詳細に説明する。本実施形態においては、浮遊ゲート型メモリ素子の二重トンネル酸化膜のうちで、電荷供給部であるチャネル側の下側トンネル酸化膜62の厚みを、例えば3.07nm程度とし、一方、電荷蓄積部（例えば上部 $S i$ ドット65）側の上側トンネル膜64の厚みを1.535nm程度とすることができる。つまり、上側トンネル酸化膜64よりも下側トンネル酸化膜62のほうが2倍程度も厚い非対称の二重トンネル接合とする。

20

【0113】

まず、このような非対称二重トンネル接合における記憶保持について説明する。 $S i$ 量子ドットや、 $S i N$ における原子間結合の欠陥（ダングリングボンド）による電子捕捉準位のように、ナノメートル程度の非常に小さな電荷蓄積部を用いた浮遊ゲートメモリの記憶保持については、キャリア注入の際には、これら微小電荷蓄積部の真下の注入キャリア存在確率が、サブスレッショルド領域において著しく減ることで注入律速が起こるため、キャリア放出の方がより大きな記憶保持悪化の原因となる。

30

【0114】

図15は、 $S i$ ドットメモリにおけるキャリアの注入と放出特性を例示したグラフ図である。同図から分かるように、 $S i$ ドットメモリでは、記憶保持での電流ON/OFF比の悪化は、一般に電子（キャリア）放出側の方が多くを負っていることが多い。従って、キャリア注入よりもキャリア放出を、より抑えることができれば、より効率よく記憶保持特性を改善することが可能となる。

【0115】

図16は、上下トンネル膜厚を対称とした場合と非対称とした場合の、キャリア注入と放出のリークを説明する概念図である。

40

【0116】

記憶保持の状態での実効的エネルギー障壁高さは、図16に表したように、同じ情報電荷リークを促すエネルギー差 ΔV に対して、対称型（左側）では注入・放出時どちらも $\Delta E - \Delta V / 2$ であるのに対し、本発明の非対称型二重トンネル接合（右側）では、注入時の $\Delta E - 2\Delta V / 3$ よりも放出時の $\Delta E - \Delta V / 3$ のほうが実効的に高くなる。つまり、上下トンネル膜厚が対称な場合においては、注入・放出どちらも記憶保持が $\exp[(\Delta E - \Delta V / 2) / kT]$ 倍になるのに対して（ここで、 k はボルツマン定数、 T は温度である）、本発明の非対称型の場合は、キャリア注入は $\exp[(\Delta E - 2\Delta V / 3) / kT]$

50

〕倍と劣るが、記憶保持悪化の主要因であるキャリア放出が $\exp [(\Delta E - \Delta V / 3) / k T]$ 倍と優れていることが分かる。。

【 0 1 1 7 】

図 1 7 は、対称型及び非対称型におけるキャリア注入・放出特性を表すグラフ図である。すなわち、同グラフ中で、上方に水平方向に伸びる 3 つの特性線がキャリア注入特性を表し、左下から右上に伸びる 3 つの特性線がキャリア放出特性を表す。図 1 7 から分かるように、本発明による非対称構造によれば、キャリアの放出時間が長くなり、記憶保持特性がより向上する。

【 0 1 1 8 】

次に書込・消去速度について説明する。トンネル抵抗のトンネル酸化膜厚 T_{ox} 依存は、次式により近似することができる。

$$\exp [4 \pi (2 m H)^{1/2} \times T_{ox} / h] = 10 T_{ox} / (0.23 \text{ nm})$$

ここで、 m は電子実効質量で $2.7 \times 10^{-31} \text{ Kg}$ 程度、また、 H は酸化膜の障壁高さ 3.1 eV 、 h はプランク定数である。

【 0 1 1 9 】

よって厚さ 3.07 nm の下側トンネル酸化膜 6 2 のトンネル抵抗は、厚さが 3 nm 酸化膜のその 2 倍であり、厚さ 1.535 nm の上側酸化膜 6 4 のトンネル抵抗はそれに比して無視できるほど小さい。その結果、二重のトンネル酸化膜の抵抗の和は、本発明（非対称）と従来技術（対称）の上下とも 3 nm のものとで同じであり、書込・消去速度は実質的に変化しない。

【 0 1 2 0 】

つまり上下の 2 つのトンネル酸化膜のトンネル抵抗の和が等しいという条件のもとでは、トンネル酸化膜のうちのチャネル側が厚い非対称二重接合とすることで、書込消去速度を全く変えることなく、記憶保持時間を改善することが可能となる。

【 0 1 2 1 】

以上説明したように、本発明のトンネル膜厚を非対称にした二重ドットメモリでは、従来技術の対称な構造のものと比較して、書込消去速度を失うことなく記憶保持を向上させることができる。

【 0 1 2 2 】

本発明の効果が実際にメモリ特性で有効に機能するためには、図 1 4 に例示したような非対称二重トンネル接合と微小電荷蓄積部（上部 S_i ドット 6 5）という構造単位が、チャネル上にある程度の面密度で存在することが望ましい。メモリ効果は、上部ドット 6 5 の情報電荷によるクーロン遮蔽によりチャネル電流が減少することにより発現する。よって、隣接する上部ドット 6 5 間の平均距離が、クーロン遮蔽長（およそ 15 nm 程度である）の倍よりも大きいとチャネル面上にクーロン遮蔽を受けない部分が現れ、メモリ効果が十分発現しないことになる。

【 0 1 2 3 】

つまり、（非対称二重トンネル接合 + 微小電荷蓄積部）という構造単位が、面密度に換算して、 $1 / (30 \text{ nm})^2 \sim 1 \times 10^{11} \text{ cm}^{-2}$ 以上存在することが望ましい。但し、チャネル幅がクーロン遮蔽長程度まで細いような場合であれば、この構造単位が最低 1 個でもメモリ効果に寄与可能なのでこの限りではない。

【 0 1 2 4 】

以下、本発明の第 2 実施形態に基づき、チャネル側のトンネル酸化膜厚の方が、電荷蓄積部側のトンネル酸化膜厚よりも厚く構成されている非対称二重トンネル接合を有する半導体メモリ装置について、第 5 乃至第 7 の実施例を参照しつつさらに詳細に説明する。

【 0 1 2 5 】

（第 5 の実施例）

図 1 8 は、本発明の第 5 の実施例の半導体装置の製造方法の要部を表す工程断面図である。

【 0 1 2 6 】

本実施例においてはまず、Si基板71の上に厚さ $t_{ox} = 3.07 \text{ nm}$ の熱酸化膜72を形成し、その上にCVD法によりアモルファスシリコン(a-Si)薄膜70を6 nm堆積する。次に、700℃、1分間のドライ酸化によりa-Si層70の表面に1.535 nmの酸化膜74を形成する。これによりa-Si層70の厚さは、およそ5 nmとなり、その上下に各々厚さ1.535 nm、3.07 nmの酸化膜74、72が設けられた構造が得られる。その後、LP-CVDにより粒径が15 nm程度の上部Siドット75を形成することにより、図18(a)に表した構造が得られる。

【0127】

次に、900℃の水蒸気酸化により10 nm程度酸化すると、上部Siドット75の真下にのみ粒径5 nm程度下部Siドット73残り、それ以外のa-Si薄膜70は酸化されて、図18(b)に表した構造が得られる。

10

【0128】

さらに、LP-CVD法により厚さ10 nmの制御酸化膜76を形成する。そして、その上にゲート電極となる厚さ200 nmの n^+ 型ポリシリコン層をCVDで堆積しレジスタパターン(図示せず)をマスクとすることによりパターニングしてゲート電極77を形成する。さらに、リン(P)を、例えばドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ 、入射エネルギー15 KeVの条件で注入し、900℃でアニールを施すことにより、図18(c)に表したように、ソース・ドレイン領域となる n^+ 型領域78を形成することができる。

【0129】

以上説明したように、本実施例によれば、チャネル側のトンネル酸化膜72の厚みが約3.07 nmで、電荷蓄積部側のトンネル酸化膜74の厚みが約1.535 nmの、非対称二重トンネル接合を有する二重量子ドット構造を形成することができる。

20

【0130】

本実施例においては、上部量子ドット75は、その位置が規則正しく並んでるものでもよく、またはチャネル上に上部ドット75が1個しかない単一ドットメモリ構造のものでもよい。また、上述の具体例の場合、上部ドット75同士の隙間の部分の下部ドットを酸化プロセスにより消失させているが、この代わりに、上部ドット75をマスクとするRIEのようなエッチングにより下部ドットを消失させることもできる。

【0131】

なお、好適なメモリ動作のために要求される量子ドットの面密度は、 $1 \times 10^{11} \text{ cm}^{-2} \sim (30 \text{ nm})^{-2}$ 以上であるが、30 nm四方の面積に一個以上のドットが入らなければこれが実現できない。上部量子ドット75の粒径が30 nm以下であれば、 $1 \times 10^{11} \text{ cm}^{-2}$ 以上の面密度が得られる点でも、その粒径は30 nm以下とすることが望ましい。

30

【0132】

(第6の実施例)

次に、本発明の第6の実施例について説明する。

【0133】

図19は、本発明の第6の実施例の半導体装置の製造方法の要部を表す工程断面図である。

40

【0134】

本実施例においてもまず、Si基板81の上に厚さ $t_{ox} = 3.07 \text{ nm}$ の熱酸化膜82を形成し、その上にCVD法によってアモルファスシリコン(a-Si)薄膜を4 nm堆積する。次に、700℃、1分間のドライ酸化によりa-Si層の表面に1.535 nmの酸化膜84を形成する。これにより、a-Si層の厚さはおよそ3 nmとなり、その上下を各々厚さ1.535 nm、3.07 nmの酸化膜で挟まれた構造が形成される。

【0135】

次に、窒素雰囲気中で900℃の高温アニールを行うと、a-Si層は3 nm程度のポリシリコンゲイン83からなるシリコン層となり、図19(a)に表した構造が得られる。

50

【0136】

その後、LPCVD法により、粒径8nmの上部Siドット85を形成することにより、図19(b)に表した構造が得られる。

【0137】

さらに、LPCVD法により厚さ10nmの制御酸化膜86を形成し、さらにゲート電極となる厚さ200nmの n^+ 型ポリシリコン層をCVD法で堆積し、レジストパターン(図示せず)をマスクとすることによりゲート電極87を形成する。その後、リン(P)を、例えばドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ 、入射エネルギー15KeVの条件で注入し、900℃でアニールすることにより、ソース・ドレイン領域となる n^+ 型領域88を形成することで、図19(c)に表したように、本発明の第2実施形態の非対称二重量子ドット構造を有する半導体メモリ装置が形成される。

10

【0138】

本実施例では、隣接する上部ドット85同士の隙間の下側にも下部ドット83が存在しているが、それによって本実施形態の効果が失われることはない。あるいは、図11に関して前述した第2実施例のように、隙間の部分の下部ドット群を酸化またはRIEによって消失させてもよい。

【0139】

下部Siドット83同士の間には、アニール時間によってはa-Siが残る場合もありうるが、多くの部分がSi微結晶となっていれば問題ない。また、図12に関して前述した第3実施例のように、下部Siドット間に残ったアモルファス部を酸化により消失させることもできる。

20

【0140】

本実施例においても、上部量子ドット85は、位置的に規則正しく並んでいるものでもよく、チャンネル上に上部ドット85が1個しかない単ドットメモリ構成なお、好適なメモリ動作のために要求される量子ドットの面密度は、 $1 \times 10^{11} \text{ cm}^{-2} \sim (30 \text{ nm})^{-2}$ 以上であるが、30nm四方の面積に一個以上のドットが入らなければこれが実現できない。上部量子ドット85の粒径が30nm以下であれば、 $1 \times 10^{11} \text{ cm}^{-2}$ 以上の面密度が得られる点でも、その粒径は30nm以下とすることが望ましい。

【0141】

(第7の実施例)

30

次に、本発明の第7の実施例について説明する。

【0142】

図20は、本発明の第7の実施例の半導体装置の製造方法の要部を表す工程断面図である。

【0143】

本実施例においてもまず、Si基板91の上に厚さ $t_{ox} = 3.07 \text{ nm}$ の熱酸化膜92を形成し、その上にCVD法によってアモルファスシリコン(a-Si)薄膜を4nm堆積する。次に、700℃、1分間のドライ酸化によりa-Si層の表面に1.535nmの酸化膜94を形成する。これにより、a-Si層の厚さはおよそ3nmとなり、その上下を各々厚さ1.535nm、3.07nmの酸化膜で挟まれた構造が形成される。

40

【0144】

次に、窒素雰囲気中で900℃の高温アニールを行うと、a-Si層は3nm程度のポリシリコングレイン(93からなるシリコン層となり、図20(a)に表した構造が得られる。

【0145】

その後、浮遊電極部の形成のため、図20(b)に表したように、厚さ5nmの窒化シリコン(SiN)膜95をLPCVD法により堆積する。これにより、SiN膜95の界面あるいは内部に、原子間結合の欠陥(ダングリングボンド)が多数形成され、これらにより形成される電子捕捉準位を電荷蓄積部とすることができる。

【0146】

50

その上に、LPCVD法により、厚さ5 nmの制御酸化膜96を形成する。さらに、ゲート電極となる厚さ200 nmの n^+ 型ポリシリコン層をCVD法により堆積し、レジストパターンをマスクとすることによりゲート電極97を形成する。そして、リン(P)を、例えばドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ 、入射エネルギー15 KeVの条件で注入し、1000で10秒間程度の高速アニールを施すことにより、ソース・ドレイン領域となる n^+ 型領域98を形成する。

【0147】

このようにして、図20(c)に表したように、チャネル側のトンネル酸化膜92の方が、電荷蓄積部側のトンネル酸化膜94よりも厚く形成された非対称二重トンネル接合を有する半導体メモリ装置が形成できる。

10

【0148】

本実施例においては、制御酸化膜96を省略して、SiN膜95の上に直接ゲート電極97を積んだ構造としてもよい。

【0149】

または、SiN膜95は、連続的な一つながりの膜である必要は無く、図20(d)に例示したように、10 nm程度の微小SiN粒子99の集合体としてもよい。この時、前述した第2実施例あるいは第5実施例のように、微小SiN粒子99の真下にのみ下部Siドット93が設けられた構造としてもよい。また、微小SiN粒子99は、その位置的に規則正しく並んでいるものでもよく、単一ドット構造のものでもよい。

20

【0150】

以上、本発明の第1及び第2の実施の形態について、具体例を参照しつつ詳細に説明した。しかし、本発明はこれらの具体例に限定されるものではない。

【0151】

例えば、前述した第1乃至第7実施例においては、半導体材料としてシリコンを用いているが、本発明は、他の半導体材料を用いても同様に実施可能であり、ゲルマニウムや各種の化合物半導体などを用いることができる。

【0152】

また、第1乃至第7実施例においては、トンネル絶縁膜として酸化シリコンを用いたが、その他の絶縁性物質を用いても本発明を同様に実施可能であり、同様の作用効果を得ることができる。

30

【0153】

また、第1乃至第7実施例では、薄いトンネル酸化膜に挟まれた充放電経路上の微小粒子をSiナノ微結晶としたが、他の導電性材料であっても同様の効果が得られる。

【0154】

さらに、第1乃至第7実施例においては、浮遊ゲートへの情報電荷の供給源はチャネル半導体であるが、制御ゲート電極の n^+ シリコンを供給源としても同様の効果が得られる。

【0155】

また、第1乃至第7実施例においては、 n 型MOSFETに基づく浮遊ゲートメモリを例に挙げたが、本発明は、 p 型MOSFETに基づくメモリ素子にも同様に適用可能である。

40

【0156】

さらに、第1乃至第7実施例においては、下部Siドットの形成に a -Si薄膜の高温アニールによる微結晶化を利用しているが、それ以外にも、LPCVD法で粒径の小さい下部Siドットをウェーハ上に多数降らせて作成しても良い。ただしその場合、粒径の数倍大きな上部Siドットをそれらの上に堆積する際に、図1に表したように、その真下に複数個の下部ドットが存在するくらい高密度に下部ドットを形成しなければならない。

【0157】

また、第1乃至第7実施例において、上部量子ドットの形成位置は、ランダムでも規則正しく配列したものでもよい。

【0158】

50

さらに、第 1 乃至第 7 の実施例においては、素子サイズが微小になれば、チャネル上に上部ドットが 1 個しかない単ードットメモリ構造のものでも可能である。

【 0 1 5 9 】

また、第 5 乃至第 7 実施例では、トンネル膜厚の非対称の構成について 2 : 1 の膜厚比の場合を例に挙げたが、チャネル側がより厚いものであれば他の比率でも、それに応じた同様の効果が得られる。

【 0 1 6 0 】

また、第 5 乃至第 7 実施例において、上下トンネル酸化膜の非対称構造を形成する手段としては、膜厚を調節するのみならず、互いに誘電率 ϵ の相異なる材料を使い分けて上下のトンネル絶縁膜を形成してもよい。このようにしても、実効酸化膜厚を変化させたことと同様の効果が得られる。

10

【 0 1 6 1 】

また、第 5 乃至第 7 実施例においては、「微小粒子とそれを挟む二重トンネル接合」を介して充放電されるメモリ素子を例示したが、図 2 1 に例示したように多重トンネル接合を介して充放電する構成においても、チャネル側のトンネル膜をより厚くすることにより、同様の効果が得られる。

【 0 1 6 2 】

【発明の効果】

以上詳述したように、本発明の第 1 の実施の形態によれば、一つの上部ドットに対して複数の下部ドットを積層させる構造を提供することにより、例えば、これをメモリに応用した場合には、上部ドットとチャネル間の情報電子の注入放出経路が並列に複数個 (N 個) になるので、経路が 1 つの場合よりも、書込消去速度を劣化させずに、下部ドット内でのエネルギー障壁を大きくでき、よって記憶保持時間をより効率的に改善できる。

20

【 0 1 6 3 】

また、本発明の第 2 の実施の形態によれば、量子ドットを挟む上下のトンネル膜の膜厚あるいは誘電率を非対称とすることにより、書込消去速度を劣化させることなく電荷保持特性を向上させることが可能となる。

【図面の簡単な説明】

【図 1】本発明の、複数個の下部 S i ドットの上に 1 個の上部 S i ドットが積重なった量子ドット構造を有する浮遊ゲート型メモリ装置の断面図である。

30

【図 2】1 層のトンネル酸化膜のみの一重 S i ドットメモリと、下部 S i ドットと上部 S i ドットが積重なった二重ドットメモリの、記憶保持状態でのエネルギーバンド図である。

【図 3】1 層のトンネル酸化膜のみの一重 S i ドットメモリと、下部 S i ドットと上部 S i ドットが積重なった二重ドットメモリの、書込状態でのエネルギーバンド図である。

【図 4】一つの上部ドットに対して下部ドットが一個のみの二重ドットメモリの、1 層のトンネル酸化膜のみの一重 S i ドットメモリに対する、保持時間改善と書込消去速度劣化を表すグラフ図である。

【図 5】本発明による、複数個の下部 S i ドットの上に 1 個の上部 S i ドットが積重なった量子ドット構造を有する浮遊ゲート型メモリにおける、同一書込消去速度での、下部ドット数に対するエネルギー障壁高の変化を表すグラフ図である。

40

【図 6】本発明による、複数個の下部 S i ドットの上に 1 個の上部 S i ドットが積重なった量子ドット構造を有する浮遊ゲート型メモリにおける、同一書込消去速度での、下部ドット数に対する保持時間改善の変化を表すグラフ図である。

【図 7】情報電荷の注入放出経路を一個とした場合の多重ドット構造の断面図である。

【図 8】本発明による、注入放出経路が複数個ある時の多重ドット構造の断面図である。

【図 9】本発明の注入放出経路が複数個ある時の多重ドット構造を、浮遊ゲート部に有している半導体メモリ素子の断面図である。

【図 10】本発明の第 1 の実施例の半導体装置の製造方法を表す要部工程断面図である。

【図 11】本発明の第 2 の実施例の半導体装置の製造方法を表す要部工程断面図である。

50

【図 1 2】本発明の第 3 の実施例の半導体装置の製造方法を表す要部工程断面図である。

【図 1 3】本発明の第 4 の実施例の半導体装置の製造方法を表す要部工程断面図である。

【図 1 4】本発明の第 2 実施形態の浮遊ゲート型メモリ装置の浮遊ゲート構造を表す断面図である。

【図 1 5】S i ドットメモリにおけるキャリアの注入と放出特性を例示したグラフ図である。

【図 1 6】上下トンネル膜厚を対称とした場合と非対称とした場合の、キャリア注入と放出のリークを説明する概念図である。

【図 1 7】対称型及び非対称型におけるキャリア注入・放出特性を表すグラフ図である。

【図 1 8】本発明の第 5 の実施例の半導体装置の製造方法の要部を表す工程断面図である

10

【図 1 9】本発明の第 6 の実施例の半導体装置の製造方法の要部を表す工程断面図である

【図 2 0】本発明の第 7 の実施例の半導体装置の製造方法の要部を表す工程断面図である

【図 2 1】多重トンネル接合を表す概念図である。

【図 2 2】1 個の上部 S i ドットに対して下部 S i ドットが 1 個しかない二重量子ドット構造と、それを浮遊ゲート部に有する半導体メモリ素子の断面図である。

【図 2 3】1 層のトンネル酸化膜のみからなる一重 S i ドットメモリ装置の断面図である

20

【符号の説明】

1 1、2 1、3 1、4 1、5 1 S i 基板

1 2、2 2、3 2、4 2、5 2 トンネル酸化膜

1 3、2 3、3 3、4 3、5 3 下部 S i 量子ドット

1 4、2 4、3 4、4 4、5 4 上段トンネル酸化膜

1 5、2 5、3 5、4 5、5 5 上部 S i 量子ドット

1 6、2 6、3 6、4 6、5 6 制御酸化膜

1 7、2 7、3 7、4 7、5 7 ゲート電極

1 8、2 8、3 8、4 8、5 8 ソース/ドレイン

5 0 中間 S i 量子ドット

5 9 最上段トンネル酸化膜

6 1、7 1、8 1、9 1、1 0 1 S i 基板

6 2、7 2、8 2、9 2、1 0 2 下側トンネル酸化膜

6 3、7 3、8 3、9 3、1 0 3 下部 S i 量子ドット

6 4、7 4、8 4、9 4、1 0 4 上側トンネル酸化膜

6 5、7 5、8 5、9 5、1 0 5 上部 S i 量子ドット

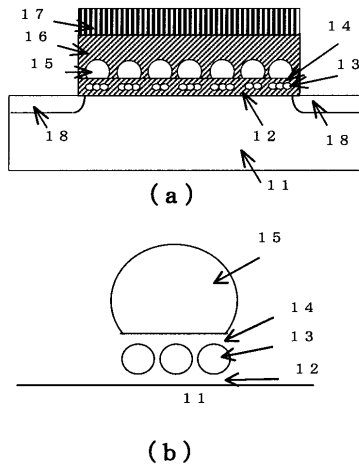
6 6、7 6、8 6、9 6、1 0 6 制御酸化膜

6 7、7 7、8 7、9 7、1 0 7 ゲート電極

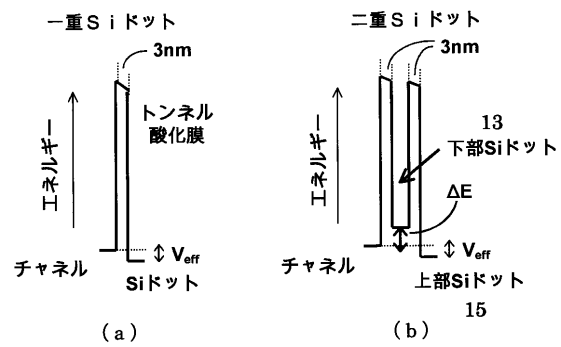
6 8、7 8、8 8、9 8、1 0 8 ソース/ドレイン

30

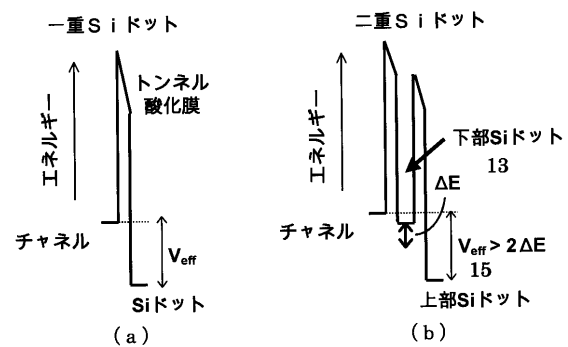
【図 1】



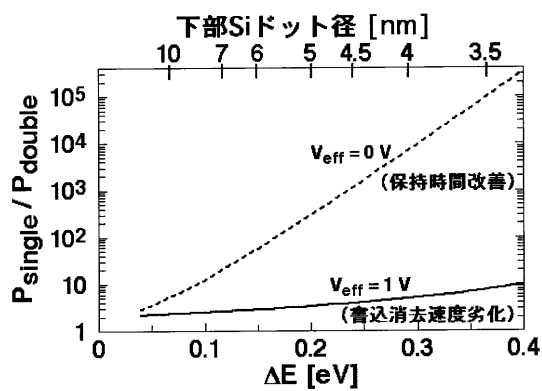
【図 2】



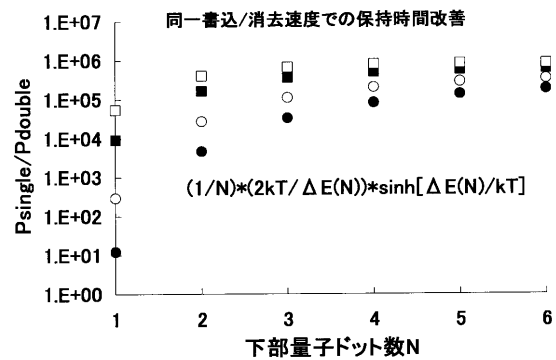
【図 3】



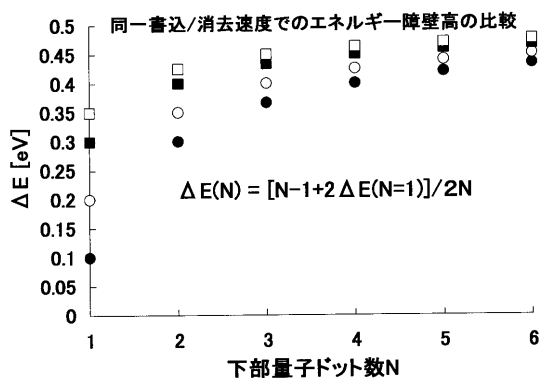
【図 4】



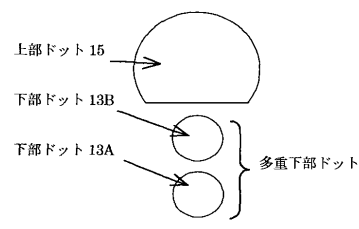
【図 6】



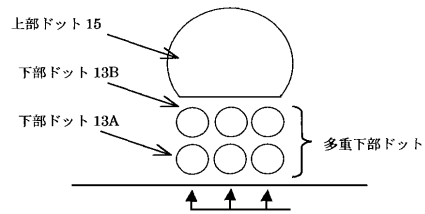
【図 5】



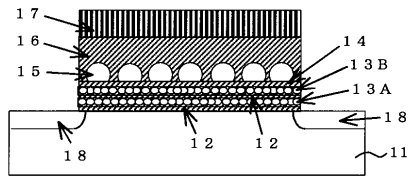
【図 7】



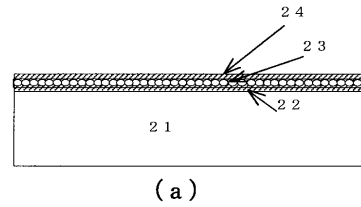
【図 8】



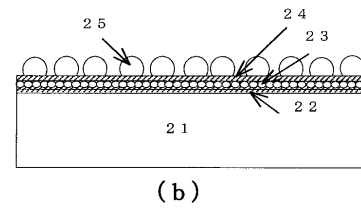
【図 9】



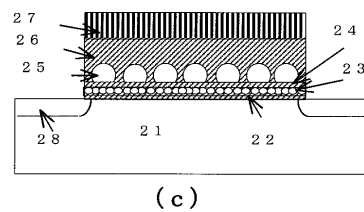
【図 10】



(a)

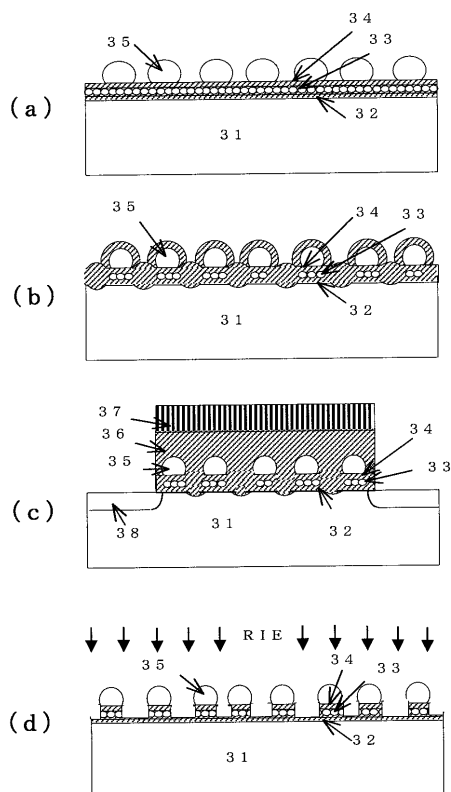


(b)

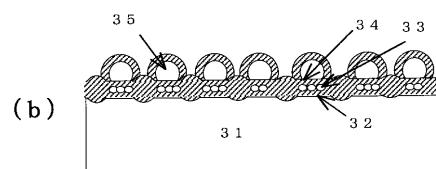


(c)

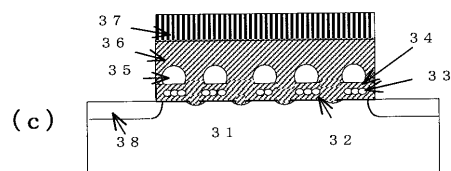
【図 11】



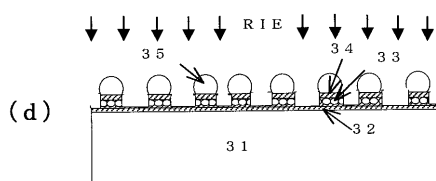
(a)



(b)

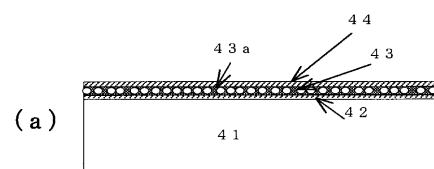


(c)

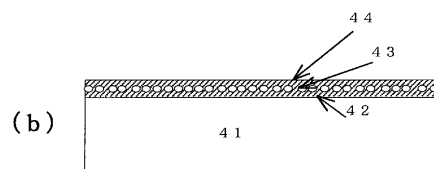


(d)

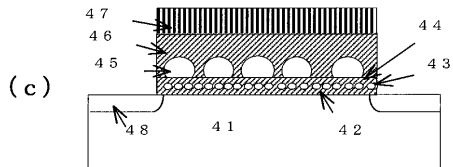
【図 12】



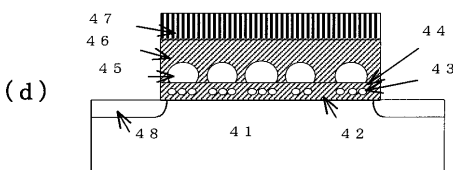
(a)



(b)

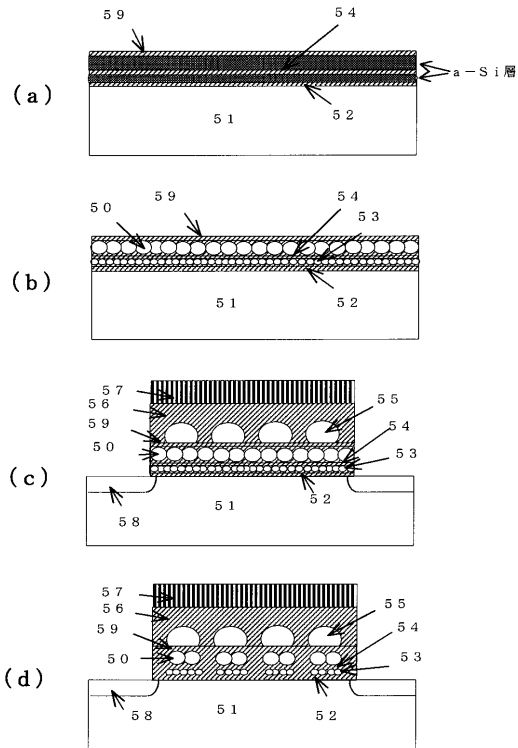


(c)

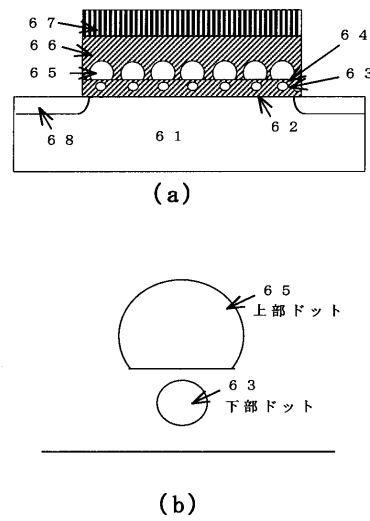


(d)

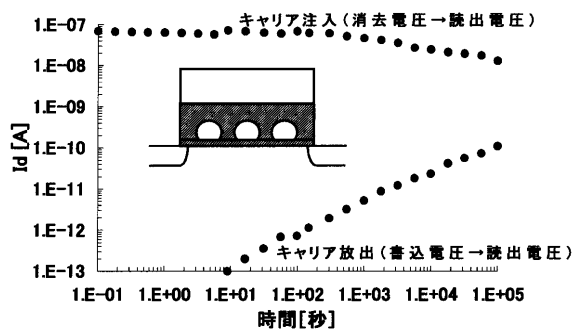
【図 13】



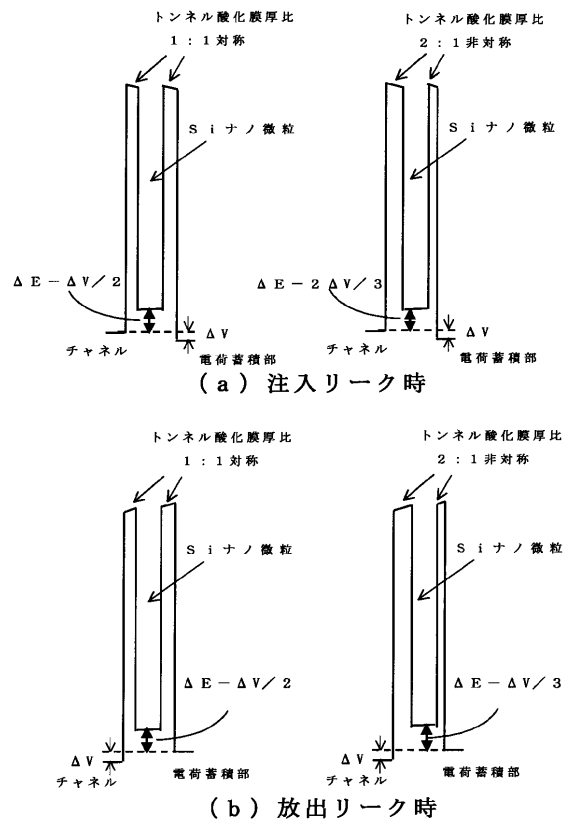
【図 14】



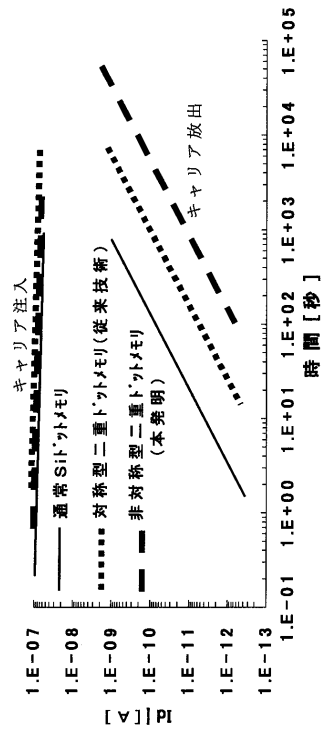
【図 15】



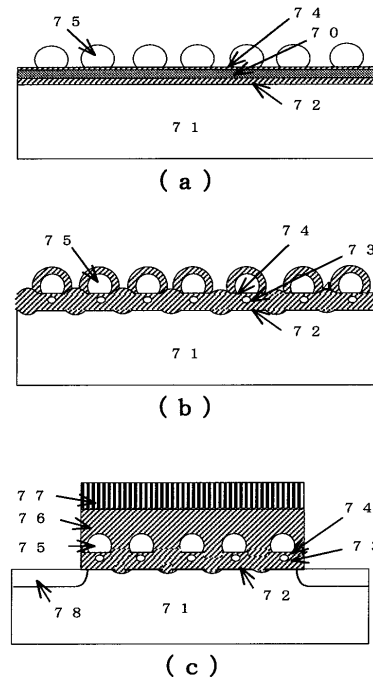
【図 16】



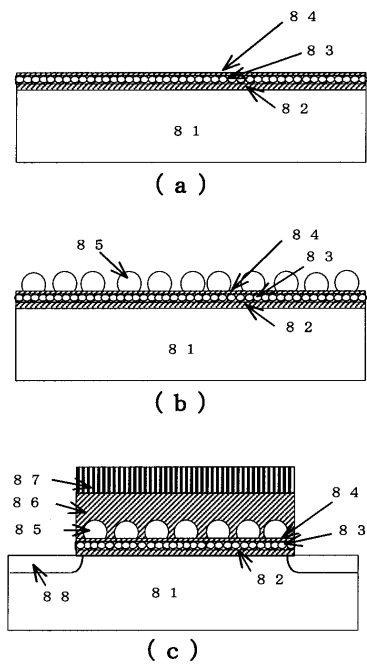
【図 17】



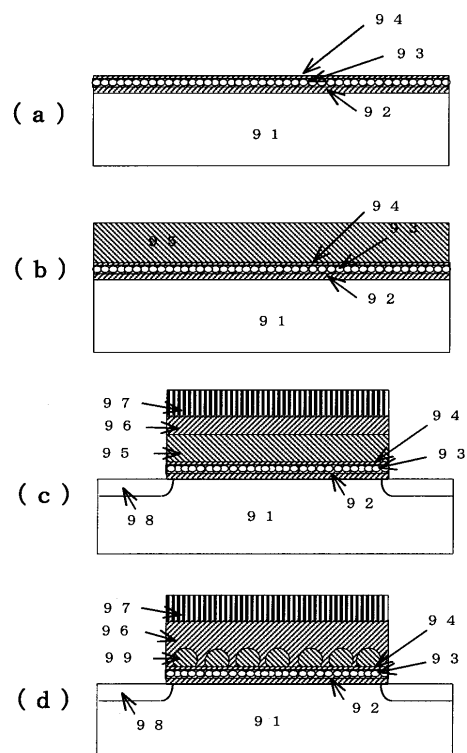
【図 18】



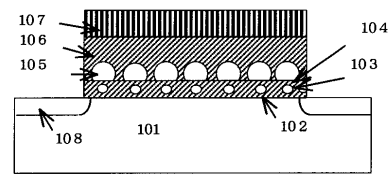
【図 19】



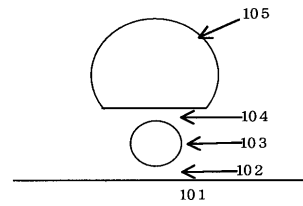
【図 20】



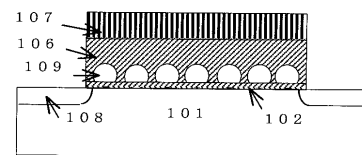
【 図 2 2 】



(a) チャンネル側程厚くなっている例



【 図 2 3 】



(b) 最もチャネル側が厚くなっている例

フロントページの続き

合議体

審判長 河合 章

審判官 棚田 一也

審判官 北島 健次

(56)参考文献 特開 2 0 0 1 - 3 1 3 3 4 2 号 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

IPC第7版 H01L29/788

H01L29/792

H01L27/115

H01L21/8247