



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0047545
(43) 공개일자 2020년05월07일

- (51) 국제특허분류(Int. Cl.)
H01L 23/482 (2006.01) H01L 23/495 (2006.01)
H01L 23/498 (2006.01) H05K 1/11 (2006.01)
H05K 3/34 (2006.01)
- (52) CPC특허분류
H01L 23/482 (2013.01)
H01L 23/49541 (2013.01)
- (21) 출원번호 10-2020-7005747
(22) 출원일자(국제) 2018년08월03일
심사청구일자 없음
(85) 번역문제출일자 2020년02월27일
(86) 국제출원번호 PCT/EP2018/071190
(87) 국제공개번호 WO 2019/042709
국제공개일자 2019년03월07일
- (30) 우선권주장
10 2017 215 027.0 2017년08월28일 독일(DE)
- (71) 출원인
로베르트 보쉬 게엠베하
독일 데-70442 슈투트가르트 포스트파흐 30 02 20
- (72) 발명자
라우스만, 마티아스
독일 71711 무르 분넨슈타인백 3
코스비, 클라우스
독일 72766 로이틀링엔 데어 쾰네 백 70
(뒷면에 계속)
- (74) 대리인
장훈

전체 청구항 수 : 총 14 항

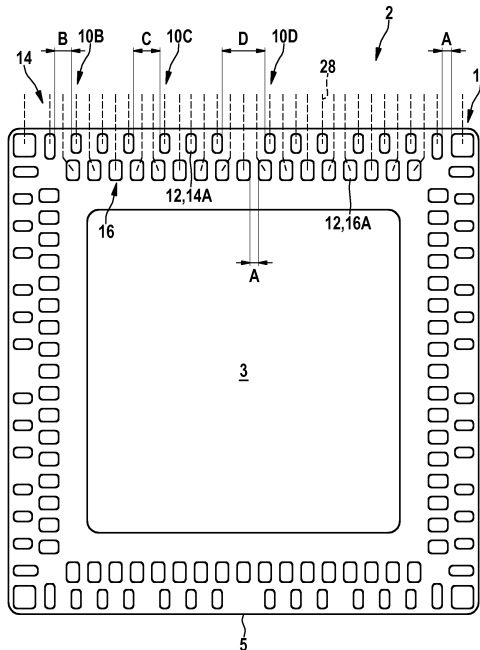
(54) 발명의 명칭 반도체 부품, 및 반도체 부품과 인쇄 회로 기판을 구비한 접착 어셈블리

(57) 요약

본 발명은 반도체 칩(3), 하우징(5), 및 적어도 2 열(14, 16)의 플랫 연결점들(12)을 갖는 연결점 장치(10)를 포함하는 반도체 부품(2)에 관한 것이다. 상기 연결점들(12)은 하우징(5)의 저면에 배치되고, 연결부를 통해, 인쇄 회로 기판 상에 배치되며 적어도 2 열을 가진 콘택트 장치의 상응하는 콘택트에 전기적으로 연결될 수

(뒷면에 계속)

대표도 - 도1



있으며, 상기 콘택트 장치의 기하학적 구조는 연결점 장치(10)의 기하학적 구조에 상응하고, 연결점 장치(10)의 제 1 열(14)의 2 개의 인접한 제 1 연결점(14A) 사이에 제 1 거리가 지정되며, 연결점 장치(10)의 제 2 열(16)의 2 개의 인접한 제 2 연결점(16A) 사이에 제 2 거리가 지정되고, 제 2 열(16)의 제 2 연결점들(16A)은 제 1 열(14)의 제 1 연결점(14A)에 대해 오프셋되어 배치된다. 본 발명은 또한 상기 반도체 부품(2) 및 인쇄 회로 기판을 구비한 상응하는 접촉 어셈블리에 관한 것이다. 연결점 장치(10)의 제 1 열(14)의 2 개의 인접한 제 1 연결점(14A) 사이의 제 1 거리는 상응하는 콘택트 장치의 2 개의 콘택트 사이의 중간 공간(C, D)에 상응하고, 상기 중간 공간 내에는 기능상 신뢰성 있는 치수 및 거리를 갖는 적어도 2 개의 도체 트랙(28)이 배치될 수 있다.

(52) CPC특허분류

H01L 23/498 (2013.01)

H01L 23/49838 (2013.01)

H05K 1/111 (2013.01)

H05K 3/3436 (2013.01)

H05K 2201/09772 (2013.01)

H05K 2201/10719 (2013.01)

(72) 발명자

게라, 쿤터

독일 71229 레온베르크 루테스하이머 슈트라쎄
50/5베

폴머, 라르스

독일 70563 슈투트가르트-파이팅엔 호니히비젠슈트
라쎄 80

명세서

청구범위

청구항 1

반도체 칩(3), 하우징(5), 및 적어도 2 열(14, 16)의 플랫폼 연결점들(12)을 갖는 연결점 장치(10)를 포함하는 반도체 부품(2)으로서, 상기 연결점들(12)은 상기 하우징(5)의 저면에 배치되고, 연결부(9)를 통해, 인쇄 회로 기판(7) 상에 배치되며 적어도 2 열(24, 26)을 가진 콘택트 장치(20)의 상응하는 콘택트들(22)에 전기적으로 연결될 수 있으며, 상기 콘택트 장치(20)의 기하학적 구조는 상기 연결점 장치(10)의 기하학적 구조에 상응하고, 상기 연결점 장치(10)의 제 1 열(14)의 2 개의 인접한 제 1 연결점들(14A) 사이에 제 1 거리가 지정되며, 상기 연결점 장치(10)의 제 2 열(16)의 2 개의 인접한 제 2 연결점들(16A) 사이에 제 2 거리가 지정되고, 상기 제 2 열(16)의 상기 제 2 연결점들(16A)은 상기 제 1 열(14)의 상기 제 1 연결점(14A)에 대해 오프셋되어 배치되는, 상기 반도체 부품(2)에 있어서,

적어도 상기 연결점 장치(10)의 상기 제 1 열(14)의 2 개의 인접한 제 1 연결점들(14A) 사이의 상기 제 1 거리는 상응하는 콘택트 장치(20)의 2 개의 콘택트들(22) 사이의 중간 공간(C, D)에 상응하고, 상기 중간 공간 내에 기능상 신뢰성 있는 치수 및 거리를 갖는 적어도 2 개의 도체 트랙(28)이 배치될 수 있는 것을 특징으로 하는 반도체 부품(2).

청구항 2

제 1 항에 있어서, 상기 제 1 열(14)의 2 개의 인접한 제 1 연결점들(14A) 사이의 상기 제 1 거리들은 동일한 값 또는 상이한 값을 갖는 것을 특징으로 하는 반도체 부품(2).

청구항 3

제 1 항 또는 제 2 항에 있어서, 상기 제 2 열(16)의 2개의 인접한 제 2 연결점들(16A) 사이의 상기 제 2 거리들은 동일한 값 또는 상이한 값을 갖는 것을 특징으로 하는 반도체 부품(2).

청구항 4

반도체 칩(3), 하우징(5), 및 상기 하우징(5)의 저면에 배치되는 적어도 2 열(14, 16)의 플랫폼 연결점들(12)을 갖는 연결점 장치(10)를 구비한 반도체 부품(2), 및 적어도 2 열(24, 26)의 콘택트들(22)을 갖는 콘택트 장치(20)를 구비한 인쇄 회로 기판(7)을 포함하는 접촉 어셈블리(1)로서, 상기 콘택트 장치(20)의 기하학적 구조는 상기 연결점 장치(10)의 기하학적 구조에 상응하고, 상기 연결점 장치(10)의 연결점들(12)은 연결부(9)를 통해 상기 콘택트 장치(20)의 상응하는 콘택트들(22)에 전기적으로 연결되며, 상기 연결점 장치(10)의 연결점들(12)은 상기 콘택트 장치(20)의 상기 콘택트들(22)에 의해 그리고 상기 인쇄 회로 기판(7)의 도체 트랙(28)에 의해 구분되고, 상기 연결점 장치(10)의 제 1 열(14)의 2 개의 인접한 제 1 연결점들(14A) 사이 및 상기 콘택트 장치(20)의 제 1 열(23)의 2 개의 인접한 제 1 콘택트들(24A) 사이에 제 1 거리가 지정되며, 상기 연결점 장치(10)의 제 2 열(16)의 2 개의 인접한 제 2 연결점들(16a) 사이 및 상기 콘택트 장치(20)의 제 2 열(26)의 2 개의 인접한 제 2 콘택트들(26A) 사이에 제 2 거리가 지정되고, 상기 각각의 제 2 열(16, 26)의 상기 제 2 연결점들(16A) 및 상기 제 2 콘택트들(26A)은 상기 각각의 제 1 열(14, 24)의 상기 제 1 연결점들(14A) 및 상기 제 1 콘택트들(24A)에 대해 오프셋되게 배치되며, 상기 제 2 열(26)의 상기 제 2 콘택트들(26A)은 상기 도체 트랙들(28)을 통해 접촉될 수 있고, 상기 도체 트랙들은 각각 상기 제 1 열(24)의 2 개의 인접한 콘택트들(24A) 사이의 중간 공간(B, C, D)을 통해 안내되는, 상기 접촉 어셈블리(1)에 있어서,

적어도 상기 연결점 장치(10)의 상기 제 1 열(14)의 2 개의 인접한 제 1 연결점들(14A) 사이 및 상기 콘택트 장치(20)의 상기 제 1 열(24)의 2 개의 상응하는 인접한 제 1 콘택트들(24A) 사이의 상기 제 1 거리는 상기 콘택트 장치(20)의 2 개의 콘택트들(22) 사이의 중간 공간(C, D)에 상응하고, 상기 중간 공간(C, D) 내에는 각각 상기 제 2 열(26)의 제 2 콘택트들(26A)과 접촉하는 적어도 2 개의 도체 트랙이 기능상 신뢰성 있는 치수 및 거리로 배치될 수 있는 것을 특징으로 하는 접촉 어셈블리(1).

청구항 5

제 4 항에 있어서, 상기 각각의 제 1 열(14, 24)의 2 개의 인접한 제 1 연결점들(14A) 사이 및 2 개의 인접한 제 1 콘택트들(24A) 사이의 상기 제 1 거리들은 동일한 값을 갖는 것을 특징으로 하는 접착 어셈블리(1).

청구항 6

제 4 항에 있어서, 상기 각각의 제 1 열(14, 24)의 2 개의 인접한 제 1 연결점들(14A) 사이 및 2 개의 인접한 제 1 콘택트들(24A) 사이의 상기 제 1 거리들은 상이한 값을 갖는 것을 특징으로 하는 접착 어셈블리(1).

청구항 7

제 6 항에 있어서, 2 개의 인접한 제 1 콘택트들(24A) 사이의 제 1 중간 공간(A)은 최소 콘택트 거리(mpa)를 나타내는 것을 특징으로 하는 접착 어셈블리(1).

청구항 8

제 6 항 또는 제 7 항에 있어서, 2 개의 인접한 제 1 콘택트들(24A) 사이의 제 2 중간 공간(B)에서 단 하나의 도체 트랙(28)이 안내되는 것을 특징으로 하는 접착 어셈블리(1).

청구항 9

제 6 항 내지 제 8 항 중 어느 한 항에 있어서, 2 개의 인접한 제 1 콘택트들(24A) 사이의 제 3 중간 공간(C)에서 2 개의 도체 트랙(28)이 안내되는 것을 특징으로 하는 접착 어셈블리(1).

청구항 10

제 6 항 내지 제 9 항 중 어느 한 항에 있어서, 2 개의 인접한 제 1 콘택트들(24A) 사이의 제 4 중간 공간(D)에서 3 개의 도체 트랙(28)이 안내되는 것을 특징으로 하는 접착 어셈블리(1).

청구항 11

제 4 항 내지 제 10 항 중 어느 한 항에 있어서, 상기 각각의 제 2 열(16, 26)의 2 개의 인접한 제 2 연결점들(16A) 사이 및 2 개의 인접한 제 2 콘택트들(26A) 사이의 상기 제 2 거리들은 동일한 값 또는 상이한 값을 갖는 것을 특징으로 하는 접착 어셈블리(1).

청구항 12

제 11 항에 있어서, 상기 각각의 제 2 열(16, 26)의 상기 제 2 연결점들(16A) 및 상기 제 2 콘택트들(26A)은 상기 각각의 제 1 열(14, 24)의 2 개의 인접한 제 1 연결점들(14A) 사이 및 2 개의 인접한 제 1 콘택트들(24A) 사이의 관련 중간 공간(B, C, D)의 중심에 대해 대칭으로 정렬되는 것을 특징으로 하는 접착 어셈블리(1).

청구항 13

제 4 항 내지 제 12 항 중 어느 한 항에 있어서, 상기 콘택트 장치(20)의 하나의 섹션 내의 배선 밀도(VDK)가 식 $VDK = kk / (mpb + 4 \cdot rv + 2 \cdot kü + n \cdot mlb + (n-1) \cdot mla)$ 에 따라 계산되고, 상기 식에서, kk 는 고려되는 섹션 내의 콘택트 개수, mpb 는 최소 콘택트 폭, rv 는 최대 레지스트 오프셋, $kü$ 는 최소 에지 커버리지, n 은 2 개의 인접한 제 1 콘택트들(26A) 사이의 중간 공간(B, C, D)에 있는 도체 트랙 개수, mlb 는 최소 도체 트랙 폭, 및 mla 는 최소 도체 트랙 거리를 나타내는 것을 특징으로 하는 접착 어셈블리(1).

청구항 14

제 13 항에 있어서, N 은 1 내지 3 범위의 자연수인 것을 특징으로 하는 접착 어셈블리(1).

발명의 설명

기술 분야

본 발명은 독립 청구항 제 1 항의 전제부에 따른 반도체 부품에 관한 것이다. 본 발명은 또한 독립 청구항 제 4 항의 전제부에 따른 반도체 부품과 인쇄 회로 기판을 구비한 접착 어셈블리에 관한 것이다.

[0001]

배경 기술

- [0002] 반도체 부품들(IC)은 비용 및 성능상의 이유로 점점 더 소형화되고 있으며(무어의 법칙), 면적당 반도체 부품의 전기적 연결부들의 수가 증가하고 있다. 반도체 부품 레벨에서 이러한 집적 밀도 증가는 반도체 부품 하우징(IC 패키지)에서의 집적 밀도의 상응하는 증가를 동시에 요구한다. 그 이유는 반도체 부품 자체에서와 마찬가지로 비용과 성능 때문이다. 반도체 부품 하우징은 주변 연결점들을 가진 구조들(SOIC, QFP, QFN)을 더 많이 집적해서 다열 플랫 연결점들을 가진 구조(multi row QFN, Fusion Quad) 또는 소위 영역 어레이(Area-Array) 구조(BGA, LGA, WLP)로 만드는 과정에서 개발되었다. 반도체 부품 하우징의 집적 밀도의 특징은 연결점들의 상호 거리 치수(피치)이다. 현재, 주변 및 영역 어레이 구조에 대해 0.4 mm의 최소 거리 치수가 종래 기술이다. 소형화는 표준적으로 항상 연결점들의 상호 거리 치수(피치)의 감소와 연관된다.
- [0003] QFN 패키지(Quad Flat No Leads Package)는 집적 회로 또는 반도체 부품의 일반적인 하우징 형태이다. 이 명칭에는 다양한 크기의 하우징이 포함되며, 이 하우징은 인쇄 회로 기판 상에 표면 실장 부품으로서 납땜된다. 중요한 특징으로는, 유사한 QFP(Quad Flat Package)와는 달리, 전기 연결점들이 하우징 치수를 넘어 측면으로 돌출되지 않으며 예컨대 주석 도금되지 않은 구리 연결점들의 형태로 하우징의 저면 내로 평평하게 통합된다는 것이다. 이로 인해, 인쇄 회로 기판 상의 필요한 공간이 감소될 수 있고 더 높은 패키징 밀도가 달성될 수 있다.
- [0004] 고집적 반도체 부품 하우징을 사용하면, 이것이 적합한 인쇄 회로 기판에 가공될 수 있다. 회로 기판 기술은 기계적으로 천공되며 아연 도금된(galvanized) 비아(Via)를 가진 거친 표준 기술, 및 레이저로 천공된 비아로 인해 회로 기판 상의 부품들의 배선 거리를 더 좁히는 미세한 고밀도 상호 연결 기술(HDI 기술)로 나뉜다. HDI 기술은 더 복잡한 제조 공정으로 인해 표준 기술에 비해 더 많은 비용을 요구한다. 일반적으로 고집적 반도체 부품 하우징은 HDI 기술의 인쇄 회로 기판을 필요로 한다.
- [0005] "Application Notes for Surface Mount Assembly of Amkor's Dual Row MLF Packages", 2005년 8월-개정 A에는 반도체 칩, 하우징, 및 적어도 2 열의 플랫 연결점들을 가진 연결점 장치를 포함하는 반도체 부품이 개시되어 있으며, 상기 연결점들은 하우징의 저면 상에 배치되고, 연결부를 통해, 인쇄 회로 기판 상에 배치된, 적어도 2 열을 가진 콘택트 장치의 상응하는 콘택트들에 전기적으로 연결될 수 있다. 콘택트 장치의 기하학적 구조는 연결점 장치의 기하학적 구조에 상응하고, 연결점 장치의 제 1 열의 2 개의 인접한 제 1 연결점들 사이에 제 1 거리가 지정되며, 연결점 장치의 제 2 열의 2 개의 인접한 제 2 연결점들 사이에 제 2 거리가 지정된다. 제 2 열의 제 2 연결점들은 제 1 열의 제 1 연결점들에 대해 오프셋되어 배치된다. 제 1 열의 2 개의 인접한 제 1 연결점들 사이의 제 1 거리들과 제 2 열의 2 개의 인접한 제 2 연결점들 사이의 제 2 거리들은 동일한 값을 갖는다. 거리들에 대한 가능한 값으로 500 μm 또는 650 μm 가 개시된다. 연결점 장치의 제 1 열의 2 개의 인접한 제 1 연결점들 사이의 제 1 거리는 인쇄 회로 기판의 상응하는 콘택트 장치의 2 개의 콘택트 사이의 중간 공간에 상응하며, 상기 중간 공간에는 제 2 열의 제 2 콘택트와 접촉하는 도체 트랙이 기능상 신뢰성 있는 치수 및 거리로 배치될 수 있다.

발명의 내용

해결하려는 과제

- [0006] 본 발명의 과제는 높은 집적 밀도에도 불구하고 반도체 부품의 연결점 장치가 저렴한 표준 인쇄 회로 기판 기술과 호환될 수 있는, 반도체 부품, 및 반도체 부품과 인쇄 회로 기판을 구비한 접착 어셈블리를 제공하는 것이다.

과제의 해결 수단

- [0007] 독립 청구항 제 1 항의 특징들을 갖는 반도체 부품, 및 청구항 제 4 항의 특징들을 갖는, 반도체 부품 및 인쇄 회로 기판을 구비한 접착 어셈블리는 높은 집적 밀도에도 불구하고 반도체 부품의 연결점 장치가 저렴한 표준 인쇄 회로 기판 기술과 호환될 수 있다는 장점을 갖는다. 이는 표준 기술을 사용하여 인쇄 회로 기판 상의 배선이 가능하도록 연결점 장치의 플랫 연결점들 사이의 거리를 설계함으로써 달성된다. 연결점 장치의 이러한 유연한 구성에 의해, 콘택트 장치의 콘택트 열들 사이의 비아(Via)가 실현될 수 있다.
- [0008] 연결점 장치의 제 1 열의 적어도 2 개의 인접한 연결점들 사이의 제 1 거리를 증가시킴으로써, 예를 들어, 다열(multi-row) QFN에서와 같은 플랫 연결점들을 갖는 다열 연결점 장치에서 소형화가 달성될 수 있고, 상기 다열 연결점 장치가 저렴한 표준 기술로 제조된 인쇄 회로 기판과 구분될 수 있다.

- [0009] 표준 기술로 제조된 인쇄 회로 기판의 콘택트 장치와 이러한 다열 연결점 장치를 구분하기 위해서는, 연결점 장치의 모든 연결점들이 인쇄 회로 기판 상의 콘택트들 및 도체 트랙들을 통해 구분되어야 한다. 종래 기술과는 달리, 본 발명에 따른 반도체 부품 및 본 발명에 따른 접촉 어셈블리의 실시 예에서, 소형화 또는 배선 밀도의 증가는 연결점 장치의 제 1 열의 2 개의 인접한 제 1 연결점들 사이 또는 콘택트 장치의 제 1 열의 2 개의 인접한 제 1 콘택트들 사이의 거리를 증가시킴으로써 달성될 수 있는데, 그 이유는 연결점 장치의 제 2 열의 2 개의 인접한 제 2 연결점들 사이 또는 콘택트 장치의 제 2 열의 2 개의 인접한 제 2 연결점들 사이의 제 2 거리가 최소 콘택트 거리까지 감소될 수 있기 때문이며, 이 경우 제 2 열의 제 2 콘택트들의 더 많은 개수가 제 1 열의 인접한 제 1 콘택트들 사이의 중간 공간에서 안내되는 도체 트랙을 통해 접근될 수 있다.
- [0010] 본 발명의 실시예는 반도체 칩, 하우징, 및 적어도 2 열의 플랫폼 연결점들을 가진 연결점 장치를 포함하는 반도체 부품을 제공하며, 상기 연결점들은 하우징의 저면 상에 배치되고, 연결부를 통해, 인쇄 회로 기판 상에 배치된, 적어도 2 열을 가진 콘택트 장치의 상응하는 콘택트들에 전기적으로 연결될 수 있다. 콘택트 장치의 기하학적 구조는 연결점 장치의 기하학적 구조에 상응하고, 연결점 장치의 제 1 열의 2 개의 인접한 제 1 연결점들 사이에 제 1 거리가 지정되며, 연결점 장치의 제 2 열의 2 개의 인접한 제 2 연결점들 사이에 제 2 거리가 지정된다. 제 2 열의 제 2 연결점들은 제 1 열의 제 1 연결점들에 대해 오프셋되어 배치된다. 이 경우, 연결점 장치의 제 1 열의 2 개의 인접한 제 1 연결점들 사이의 제 1 거리는 상응하는 콘택트 장치의 2 개의 콘택트 사이의 중간 공간에 상응하며, 상기 중간 공간 내에는 기능상 신뢰성 있는 치수 및 거리를 갖는 적어도 2개의 도체 트랙이 배치될 수 있다.
- [0011] 또한, 반도체 칩, 하우징, 및 상기 하우징의 저면에 배치된 적어도 2 열의 플랫폼 연결점들을 갖는 연결점 장치를 구비한 반도체 부품, 및 적어도 2 열의 콘택트들을 갖는 콘택트 장치를 구비한 인쇄 회로 기판을 포함하는 접촉 어셈블리가 제공된다. 콘택트 장치의 기하학적 구조는 연결점 장치의 기하학적 구조에 상응하고, 연결점 장치의 연결점들은 연결부를 통해 콘택트 장치의 상응하는 콘택트들에 전기적으로 연결된다. 또한, 연결점 장치의 연결점들은 콘택트 장치의 콘택트들에 의해 그리고 인쇄 회로 기판의 도체 트랙에 의해 구분된다. 연결점 장치의 제 1 열의 2 개의 인접한 제 1 연결점들 사이 및 콘택트 장치의 제 1 열의 2 개의 인접한 제 1 콘택트들 사이에 제 1 거리가 지정되고, 연결점 장치의 제 2 열의 2 개의 인접한 제 2 연결점들 사이 및 콘택트 장치의 제 2 열의 2 개의 인접한 제 2 콘택트들 사이에 제 2 거리가 지정된다. 각각의 제 2 열의 제 2 연결점들 및 제 2 콘택트들은 각각의 제 1 열의 제 1 연결점들 및 제 1 콘택트들에 대해 오프셋되고, 제 2 열의 제 2 콘택트들은 도체 트랙들을 통해 접촉될 수 있으며, 상기 도체 트랙들은 각각 제 1 열의 2 개의 인접한 콘택트들 사이의 중간 공간을 통해 안내된다. 이 경우, 연결점 장치의 제 1 열의 2 개의 인접한 제 1 연결점들 사이 및 콘택트 장치의 제 1 열의 2 개의 상응하는 인접한 제 1 콘택트들 사이의 제 1 거리는 콘택트 장치의 2 개의 콘택트들 사이의 중간 공간에 상응하고, 상기 중간 공간 내에는 각각 제 2 열의 제 2 콘택트와 접촉하는 적어도 2 개의 도체 트랙이 기능상 신뢰성 있는 치수 및 거리로 배치될 수 있다.
- [0012] 반도체 부품은 이하에서, 플랫폼 전기 연결점들이 하우징의 저면에 배치되는, 쿼드 플랫폼 무연 패키지(QFN 패키지) 내의 집적 회로 또는 반도체 칩을 의미한다.
- [0013] 종속 청구항들에 제시된 조치 및 개선에 의해, 독립 청구항 제 1 항에 제시된 반도체 부품 및 독립 청구항 제 4 항에 제시된, 반도체 부품과 인쇄 회로 기판 사이의 접촉 어셈블리의 바람직한 개선이 가능하다.
- [0014] 접촉 어셈블리의 바람직한 실시 예에서, 각각의 제 1 열의 2 개의 인접한 제 1 연결점들 사이 및 2 개의 인접한 제 1 콘택트들 사이의 제 1 거리들은 동일한 값을 가질 수 있다. 대안으로서, 각각의 제 1 열의 2 개의 인접한 제 1 연결점들 사이 및 2 개의 인접한 제 1 콘택트들 사이의 제 1 거리들은 상이한 값을 가질 수 있다. 결과적으로, 연결점 장치 및 콘택트 장치는 다양한 요구 사항들에 유연하고 용이하게 부합될 수 있다. 예를 들어, 각각의 제 1 열의 2 개의 인접한 제 1 연결점들 또는 제 1 콘택트들 사이의 거리들은 모두 동일한 값을 가질 수 있다. 대안으로서, 2 개의 인접한 제 1 연결점들 또는 제 1 콘택트들 사이의 거리들은 변할 수 있다. 예를 들어, 2 개의 인접한 제 1 콘택트들 사이의 제 1 중간 공간은 최소 콘택트 거리를 나타낼 수 있어서, 제 1 중간 공간에서 도체 트랙이 안내되지 않고 콘택트 장치의 제 2 열의 제 2 콘택트가 접근될 수 없다. 이로써, 일반적인 기술을 사용하면 약 2.5 신호/mm의 배선 밀도가 가능해진다. 2 개의 인접한 제 1 콘택트들 사이의 제 2 중간 공간 내에는 단 하나의 도체 트랙이 안내될 수 있어서, 콘택트 장치의 제 2 열의 제 2 콘택트가 접근될 수 있다. 이로써, 일반적인 기술을 사용하면 3 내지 3.33 신호/mm 범위의 배선 밀도가 가능해진다. 설명된 적어도 하나의 제 2 중간 공간을 갖는 실시예에 추가로 또는 대안으로서, 2 개의 인접한 제 1 콘택트들 사이의 제 3 중간 공간 내에 2 개의 도체 트랙이 안내될 수 있어서, 콘택트 장치의 제 2 열의 2 개의 제 2 콘택트가 접근될 수 있다. 이로써, 일반적인 기술을 사용하면 3.25 내지 3.75 신호/mm 범위의 배선 밀도가 가능해진다. 설명된

적어도 하나의 제 2 및/또는 제 3 중간 공간을 갖는 실시 예에 추가로 또는 대안으로서, 2 개의 인접한 제 1 콘택트들 사이의 제 4 중간 공간에서 3개의 도체 트랙이 안내될 수 있어서, 콘택트 장치의 제 2 열의 3 개의 제 2 콘택트가 접근될 수 있다. 이로써, 일반적인 기술을 사용하면 약 3.4 신호/mm의 배선 밀도가 가능해진다. 이러한 방식으로, 전술한 제 1 및/또는 제 2 및/또는 제 3 및/또는 제 4 중간 공간의 개수와 동일하거나 상이한 개수의 적어도 각각 하나의 중간 공간의 임의의 가능한 조합을 포함하는 콘택트 장치가 구현될 수 있다.

[0015] 접촉 어셈블리의 다른 바람직한 실시예에서, 각각의 제 2 열의 2 개의 인접한 제 2 연결점들 사이 및 2 개의 인접한 제 2 콘택트들 사이의 제 2 거리들은 동일한 값 또는 상이한 값을 가질 수 있다. 바람직하게는, 각각의 제 2 열의 2 개의 인접한 제 2 연결점들 또는 제 2 콘택트들 사이에서 각각 최소 연결점 거리 또는 콘택트 거리는 각각의 제 2 열에서 가능한 많은 수의 제 2 연결점들 또는 제 2 콘택트들을 구현할 수 있도록 선택될 수 있다. 대안으로서, 각각의 제 2 열을 각각의 제 1 열에 적응시키고 제 2 연결점들 또는 제 2 콘택트들의 접근을 가능하게 하기 위해, 2 개의 인접한 제 2 연결점들 또는 제 2 콘택트들 사이의 거리들이 변할 수 있다. 제 2 연결점들 또는 제 2 콘택트들의 접근을 용이하게 하기 위해, 각각의 제 2 열의 제 2 연결점들 및 제 2 콘택트들은 각각의 제 1 열의 2 개의 인접한 제 1 연결점들 사이 및 2 개의 인접한 제 1 콘택트들 사이의 관련 중간 공간의 중심에 대해 대칭으로 정렬될 수 있다.

[0016] 접촉 어셈블리의 다른 바람직한 실시예에서, 콘택트 장치의 하나의 섹션 내의 배선 밀도(VDK)는 식 $VDK = kk / (mpb + 4*rv + 2 * k\ddot{u} + n * mlb + (n-1) * mla)$ 에 따라 계산될 수 있고, 상기 식에서, kk는 고려되는 섹션 내의 콘택트 개수, mpb는 최소 콘택트 폭, rv는 최대 레지스트 오프셋, $k\ddot{u}$ 는 최소 에지 커버리지, n은 2 개의 인접한 제 1 콘택트들 사이의 중간 공간에 있는 도체 트랙 개수, mlb는 최소 도체 트랙 폭, 및 mla는 최소 도체 트랙 거리를 나타낸다. 일반적인 기술을 사용하면, 2 개의 인접한 콘택트들 사이의 도체 트랙들의 개수는 1 내지 3의 범위에서 변할 수 있다.

[0017] 본 발명의 실시예가 도면에 도시되고 다음의 설명에서 상세히 설명된다. 도면에서, 동일한 도면 부호는 동일하거나 유사한 기능을 수행하는 컴포넌트 또는 요소를 나타낸다.

도면의 간단한 설명

[0018] 도 1은 발명에 따른 반도체 부품의 실시예의 개략적인 저면도.
 도 2는 도 1의 반도체 부품과 인쇄 회로 기판을 구비한 본 발명에 따른 접촉 어셈블리의 실시예의 제 1 섹션의 개략적인 단면도.
 도 3은 도 2의 본 발명에 따른 접촉 어셈블리의 제 2 섹션의 개략적인 단면도.
 도 4는 도 2 및 도 3의 본 발명에 따른 접촉 어셈블리의 제 3 섹션의 개략적인 단면도.
 도 5는 도 2 내지 도 4의 본 발명에 따른 접촉 어셈블리의 제 4 섹션의 개략적인 단면도.
 도 6은 도 4의 본 발명에 따른 접촉 어셈블리의 인쇄 회로 기판의 실시예의 제 3 섹션의 개략적인 평면도.
 도 7은 도 5의 본 발명에 따른 접촉 어셈블리의 인쇄 회로 기판의 실시예의 제 4 섹션의 개략적인 평면도.
 도 8은 반도체 부품의 상이한 연결점 장치의 개략적인 평면도.

발명을 실시하기 위한 구체적인 내용

[0019] 도 1 내지 도 5에서 알 수 있는 바와 같이, 본 발명에 따른 반도체 부품(2)의 도시된 실시예는 반도체 칩(3), 하우징(5), 및 적어도 2 열(14, 16)의 플랫 연결점들(12)을 갖는 연결점 장치(10)를 포함하며, 상기 연결점들(12)은 하우징(5)의 저면에 배치되고, 연결부(9)를 통해, 인쇄 회로 기판(7) 상에 배치되며 적어도 2 열(24, 26)을 가진 콘택트 장치(20)의 상응하는 콘택트(22)에 전기적으로 연결될 수 있다. 콘택트 장치(20)의 기하학적 구조는 연결점 장치(10)의 기하학적 구조에 상응하고, 연결점 장치(10)의 제 1 열(14)의 2 개의 인접한 제 1 연결점들(14A) 사이에 제 1 거리가 지정되며, 연결점 장치(10)의 제 2 열(16)의 2 개의 인접한 제 2 연결점들(16A) 사이에 제 2 거리가 지정된다. 또한, 제 2 열(16)의 제 2 연결점(16A)은 제 1 열(14)의 제 1 연결점(14A)에 대해 오프셋되어 배치된다. 이 경우, 연결점 장치(10)의 제 1 열(14)의 2 개의 인접한 제 1 연결점들(14A) 사이의 제 1 거리는 상응하는 콘택트 장치(20)의 2 개의 콘택트들(22) 사이의 중간 공간(C, D)에 상응하고, 상기 중간 공간(C, D) 내에 기능상 신뢰성 있는 치수 및 거리를 갖는 적어도 2 개의 도체 트랙(28)이 배치

될 수 있다.

[0020]

도 1 내지 도 7에서 알 수 있는 바와 같이, 도시된 실시예에서 접촉 어셈블리(1)는 도 1에 도시되며 위에서 설명된 반도체 부품(2) 및 인쇄 회로 기판(7)을 포함한다. 인쇄 회로 기판(7)은 적어도 2 열(24, 26)의 콘택트들(22)을 가진 콘택트 장치(20)를 포함하고, 콘택트 장치(20)의 기하학적 구조는 연결점 장치(10)의 기하학적 구조에 상응하며, 연결점 장치(10)의 연결점들(12)은 연결부(9), 바람직하게는 뿔날 연결부를 통해 콘택트 장치(20)의 상응하는 콘택트(22)에 전기적으로 연결된다. 연결점 장치(10)의 연결점들(12)은 콘택트 장치(20)의 콘택트들(22)에 의해 그리고 인쇄 회로 기판(7)의 도체 트랙(28)에 의해 구분되고, 연결점 장치(10)의 제 1 열(14)의 2 개의 인접한 제 1 연결점들(14A) 사이 및 콘택트 장치(20)의 제 1 열(23)의 2 개의 인접한 제 1 콘택트들(24A) 사이에 제 1 거리가 지정되고, 연결점 장치(10)의 제 2 열(16)의 2 개의 인접한 제 2 연결점들(16A) 사이 및 콘택트 장치(20)의 제 2 열(26)의 2 개의 인접한 제 2 콘택트들(26A) 사이에 제 2 거리가 지정된다. 도 1, 도 6 및 도 7에 나타나는 바와 같이, 각각의 제 2 열(16, 26)의 제 2 연결점들(16A) 및 제 2 콘택트들(26A)은 각각의 제 1 열(14, 24)의 제 1 연결점들(14A) 및 제 1 콘택트들(24A)에 대해 오프셋되어 배치된다. 또한, 제 2 열(26)의 제 2 콘택트들(26A)은 각각 중간 공간(B, C, D)을 통해 제 1 열(24)의 2 개의 인접한 콘택트들(24A)들 사이로 안내되는 도체 트랙들(28)을 통해 접촉될 수 있다. 이 경우, 적어도 연결점 장치(10)의 제 1 열(14)의 2 개의 인접한 제 1 연결점들(14A) 사이 및 콘택트 장치(20)의 제 1 열(24)의 2 개의 상응하는 인접한 제 1 콘택트들(24A) 사이의 제 1 거리는 콘택트 장치(20)의 2개의 콘택트(22) 사이의 중간 공간(C, D)에 상응하고, 상기 중간 공간(C, D) 내에 기능상 신뢰할 수 있는 치수 및 간격을 갖는 적어도 2 개의 도체 트랙(28)이 배치될 수 있으며, 상기 도체 트랙들(28)은 각각 제 2 열(26)의 제 2 콘택트(26A)와 접촉한다.

[0021]

특히 도 1 내지 도 7에서 알 수 있는 바와 같이, 도시된 실시예의 연결점 장치(10) 및 콘택트 장치(20)는 각각 다수의 섹션(10C, 20C)을 포함하며, 상기 섹션들에서 연결점 장치(10)의 제 1 열(14)의 2 개의 인접한 제 1 연결점들(14A) 사이 및 콘택트 장치(20)의 제 1 열(24)의 2 개의 인접한 제 1 콘택트들(24A) 사이의 상기 제 1 거리는 각각 중간 공간(C)에 상응하고, 상기 중간 공간(C) 내에서 콘택트 장치(20)의 제 1 열(24)의 2 개의 제 1 콘택트들(24A) 사이에 기능상 신뢰할 수 있는 치수 및 거리를 갖는 2 개의 도체 트랙(28)이 안내될 수 있다. 도 1에서, 도체 트랙(28)은 점선으로 도시되어 있다. 또한, 도시된 실시예에서, 연결점 장치(10) 및 콘택트 장치(20)는 각각 다수의 섹션(10D, 20D)을 포함하며, 상기 섹션들에서 연결점 장치(10)의 제 1 열(14)의 2 개의 인접한 제 1 연결점들(14A) 사이 및 콘택트 장치(20)의 제 1 열(24)의 2 개의 인접한 제 1 콘택트들(24A) 사이의 상기 제 1 거리는 각각 중간 공간(D)에 상응하고, 상기 중간 공간(D) 내에서 콘택트 장치(20)의 제 1 열(24)의 2 개의 제 1 콘택트들(24A) 사이에 기능상 신뢰할 수 있는 치수 및 거리를 갖는 3 개의 도체 트랙(28)이 안내될 수 있다. 또한, 도시된 실시예에서 연결점 장치(10) 및 콘택트 장치(20)는 각각 다수의 섹션(10B, 20B)을 포함하고, 상기 섹션들에서 연결점 장치(10)의 제 1 열(14)의 2 개의 인접한 제 1 연결점들(14A) 사이 및 콘택트 장치(20)의 제 1 열(24)의 2 개의 인접한 제 1 콘택트들(24A) 사이의 제 1 거리는 각각 중간 공간(B)에 상응하며, 상기 중간 공간(B) 내에서 콘택트 장치(20)의 제 1 열(24)의 2개의 제 1 콘택트들(24A) 사이에 기능상 신뢰할 수 있는 치수 및 거리를 갖는 단 하나의 도체 트랙(28)이 안내될 수 있다. 또한, 도시된 실시예에서 연결점 장치(10)와 콘택트 장치(20)는 각각 다수의 섹션(10A, 20A)을 포함하며, 상기 섹션들에서 연결점 장치(10)의 제 1 열(14)의 2 개의 인접한 제 1 연결점들(14A) 사이 및 콘택트 장치(20)의 제 1 열(24)의 2 개의 인접한 제 1 콘택트들(24A) 사이의 제 1 거리는 최소 연결점 거리(mta) 또는 최소 콘택트 거리(mpa)에 상응하므로, 상응하는 콘택트 장치(20)의 2 개의 콘택트(22) 사이의 중간 공간(A)에서 기능상 신뢰성 있는 치수와 거리를 가진 도체 트랙(28)이 안내될 수 없다. 따라서, 도시된 실시예에서 연결점 장치(10)와 콘택트 장치(20)는 각각 4개의 상이한 값을 가진, 연결점 장치의 제 1 열(14)의 2 개의 인접한 제 1 연결점들(14A) 사이 및 콘택트 장치(20)의 제 1 열(24)의 2 개의 인접한 제 1 콘택트들(24A) 사이의 제 1 거리들의 조합을 갖는다. 도시되지 않은 대안적 실시예에서, 연결점 장치(10) 및 콘택트 장치(20)는 상이한 값을 갖는 제 1 거리들의 다른 개수 및 상이한 값을 갖는 제 1 거리들의 다른 조합을 가질 수 있다. 연결점 장치(10) 및 콘택트 장치(20)는 각각의 제 1 열(14, 24)에서 예컨대 중간 공간(C) 또는 중간 공간(D)에 상응하는, 2 개의 인접한 제 1 연결점들(14A) 또는 제 1 콘택트들(24A) 사이의 제 1 거리들의 단 하나의 조합을 가질 수 있다. 또한, 연결점 장치(10) 및 콘택트 장치(20)는 각각의 제 1 열(14, 24)에서 예컨대 중간 공간(C)에 상응하는, 2 개의 인접한 제 1 연결점들(14A) 또는 제 1 콘택트들(24A) 사이의 동일한 제 1 거리들만을 가질 수 있거나 중간 공간(D)에 상응하는, 2 개의 인접한 제 1 연결점들(14A) 또는 제 1 콘택트들(24A) 사이의 동일한 제 1 거리들만을 가질 수 있다.

[0022]

도 1에 나타난 바와 같이, 본 발명에 따른 반도체 부품(2)의 도시된 실시예에서 연결점 장치(10)의 제 2 열(16)의 2 개의 인접한 제 2 연결점들(16A) 사이의 제 2 거리들은 동일한 값을 갖는다. 이 경우, 2 개의 인접한 제 2 연결점들(16A) 사이의 제 2 거리는 반도체 부품의 신뢰성 있는 기능을 가능하게 하는 최소 연결점 거리

(mta)에 상응한다. 또한, 도시된 실시예에서 하우징(5)의 모서리에 배치된 4 개의 제 1 플랫 연결점(14A)은 각각 연결점 장치(10)의 제 1 열(14)의 다른 제 1 플랫 연결점(14A)보다 더 큰 면적을 갖는다. 또한, 연결점 장치(10)의 제 2 열(16)의 제 2 연결점들(16A)은 각각 연결점 장치(10)의 제 1 열(14)의 제 1 플랫 연결점(14A)보다 더 큰 면적을 갖는다.

[0023] 도 6 및 도 7에서 알 수 있는 바와 같이, 도시된 실시예에서 콘택트 장치(20)의 제 2 열(26)의 2 개의 인접한 제 2 콘택트들(26A) 사이의 제 2 거리들은 연결점 장치(10)와 유사하게 동일한 값을 갖는다. 이 경우, 2 개의 인접한 제 2 콘택트들(26A) 사이의 제 2 거리는 접촉 어셈블리(1)의 신뢰성 있는 기능을 가능하게 하는 최소 콘택트 거리(mpa)에 상응한다.

[0024] 도 2에서 알 수 있는 바와 같이, 2 개의 인접한 콘택트(22) 사이의 도시된 제 1 중간 공간(A)은 도시된 실시예에서 2 개의 인접한 연결점들(12) 사이의 최소 연결점 거리(mta)에 상응하는 최소 콘택트 거리(mpa)를 나타낸다. 인쇄 회로 기판(7)를 제조하는데 저렴한 표준 기술이 사용되기 때문에, 최소 연결점 거리(mta) 또는 최소 콘택트 거리(mpa) 및 따라서 제 1 중간 공간(A)에 대해 200 μm 의 값이 발생한다. 연결점 폭(tb) 및 콘택트 폭(pb)에 대해 각각 200 μm 의 값이 가정된다. 콘택트 장치(20)의 도시된 섹션(20A)에 대해, 콘택트 폭(pb)과 최소 콘택트 거리(mpa)의 합으로부터 거리 치수(피치)가 계산될 수 있고 400 μm 의 값이 된다. 이로 인해, 표준 기술을 사용하면 2.5 신호/mm의 배선 밀도가 얻어진다.

[0025] 도 3 내지 도 5에서 알 수 있는 바와 같이, 도시된 중간 공간(B, C, D)에서 2 개의 인접한 콘택트들(22) 사이에 각각 적어도 하나의 도체 트랙(28)이 안내된다. 따라서, 중간 공간(B, C, D)의 폭(Br) 또는 상응하는 연결점 거리(ta) 또는 상응하는 콘택트 거리(pa)가 식(1)에 따라 계산될 수 있다:

$$\text{Br} = \text{ta} = \text{pa} = (4 * \text{rv} + 2 * \text{k}\ddot{\text{u}} + n * \text{mlb} + (n-1) * \text{mla}) \quad (1)$$

[0027] 상기 식에서, rv는 최대 레지스트 오프셋, $\text{k}\ddot{\text{u}}$ 는 최소 에지 커버리지, n은 2 개의 인접한 콘택트들(22) 사이의 중간 공간(B, C, D)에서의 도체 트랙 개수, mlb는 최소 도체 트랙 폭, 및 mla는 최소 도체 트랙 거리를 나타낸다. 중간 공간(B, C, D)은 사용된 도체 트랙의 도체 트랙 폭(lb), 및 접촉 어셈블리(1)의 신뢰성 있는 기능을 위해 준수되는 다수의 기술 의존 거리들로 이루어진다. 콘택트 장치(20)의 도시된 섹션들(20B, 20C, 20D)에서, 각각의 거리 치수(피치)는 콘택트 폭(pb)과 중간 공간(B, C, D)의 폭(Br)의 합으로부터 계산될 수 있다. 콘택트 장치(20)의 섹션들(10B, 10C, 10D) 내의 배선 밀도(VDK)는 식(2)에 따라 계산될 수 있다:

$$\text{VDK} = \text{kk} / (\text{mpb} + \text{Br}) \quad (2)$$

[0029] 상기 식에서, kk는 고려된 섹션(10B, 10C, 10D) 내의 콘택트 개수, mpb는 최소 콘택트 폭, 및 Br은 2 개의 인접한 콘택트들(22) 사이의 중간 공간(B, C, D)의 폭을 나타낸다.

[0030] 도 3에서 알 수 있는 바와 같이, 2 개의 인접한 콘택트들(22) 사이의 도시된 제 2 중간 공간(B)에서 단 하나의 도체 트랙(28)이 안내된다. 따라서, 제 2 중간 공간(B)의 폭(Br)은 식(1)에 따라 계산될 수 있다. 사용된 표준 기술은 125 μm 의 최소 도체 트랙 폭(mlb), 125 μm 의 최소 도체 트랙 거리(mla), 50 μm 의 최대 레지스트 오프셋, 및 50 μm 의 최소 에지 커버리지를 갖는다. 따라서, 제 2 중간 공간(B)의 폭(Br)은 식(1)에 따라 425 μm 의 값을 갖는다. 콘택트 장치(20)의 도시된 섹션(20B)에 대해, 거리 치수(피치)는 콘택트 폭(pb)과 제 2 중간 공간(B)의 폭(Br)의 합으로부터 계산될 수 있고 625 μm 의 값이 된다. 이로 인해, 표준 기술을 사용하면 3 내지 3.33 신호/mm의 배선 밀도가 얻어진다.

[0031] 도 4 및 도 6에서 알 수 있는 바와 같이, 2 개의 인접한 콘택트들(22) 사이의 도시된 제 3 중간 공간(C)에서 2 개의 도체 트랙(28)이 안내된다. 따라서, 제 3 중간 공간(C)의 폭(Br)은 식(1)에 따라 계산될 수 있다. 표준 기술을 사용하면, 제 3 중간 공간(C)의 폭(Br)은 식(1)에 따라 675 μm 의 값을 갖는다. 콘택트 장치(20)의 도시된 섹션(20C)에 대해, 거리 치수(피치)는 콘택트 폭(pb)과 제 3 중간 공간(C)의 폭(Br)의 합으로부터 계산될 수 있고 825 μm 의 값이 된다. 이로 인해, 표준 기술을 사용하면 3.25 내지 3.75 신호/mm의 배선 밀도가 얻어진다.

[0032] 도 5 및 도 7에서 알 수 있는 바와 같이, 2 개의 인접한 콘택트들(22) 사이의 도시된 제 4 중간 공간(D)에서 3 개의 도체 트랙(28)이 안내된다. 따라서, 제 4 중간 공간(D)의 폭(Br)은 식(1)에 따라 계산될 수 있다. 표준 기술을 사용하면, 제 4 중간 공간(D)의 폭(Br)은 식(1)에 따라 925 μm 의 값을 갖는다. 콘택트 장치(20)의 도시된 섹션(20D)에 대해, 거리 치수(피치)는 콘택트 폭(pb)과 제 4 중간 공간(D)의 폭(Br)의 합으로부터 계산될 수 있고 1125 μm 의 값이 된다. 그로 인해, 표준 기술을 사용하면, 약 3.4 신호/mm의 배선 밀도가 얻어진다. 표준

기술을 사용하면, 소형화를 달성하기 위해 2 개의 인접한 콘택트들(22) 사이의 중간 공간(D)에서 최대 3 개의 도체 트랙(28)이 안내될 수 있다.

[0033]

도 8은 반도체 부품의 다른 연결점 장치의 평면도를 도시한다. 이 경우, 제 1의 또는 최상부 섹션에 도시된, 종래 기술에 공지된 제 1 연결점 장치는 15 개의 플랫 연결점(12)을 갖는 단 하나의 열을 갖는다. 2 개의 인접한 연결점들(12) 사이의 거리들 또는 중간 공간들(A)은 동일하다. 제 2 섹션에 도시되며 종래 기술에 공지된 제 2 연결점 장치는 2 열의 플랫 연결점들(12)을 포함한다. 이 경우, 제 1 또는 제 2 열의 2 개의 인접한 연결점(12) 사이의 거리들 또는 중간 공간들(B)은 동일하다. 중간 공간들(B)에서, 각각 하나의 도체 트랙이 안내될 수 있다. 전체적으로, 제 2 연결점 장치는 도시된 제 2 섹션(19)에서 연결점들(12)을 포함한다. 즉, 제 1 연결점 장치에서보다 4 개 더 많은 연결점(12)이 있다. 제 3 섹션에 도시된 제 3 연결점 장치는 2 열의 플랫 연결점들(12)을 갖는다. 이 경우, 제 1 열 및 제 2 열의 2 개의 인접한 연결점들(12) 사이의 거리들 또는 중간 공간들(A, C)은 상이하다. 제 2 열의 2 개의 인접한 연결점들(12) 사이의 거리들 또는 중간 공간들(A)은 최소 콘택트 거리에 상응하는 동일한 거리(A)를 갖는다. 제 1 열의 2 개의 인접한 연결점들(12) 사이의 거리들 또는 중간 공간들(C)도 동일하지만, 중간 공간들(C)에서 각각 2 개의 도체 트랙들이 안내될 수 있는 크기이다. 전체적으로, 제 3 연결점 장치는 도시된 제 3 섹션(20)에서 연결점들(12)을 갖는다. 즉, 제 1 연결점 장치보다 5 개 더 많고 제 2 연결점 장치보다 하나 더 많은 연결점(12)이 있다. 제 4 섹션에 도시된 제 4 연결점 장치는 2 열의 플랫 연결점들(12)을 갖는다. 이 경우, 제 1 열과 제 2 열의 2 개의 인접한 연결점들(12) 사이의 거리들 또는 중간 공간들(A, D)은 상이하다. 제 2 열의 2 개의 인접한 연결점들(12) 사이의 거리들 또는 중간 공간들(A)은 최소 콘택트 거리에 상응하는 동일한 거리(A)를 갖는다. 제 1 열의 2 개의 인접한 연결점들(12) 사이의 거리들 또는 중간 공간들(D)도 동일하지만, 중간 공간(D)에서 각각 3개의 도체 트랙들이 안내될 수 있는 크기이다. 전체적으로, 제 4 연결점 장치는 도시된 제 4 섹션(21)에서 연결점들(12)을 갖는다. 즉, 제 1 연결점 장치보다 6 개 더 많고, 제 2 연결점 장치보다 2 개 더 많으며 제 3 연결점 장치보다 하나 더 많은 연결점들(12)이 있다. 제 5 섹션에 도시된 제 5 연결점 장치는 2 열의 플랫 연결점들(12)을 갖는다. 이 경우, 제 1 열과 제 2 열의 2 개의 인접한 연결점들(12) 사이의 거리들 또는 중간 공간들(A, C, D)은 상이하다. 제 2 열의 2 개의 인접한 연결점들(12) 사이의 거리들 또는 중간 공간들(A)은 최소 콘택트 거리에 상응하는 동일한 거리(A)를 갖는다. 제 1 열의 2 개의 인접한 연결점들(12) 사이의 거리들 또는 중간 공간들(C, D)은 상이한 값을 갖는다. 이 경우, 각각 2 개의 도체 트랙들이 안내될 수 있는 중간 공간(C)은 3 개의 도체 트랙들이 안내될 수 있는 중간 공간(D)과 교대한다. 전체적으로, 제 5 연결점 장치는 도시된 제 5 섹션(20)에서 연결점들(12)을 갖는다. 즉, 제 1 연결점 장치보다 5 개의 더 많고 제 2 연결점 장치보다 하나의 더 많은 연결점(12)이 있다. 도 8에서 알 수 있는 바와 같이, 각각의 제 2 열의 연결점들(12)은 각각의 제 1 열의 2 개의 인접한 연결점(12) 사이의 관련 중간 공간(B, C, D)의 중심에 대해 대칭으로 정렬된다.

부호의 설명

[0034]

2: 반도체 부품

3: 반도체 칩

5: 하우징

9: 연결부

10: 연결점 장치

14, 24: 제 1 열

16, 26: 제 2 열

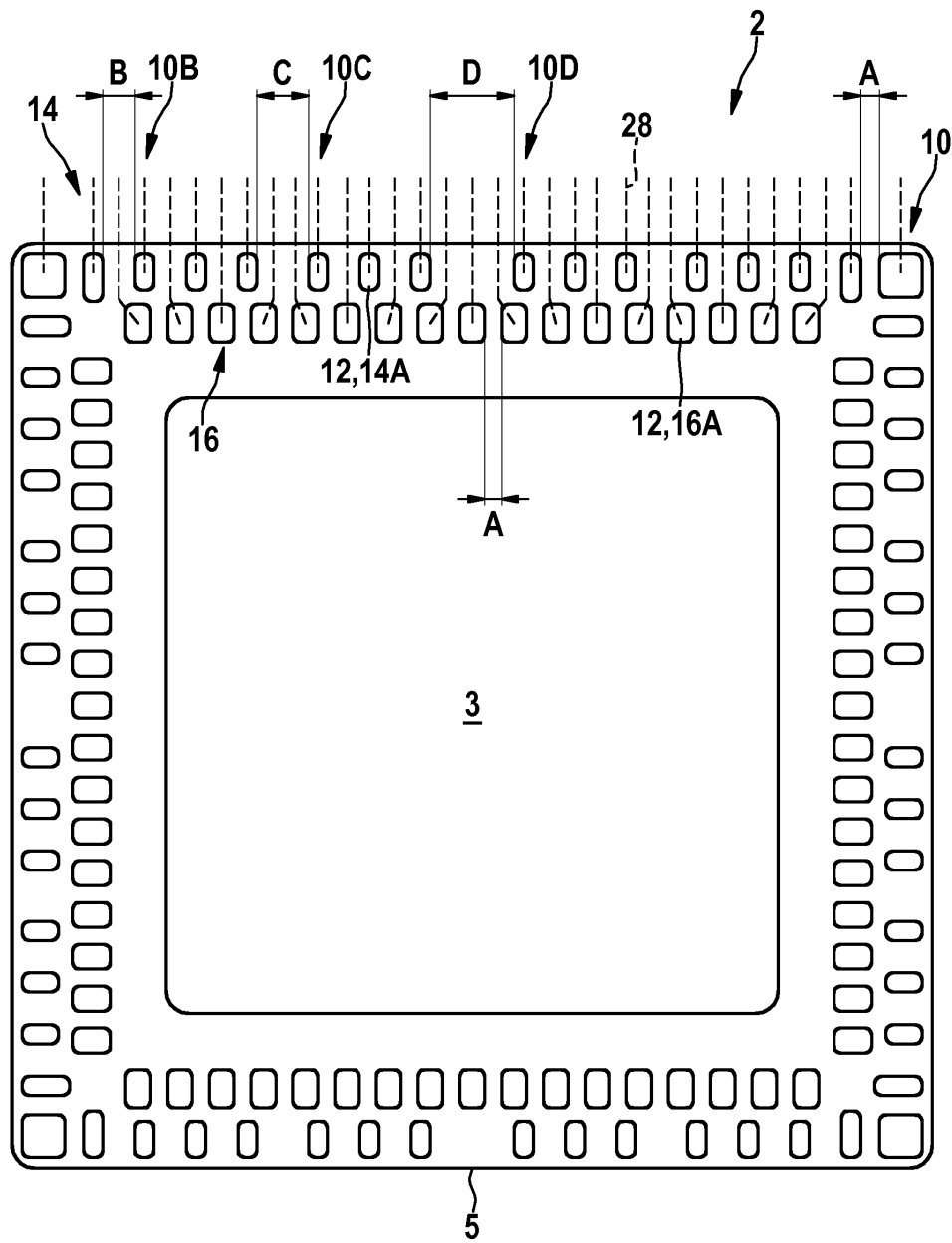
20: 콘택트 장치

22: 콘택트

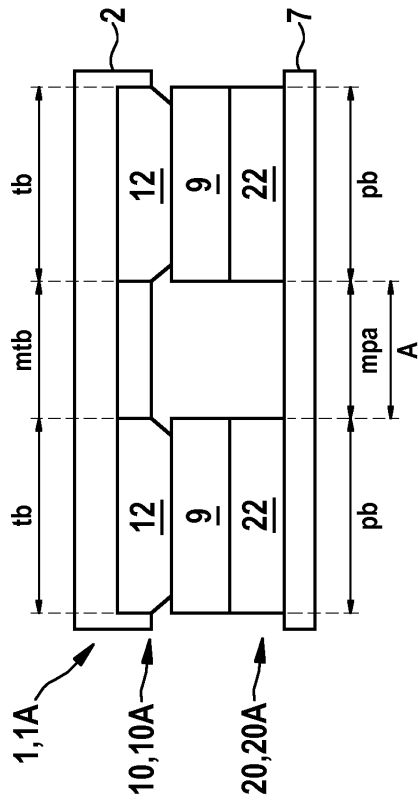
28: 도체 트랙

도면

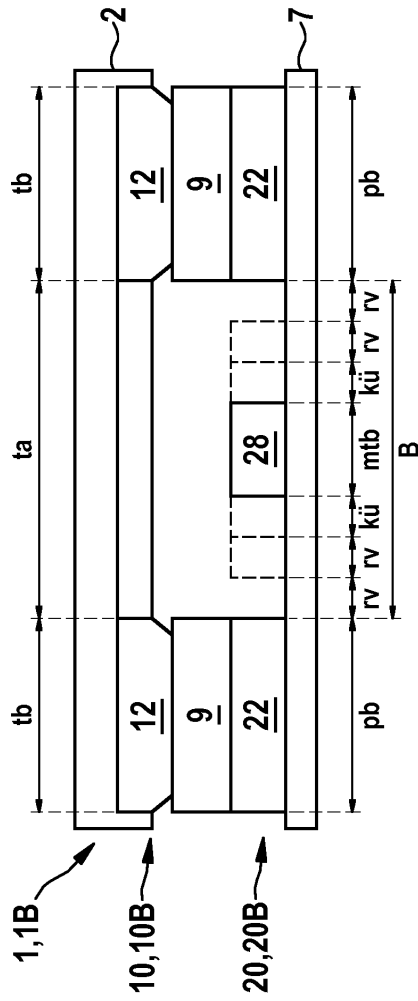
도면1



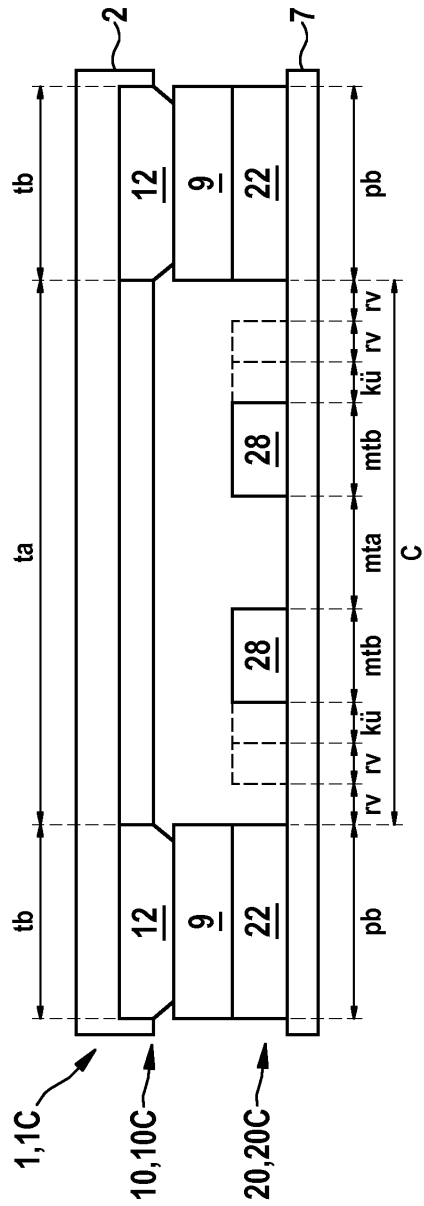
도면2



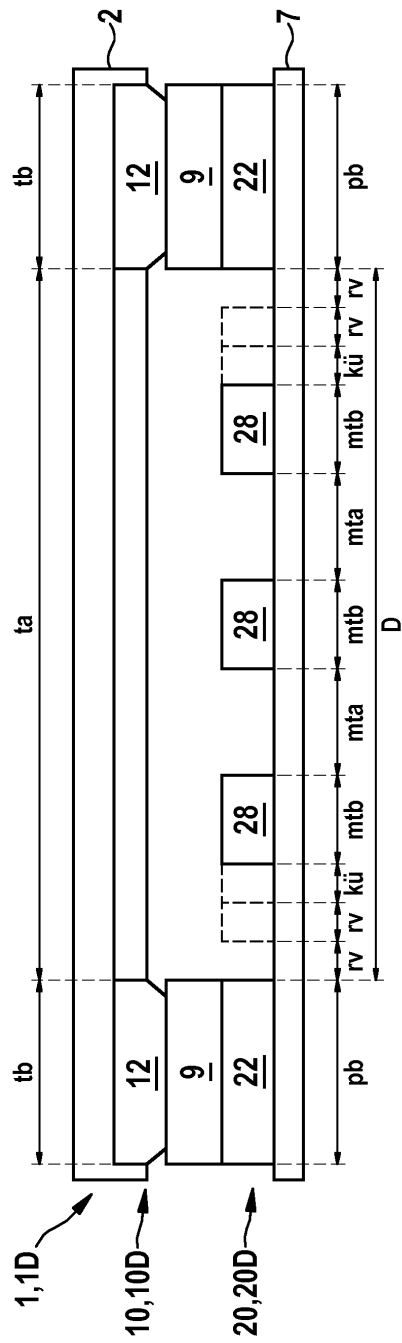
도면3



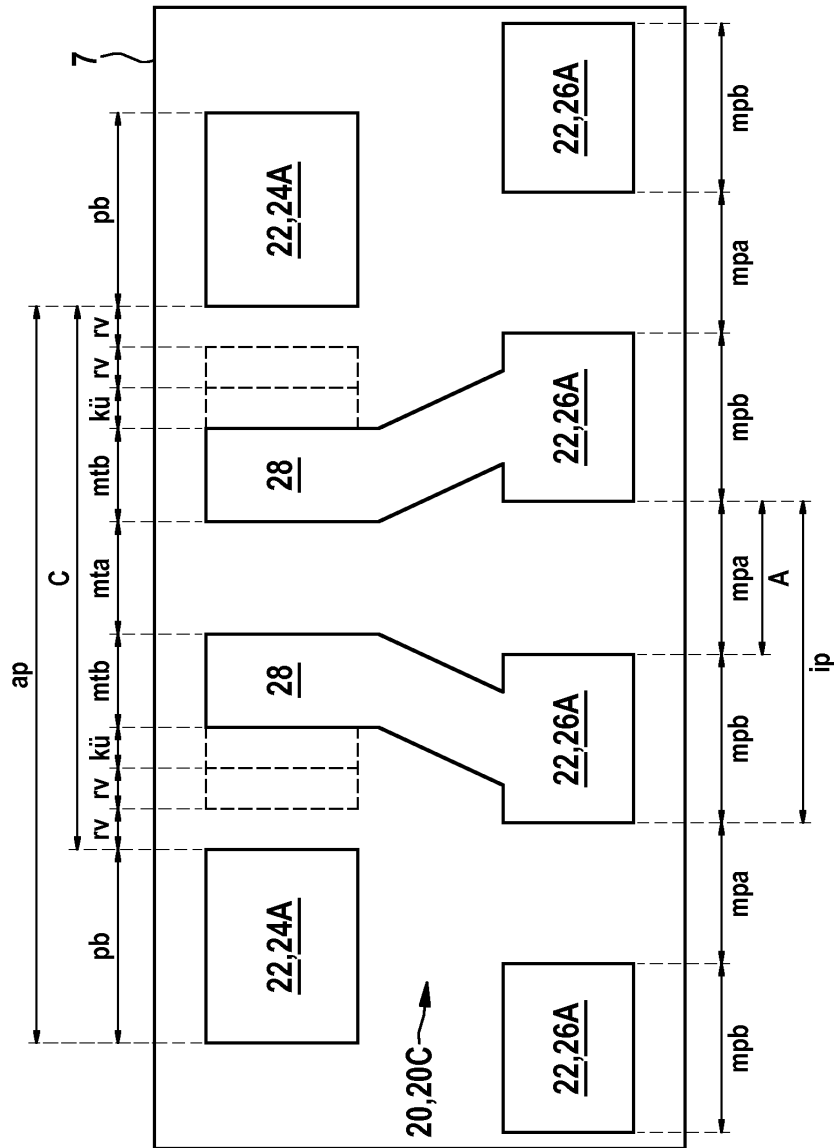
도면4



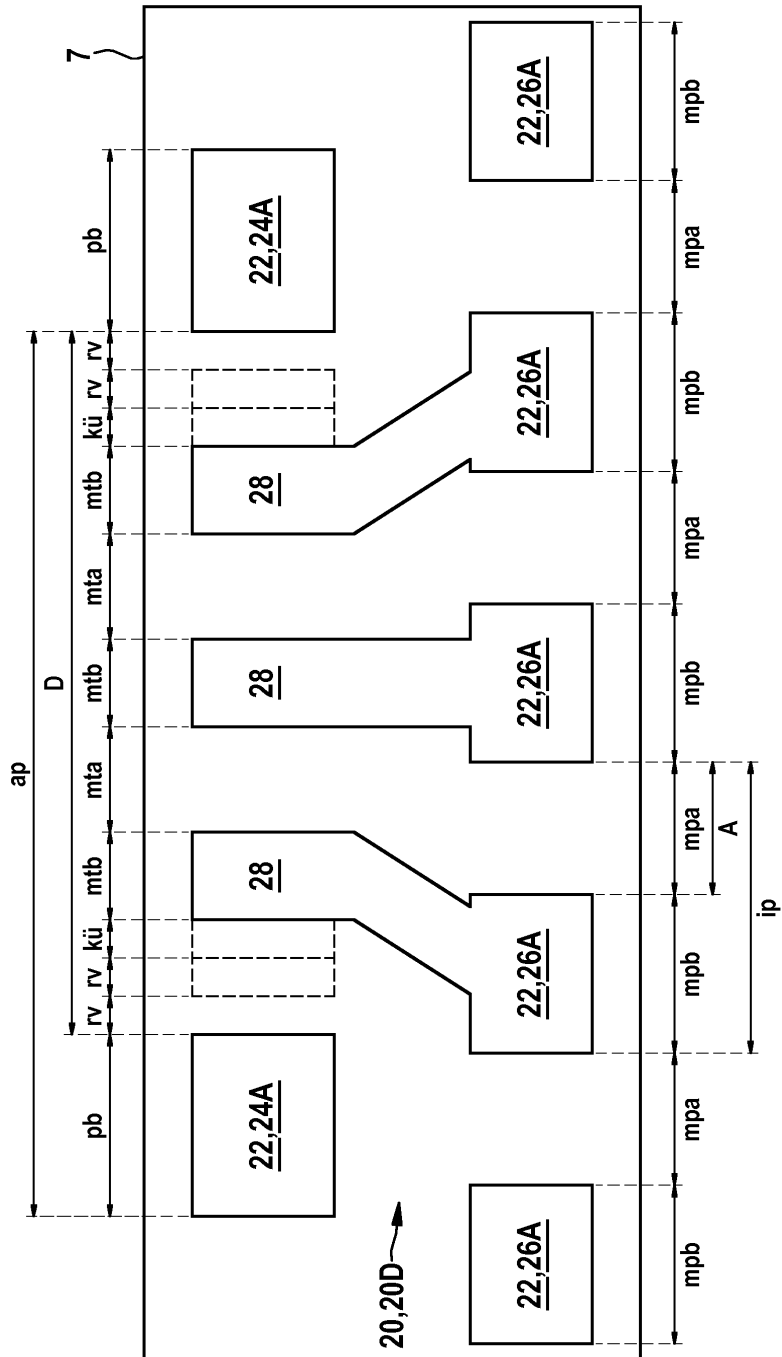
도면5



도면6



도면7



도면8

