

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 11/15 (2006.01)

H01L 43/00 (2006.01)



# [12] 发明专利说明书

专利号 ZL 02152456.4

[45] 授权公告日 2006年2月15日

[11] 授权公告号 CN 1242411C

[22] 申请日 2002.11.28 [21] 申请号 02152456.4

[30] 优先权

[32] 2001.11.30 [33] JP [31] 367753/2001

[71] 专利权人 株式会社东芝

地址 日本东京都

[72] 发明人 梶山健

审查员 李 菲

[74] 专利代理机构 中国国际贸易促进委员会专利  
商标事务所

代理人 罗亚川

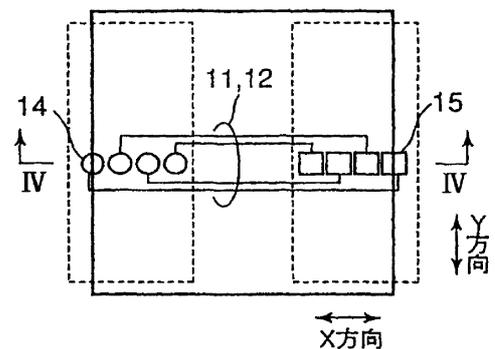
权利要求书 4 页 说明书 13 页 附图 7 页

[54] 发明名称

磁性随机访问存储器

[57] 摘要

本发明涉及磁性随机访问存储器。将 MTJ 元件在半导体底板上分层叠置。在 MTJ 元件上连接沿 X 方向延伸的上部线和下部线。在各层中配置的 MTJ 元件个数从下层向上层逐次增多。就上部线而言，位于上层的上部线连接在靠近 MTJ 元件的阵列存在的晶体管上，位于上层的上部线连接在远离 MTJ 元件的晶体管上。就下部线而言，下层的下部线连接在较比上层的下部线更靠近 MTJ 元件的阵列的晶体管上。



- 1.一种磁性随机访问存储器，备有：
  - 具有多层叠置的多个磁性隧道结元件的阵列；
  - 在该阵列的同一层配置的多个该磁性隧道结元件的上部或下部共同连接的第1导线；
  - 与该第1导线连接的第1晶体管；
  - 在该阵列中配置的、具有与该第1导线同样功能的、在该第1导线上方配置的、在配置在该阵列的同一层的多个该磁性隧道结元件的上部或下部共同连接的第2导线；以及
  - 与该第2导线连接的第2晶体管；
  - 其中，在各层上配置的磁性隧道结元件的个数，从下层向上层逐渐增多；该第1及第2晶体管在该阵列的正下方、或在其周边配置。
  
- 2.如权利要求1所述的磁性随机访问存储器，
  - 其中第1及第2导线沿着同一方向延伸。
  
- 3.如权利要求2所述的磁性随机访问存储器，
  - 其中第1及第2晶体管沿着第1及第2导线的延伸方向排成一列。
  
- 4.如权利要求1所述的磁性随机访问存储器，
  - 其中第1晶体管配置在比第2晶体管更靠近该阵列的中心的位置。
  
- 5.如权利要求1所述的磁性随机访问存储器，
  - 其中，就在第1及第2导线的延伸方向上存在的磁性隧道结元件而言，磁性隧道结元件的个数从下层向上层逐渐增多。
  
- 6.如权利要求2所述的磁性随机访问存储器，

其中，第 1 及第 2 导线的延伸方向是行的方向或列的方向。

7·如权利要求 1 所述的磁性随机访问存储器，  
其中，第 1 及第 2 导线是在写入动作或读出动作中使用的导线。

8·如权利要求 1 所述的磁性随机访问存储器，  
其中，第 1 及第 2 晶体管是选择晶体管。

9·如权利要求 1 或 2 所述的磁性随机访问存储器，  
其中，第 1 及第 2 晶体管构成了读出放大器。

10·如权利要求 1 所述的磁性随机访问存储器，  
其中，第 1 导线比第 2 导线短。

11·一种磁性随机访问存储器，备有：

具有多层叠置的多个磁性隧道结元件的阵列；

在配置在该阵列的同一层的多个该磁性隧道结元件的上部或下部共同连接的第 1 导线；

与该第 1 导线连接的第 1 晶体管；

在该阵列中配置的、具有与该第 1 导线同样功能的、在该第一导线上配置的、在配置在该阵列的同一层的多个该磁性隧道结元件的上部或下部共同连接的第 2 导线；

与该第 2 导线连接的第 2 晶体管；

其中该第 1 晶体管和第 2 晶体管都是不在该阵列的正下方、而是在周边配置；该第 1 晶体管比该第 2 晶体管更靠近该阵列配置。

12·如权利要求 11 所述的磁性随机访问存储器，  
其中第 1 及第 2 导线沿着同一方向延伸。

- 13·如权利要求 12 所述的磁性随机访问存储器，  
其中第 1 及第 2 晶体管沿着第 1 及第 2 导线的延伸方向排成一列。
- 14·如权利要求 11 所述的磁性随机访问存储器，  
其中第 1 晶体管配置在比第 2 晶体管更靠近该阵列的中心的位置
- 15·如权利要求 11 所述的磁性随机访问存储器，  
其中，就在第 1 及第 2 导线的延伸方向上存在的磁性隧道结元件而言，磁性隧道结元件的个数从下层向上层逐渐增多。
- 16·如权利要求 12 所述的磁性随机访问存储器，  
其中，第 1 及第 2 导线的延伸方向是行的方向或列的方向。
- 17·如权利要求 11 所述的磁性随机访问存储器，  
其中，第 1 及第 2 导线是在写入动作或读出动作中使用的导线。
- 18·如权利要求 11 所述的磁性随机访问存储器，  
其中，第 1 及第 2 晶体管是选择晶体管。
- 19·如权利要求 11 所述的磁性随机访问存储器，  
其中，第 1 及第 2 晶体管构成了读出放大器。
- 20·如权利要求 11 所述的磁性随机访问存储器，  
其中，第 1 导线比第 2 导线短。
- 21·一种磁性随机访问存储器，备有多种单元，在每个单元中包括：  
排成一列的多个磁性隧道结元件；  
与该多个磁性隧道结元件共同连接、并且夹持该多个磁性隧道结

元件的第1及第2导线;

与该第1导线的一端连接的选择晶体管;

与该第2导线的一端连接的读出放大器;

其中,该单元分多层叠置,且在各单元内的该磁性隧道结元件从下层的单元向上层的单元逐渐增多。

22.一种磁性随机访问存储器,备有多种单元,在每个单元中包括:

排成一列的多个磁性隧道结元件;

与该多个磁性隧道结元件共同连接、并且夹持该多个磁性隧道结元件的第1及第2导线;

与该第1导线的一端连接的选择晶体管;

与该第2导线的一端连接的读出放大器;

其中,该单元分多层叠置,且在各单元内的该第1及第2导线的长度,从下层单元向上层单元逐渐变长。

23.一种磁性随机访问存储器,备有多种单元,在每个单元中包括:

排成一列的多个磁性隧道结元件;

与该多个磁性隧道结元件共同连接的导线;

与该导线的一端连接的选择晶体管;

与该导线的另一端连接的选择晶体管;

其中,该单元分多层叠置,且在各单元内的磁性隧道结元件的个数,从下层单元向上层单元逐渐增多。

## 磁性随机访问存储器

对于有关申请书的前后参照

本申请书的依据是以前于2001年11月30日提出的2001-367753号日本专利申请书，并且申请对该申请书的优先权；现将其全部内容作为附件，以供参考。

### 技术领域

本发明涉及通过隧穿磁致电阻（Tunneling Magneto Resistive）效果、利用存储“1”、“0”信息的MTJ（Magnetic Tunnel Junction）元件构成的存储单元的磁性随机访问存储器（MRAM: Magnetic Random Access Memory）。

### 背景技术

今年以来，提出过许多根据新原理存储信息的存储器的方案，其中有一个由 Roy Scheuerlein et. Al 提出的方案是利用隧穿磁致电阻（Tunneling Magneto Resistive）效果的存储器（例如，参照：ISSCC2000 Technical Digest p.128 [ A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell] 。

磁性随机访问存储器存储来自MTJ元件的“1”、“0”信息。MTJ元件具有夹持在2层磁性层（强磁性层）之间的绝缘层的结构。在MTJ元件中存储的信息通过2个磁性层的旋转方向来判断是平行或者是不平行。

此时，如果是平行，就意味着2个磁性层的旋转方向是相同的；如果是不平行，就意味着2个磁性层的旋转方向是相反的。

通常，构成MTJ元件的2个磁性层中的一个旋转方向固定的固定层。当在MTJ元件中存储“1”，“0”信息的场合，在这2个磁性

层中的另一个(自由层)的旋转方向就随着写入的信息作相应的改变。

## 发明内容

### 1.前提对技术进行说明

今年以来,提出过多种器件或者电路方面的 MRAM 的方案,其中之一是具有连接在一种开关元件(选择晶体管)上的多个 MTJ 元件的器件结构。该结构有利于解决单元元件的高密度化和提高阅读边际(read margin)的问题。

例如,采用 ladder type 单元元件的结构,在上部线和下部线之间并联多个 MTJ 元件。采用这样的单元元件结构,如图 1 及图 2 所示,在基板上多层(在本例中是 3 层)叠置多个 MTJ 元件 10。另外,在各层中,在上部线 11 和下部线 12 之间并联多个 MTJ 元件。

上部线 11 沿 X 方向延伸,其另一端连接选择晶体管 14。下部线 12 沿 X 方向延伸,其另一端连接读出放大器的周边电路。在本例中读电流沿上部线 11、MTJ 元件 10、称作下部线路径(也就是 X 方向)流动。写入线 13 配置在邻接 MTJ 元件 10 处,向 Y 方向延伸。

在图 1 中,上下叠置的 MTJ 元件与向 X 方向延伸的导电线虽然是在各层之间彼此交互移动进行记载,在图中,是为了便于进行说明,实际上是既是在交互移动,又是完全上下叠置,两者都是真实的。

磁性随机访问存储器的元件的基本结构是以一个 MTJ 元件对一个开关元件(选择晶体管)的 1 单元元件 - 1 晶体管的结构。然而,采用由 MTJ 元件多层叠置的器件结构,由于一个 MTJ 元件要与一个开关元件对应,所以使开关元件增多,不利于单元元件的高密度化。

如今,采用的是在将 MTJ 元件 10 多层叠置的器件结构的场合,一个 MTJ 元件不是与一个开关元件相对应,能够进行读出和写入动作的器件结构。

例如,采用图 1 和图 2 所示的器件结构,在 MTJ 元件 10 的阵列的各层中,在上部线 11 和下部线 12 之间连接着多个 MTJ 元件 10。因此,例如,在上部线 11 的一段连接着选择晶体管 14,在下部线 12 的一端连接着读出放大器(S/A) 15。

然而，在此场合，在 MTJ 元件 10 阵列的各层上配置的上部线 11 必须要分别与选择晶体管相对应。另外，上部线 11 是在 MTJ 元件 10 的阵列 16 上沿着 X 方向延伸。因此，连接在上部线 11 上的选择晶体管就要集中配置在阵列 16 的端部区 17 中。

同样，与 MTJ 元件 10 阵列的各层上配置的读线 12 彼此相对应的，必须是选择晶体管。另外，下部线 12 是在 MTJ 元件 10 的阵列 16 上沿着 X 方向延伸。因此，连接在下部线 12 上的选择晶体管就要集中配置在阵列 16 的端部 18 区中。

同样，与 MTJ 元件 10 阵列的各层上配置的写入线 13 彼此相对应的，也必须是选择晶体管。另外，写入线 13 是在 MTJ 元件 10 的阵列 16 上沿着 X 方向延伸。因此，连接在写入线 13 上的选择晶体管就要集中配置在阵列 16 的端部 19A, 19B 区中。

可是，在对 MTJ 元件进行数据写入/读出的动作中，出于 MTJ 元件特性的原因，据发现必须要有大电流。因此，就会预想到连接在上部线 11、下部线 12 和写入线 13 上的晶体管的尺寸（或间距）必然要变大。

另外，将在 X 方向上配置的 MTJ 元件组作为 1 列、将在 Y 方向上配置的 MTJ 元件组作为 1 行的场合，如果要增加 MTJ 元件上下叠置的层数，两者要成比例，就必须增加 1 列或 1 行中的晶体管的个数。

由于 MTJ 元件的间距不受 MTJ 元件的叠置层数的影响，当 MTJ 元件的叠置层数非常之多时，仅只增加 1 行或者 1 列中的晶体管数，在阵列周边的 17、18、19A、19B 区内就不能够配置全部的晶体管。

反之，当在阵列周边的 17、18、19A、19B 区内配置全部的晶体管时，由于晶体管的间距增大，为了对此配合，使 MTJ 元件 10 的间距增大，结果是，不能够达到使 MTJ 元件的高集成化的目的。

再者，如果要减小晶体管的尺寸，借以缩小其间距，由于不能够在大电流下运作，会造成存储器运作障碍。

## 2.概要

本发明的示例适用于具有多层叠置的 MTJ 元件阵列的磁性随机访问存储器。

与本发明的第一个概念相关的磁性随机访问存储器备有：具有多层叠置的多个 MTJ 元件的阵列；在该阵列的同一层配置的多个该 MTJ 元件的上部或下部共同连接的第 1 导线；与该第 1 导线连接的第 1 晶体管；在该阵列中配置的、具有与该第 1 导线同样功能的、在该第 1 导线上方配置的、在配置在该阵列的同一层的多个该 MTJ 元件的上部或下部共同连接的第 2 导线；以及与该第 2 导线连接的第 2 晶体管；其中，在各层上配置的 MTJ 元件的个数，从下层向上层逐渐增多；该第 1 及第 2 晶体管在该阵列的正下方、或在其周边配置。

与本发明的第二个概念相关的磁性随机访问存储器备有：具有多层叠置的多个 MTJ 元件的阵列；在配置在该阵列的同一层的多个该 MTJ 元件的上部或下部共同连接的第 1 导线；与该第 1 导线连接的第 1 晶体管；在该阵列中配置的、具有与该第 1 导线同样功能的、在该第 1 导线上方配置的、在配置在该阵列的同一层的多个该 MTJ 元件的上部或下部共同连接的第 2 导线；与该第 2 导线连接的第 2 晶体管；其中该第 1 晶体管和第 2 晶体管都是不在该阵列的正下方、而是在周边配置；该第 1 晶体管比该第 2 晶体管更靠近该阵列配置。

另一方面，本发明的磁性随机访问存储器，备有多种单元，在每个单元中包括：排成一列的多个 MTJ 元件；与该多个 MTJ 元件共同连接、并且夹持该多个 MTJ 元件的第 1 及第 2 导线；与该第 1 导线的一端连接的选择晶体管；与该第 2 导线的一端连接的读出放大器；其中，该单元分多层叠置，且在各单元内的该 MTJ 元件从下层的单元向上层的单元逐渐增多。

另一方面，本发明的磁性随机访问存储器备有多种单元，在每个单元中包括：排成一列的多个 MTJ 元件；与该多个 MTJ 元件共同连接、并且夹持该多个 MTJ 元件的第 1 及第 2 导线；与该第 1 导线的一端连接的选择晶体管；与该第 2 导线的一端连接的读出放大器；其中，该单元分多层叠置，且在各单元内的该第 1 及第 2 导线的长度，

从下层单元向上层单元逐渐变长。

另一方面，本发明的磁性随机访问存储器备有多种单元，在每个单元中包括：排成一列的多个 MTJ 元件；与该多个 MTJ 元件共同连接的导线；与该导线的一端连接的选择晶体管；与该导线的另一端连接的选择晶体管；其中，该单元分多层叠置，且在各单元内的 MTJ 元件的个数，从下层单元向上层单元逐渐增多。

本发明的示例涉及的磁性随机访问存储器的第 1 特征在于，在各层中配置的 MTJ 元件的个数具有从下层向上层逐次增多的特点采用这样的阵列结构，由于能够在 MTJ 元件阵列的正下方配置晶体管，当 MTJ 元件的叠置层数增大时，在 1 行或 1 列内的导线上连接的晶体管个数虽然增大，但是不受晶体管间距的制约，能够确定 MTJ 元件的间距。

本发明的示例涉及的磁性随机访问存储器的第 2 特征在于，就 MTJ 元件的阵列内配置的具有同一功能的导电线而论，位于下层的导电线连接在靠近 MTJ 元件的阵列存在的晶体管上；位于上层的导电线连接在远离 MTJ 元件的阵列的晶体管上。采用这样的器件结构，在 1 行或 1 列内的导电线所连接的晶体管数增大的场合，由于这些晶体管是在远离阵列近旁配置成行，所以能够不受晶体管间距制约，确定 MTJ 元件的间距。

#### 附图说明

图 1 是表示作为参考例的存储器阵列的平面图。

图 2 是沿图 1 的 II-II 线的断面图。

图 3 是表示本发明的第 1 实施例中涉及的存储器的阵列部的平面图。

图 4 是沿图 3 的 IV-IV 线的断面图。

图 5 是表示本发明的第 2 实施例中涉及的存储器的阵列部的平面图。

图 6 是沿图 5 的 IV - IV 线的断面图。

图 7 是表示本发明的第 3 实施例中涉及的存储器的阵列部的平面图。

图 8 是沿图 7 的 IV - IV 线的断面图。

图 9 是表示本发明的第 4 实施例中涉及的存储器的阵列部的平面图。

图 10 是沿图 9 的 X - X 线的断面图。

图 11 是表示本发明的第 5 实施例中涉及的存储器的阵列部的变面图。

### 具体实施方式

以下参照图面对于本发明涉及的磁性随机访问存储器作详细说明。

#### (1) 第 1 实施例

图 3 所示是表示在本发明的第 1 实施例中涉及的磁性随机访问存储器的单元元件阵列部的配置概要。图 4 是沿着图 3 的单元元件阵列部 (1 列) 的 X 方向的端面, 即表示沿着图 3 的 IV - IV 线的端面。

在半导体基片上分层 (在本例中为 4 层) 叠置多个 MTJ 元件 10。另外在各层中, MTJ 元件 10 在 X - Y 平面内构成阵列。

上部线 11 及下部线 12 共同沿 X 方向延伸, 在 11、12 两个导线之间沿 X 方向配置多个 MTJ 元件 10。上部线 11 的一端连接在选择晶体管 14 上。另外, 下部线 12 的一端连接在读出放大器 15 (S/A) 等的周边电路上。

上部线 11 及下部线 12 起着读线的功能。这就是说在读数据时, 读电流沿着上部线 11、MTJ 元件 10、下部线 12 的路径, 也就是沿着 X 方向流动。

写入线 13 在 MTJ 元件的阵列的各层中配置在 MTJ 元件 10 的上方, 沿 X 方向延伸。另外, 写入线 13 接近 MTJ 元件 10 的自由层配置。

MTJ 元件 10 的个数从下层向上层逐次增多。在本实施例中, 就

1 列内的 MTJ 元件 10 的个数而论，是从下层向上层逐次增多。

采用这样的阵列结构，由于能够将晶体管配置在 MTJ 元件 10 的阵列的正下方，当 MTJ 元件 10 的叠置层数增大时，连接在 1 列内的导电线上的晶体管数虽然也增多，却能够确保形成晶体管所需的足够领域。

另外，在 MTJ 元件 10 的阵列内配置了具有同一功能的导电线，例如，就 X 方向延伸的上部线 11 而论，在位于下层上的上部线 11，连接在靠近 MTJ 元件 10 的阵列存在的晶体管上，位于上层上的上部线 11 连接在远离 MTJ 元件 10 的阵列的晶体管上。

同样，就沿 X 方向延伸的下部线 12 而论，位于下层的下部线 12 连接在靠近 MTJ 元件 10 的阵列存在的读出放大器（晶体管）15 上，位于上层的下部线 12 连接在远离 MTJ 元件的阵列的读出放大器（晶体管 15）上。

采用这样的器件结构，当 MTJ 元件 10 的叠置层数增大时，即便在 1 列内的导电线上连接的晶体管个数增大的场合，由于其中的晶体管是从阵列近旁沿着向外的方向配置成一列，所以能够在不受晶体管间距影响下决定 MTJ 元件的间距。

这样，在本实施例中，MTJ 元件 10 的个数是从下层向上层逐次增多，再者，就 MTJ 元件 10 的阵列内配置的、具有同一功能的导电线而论，上层的导电线是连接在较比下层导电线距离 MTJ 元件 10 的阵列较远的晶体管上。

采用这样的办法，在本实施例中，纵然在 MTJ 元件 10 的阵列内配置的导电线上连接的晶体管增多，也能够不受该晶体管个数左右的状态下决定 MTJ 元件的间距，能够达到使 MTJ 元件微细化或高集成化的目的。

## (2) 第 2 实施例

在上述第 1 实施例中，就多层叠置的 MTJ 元件的阵列而言，从下层向上层 MTJ 元件的个数逐次增多。然而，考虑到 MTJ 元件的电阻、配线电阻、配线容量等的场合，在各层中，由于 MTJ 元件的数

量各不相同，对于读/写等运作就会有恶劣的影响。

现在，在本实施例中，考虑到这方面的问题，就多层叠置的 MTJ 元件的阵列而言，各层的 MTJ 元件个数不变，是以一定不变为前提，在这样的前提条件下，为了防止 MTJ 元件的间距增大，提出的以 MTJ 元件的微细化、高度集成化为目的技术方案。

图 5 所示是表示在本发明的第 2 实施例中涉及的磁性随机访问存储器的单元元件阵列部的配置概要。图 6 是沿着图 5 的单元元件阵列部的 X 方向（1 列）的端面，即表示沿着图 5 的 VI-VI 线的端面。

在半导体基片上分层（在本例中为 4 层）叠置多个 MTJ 元件。另外在各层中，MTJ 元件 10 在 X-Y 平面内构成阵列。

上部线 11 及下部线 12 共同沿 X 方向延伸，在 11、12 两个导线之间沿 X 方向配置多个 MTJ 元件 10。上部线 11 的一端连接在选择晶体管 14 上。另外，下部线 12 的一端连接在读出放大器 15 (S/A) 等的周边电路上。

上部线 11 及下部线 12 起着读线的功能。这就是说在读数据时，读电流沿着上部线 11、MTJ 元件 10、下部线 12 的路径，也就是沿着 X 方向流动。

写入线 13 在 MTJ 元件 10 的阵列的各层中配置在 MTJ 元件 10 的上方，沿 X 方向延伸。另外，写入线 13 接近 MTJ 元件 10 的自由层配置。

在 MTJ 元件 10 的阵列内配置了具有同一功能的导电线，例如，就 X 方向延伸的上部线 11 而论，在位于下层上的上部线 11，连接在靠近 MTJ 元件 10 的阵列存在的晶体管上，位于上层上的上部线 11 连接在远离 MTJ 元件 10 的阵列的晶体管上。

另外，就沿 X 方向延伸的下部线 12 而论，位于下层的下部线 12 连接在靠近 MTJ 元件 10 的阵列存在的读出放大器（晶体管）15 上。位于下层的下部线连接在远离 MTJ 元件的阵列的读出放大器（晶体管）15 上。

采用这样的器件结构，当 MTJ 元件的叠置层数增大时，即便在

1 列内的导电线上连接的晶体管个数增大的场合，由于其中的晶体管是从阵列近旁沿着向外的方向配置成一列，所以能够在不受晶体管间距影响下决定 MTJ 元件的间距。

这样，在本实施例中，就在 MTJ 元件阵列中配置的另一功能的导电线而论，上层的导电线与下层导电线相比，是连接在距离 MTJ 元件 10 的阵列更远的晶体管上。

采用这样的办法，纵然在 MTJ 元件的阵列内配置的导电线上连接的晶体管增多，也能够不受该晶体管个数左右的状态下决定 MTJ 元件的间距，能够达到使 MTJ 元件微细化或高集成化的目的。

### (3) 第 3 实施例

图 7 所示是表示在本发明的第 3 实施例中涉及的磁性随机访问存储器的单元元件阵列部的配置概要。图 8 是沿着图 7 的单元元件阵列部 (1 列) 的 X 方向的端面，即表示沿着图 7 的 VIII - VIII 线的端面。

在半导体基片上分层 (在本例中为 4 层) 叠置多个 MTJ 元件。另外在各层中，MTJ 元件 10 在 X - Y 平面内构成阵列。

上部线连接在 MTJ 元件的自由层上，下部线连接在 MTJ 元件的固定层上，两导线共同沿 X 方向延伸。在本实施例中，为了简化说明，省略了有关上部线和下部线的说明。

写入线 13，在 MTJ 元件的阵列的各层中，配置在 MTJ 元件 10 的上方，沿 Y 方向延伸。另外，写入线 13 接近 MTJ 元件 10 的自由层配置。

MTJ 元件 10 的个数从下层向上层逐次增多。在本实施例中，就 1 列内的 MTJ 元件 10 的个数而论，是从下层向上层逐次增多。

采用这样的阵列结构，由于能够将晶体管配置在 MTJ 元件 10 的阵列的正下方，当 MTJ 元件 10 的叠置层数增大时，连接在 1 列内的导电线上的晶体管数纵然增多，却能够确保形成晶体管所需的足够领域。

另外，在 MTJ 元件 10 的阵列内配置了具有同一功能的导电线，例如，就 Y 方向延伸的上部线 13 而论，在位于下层上的写入线 13，

连接在靠近 MTJ 元件 10 的阵列存在的晶体管上，位于上层上的写入线 13 连接在远离 MTJ 元件 10 的阵列的晶体管上。

采用这样的器件结构，当 MTJ 元件的叠置层数增大时，纵然在 1 列内的导电线上连接的晶体管个数增大的场合，由于其中的晶体管是从阵列近旁沿着向外的方向配置成一行，却能够在不受晶体管间距影响下决定 MTJ 元件的间距。

这样，在本实施例中，MTJ 元件的个数是从下层向上层逐次增多，再者，就 MTJ 元件 10 的阵列内配置的、具有同一功能的导电线而论，上层的导电线是连接在较比层导电线距离 MTJ 元件 10 的阵列更远的晶体管上。

采用这样的办法，在本实施例中，纵然在 MTJ 元件的阵列内配置的导电线上连接的晶体管增多，也能够不受该晶体管个数左右的状态下决定 MTJ 元件的间距，能够达到使 MTJ 元件微细化或高集成化的目的。

#### (4) 第 4 实施例

图 9 所示是表示在本发明的第 4 实施例中涉及的磁性随机访问存储器的单元元件阵列部的配置概要。图 10 是沿着图 9 的单元元件阵列部（1 列）的 X 方向的端面，即表示沿着图 9 的 X-X 线的端面。

在第 4 实施例中，基于和第 2 实施例中同样的理由，就多层叠置的 MTJ 元件的阵列而言，各层的 MTJ 元件个数不作改变，以一定不变为前提，在这样的前提条件下，为了防止 MTJ 元件的间距增大，提出的以 MTJ 元件的微细化、高度集成化为目的技术方案。

在半导体基片上分层（在本例中为 4 层）叠置多个 MTJ 元件。另外在各层中，MTJ 元件 10 在 X-Y 平面内构成阵列。

上部线连接在 MTJ 元件的自由层上，下部线连接在 MTJ 元件的固定层上，两导线共同沿 X 方向延伸。在本实施例中，为了简化说明，省略了有关上部线和下部线的说明。

写入线 13，在 MTJ 元件的阵列的各层中，配置在 MTJ 元件 10 的上方，沿 Y 方向延伸。另外，写入线 13 接近 MTJ 元件 10 的自由

层配置。

在 MTJ 元件 10 的阵列内配置了具有同一功能的导电线，例如，就 Y 方向延伸的上部线 13 而论，位于下层的写入线 13 是连接在靠近 MTJ 元件 10 的阵列存在的晶体管上，位于上层的写入线 13 是连接在远离 MTJ 元件 10 的阵列的晶体管上。

采用这样的器件结构，当 MTJ 元件的叠置层数增大时，纵然在 1 列内的导电线上连接的晶体管个数增大的场合，由于其中的晶体管是从阵列近旁沿着向外的方向配置成一列，却能够在不受晶体管间距影响下决定 MTJ 元件的间距。

这样，在本实施例中，就 MTJ 元件 10 的阵列内配置的、具有同一功能的导电线而论，上层的导电线与下层导电线相比、是连接在距离 MTJ 元件 10 的阵列更远的晶体管上。

采用这样的办法，在本实施例中，纵然在 MTJ 元件的阵列内配置的导电线上连接的晶体管增多，也能够不受该晶体管个数左右的状态下决定 MTJ 元件的间距，能够达到使 MTJ 元件微细化或高集成化的目的。

#### (5) 第 5 实施例

图 11 所示是表示在本发明的第 5 实施例中涉及的磁性随机访问存储器的单元元件阵列部的配置概要。图 11 沿 IV - IV 线的断面与图 4 的相同；图 11 沿 VIII - VIII 的断面与图 8 的相同。

本例的磁性随机访问存储器是涉及到第 1 实施例和第 3 实施例的组合。

在半导体基片上分层叠置多个 MTJ 元件。在各层中，MTJ 元件 10 在 X - Y 平面内构成阵列。

上部线 11 连接在 MTJ 元件的自由层上，下部线 12 连接在 MTJ 元件的固定层上，两导线 11、12 共同沿 X 方向延伸。写入线 13，在 MTJ 元件的阵列的各层中配置在 MTJ 元件的上方，沿 Y 方向延伸。另外，写入线 13 在接近 MTJ 元件的自由层处配置。

MTJ 元件的个数，如图 4 及图 8 所示，是从下层向上层逐次增

多。在本实施例中，就1行内的MTJ元件10的个数而论，是从下层向上层逐次增多，而且，就1列内的MTJ元件而言，MTJ元件的个数是从下层向上层逐次增多。

采用这样的阵列结构，由于能够将晶体管配置在MTJ元件10的阵列的正下方，当MTJ元件10的叠置层数增大时，连接在1列内的导电线上的晶体管数虽然也增多，却能够确保形成晶体管所需的足够领域。

另外，在MTJ元件10的阵列内配置了具有同一功能的导电线，例如，就Y方向延伸的写入线13而论，在位于下层上的写入线13，连接在靠近MTJ元件10的阵列存在的晶体管上，位于上层上的写入线13连接在远离MTJ元件10的阵列的晶体管上。

采用这样的器件结构，当MTJ元件的叠置层数增大时，纵然在1列内的导电线上连接的晶体管个数增大的场合，由于其中的晶体管是从阵列近旁沿着向外的方向配置成一行，所以能够在不受晶体管间距影响下决定MTJ元件的间距。

#### 4. 其他

本发明的示例，适用于具有由多层叠置的MTJ元件的单元元件阵列结构的磁性随机访问存储器的任何一种结构。

在上述第1乃至第5的实施例中，在MTJ元件的阵列内连接的晶体管虽然一般是MOS晶体管，也可以是双极晶体管或者是二极管等。

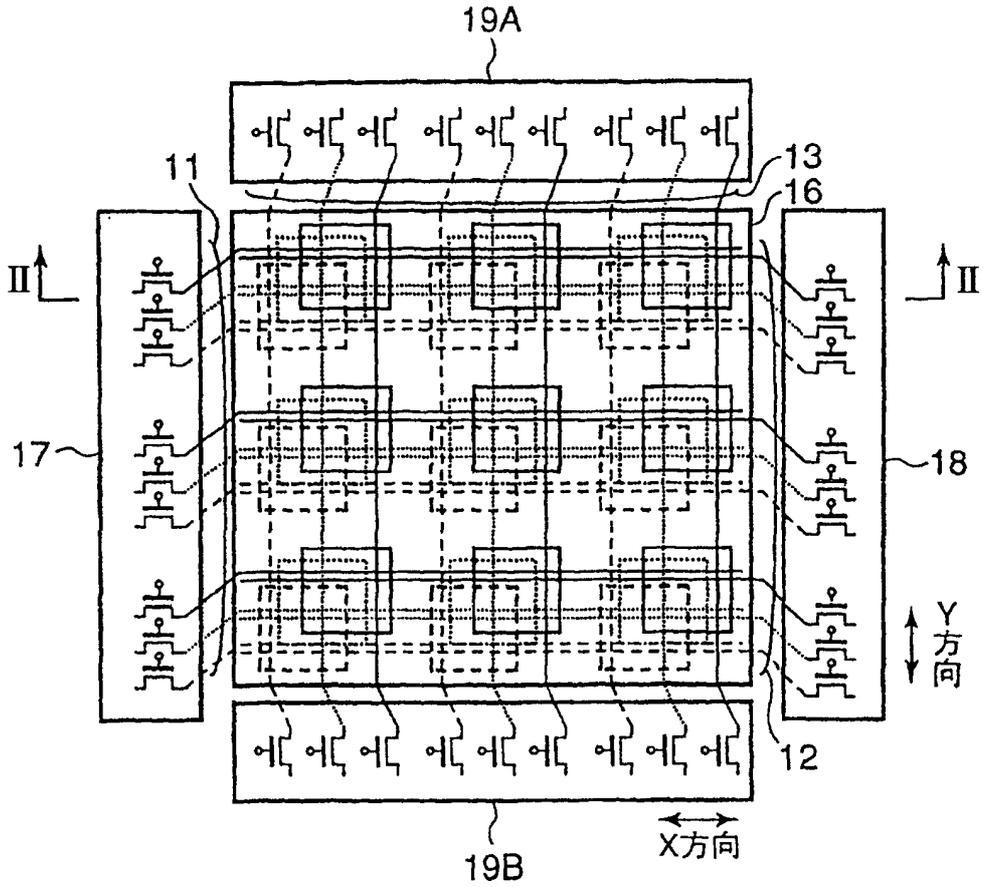
在上述第1乃至第5的实施例中，虽然是以在多层叠置的MTJ元件的各层中配置导电线为例所作的说明，但是，例如，当在上下的MTJ元件中使导电线共有化的场合，并不是在每层中配置具有同一功能的导电线，而是仅只在1层中配置。纵然在这样的场合，就这样的在1层中配置的导电线而言，在本发明的示例中可以适用。

以上，如说明所示，通过采用本发明中涉及的磁性随机访问存储器，在多层叠置MTJ元件阵列的结构中，纵然增加MTJ元件的叠置层数，使连接在MTJ元件的阵列内配置的导电线上的晶体管数增多，

也能够不被该晶体管个数左右的状态下确定 MTJ 元件的大小或间距。

就熟练这项技术的人员而言,还会获得另外的效益和改善。因此,本发明从广义上说,不受本文中所示及所述的细节和实施例的限制。所以,只要不背离所附的权利要求以及其等同的要求中规定的发明的总概念的精神和范围,可以作各种各样的改变。

图1



实线 (—) : 上层  
点线 (·····) : 中层  
虚线 (---) : 下层

图2

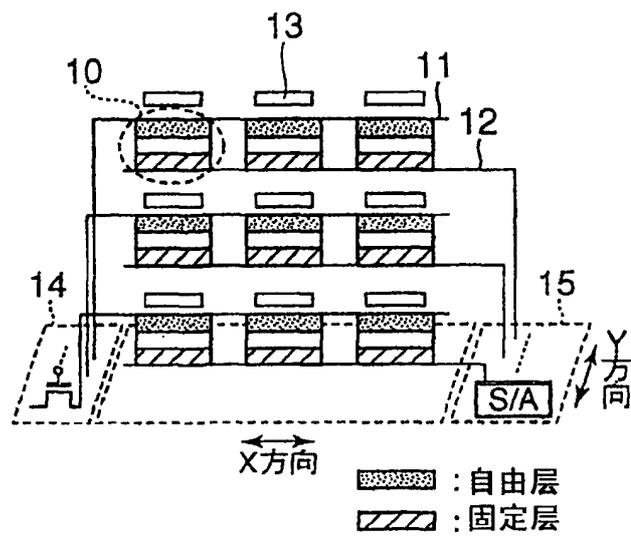


图3

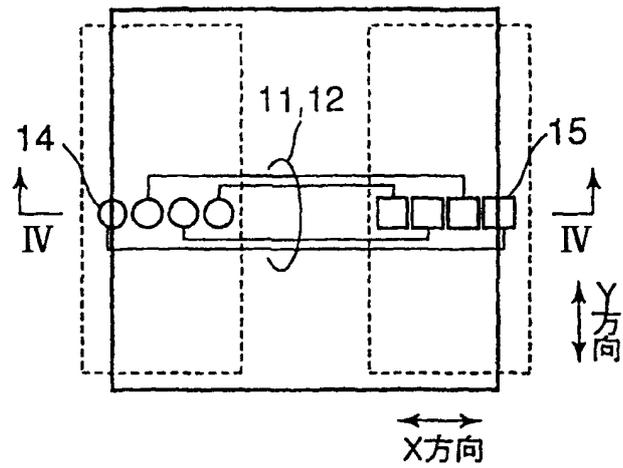


图4

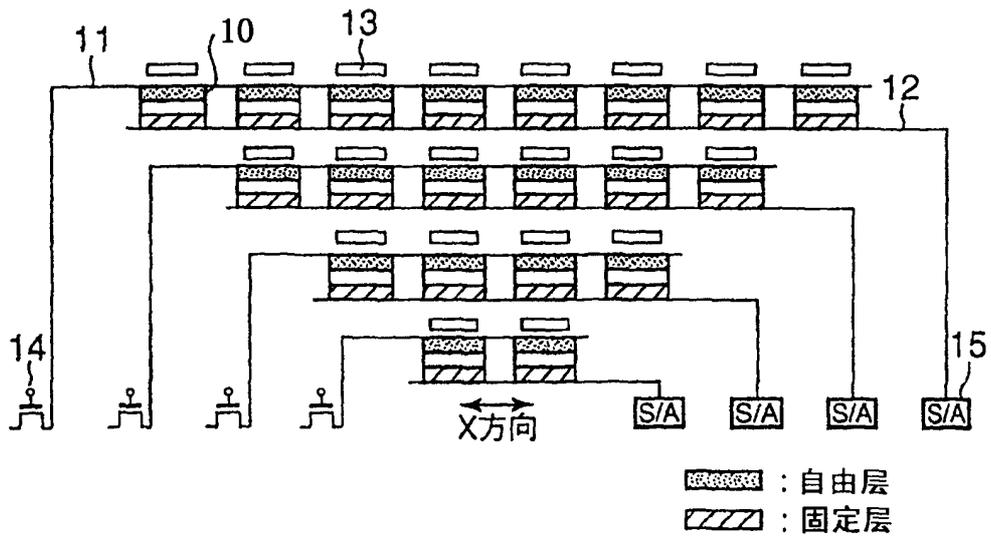


图5

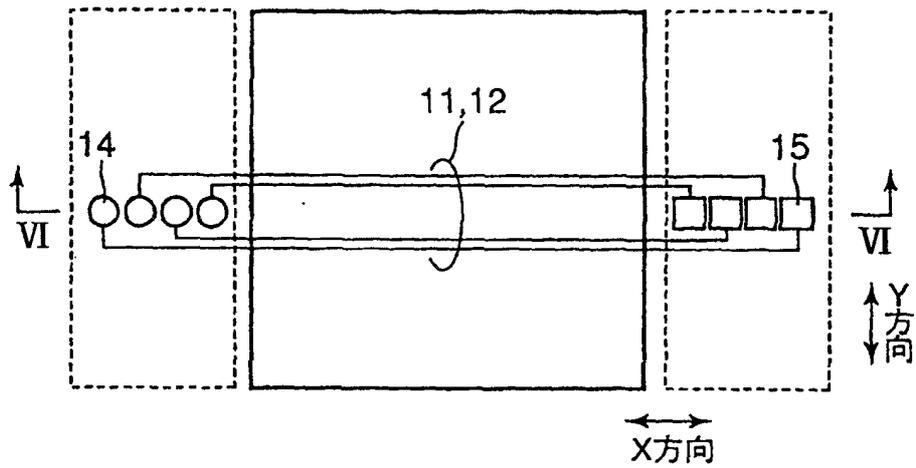
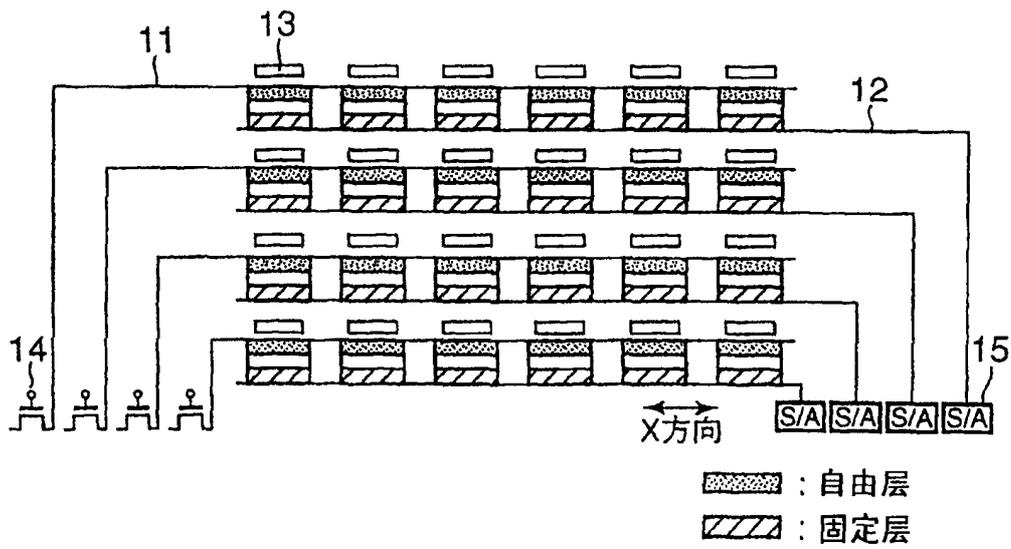


图6



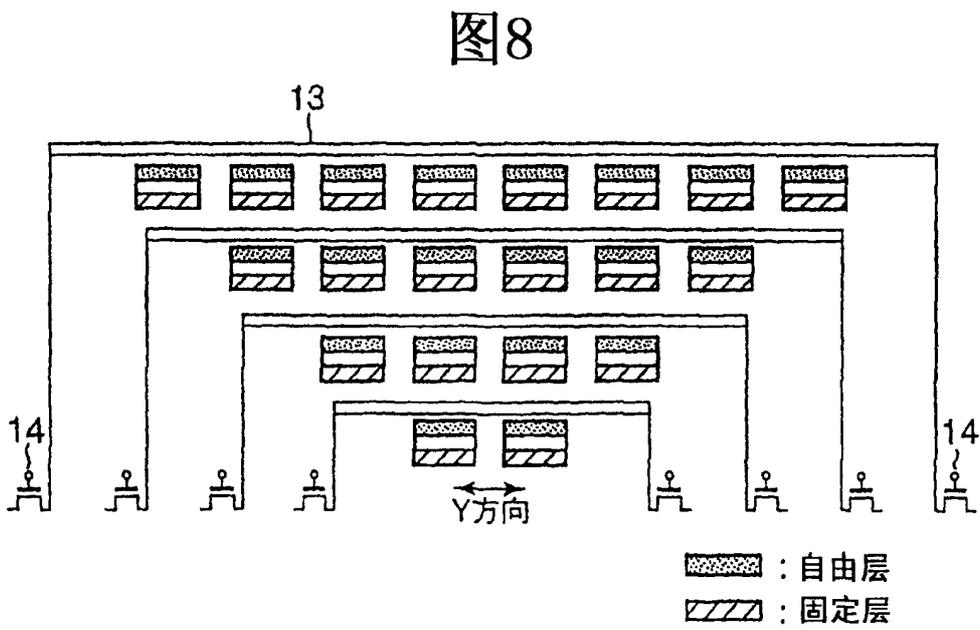
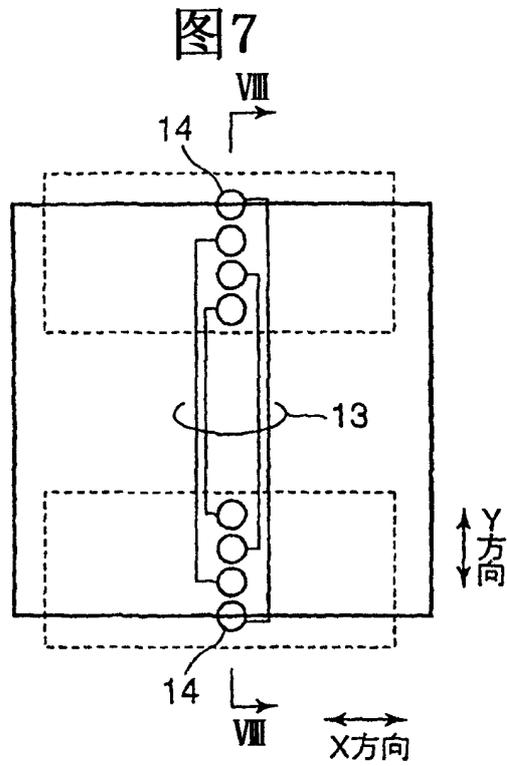


图9

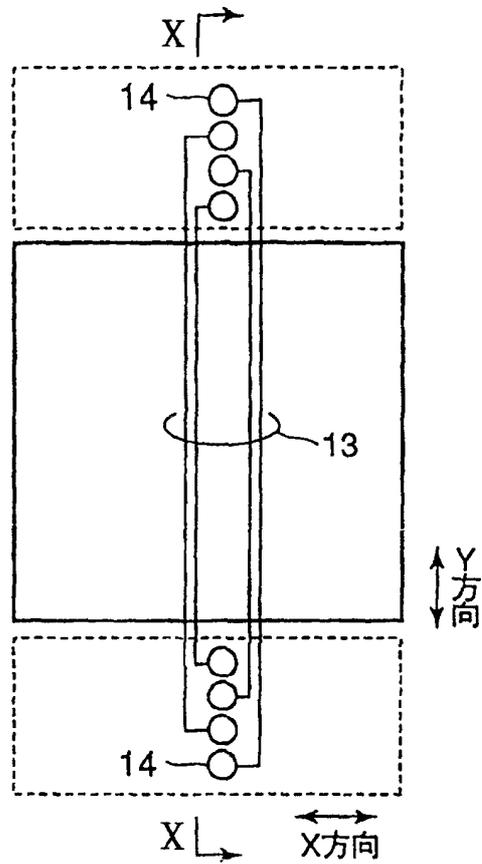


图10

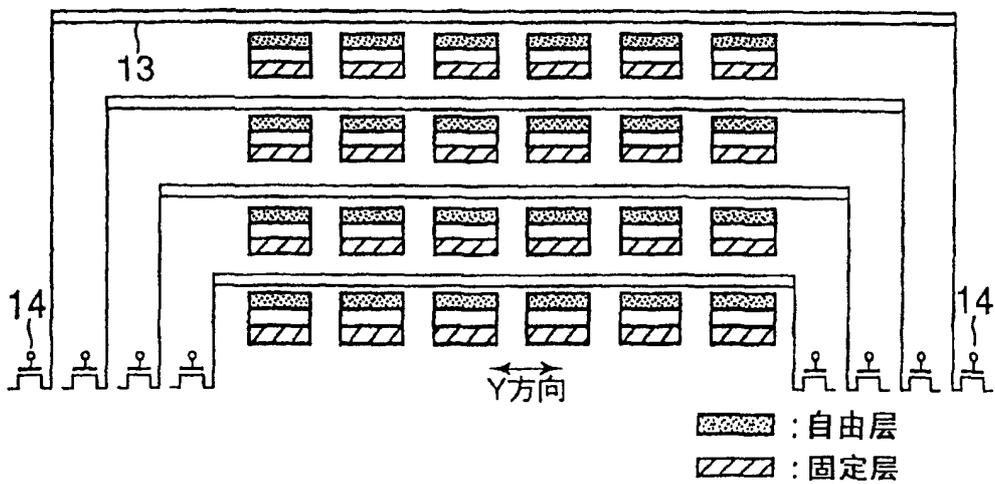


图11

