(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3579576号
(P3579576)
(45)発行日　平成16年10月20日(2004.10.20)　(24)登録日　平成16年7月23日(2004.7.23)

(51)Int.Cl.[7]	F I		
H01L 27/105	H01L	27/10	444B
H01L 21/8242	H01L	27/10	481
H01L 21/8247	H01L	27/10	651
H01L 27/10	H01L	27/10	681F
H01L 27/108	H01L	29/78	371

請求項の数 4　(全 9 頁)　最終頁に続く

(21)出願番号　特願平9-301633
(22)出願日　平成9年11月4日(1997.11.4)
(65)公開番号　特開平10-178157
(43)公開日　平成10年6月30日(1998.6.30)
審査請求日　平成11年4月1日(1999.4.1)
審判番号　不服2001-15587(P2001-15587/J1)
審判請求日　平成13年9月3日(2001.9.3)
(31)優先権主張番号　1996 P 66950
(32)優先日　平成8年12月17日(1996.12.17)
(33)優先権主張国　韓国(KR)

(73)特許権者　390019839
三星電子株式会社
大韓民国京畿道水原市靈通区梅灘洞４１６
(74)代理人　100093779
弁理士　服部　雅紀
(72)発明者　朴　仁善
大韓民国ソウル特別市松坡区蠶室２洞２２番地住公アパート２１３棟２０５号
(72)発明者　金　秉熙
大韓民国ソウル特別市麻浦区望遠洞４１５－４９番地
(72)発明者　呉　世俊
大韓民国ソウル特別市冠岳区奉天６洞１００－４２番地

最終頁に続く

(54)【発明の名称】半導体装置の金属配線構造の製造方法

(57)【特許請求の範囲】
【請求項１】
セルアレー領域と周辺回路領域とに分けられた半導体基板上にタングステンよりなるコンタクトプラグを具備した第１層間絶縁層を形成する段階と、
前記第１層間絶縁層の上部に第１金属層、強誘電体物質層、及び上部電極物質層を順次に積層する段階と、
前記上部電極物質層と前記強誘電体物質層を写真蝕刻して前記セルアレー領域の前記タングステンコンタクトプラグの上部に上部電極と強誘電体膜を形成し、前記周辺回路領域では前記上部電極物質層と強誘電体物質層を取り除く段階と、
前記第１金属層をパタニングして前記セルアレー領域に強誘電体キャパシタの下部電極を形成し、前記周辺回路領域に第１金属配線を形成する段階と、
前記セルアレー領域でキャパシタの上部電極を露出させ、前記周辺回路領域で前記第１金属配線を露出させるように形成されたヴァイアホールを具備する第２層間絶縁層を形成する段階と、
前記ヴァイアホールに第２金属配線を形成する段階とを含んで構成されたことを特徴とする強誘電体キャパシタを具備した半導体装置の金属配線構造の製造方法。
【請求項２】
前記第１金属層は白金族元素からなることを特徴とする請求項１に記載の強誘電体キャパシタを具備した半導体装置の金属配線構造の製造方法。
【請求項３】

前記第２金属配線はアルミニウムからなることを特徴とする請求項１に記載の強誘電体キャパシタを具備した半導体装置の金属配線構造の製造方法。
【請求項４】
セルアレー領域と周辺回路領域とに分けられた半導体基板上にコンタクトプラグを具備した第１層間絶縁層を形成する段階と、
前記第１層間絶縁層の上部に白金族元素よりなる第１金属層、強誘電体物質層、及び上部電極物質層を順次に積層する段階と、
前記上部電極物質層と前記強誘電体物質層を写真蝕刻して前記セルアレー領域の前記コンタクトプラグの上部に上部電極と強誘電体膜を形成し、前記周辺回路領域では前記上部電極物質層と強誘電体物質層を取り除く段階と、
前記第１金属層をパタニングして前記セルアレー領域に強誘電体キャパシタの下部電極を形成し、前記周辺回路領域に白金族元素よりなる第１金属配線を形成する段階と、
前記セルアレー領域でキャパシタの上部電極を露出させ、前記周辺回路領域で前記第１金属配線を露出させるように形成されたヴァイアホールを具備する第２層間絶縁層を形成する段階と、
前記ヴァイアホールの底部にバリヤー膜を形成する段階と、
前記バリヤー膜を含んだヴァイアホールにアルミニウムよりなる第２金属配線を形成する段階とを含んで構成されたことを特徴とする強誘電体キャパシタを具備した半導体装置の金属配線構造の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体装置の金属配線構造の製造方法に関する。
【０００２】
【従来の技術】
半導体装置、例えばＤＲＡＭ（Ｄｙｎａｍｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）、ＦＲＡＭ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ　ＲＡＭ）　等の集積度が増加するにつれて、ＰＺＴ（$PbZrTiO_3$）あるいはＢＳＴ（$BaSrTiO_3$）のような強誘電体物質がキャパシタの誘電体膜として応用されている。
【０００３】
強誘電体とは従来の酸化膜、シリコンナイトライド膜、またはタンタルペントオキサイド膜とは異なり自発分極（ｓｐｏｎｔａｎｅｏｕｓ　ｐｏｌａｒｉｚａｔｉｏｎ）特性を有し、その誘電定数が普通数百～１０００程度である物質のことをいう。
強誘電体キャパシタの上部及び下部電極は、通常耐酸化性を有する白金族元素からなる。前記強誘電体キャパシタの下部電極はポリシリコンまたはタングステンからなるコンタクトプラグに連結され、その上部電極はアルミニウムからなる金属配線層に連結される。しかしながら、この上部及び下部電極を構成する白金はアルミニウムと相互反応して強誘電体キャパシタの分極特性を劣化させる問題がある。これを防止するためには強誘電体キャパシタとアルミニウムとの間にバリヤー膜（ｂａｒｒｉｅｒ　ｌａｙｅｒ）　を具備する必要がある。一方、金属配線を形成する時、その接触抵抗を良くするためにはＴｉ層のようなオーム層（ｏｈｍｉｃ　ｌａｙｅｒ）　をバリヤー膜と金属膜との間に介在する必要がある。
【０００４】
以下、図１を参照して従来の強誘電体キャパシタを具備した半導体装置の金属配線構造を説明する。
図１はセルアレー領域及び周辺回路領域の金属配線を説明するための断面図である。図１に示したように、セルアレー領域では半導体基板１の上にフィールド酸化膜膜２と、ソースドレイン領域３、５及びワードラインの役割を果たすゲート電極７を含むトランジスターと、ビットライン１１が具備され、その上部にストリッジコンタクトホールを有する層間絶縁膜の第１ＩＬＤ（Ｉｎｔｅｒｌａｙｅｒ　ｄｉｅｌｅｃｔｒｉｃ）　層１３及び第

２ＩＬＤ層１５が順次に積層されている。前記ストリッジコンタクトホールにはタングステンプラグ１７が埋め込まれ、前記タングステンプラグ１７の上には下部電極１９、強誘電体膜２１、及び上部電極２３が順次に形成されて強誘電体キャパシタが具備される。前記強誘電体キャパシタの側面及び上部には拡散防止膜２４が具備される。前記キャパシタの上部にはヴァイアホールを具備する層間絶縁膜である第１ＩＭＤ（Ｉｎｔｅｒｍｅｔａｌ　ｄｉｅｌｅｃｔｒｉｃ）　層２７及び第２ＩＭＤ層２９が積層されている。前記ヴァイアホールには第２金属配線３１が連結される。一方、前記強誘電体キャパシタの上部にはＴｉ層２５がオーム層から形成される。かつ、このオーム層の上部にはＴｉＮ膜３３がバリヤー膜として介される。従って、キャパシタの上部電極と第２金属配線との間にはＴｉ／ＴｉＮ層が介される。

【０００５】

図１に示したように、セルアレー領域と隣接する周辺回路領域ではフィールド酸化膜２が形成されている半導体基板１の上にゲート電極７、９及びビットライン１１が形成され、その上部にコンタクトホールを具備する第１ＩＬＤ層１３、第２ＩＬＤ層１５、及び第１ＩＭＤ層２７が順次に形成される。前記コンタクトホールには第１金属配線３５が形成される。図１から前記周辺回路領域のコンタクトホールの段差が非常に高いことが分かる。このコンタクトホールの段差は約１．５μｍ程度なので、このくらいに段差が大きくなればコンタクトホールに金属を埋め立てる工程でコンタクトホールの内にボイドが形成される問題が発生する。前記第１金属配線３５の上部にはヴァイアホールを具備する第２ＩＭＤ層２９が形成され、このヴァイアホールに第２金属配線３１が埋め込まれながら第１金属配線３５の所定部分に連結される。この際、金属と金属とのコンタクト抵抗を良くするためにオーム層であるＴｉ層２５が介在される。かつ、バリヤー膜であるＴｉＮ膜３３が介在される。

【０００６】

図１から分かるように、第１金属配線３５と第２ＩＭＤ層２９を形成した後、セルアレー領域と周辺回路領域で各々ヴァイアホールを形成する。この際、ヴァイアホールが形成される部位はセルアレー領域ではキャパシタの上部電極２３の上部であり、周辺回路領域では第１金属配線３５の上部である。このヴァイアホールにはアルミニウムからなる第２金属配線３１が蒸着される。前記第２金属配線３１をヴァイアホールに蒸着するとき、まずオーム層のＴｉ層２５とバリヤー膜のＴｉＮ膜３３をヴァイアホールの底部に蒸着する。従って、ヴァイアホールの底部はＴｉ／ＴｉＮ／Ａｌの積層構造を有するようになる。

【０００７】

しかしながら、前述のようにヴァイアホールの底部にＴｉ層を蒸着する場合、キャパシタの形成後の後続熱工程で強誘電体キャパシタの残留分極特性が劣化される問題点がある。これはＴｉ蒸着後の高温パッシベーション（ｐａｓｓｉｖａｔｉｏｎ）　工程または第２金属配線の高温熱処理工程でＴｉが白金を通して広がり強誘電体膜のペロブスカイト構造に欠陥を起こすからだと知られている。

【０００８】

前記Ｔｉによる問題点を解決するため、第２金属配線を形成する工程でＴｉ／ＴｉＮ膜を全然用いずアルミニウムだけを用いる方法が提案されたことがある。ところが、この方法によれば、アルミニウムが後続の高温熱処理工程で白金電極と反応しながらやはり強誘電体キャパシタの分極特性を劣化させる問題を発生させる。

【０００９】

一方、前記Ｔｉによる強誘電体キャパシタの分極特性の問題を解決するためにオーム層のＴｉ層を用いずバリヤー膜のＴｉＮ膜とアルミニウムだけを用いる方法が提案されたことがある。ところが、この方法によれば、強誘電体キャパシタの分極特性が劣化される問題は解決されるが、周辺回路領域側でヴァイアコンタクト抵抗の失敗が発生する問題がある。

【００１０】

結局、現在の金属配線方法によれば、セルアレー領域の強誘電体キャパシタの分極特性の

維持と周辺回路領域のコンタクト抵抗の確保を同時に達成し難い限界がある。

【００１１】

【発明が解決しようとする課題】

本発明は前記の問題点を解決するために案出されたものであり、セルアレー領域の強誘電体キャパシタの分極特性を損なわず周辺回路領域におけるコンタクト抵抗を良くする半導体装置の金属配線構造の製造方法を提供するにその目的がある。

【００１２】

【課題を解決するための手段】

前記目的を達成するために、本発明は強誘電体キャパシタの下部電極物質層自体を周辺回路領域でローカルインターコネクション(local interconnection)として用いる半導体装置の金属配線構造の製造方法を提供する。

本発明の製造方法は、セルアレー領域と周辺回路領域とに分けられた半導体基板上にタングステンよりなるコンタクトプラグを具備した第１層間絶縁層を形成する段階と、前記第１層間絶縁層の上部に第１金属層、強誘電体物質層、及び上部電極物質層を順次に積層する段階と、前記上部電極物質層と前記強誘電体物質層を写真蝕刻して前記セルアレー領域の前記タングステンコンタクトプラグの上部に上部電極と強誘電体膜を形成し、前記周辺回路領域では前記上部電極物質層と強誘電体物質層を取り除く段階と、前記第１金属層をパタニングして前記セルアレー領域に強誘電体キャパシタの下部電極を形成し、前記周辺回路領域に第１金属配線を形成する段階と、前記セルアレー領域でキャパシタの上部電極を露出させ、前記周辺回路領域で前記第１金属配線を露出させるように形成されたヴァイアホールを具備する第２層間絶縁層を形成する段階と、前記ヴァイアホールに第２金属配線を形成する段階とを含む。

【００１３】

前記第１金属配線はキャパシタの下部電極物質である白金族元素からなりローカルインターコネクションとして作用する。前記第２金属配線はアルミニウムからなる。

【００１４】

本発明の製造方法は、セルアレー領域と周辺回路領域とに分けられた半導体基板上にコンタクトプラグを具備した第１層間絶縁層を形成する段階と、前記第１層間絶縁層の上部に白金族元素よりなる第１金属層、強誘電体物質層、及び上部電極物質層を順次に積層する段階と、前記上部電極物質層と前記強誘電体物質層を写真蝕刻して前記セルアレー領域の前記コンタクトプラグの上部に上部電極と強誘電体膜を形成し、前記周辺回路領域では前記上部電極物質層と強誘電体物質層を取り除く段階と、前記第１金属層をパタニングして前記セルアレー領域に強誘電体キャパシタの下部電極を形成し、前記周辺回路領域に白金族元素よりなる第１金属配線を形成する段階と、前記セルアレー領域でキャパシタの上部電極を露出させ、前記周辺回路領域で前記第１金属配線を露出させるように形成されたヴァイアホールを具備する第２層間絶縁層を形成する段階と、前記ヴァイアホールの底部にバリヤー膜を形成する段階と、前記バリヤー膜を含んだヴァイアホールにアルミニウムよりなる第２金属配線を形成する段階とを含む。

【００１５】

以上、前述したような本発明の製造方法によれば、工程が単純化され容易になるだけでなく強誘電体キャパシタの分極特性の劣化が抑制される。

具体的には、周辺回路領域の第１層間絶縁層に具備されるコンタクトホールの段差が低くなるため、前記コンタクトホールを埋め立てる工程が容易になる。また、第２金属配線が各々白金からできた強誘電体キャパシタの上部電極及び第１金属配線と連結することで、コンタクト抵抗を確保することが容易になる。これと関連して、本発明の製造方法では前記ヴァイアホールに第２金属配線を蒸着するとき、オーム層のＴｉ層を用いなくても良いので、Ｔｉの拡散に起因するキャパシタの分極特性の劣化が発生しない。

【００１６】

【発明の実施の形態】

【００１７】

以下、添付した図面に基づき本発明を更に詳細に説明する。
図２乃至図５は本発明による半導体装置の金属配線構造の製造工程を示した断面図である。
図２を参照すれば、半導体基板１０１のセルアレー領域の上にストリッジコンタクトホールを具備した第１層間絶縁層１０３及び蝕刻阻止膜１０５が順次に積層される。前記ストリッジコンタクトホールにはタングステン、ポリシリコーン等の導電物質が埋め込まれながらコンタクトプラグ１０７を形成する。
【００１８】
この際、半導体基板１０１の周辺回路領域の上にはゲート２０５及びビットライン２０７が形成される。次に、第１層間絶縁層１０３が形成される。前記第１層間絶縁層１０３には半導体基板１０１、ゲート２０５及びビットライン２０７を各々露出させるコンタクトホールがセルアレー領域のストレジコンタクトホールと同時に形成される。このコンタクトホールに前記半導体基板１０１、ゲート２０５及びビットライン２０７を電気的に連結させるコンタクトプラグ２１１ａ、２１１ｂ、２１１ｃがセルアレー領域のコンタクトプラグ１０７と同時に形成される。前記コンタクトプラグ２１１ａ、２１１ｂ、２１１ｃはタングステンの蒸着とその後続のＣＭＰ（Ｃｈｅｍｉｃａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ）　またはエッチバック工程を通して形成される。エッチバックまたはＣＭＰは蝕刻阻止膜１０５の表面が露出されるまで行われる。
【００１９】
前記セルアレー領域及び周辺回路領域の結果物の上部には第１金属層１０９、強誘電体物質層１１１、及び上部電極物質層１１３が順次に積層される。前記第１金属層１０９はセルアレー領域ではキャパシタの下部電極としてパタニングされ、周辺回路領域ではローカルインターコネクションとして形成される。
前記第１金属層１０９及び上部電極物質層１１３は耐酸化性のある白金族元素からなる。前記強誘電体物質層１１１はＢＳＴやＰＺＴのようなペロブスカイト結晶構造を有する物質からなる。
【００２０】
図３を参照すれば、前記上部電極物質層１１３と強誘電体物質層１１１を写真蝕刻して、セルアレー領域ではコンタクトプラグ１０７の上部に上部電極１１３’と強誘電体膜１１１’を形成し、周辺回路領域では前記上部電極物質層１１３と強誘電体物質層１１１を取り除く。
図４を参照すれば、前記第１金属層１０９をパタニングしてセルアレー領域ではキャパシタの下部電極１０９ａを形成し、周辺回路領域ではローカルインターコネクションになる第１金属配線１０９ｂを形成する。
【００２１】
図４に示したように、本発明のローカルインターコネクション、すなわち第１金属配線１０９ｂは第１層間絶縁層１０３の上部に形成される。前記第１層間絶縁層１０３の高さは従来の技術における第２ＩＬＤ層（図１の１５）の高さに対応する。従来の技術によれば、第１金属配線（図１の３５）が前記第２ＩＬＤ層より高い位置の第１ＩＭＤ層（図１の２７）の上部に形成される。従って、本発明のローカルインターコネクション、すなわち第１金属配線１０９ｂは従来の技術の場合より低い位置で形成され、前記第１金属配線１０９ｂを半導体基板のアクティブコンタクトに連結させるコンタクトホールは従来のものに比べて段差が減ったことが分かる。
【００２２】
かつ、前記第１金属配線１０９ｂは強誘電体キャパシタの下部電極用の第１金属層１０９をパタニングすることにより得られるので、その構成物質が白金族であることが分かる。従って、従来のアルミニウムを用いた金属配線方法とは異なり、オーム層のＴｉ層を用いなくてもコンタクト抵抗が増大しない。
図５を参照すれば、前記セルアレー領域及び周辺回路領域の結果物の上部に第２層間絶縁層１１５を形成する。この際、第２金属配線１１９を連結するために、セルアレー領域で

はキャパシタの上部にヴァイアホールを形成し、周辺回路領域では前記第１金属配線１０９ｂの上部にヴァイアホールを形成する。

【００２３】

前記第２金属配線１１９を連結するために、まずヴァイアホールの底部にＴｉＮ膜のようなバリヤー膜１１７を形成した後、その上部にアルミニウムからなる第２金属配線１１９を形成する。すなわち、第２金属配線の形成時にヴァイアホールの底部にバリヤー膜だけを形成し、オーム層のＴｉ層を形成しない。従って、セルアレー領域の強誘電体キャパシタにＴｉの拡散に起因する分極特性の劣化が発生しない。かつ、第１金属配線１０９ｂが白金族元素からなるため、周辺回路領域の第１金属配線１０９ｂと第２金属配線１１９との接触において、アルミニウム同士の接触時に発生するようなコンタクト抵抗の増大が発生しない。

【００２４】

以上、添付した図面に基づき本発明の実施例を詳細に説明したが、本発明は前記実施例に限らない。

例えば、前記強誘電体キャパシタをTa_2O_5のような高誘電物質を具備した高誘電キャパシタに置換することは当業者において明らかな事実である。前記高誘電物質を採用する場合、誘電体物質層と上部電極物質層を形成する段階の前に、前記図２の第１金属層をパタニングしてセルアレー領域と周辺回路領域で各々下部電極とローカルインターコネクションを形成する。この際、上部電極はセルアレー領域全体にかけて形成され得る。

【００２５】

【発明の効果】

以上、本発明の半導体装置の金属配線構造の製造方法によれば、強誘電体キャパシタの下部電極用の物質を金属配線の役割を果たすローカルインターコネクションとして活用することにより、金属配線の工程時にセルアレー領域及び周辺回路領域で発生する問題を同時に解決する。具体的には、周辺回路部のコンタクト抵抗の失敗、セルアレー領域における強誘電体キャパシタの分極特性の劣化等の問題を同時に解決する。

【００２６】

かつ、本発明は前記実施例に限られず、当分野において通常の知識を有する者により多くの変形が可能であることは明らかである。

【図面の簡単な説明】

【図１】従来の強誘電体キャパシタを具備した半導体装置の金属配線構造を示した断面図である。

【図２】本発明による強誘電体キャパシタを具備した半導体装置の金属配線構造の製造工程を示した断面図である。

【図３】本発明による強誘電体キャパシタを具備した半導体装置の金属配線構造の製造工程を示した断面図である。

【図４】本発明による強誘電体キャパシタを具備した半導体装置の金属配線構造の製造工程を示した断面図である。

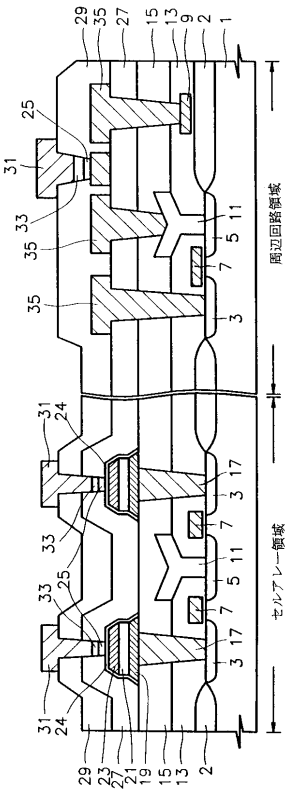
【図５】本発明による強誘電体キャパシタを具備した半導体装置の金属配線構造の製造工程を示した断面図である。

【符号の説明】

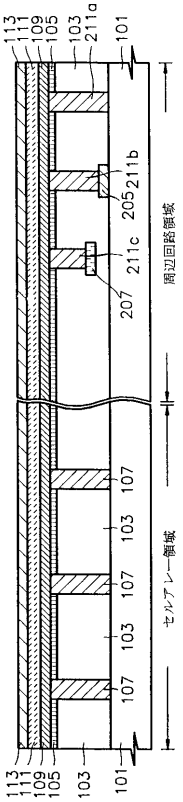
１０１　　半導体基板
１０３　　第１層間絶縁層
１０５　　蝕刻阻止膜
１０７　　コンタクトプラグ
１０９　　第１金属層
１１１　　強誘電体物質層
１１３　　上部電極物質層
１１５　　第２層間絶縁層
１１７　　バリヤー膜

１１９　　第２金属配線
２０５　　ゲート
２０７　　ビットライン
２１１ａ、２１１ｂ、２１１ｃ　　コンタクトプラグ

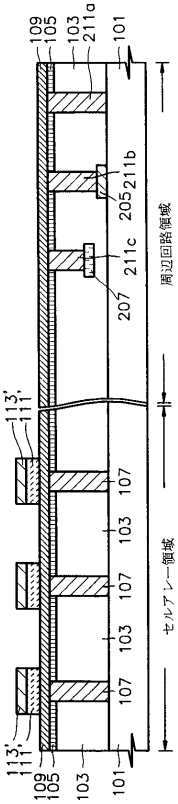
【図１】



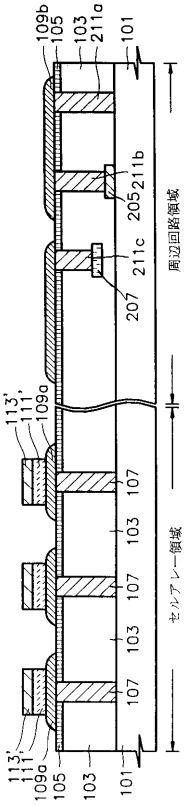
【図２】



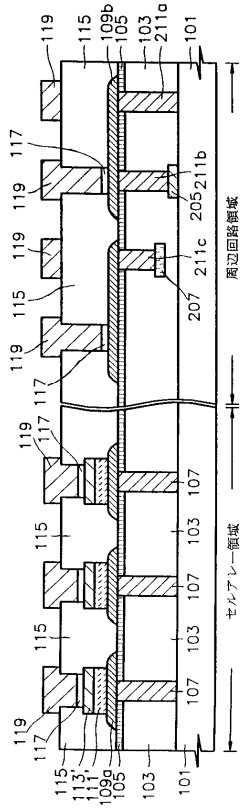
【図３】



【図４】



【図５】



フロントページの続き

(51)Int.Cl.[7] F I
H01L 29/788
H01L 29/792

(72)発明者 李 相▲旻▼
大韓民国ソウル特別市江南区新沙洞５２４－２８番地

合議体
審判長 松本 邦夫
審判官 恩田 春香
審判官 橋本 武

(56)参考文献 特開平７－１４２５９７（ＪＰ，Ａ）
特開平４－３４２１６６（ＪＰ，Ａ）
特開平８－３３０５３８（ＪＰ，Ａ）
実開平８－３１６３１４（ＪＰ，Ｕ）
実開平５－９０６０６（ＪＰ，Ｕ）
国際公開第９６／１０８４５（WO，Ａ１）