

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成23年3月10日(2011.3.10)

【公表番号】特表2010-529759(P2010-529759A)

【公表日】平成22年8月26日(2010.8.26)

【年通号数】公開・登録公報2010-034

【出願番号】特願2010-510622(P2010-510622)

【国際特許分類】

H 03K 19/0175 (2006.01)

【F I】

H 03K 19/00 101Q

H 03K 19/00 101S

【手続補正書】

【提出日】平成23年1月20日(2011.1.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

結合型駆動及び終端回路であって：

可変インピーダンス・プルアップ回路網；

可変インピーダンス・プルダウン回路網；

前記プルアップ回路網の構成を設定する少なくとも1つの制御入力；

前記プルダウン回路網の構成を設定する少なくとも1つの制御入力；

前記可変インピーダンス・プルアップ回路網がプルアップ回路網終端インピーダンスを有するよう構成され；前記可変インピーダンス・プルダウン回路網がプルダウン回路網終端インピーダンスを有するよう構成され；該プルアップ回路網及び該プルダウン回路網は共同して分割終端として動作する終端動作モードを有する回路；

ハイ出力を駆動するために、前記プルアップ回路網がオンに切り替えられたとき特定のインピーダンスを生成するよう構成され；ロー出力を駆動するために、前記プルダウン回路網がオンに切り替えられたとき特定のインピーダンスを生成するよう構成される；駆動モードを有する回路；

を有し、

前記プルアップ回路網及び前記プルダウン回路網のそれぞれは、同一のインピーダンスを提供するよう大きさの定められた複数のトランジスタを有し、

前記プルアップ回路網及び前記プルダウン回路網のそれぞれは、オンに切り替えられたトランジスタの数を徐々に変化させることにより、所望のインピーダンスを有するよう構成される、

ことを特徴とする回路。

【請求項2】

コア・ロジック；

対応するI/Oパッドをそれぞれ有する複数のI/O(入力/出力)；

I/O毎に、対応する請求項1に記載の結合型駆動及び終端回路；

を有し、

該結合型駆動及び終端回路は、前記コア・ロジックからの出力を生成し、前記コア・ロジックへの外部入力を終端するよう動作する、

ことを特徴とするコア・ロジック。

【請求項 3】

前記プルアップ及びプルダウン回路網は、駆動モードと終端モードとの間で転換するときに、2つのインピーダンス設定の間で動的に切り替えられる、

ことを特徴とする請求項2記載の装置。

【請求項 4】

I / O 毎に、AND - OR - ANDロジックを有し、ハイへの駆動を示す第1の入力とローへの駆動を示す第2の入力と終端を示す第3の入力とを受信し、相応して2つのインピーダンス設定の間で切り替えるプリドライバ・ロジック；

を更に有する請求項2、3の何れか一項記載の装置。

【請求項 5】

基準インピーダンスに対して前記インピーダンスを較正する較正ロジック；

と結合する請求項1記載の回路。

【請求項 6】

コア・ロジック；

対応する入力パッドをそれぞれ有する複数の入力；

対応する出力パッドをそれぞれ有する複数の出力；

恒久的に終端モードになるようにされた、入力パッド毎の対応する請求項1、5の何れか一項記載の結合型駆動及び終端回路；

恒久的に駆動モードになるようにされた、出力パッド毎の対応する請求項1記載の結合型駆動及び終端回路；

を有する装置。

【請求項 7】

請求項1、5の何れか一項記載の結合型駆動及び終端回路；

前記結合型駆動及び終端回路が駆動モード又は終端モードであるかに応じて前記制御入力を生成する制御部；

を有する装置。

【請求項 8】

前記プルアップ回路網は、並列に共に結合された複数のトランジスタを有し；

前記プルアップ回路網の可変インピーダンスは、前記複数のトランジスタのうちの特定の数を選択的にオンに切り替えることにより制御され；

前記プルダウン回路網は、並列に共に結合された複数のトランジスタを有し；

前記プルダウン回路網の可変インピーダンスは、前記複数のトランジスタのうちの特定の数を選択的にオンに切り替えることにより制御される；

ことを特徴とする請求項1、5の何れか一項記載の結合型駆動及び終端回路。

【請求項 9】

請求項1、5、8の何れか一項記載の結合型駆動及び終端回路；

較正の実行で用いられる前記結合型駆動及び終端回路の少なくとも一部の複製；

を有する装置。

【請求項 10】

(1) データ出力が論理ハイのとき、駆動モードのためにプルアップ回路網を較正する段階；

(2) データ出力が論理ローのとき、駆動モードのためにプルダウン回路網を較正する段階；

(3) 終端モードのためにプルアップ回路網を較正する段階；

(4) 終端モードのためにプルダウン回路網を較正する段階；

の4段階で実行される較正を制御する制御部；

を更に有する請求項9記載の装置。

【請求項 11】

前記プルアップ回路網は複数のp型MOSFETトランジスタを有し、

前記プルダウン回路網は複数の n 型 M O S F E T トランジスタを有し、
当該装置は、

(1) n 型素子の出力インピーダンスを較正し、データ出力が論理ローのとき、駆動モードのために何個の前記 n 型トランジスタがイネーブルされるべきかを決定する段階；

(2) p 型素子の出力インピーダンスを較正し、データ出力が論理ハイのとき、駆動モードのために何個の前記 p 型トランジスタがイネーブルされるべきかを決定する段階；

(3) n 型素子の終端を較正し、終端モードのために何個の前記 n 型トランジスタがイネーブルされるべきかを決定する段階；

(4) p 型素子の終端を較正し、終端モードのために何個の前記 p 型トランジスタがイネーブルされるべきかを決定する段階；

の 4 段階で実行される較正を制御する制御部；を更に有する請求項 9 記載の装置。

【請求項 1 2】

前記プルアップ回路網及び前記プルダウン回路網は、全体が n 型トランジスタ又は p 型トランジスタでそれぞれ形成され、

当該装置は：

(1) データ出力が論理ハイのとき、駆動モードのためにプルアップ回路網を較正する段階；

(2) 終端モードのためにプルアップ回路網を較正する段階；

の 2 段階で実行される較正を制御する制御部；

を更に有する請求項 9 記載の装置。

【請求項 1 3】

前記オンに切り替えられたトランジスタの数は、温度計コードを用いて徐々に変化される、

ことを特徴とする請求項 1 記載の装置。

【請求項 1 4】

前記温度計コードに変換されるオンに切り替えられたトランジスタの数を、グレイコードを用いて符号化する；

ことを特徴とする請求項 1 3 記載の装置。

【請求項 1 5】

結合型駆動及び終端を提供する方法であつて：

終端動作モードで、可変インピーダンス・プルアップ回路網をプルアップ回路網終端インピーダンスを有するよう構成し、可変インピーダンス・プルダウン回路網をプルダウン回路網終端インピーダンスを有するよう構成し、該プルアップ回路網及び該プルダウン回路網は分割終端として共同して動作し、該プルアップ回路網及び該プルダウン回路網のそれぞれは同一のインピーダンスを提供するよう大きさの定められた複数のトランジスタを有し、該プルアップ回路網及び該プルダウン回路網のそれぞれはオンに切り替えられたトランジスタの数を徐々に変化させることにより、所望のインピーダンスを有するよう構成される段階；

駆動動作モードで、ハイ出力を駆動するために、前記プルアップ回路網を第 1 の駆動インピーダンスを生成するよう構成する段階；

前記駆動動作モードで、ロー出力を駆動するために、前記プルダウン回路網を第 2 の駆動インピーダンスを生成するよう構成する段階；

を有する方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 9

【補正方法】変更

【補正の内容】

【0 0 0 9】

【特許文献 1】米国特許第 5,107,230 号明細書
【特許文献 2】米国特許第 5,134,311 号明細書
【特許文献 3】米国特許第 5,194,765 号明細書
【特許文献 4】米国特許第 5,457,407 号明細書
【特許文献 5】米国特許第 5,666,078 号明細書
【特許文献 6】米国特許第 5,955,894 号明細書
【特許文献 7】米国特許第 6,021,071 号明細書
【特許文献 8】米国特許第 6,049,221 号明細書
【特許文献 9】米国特許第 6,060,907 号明細書
【特許文献 10】米国特許第 6,087,847 号明細書
【特許文献 11】米国特許第 6,118,310 号明細書
【特許文献 12】米国特許第 6,166,563 号明細書
【特許文献 13】米国特許第 6,255,874 号明細書
【特許文献 14】米国特許第 6,275,062 号明細書
【特許文献 15】米国特許第 6,307,424 号明細書
【特許文献 16】米国特許第 6,326,802 号明細書
【特許文献 17】米国特許第 6,501,293 号明細書
【特許文献 18】米国特許第 6,509,757 号明細書
【特許文献 19】米国特許第 6,864,704 号明細書
【特許文献 20】米国特許第 6,885,959 号明細書
【特許文献 21】米国特許第 6,894,529 号明細書
【特許文献 22】米国特許第 7,119,549 号明細書
【特許文献 23】米国特許第 7,135,884 号明細書
【特許文献 24】米国特許第 7,417,452 号明細書
【特許文献 25】米国特許出願第 2004-0183565 A1 号明細書
【特許文献 26】米国特許出願第 2005-0226080 A1 号明細書
【特許文献 27】米国特許出願第 2006-0226868 A1 号明細書
【特許文献 28】米国特許出願第 2006-0255830 A1 号明細書
【特許文献 29】米国特許出願第 2007-0057691 A1 号明細書
【特許文献 30】米国特許出願第 2007-0126466 A1 号明細書
【特許文献 31】米国特許出願第 2007-0126467 A1 号明細書
【非特許文献 1】Jedec Standard, DDR2 SDRAM Specification, JESD79-2E (Revision of JESD79-2D), Apr. 2008, J edec Solid State Technology Association
【非特許文献 2】Jedec Standard, Stub Series Terminated Logic for 1.8V (SSTL_18), JESD8-15A, Addendum 15 to JESD8 Series (Revision of JESD8-15), Sep. 2003, J edec Solid State Technology Association
【非特許文献 3】EIA/Jedec Standard, Stub Series Terminated Logic for 3.3 Volts (SSTL_3), EIA/JESD8-8, Aug. 1996, Electronic Industries Association, Engineering Department
【非特許文献 4】Jedec Standard, DDR2 SDRAM Specification, JESD79-2B (Revision of JESD79-2A), Jan. 2005, J edec Solid State Technology Association
【非特許文献 5】Jedec Standard, Stub Series Terminated Logic for 2.5V (SSTL_2), JESD8-9B (Re

vision of JESD8-9A), May 2002, JeDEC Solid State Technology Association
【非特許文献6】Supplementary European Search Report, European Patent Application No. 08757205.3, Jul. 16, 2010