

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 23 年 3 月 10 日 (2011.3.10)

【公表番号】特表 2010-529759 (P2010-529759A)
 【公表日】平成 22 年 8 月 26 日 (2010.8.26)
 【年通号数】公開・登録公報 2010-034
 【出願番号】特願 2010-510622 (P2010-510622)
 【国際特許分類】

H 0 3 K 19/0175 (2006.01)

【F I】

H 0 3 K 19/00 1 0 1 Q

H 0 3 K 19/00 1 0 1 S

【手続補正書】

【提出日】平成 23 年 1 月 20 日 (2011.1.20)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

結合型駆動及び終端回路であって：

可変インピーダンス・プルアップ回路網；

可変インピーダンス・プルダウン回路網；

前記プルアップ回路網の構成を設定する少なくとも 1 つの制御入力；

前記プルダウン回路網の構成を設定する少なくとも 1 つの制御入力；

前記可変インピーダンス・プルアップ回路網がプルアップ回路網終端インピーダンスを有するよう構成され；前記可変インピーダンス・プルダウン回路網がプルダウン回路網終端インピーダンスを有するよう構成され；該プルアップ回路網及び該プルダウン回路網は共同して分割終端として動作する終端動作モードを有する回路；

ハイ出力を駆動するために、前記プルアップ回路網がオンに切り替えられたとき特定のインピーダンスを生成するよう構成され；ロー出力を駆動するために、前記プルダウン回路網がオンに切り替えられたとき特定のインピーダンスを生成するよう構成される；駆動モードを有する回路；

を有し、

前記プルアップ回路網及び前記プルダウン回路網のそれぞれは、同一のインピーダンスを提供するよう大きさの定められた複数のトランジスタを有し、

前記プルアップ回路網及び前記プルダウン回路網のそれぞれは、オンに切り替えられたトランジスタの数を徐々に変化させることにより、所望のインピーダンスを有するよう構成される、

ことを特徴とする回路。

【請求項 2】

コア・ロジック；

対応する I / O パッドをそれぞれ有する複数の I / O (入力 / 出力)；

I / O 毎に、対応する請求項 1 に記載の結合型駆動及び終端回路；

を有し、

該結合型駆動及び終端回路は、前記コア・ロジックからの出力を生成し、前記コア・ロジックへの外部入力を終端するよう動作する、

ことを特徴とするコア・ロジック。

【請求項 3】

前記プルアップ及びプルダウン回路網は、駆動モードと終端モードとの間で転換するときに、2つのインピーダンス設定の間で動的に切り替えられる、
ことを特徴とする請求項 2 記載の装置。

【請求項 4】

I/O 毎に、AND - OR - AND ロジックを有し、ハイへの駆動を示す第 1 の入力とローへの駆動を示す第 2 の入力と終端を示す第 3 の入力とを受信し、相応して 2 つのインピーダンス設定の間で切り替えるプリドライバ・ロジック；
を更に有する請求項 2、3 の何れか一項記載の装置。

【請求項 5】

基準インピーダンスに対して前記インピーダンスを校正する校正ロジック；
と結合する請求項 1 記載の回路。

【請求項 6】

コア・ロジック；
対応する入力パッドをそれぞれ有する複数の入力；
対応する出力パッドをそれぞれ有する複数の出力；
恒久的に終端モードになるようにされた、入力パッド毎の対応する請求項 1、5 の何れか一項記載の結合型駆動及び終端回路；
恒久的に駆動モードになるようにされた、出力パッド毎の対応する請求項 1 記載の結合型駆動及び終端回路；
を有する装置。

【請求項 7】

請求項 1、5 の何れか一項記載の結合型駆動及び終端回路；
前記結合型駆動及び終端回路が駆動モード又は終端モードであるかに応じて前記制御入力を生成する制御部；
を有する装置。

【請求項 8】

前記プルアップ回路網は、並列に共に結合された複数のトランジスタを有し；
前記プルアップ回路網の可変インピーダンスは、前記複数のトランジスタのうちの特定の数を選択的にオンに切り替えることにより制御され；
前記プルダウン回路網は、並列に共に結合された複数のトランジスタを有し；
前記プルダウン回路網の可変インピーダンスは、前記複数のトランジスタのうちの特定の数を選択的にオンに切り替えることにより制御される；
ことを特徴とする請求項 1、5 の何れか一項記載の結合型駆動及び終端回路。

【請求項 9】

請求項 1、5、8 の何れか一項記載の結合型駆動及び終端回路；
校正の実行で用いられる前記結合型駆動及び終端回路の少なくとも一部の複製；
を有する装置。

【請求項 10】

(1) データ出力が論理ハイのとき、駆動モードのためにプルアップ回路網を校正する段階；
(2) データ出力が論理ローのとき、駆動モードのためにプルダウン回路網を校正する段階；
(3) 終端モードのためにプルアップ回路網を校正する段階；
(4) 終端モードのためにプルダウン回路網を校正する段階；
の 4 段階で実行される校正を制御する制御部；
を更に有する請求項 9 記載の装置。

【請求項 11】

前記プルアップ回路網は複数の p 型 MOSFET トランジスタを有し、

前記プルダウン回路網は複数の n 型 MOSFET トランジスタを有し、
当該装置は、

- (1) n 型素子の出力インピーダンスを校正し、データ出力が論理ローのとき、駆動モードのために何個の前記 n 型トランジスタがイネーブルされるべきかを決定する段階；
- (2) p 型素子の出力インピーダンスを校正し、データ出力が論理ハイのとき、駆動モードのために何個の前記 p 型トランジスタがイネーブルされるべきかを決定する段階；
- (3) n 型素子の終端を校正し、終端モードのために何個の前記 n 型トランジスタがイネーブルされるべきかを決定する段階；
- (4) p 型素子の終端を校正し、終端モードのために何個の前記 p 型トランジスタがイネーブルされるべきかを決定する段階；

の 4 段階で実行される校正を制御する制御部；を更に有する請求項 9 記載の装置。

【請求項 12】

前記プルアップ回路網及び前記プルダウン回路網は、全体が n 型トランジスタ又は p 型トランジスタでそれぞれ形成され、

当該装置は：

(1) データ出力が論理ハイのとき、駆動モードのためにプルアップ回路網を校正する段階；

(2) 終端モードのためにプルアップ回路網を校正する段階；

の 2 段階で実行される校正を制御する制御部；

を更に有する請求項 9 記載の装置。

【請求項 13】

前記オンに切り替えられたトランジスタの数は、温度計コードを用いて徐々に変化される、

ことを特徴とする請求項 1 記載の装置。

【請求項 14】

前記温度計コードに変換されるオンに切り替えられたトランジスタの数を、グレイコードを用いて符号化する；

ことを特徴とする請求項 13 記載の装置。

【請求項 15】

結合型駆動及び終端を提供する方法であって：

終端動作モードで、可変インピーダンス・プルアップ回路網をプルアップ回路網終端インピーダンスを有するよう構成し、可変インピーダンス・プルダウン回路網をプルダウン回路網終端インピーダンスを有するよう構成し、該プルアップ回路網及び該プルダウン回路網は分割終端として共同して動作し、該プルアップ回路網及び該プルダウン回路網のそれぞれは同一のインピーダンスを提供するよう大きさの定められた複数のトランジスタを有し、該プルアップ回路網及び該プルダウン回路網のそれぞれはオンに切り替えられたトランジスタの数を徐々に変化させることにより、所望のインピーダンスを有するよう構成される段階；

駆動動作モードで、ハイ出力を駆動するために、前記プルアップ回路網を第 1 の駆動インピーダンスを生成するよう構成する段階；

前記駆動動作モードで、ロー出力を駆動するために、前記プルダウン回路網を第 2 の駆動インピーダンスを生成するよう構成する段階；

を有する方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

- 【特許文献1】米国特許第5,107,230号明細書
- 【特許文献2】米国特許第5,134,311号明細書
- 【特許文献3】米国特許第5,194,765号明細書
- 【特許文献4】米国特許第5,457,407号明細書
- 【特許文献5】米国特許第5,666,078号明細書
- 【特許文献6】米国特許第5,955,894号明細書
- 【特許文献7】米国特許第6,021,071号明細書
- 【特許文献8】米国特許第6,049,221号明細書
- 【特許文献9】米国特許第6,060,907号明細書
- 【特許文献10】米国特許第6,087,847号明細書
- 【特許文献11】米国特許第6,118,310号明細書
- 【特許文献12】米国特許第6,166,563号明細書
- 【特許文献13】米国特許第6,255,874号明細書
- 【特許文献14】米国特許第6,275,062号明細書
- 【特許文献15】米国特許第6,307,424号明細書
- 【特許文献16】米国特許第6,326,802号明細書
- 【特許文献17】米国特許第6,501,293号明細書
- 【特許文献18】米国特許第6,509,757号明細書
- 【特許文献19】米国特許第6,864,704号明細書
- 【特許文献20】米国特許第6,885,959号明細書
- 【特許文献21】米国特許第6,894,529号明細書
- 【特許文献22】米国特許第7,119,549号明細書
- 【特許文献23】米国特許第7,135,884号明細書
- 【特許文献24】米国特許第7,417,452号明細書
- 【特許文献25】米国特許出願第2004-0183565A1号明細書
- 【特許文献26】米国特許出願第2005-0226080A1号明細書
- 【特許文献27】米国特許出願第2006-0226868A1号明細書
- 【特許文献28】米国特許出願第2006-0255830A1号明細書
- 【特許文献29】米国特許出願第2007-0057691A1号明細書
- 【特許文献30】米国特許出願第2007-0126466A1号明細書
- 【特許文献31】米国特許出願第2007-0126467A1号明細書
- 【非特許文献1】Jedec Standard, DDR2 SDRAM Specification, JESD79-2E (Revision of JESD79-2D), Apr. 2008, Jedec Solid State Technology Association
- 【非特許文献2】Jedec Standard, Stub Series Terminated Logic for 1.8V (SSTL__18), JESD8-15A, Addendum 15 to JESD8 Series (Revision of JESD8-15), Sep. 2003, Jedec Solid State Technology Association
- 【非特許文献3】EIA/Jedec Standard, Stub Series Terminated Logic for 3.3 Volts (SSTL__3), EIA/JESD8-8, Aug. 1996, Electronic Industries Association, Engineering Department
- 【非特許文献4】Jedec Standard, DDR2 SDRAM Specification, JESD79-2B (Revision of JESD79-2A), Jan. 2005, Jedec Solid State Technology Association
- 【非特許文献5】Jedec Standard, Stab Series Terminated Logic for 2.5V (SSTL__2), JESD8-9B (Re

vision of JESD8 - 9A), May 2002, Jedec Solid
State Technology Association

【非特許文献6】Supplementary European Search Re
port, European Patent Application No. 0875
7205.3, Jul. 16, 2010