



(12) 发明专利

(10) 授权公告号 CN 107690631 B

(45) 授权公告日 2021. 03. 30

(21) 申请号 201680033126.6

(22) 申请日 2016.05.06

(65) 同一申请的已公布的文献号
申请公布号 CN 107690631 A

(43) 申请公布日 2018.02.13

(30) 优先权数据
1510597.6 2015.06.16 GB

(85) PCT国际申请进入国家阶段日
2017.12.06

(86) PCT国际申请的申请数据
PCT/GB2016/051310 2016.05.06

(87) PCT国际申请的公布数据
W02016/203193 EN 2016.12.22

(73) 专利权人 北欧半导体公司
地址 挪威特隆赫姆

(72) 发明人 琼·欧莱·鲁斯汀

(74) 专利代理机构 北京清亦华知识产权代理事
务所(普通合伙) 11201
代理人 宋融冰

(51) Int.Cl.
G06F 13/24 (2006.01)

(56) 对比文件
JP H07105022 A, 1995.04.21
CN 1694069 A, 2005.11.09
US 2011097003 A1, 2011.04.28
US 2011289242 A1, 2011.11.24
CN 103959268 A, 2014.07.30

审查员 庞双德

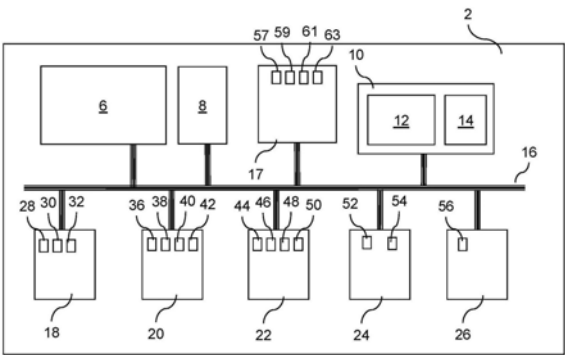
权利要求书3页 说明书10页 附图5页

(54) 发明名称

事件生成单元

(57) 摘要

微控制器(2)具有处理器(6)、外围设备(18, 20, 22, 24, 26)、可编程外围互连(PPI)(10)、事件生成单元(EGU)(17)和存储器(8)。外围设备对来自PPI的任务信号做出响应。EGU通过发送事件的信号通知至PPI来响应事件生成寄存器(57, 59)的内容的预定改变。所存储的PPI映射可以将EGU事件映射到外围设备中的一者的任务。从一个EGU事件到两个或更多个外围设备任务的映射使得PPI通过在最大时间限制内发送相应的任务信号来响应来自EGU的事件信号。存储器中的软件包括将这种映射存储在映射存储器中并对事件生成寄存器的内容做出预定改变的指令。在另一方面,中断生成单元(17)被布置成响应于接收来自PPI(10)的任务信号而向处理器(6)发送中断。



1. 一种微控制器,包括:

处理器;

多个外围设备;

可编程外围互连;

事件生成单元;以及

存储软件的存储器,

其中:

所述事件生成单元包括由所述处理器可寻址的事件生成寄存器;

所述事件生成单元连接到所述可编程外围互连;以及

所述事件生成单元被配置成检测所述事件生成寄存器的内容的预定改变,并且响应于检测这种预定改变,发送事件的信号通知至所述可编程外围互连;

每个所述外围设备连接到所述可编程外围互连;

每个所述外围设备被配置成通过执行相应的任务来响应来自所述可编程外围互连的任务信号;

所述可编程外围互连被配置成访问可以存储多个映射的映射存储器,每个映射将所述事件生成单元的事件映射到所述外围设备中的一者的任务;

所述可编程外围互连被配置使得,当从所述事件生成单元的事件到所述外围设备中的一者的任务的映射被存储在所述映射存储器中时,所述可编程外围互连将通过向所述外围设备发送任务信号来响应来自所述事件生成单元的事件的信号;

所述可编程外围互连被配置使得,当所述映射存储器存储从所述事件生成单元的一个事件到两个或更多个不同任务的映射时,所述可编程外围互连将在距接收所述事件的信号的预定最大时间内发送两个或更多个相应的任务信号;

所述软件包括由处理器可执行的指令,以(i)在所述映射存储器中存储从所述事件生成单元的一个事件到至少两个不同的外围设备任务的映射,以及(ii)对所述事件生成寄存器的内容做出所述预定改变;以及

所述事件生成单元不具有计时机制;

所述事件生成单元不具有除时钟输入、一个或更多个寄存器以及零个或更多个任务线之外的输入;

所述事件生成单元不具有除至所述可编程外围互连的一个或更多个事件线、至所述处理器的零个或更多个中断线以及零个或多个输出寄存器之外的输出。

2. 根据权利要求1所述的微控制器,其中,所述预定最大时间为10微秒或更短。

3. 根据权利要求1或2所述的微控制器,其中,所述可编程外围互连被布置成同时发送所述两个或更多个相应的任务信号。

4. 根据权利要求3所述的微控制器,其中,对于所有可能的映射,在所述可编程外围互连接收事件的信号和发送被映射到所述事件的两个或更多个任务信号之间存在恒定的时间延迟。

5. 根据权利要求1或2所述的微控制器,包括一个或更多个事件生成外围设备,其被配置成发送事件的信号通知至所述可编程外围互连,其中,所述可编程外围互连被布置使得,当在第一外围设备的事件和第二外围设备的任务之间的映射被存储在所述映射存储器中

时,所述可编程外围互连将通过向所述第二外围设备发送任务信号来提供信道,以响应于来自所述第一外围设备的事件的信号。

6.根据权利要求1或2所述的微控制器,其中,所述事件生成单元被布置为发送多个不同事件的信号通知。

7.根据权利要求6所述的微控制器,其中,所述事件生成单元具有由所述处理器可寻址的多个事件生成寄存器,其中,每个事件生成寄存器与不同的相应事件相关联。

8.根据权利要求1或2所述的微控制器,其中,所述事件生成单元能够从所述可编程外围互连接接收任务信号。

9.根据权利要求1或2所述的微控制器,其中,所述可编程外围互连通过用于每个事件和任务的各个线连接到所述外围设备和所述事件生成单元。

10.根据权利要求1或2所述的微控制器,其中,所述事件生成单元包括与所述事件生成单元的事件相关联的由所述处理器可寻址的至少一个事件寄存器。

11.根据权利要求10所述的微控制器,其中,所述事件寄存器与所述事件生成寄存器分开,并且其中,所述事件生成单元被配置使得,所述事件生成寄存器的内容的预定改变将致使所述事件寄存器的内容的预定改变。

12.根据权利要求1或2所述的微控制器,其中,所述事件生成单元包括多个事件生成寄存器和多个事件寄存器,其中,每个事件生成寄存器与所述事件寄存器中的相应一者相关联,使得所述事件生成寄存器中的一者的改变致使所述事件寄存器的相关联的一者的改变。

13.根据权利要求10所述的微控制器,其中,所述事件生成寄存器为所述事件寄存器。

14.根据权利要求1或2所述的微控制器,包括用于在发送事件的信号通知时向所述处理器发送中断的电路系统。

15.根据权利要求1或2所述的微控制器,包括多个事件生成单元,每个事件生成单元通过一组中断线连接到所述处理器,每组中断线具有不同的相应中断优先级。

16.一种微控制器,包括:

处理器;

多个外围设备;

可编程外围互连;以及

中断生成单元,

其中:

所述外围设备中的事件生成外围设备被配置成发送事件的信号通知至所述可编程外围互连;

所述中断生成单元被布置成响应于从所述可编程外围互连接接收任务信号而向所述处理器发送中断;

所述可编程外围互连被配置成访问映射存储器,其中在(i)第一外围设备的事件和(ii)中断生成单元的任务之间的映射可以存储在所述存储器中;以及

所述可编程外围互连被配置使得,当所述事件生成外围设备的事件和所述中断生成单元的任务之间的映射被存储在映射存储器中时,所述可编程外围互连将通过向所述中断生成单元发送所述任务的任务信号来响应来自所述事件生成外围设备的事件的信号,以使得

所述中断生成单元向所述处理器发送中断。

17. 根据权利要求16所述的微控制器, 其中, 所述中断生成单元也为事件生成单元, 所述事件生成单元被布置成检测事件生成寄存器的内容的预定改变, 并且响应于检测这种预定改变, 发送事件的信号通知至所述可编程外围互连。

18. 根据权利要求16或17所述的微控制器, 其中, 所述中断生成单元被布置成在距接收所述任务信号的预定最大时间内发送所述中断。

19. 根据权利要求16或17所述的微控制器, 其中, 所述中断生成单元被布置成在接收所述任务信号之后以恒定的时间延迟发送所述中断。

20. 根据权利要求16或17所述的微控制器, 包括多个中断生成单元, 每个中断生成单元通过一组中断线连接到所述处理器, 每组中断线具有不同的相应中断优先级。

21. 根据权利要求16或17所述的微控制器, 包括存储软件的存储器, 所述软件包括由所述处理器可执行的指令, 以将从所述事件生成外围设备的事件到所述中断生成单元的任务的映射存储在所述映射存储器中。

22. 根据权利要求16或17所述的微控制器, 其中所述中断生成单元不包含计时机制, 且不具有除时钟输入、一个或更多个寄存器以及零个或更多个任务线之外的输入。

事件生成单元

技术领域

[0001] 本发明涉及微控制器。

背景技术

[0002] 微控制器往往用于重视计时的应用中,如在无线电装置中。存在有些情况重视的是涉及一个或更多个外围设备的两个任务基本上同时由微控制器上的处理器启动。例如,装置可以需要通过串行接口启动通信并且同时精确地启动计时器。这通常通过命令处理器启动第一个任务,然后立即命令它启动另一个任务来完成。然而,即使这些使用相邻的软件指令进行,处理器仍然可能在触发第一个任务之后而在触发第二个任务之前接收中断。这可能引起不期望的行为。

[0003] 通过在关键时间屏蔽某些中断,或通过对不同的中断设定不同的优先级,可以在一定程度上缓解此问题。然而,这两种方法都不是完美的,它们也为软件带来了额外的复杂性。

发明内容

[0004] 本发明提供一种替代方法。

[0005] 从第一方面,本发明提供一种微控制器,包括:

[0006] 处理器;

[0007] 多个外围设备;

[0008] 可编程外围互连;

[0009] 事件生成单元;以及

[0010] 存储软件的存储器,

[0011] 其中:

[0012] 事件生成单元包括由处理器可寻址的事件生成寄存器;

[0013] 事件生成单元连接到可编程外围互连;以及

[0014] 事件生成单元被配置成检测事件生成寄存器的内容的预定变化,并且响应于检测这种预定变化,发送事件的信号通知(signal an event)至可编程外围互连;

[0015] 每个外围设备连接到可编程外围互连;

[0016] 每个外围设备被配置成通过执行相应的任务来响应来自可编程外围互连的任务信号;

[0017] 所述可编程外围互连被配置成访问可以存储多个映射的映射存储器,每个映射将所述事件生成单元的事件映射到所述外围设备中的一者的任务;

[0018] 可编程外围互连被配置使得,当从事件生成单元的事件到所述外围设备中的一者的任务的映射被存储在映射存储器中时,可编程外围互连将通过向所述外围设备发送任务信号来响应来自所述事件生成单元的事件的信号;

[0019] 可编程外围互连被配置使得,当映射存储器存储从事件生成单元的一个事件到两

个或更多个不同任务的映射时,所述可编程外围互连将在距接收事件的信号的预定最大时间内发送两个或更多个相应的任务信号;以及

[0020] 软件包括由处理器可执行的指令,以 (i) 在映射存储器中存储从事件生成单元的一个事件到至少两个不同的外围设备任务的映射,以及 (ii) 对事件生成寄存器的内容做出所述预定改变。

[0021] 因此,根据本发明,本领域技术人员应会看到,软件在被执行时使得两个或更多个外围设备任务被原子地 (atomically) 触发并且在预定的最大时间帧内。由于仅使用单处理器写指令来启动外围设备任务,所以不存在两个任务的触发被处理器中断所中断的风险。

[0022] 预定的最大时间可具有任何值,但优选为10微秒或更小;更优选为1微秒或以下;并且最优选为0.1微秒或以下。该时间是优选地足够地低的,以至于两个或更多个任务出于实际目的可以被视为同时触发。预定的最大时间可小于100个处理器时钟周期;更优选地,其可小于10或5个时钟周期。在一些实施例中,其可以小于一个处理器时钟周期。对于所有映射,预定的最大时间优选为恒定的。优选地,可编程外围互连被布置成同时发送两个或更多个相应的任务信号 (例如,在提供给可编程外围互连的或提供给处理器的时钟信号的一个周期内)。在此情况下,对于所有可能的映射,在可编程外围接口接收事件的信号和发送被映射到所述事件的两个或更多个任务信号之间存在优选的恒定时间延迟。

[0023] 可编程外围互连为已知的-例如本申请人的W0 2013/088121中所述。在一些优选实施例中,可编程外围互连与W0 2013/088121中描述的可编程外围互连在本质上相同,尽管这不是必需的,但是将其全部内容并入本文作为参考。

[0024] 可编程外围互连优选地还支持外围设备到外围设备信道的编程。在一些实施例中,微控制器还包括事件生成的一个或更多个外围设备,其被配置成发送事件的信号通知至可编程外围互连 (PPI)。可编程外围互连优选地被布置使得在第一外围设备的事件和第二外围设备的任务之间的映射可以被存储,并且使得当在第一外围设备的事件和第二外围设备的任务之间的映射被存储在存储器中时,所述互连将通过向第二外围设备发送任务信号来提供信道,以响应于来自第一外围设备的事件的信号。以此方式,可编程外围互连可以以与事件生成外围设备进行交互相同的方式与事件生成单元方便地进行交互。在一些实施例中,事件生成单元可被视为事件生成外围设备的类型。

[0025] 外围设备不限于任何特定类型,并且可包括外围设备如:计时器、UART、电压比较器、加密引擎、模数转换器 (ADC)、数模转换器 (DAC)、无线电发射器、无线电接收器等。如本领域技术人员所熟悉的,响应于任何输入、状态改变、标准满足等可以从外围设备发送事件的信号通知,例如当计时器达到目标值时。任务可以是由外围设备执行的任何功能或操作,如通过接口发送数据。

[0026] 事件生成单元可被布置成仅发送单个类型的事件的信号通知,但是其优选地能够发送多个不同事件的信号通知。这些事件可通过不同的相应事件线来发送信号通知,或使用不同的相应事件寄存器。事件生成单元可具有由处理器可寻址的多个事件生成寄存器。每个事件生成寄存器可与不同的相应事件相关联。优选地,可在所存储的映射中唯一地识别不同的事件,例如,通过使用作为标识符的事件生成寄存器的地址,或者通过使用一些其它预定的标识符集合。

[0027] 应理解,与常规外围设备不同,其事件表示外围设备中的状态的某种改变 (例如,

某种操作的完成), 来自事件生成单元的事件没有固有的意义, 而是改为由产生它的处理器 (或其它部件) 通过写入事件生成寄存器的方式来给出意义。

[0028] PPI可通过用于每个事件和任务的相应线连接到外围设备和/或事件生成单元, 所述事件和任务可以通过每个事件和任务的相应线发送; 即每个事件或任务有一个线。所述信号可为脉冲或编码值。输入线可连接到PPI内的一个或更多个复用器; 例如每个信道有一个复用器。输出线可离开PPI内的一个或更多个解复用器; 例如每个信道有一个解复用器。PPI可被配置成根据存储在存储器中的映射来设定或控制信道的复用器和解复用器。

[0029] 在一些实施例中, PPI可通过总线, 例如通过使用存储器映射输入/输出 (MMIO) 的地址总线访问外围设备和/或事件生成单元的任务寄存器或事件寄存器或两者。因此, PPI可通过相关联的事件寄存器的内容的改变来接收事件信号和/或通过改变相关联的任务寄存器的内容来发送任务信号。PPI可连接到也连接至处理器的总线 (例如可包括地址总线、数据总线和控制总线的系统总线)。相同的总线可将外围设备和/或事件生成单元连接到处理器。PPI可通过以间隔读取事件寄存器来检测事件寄存器的内容的改变; 例如定期轮询 (regular polling); 或通过接收来自事件生成外围设备或事件生成单元的中断。在接收中断时, PPI随后可读取对应事件寄存器的内容。

[0030] 事件寄存器或任务寄存器可包含单一位 (single bit) (即用于发送标志或二进制信号的信号通知), 或它可包括多个位, 例如, 8、16或32位。

[0031] 事件生成单元可通过事件信号线发送事件的信号通知至可编程外围互连 (PPI)。另选地, 它可通过对寄存器的改变来发送事件的信号通知, 在此情况下, PPI可被配置成以间隔轮询寄存器以检测该改变。该寄存器可为事件生成寄存器本身, 也可为事件生成单元的单事件寄存器。

[0032] 在一些实施例中, 映射中的任务的标识为与任务相关联的任务寄存器的地址, 如W02013/088121中所述。然而, 这并不是必需的, 并且任务接收外围设备的任务的识别例如可包括 (i) 外围设备标识符和 (ii) 任务标识符或信号线标识符, 其无关于任何关联任务寄存器 (其可能存在或不存在于外围设备上) 的地址。

[0033] 任务接收外围设备可包括与任务相关联的由处理器可寻址的任务寄存器, 并且被配置成响应于任务寄存器的内容的改变来执行该任务。然后, 第一外围设备的事件和第二外围设备的任务之间的映射可包括 (i) 第一外围设备的事件的识别, 以及 (ii) 与该任务相关联的任务寄存器的地址。PPI可被配置使得, 当在第一外围设备的事件和第二外围设备的任务之间的映射被存储在存储器中时, 所述互连将通过向第二外围设备发送任务信号来提供信道, 以响应于来自第一外围设备的事件的信号。

[0034] 事件生成外围设备可包括与事件相关联的由处理器可寻址的事件寄存器。虽然事件寄存器可在集成电路上紧邻与外围设备相关联的逻辑定位, 但这并不是必需的, 并且它可位于距外围设备的其它元件的一定距离的位置; 对于任务寄存器也是如此。寄存器可包括任何合适的存储器结构。当发送事件的信号通知时, 外围设备可以改变事件寄存器的内容; 例如, 无论何时它发送事件的信号通知, 通过写入二进制“1”至事件寄存器。

[0035] 在一些实施例中, 映射中第一外围设备的事件的识别为与所述事件相关联的事件寄存器的地址。以此方式, 可通过在存储器中存储两个寄存器地址来简单地配置信道: 事件寄存器地址和任务寄存器地址。在处理器上运行的软件可经由函数调用或可将地址直接写

入存储映射的存储器来执行此操作。然而,这不是必需的,并且第一外围设备的事件的识别可以包括外围设备标识符和事件或信号线标识符,其与可能存在或不存在的任何相关联的事件寄存器的地址无关。

[0036] 事件生成单元优选地包括与事件生成单元的事件相关联的由处理器可寻址的至少一个事件寄存器。在一些实施例中,事件生成寄存器为事件寄存器。在其它实施例中,事件寄存器与事件生成寄存器是分开的(即具有不同的地址)。该单元可被配置使得,事件生成寄存器的预定改变可致使事件寄存器的预定改变。在一些实施例中,事件生成寄存器可为事件生成单元的任务寄存器。事件生成单元可包括多个事件生成寄存器和多个事件寄存器。每个事件生成寄存器可与事件寄存器中的相应一者相关联,使得事件生成寄存器中的一者的改变致使事件寄存器中相关联的一个的改变。

[0037] 事件生成单元可包括将两个或更多个事件生成寄存器与一个事件相关联的逻辑,例如,在发送特定事件的信号通知之前,需要在两个不同的事件生成寄存器中可能以预定顺序的预定的改变。换句话说,事件生成单元可包括在当或仅当满足与两个或更多个事件生成寄存器有关的标准时用于发送事件信号的逻辑。这种逻辑可为固定的(即硬连线的),或者它可为可编程的。

[0038] 在一些实施例中,事件生成单元能够从可编程外围互连(例如通过任务线或通过改变事件生成寄存器的内容的方式)接收任务信号,并且通过向可编程外围互连发送事件的信号通知来响应。如下面更详细地描述的,如果事件生成单元也被配置成在发送事件的信号通知时向处理器发送中断,这可能是有用的。

[0039] 可以以与识别事件生成外围设备的事件相同的方式在映射中识别事件生成单元的事件例如,通过相关联的事件寄存器的地址或通过事件特有的其它标识符。

[0040] PPI为可编程的,在这个意义上说,它可被编程或配置成使用一个或更多个映射来定义外围设备之间的连接。虽然PPI可这样做,但是所述PPI不一定自身包括用于执行软件指令的处理单元。

[0041] 映射存储器中的映射可采取任何合适的形式。在一些实施例中,可将事件寄存器的地址和任务寄存器的地址或这些寄存器的指针(pointer)存储为阵列、表或数据库中的相关条目。例如,PPI可维护具有多个行和两个列的表,每行对应于不同的信道,第一列用于识别事件寄存器,以及第二列用于识别任务寄存器。应理解,这种阵列或表可以为逻辑结构,并且不一定限于存储器中数据的任何特定物理位置。PPI可包括用于存储任务寄存器地址的第一组寄存器和用于存储事件寄存器地址的第二组寄存器。每组中可有相同数量的寄存器。第一组中的寄存器可控制复用器,所述复用器连接到由第二组中的对应寄存器控制的解复用器,由此定义信道。

[0042] 存储器可与PPI分开,例如,在硅的单独区域中或在不同的芯片上,但是优选地为PPI的集成部件,这可减少访问时间。存储器可为易失性的(例如RAM)或非易失性(例如EEPROM或闪存)。所述映射优选被存储在优选由处理器可寻址的一个或更多个寄存器中。由PPI提供的每个信道可具有一个相关联的事件端点寄存器和一个相关联的任务端点寄存器,其可分别适用于存储事件寄存器的地址和任务寄存器的地址。一些信道可使用这些寄存器来存储其它类型的事件和/或任务标识符。

[0043] 所述映射或多个映射可由PPI或处理器或两者写入存储器。处理器可通过命令PPI

存储适当的映射来间接建立外围设备之间的信道。

[0044] PPI优选包括或可以访问一个或更多个查找表,所述查找表可以用于从映射中查找寄存器地址,以便确定与该寄存器地址对应的特定事件线或任务线(或事件端口或任务端口)。然后,它可选择所述线或端口作为信道的输入或输出(例如通过适当地控制复用器或解复用器)。查找表可采取任何合适的形式,并且不必一定被实现为存储器中的物理表。

[0045] PPI可支持任何数量的信道;例如1、8、16、32或更多。信道可以是在PPI的事件输入端口或线与来自PPI的任务输出端口或线之间的任何物理的(例如电气的)或逻辑的连接。信道可将一个或更多个输入连接到一个或更多个输出(例如,使用逻辑门来定义沿信道路径的分支或分叉)。

[0046] PPI优选包括用于允许信道被启用和/或禁用的机制。PPI可包括位字段寄存器,所述位字段寄存器具有与每个信道相关联的一个位并且被配置使得,如果信道的在位字段寄存器中的相关联的位被设定为预定值(例如,二进制1),则启用该信道。

[0047] 事件生成外围设备可具有多于一个事件寄存器。类似地,任务接收外围设备可具有多于一个任务寄存器。

[0048] 如已经说明的,PPI可配置成通过潜在向不同的任务接收外围设备发送两个或更多个任务信号来对一个事件信号做出响应。在一些实施例中,这可通过在映射存储器中存储多个映射关系来实现,每个映射关系将所述事件(例如,由事件寄存器地址识别)映射到不同的相应任务(例如,由相应的任务寄存器地址识别)。在其它实施例中,可通过存储将一个事件直接映射到两个或更多个任务的单个映射关系来实现所述映射关系;例如通过存储在映射存储器中的表包括三个或更多个列,一个列用于事件,以及两个或更多个列用于相应的任务。

[0049] 事件生成单元优选地不具有除至PPI的一个或更多个事件线、至处理器的零个或多个中断线以及零个或多个寄存器之外的输出。它优选地不具有除时钟输入、一个或更多个寄存器和零个或多个任务线之外的输入。事件生成单元通常比常规外围设备简单得多。根据其部件的数量或门(gate)的数量,所述事件生成单元优选地小于微控制器上的任何其它外围设备。它优选地没有计时机制(与计时器外围设备不同)。它优选地没有除了零个或多个事件寄存器、任务寄存器和配置寄存器(不同于串行接口或数模转换器,例如,其具有用于接收和发送任意数据至其它部件或装置的连接)之外的数据输入机制。

[0050] 事件生成单元可包括用于在发送事件的信号通知时向处理器发送中断的电路系统。所述中断可以是可屏蔽中断或不可屏蔽中断。其可具有输入,用于当发送特定事件的信号通知时启用和/或禁用向处理器发送中断。事件生成单元可包括一个或更多个配置寄存器,其用于配置事件生成单元,以在其检测事件生成寄存器的内容的改变时向处理器发送中断。所述单元可包括用于分别配置可屏蔽和不可屏蔽中断的单独配置寄存器。

[0051] 当事件生成单元包括用于从可编程外围接口接收任务信号的输入时,向处理器发送中断的能力特别有用。这接着允许对可编程外围接口进行编程,使得外围设备上的事件可以致使事件生成单元向处理器发送中断。这对于如果外围设备不能发送中断本身,或者如果外围设备仅被分配有限数量的中断(例如,一个中断),意味着来自外围设备的所有中断必需在有限数量的中断服务例程(例如,一个中断服务程序)中处理的情况非常有用。反之,通过使用PPI和事件生成单元向处理器发送中断,所述外围设备可以有效地增加可能致

使向处理器发送的不同中断的数量(例如具有不同的中断数目)。这样可以简化中断服务例程的编程。对于支持不同优先级中断的处理器,还可以启用外围设备以多个不同的中断级别中断处理器,其可大于外围设备在不使用事件生成单元的情况下可访问的中断级别数量。

[0052] 例如,外围设备可具有称为“NEWVALUE(新值)”的一个事件,其每100us发生,以及称为“ERROR(错误)”的另一事件,其仅当出现问题时才会发出信号。然而,外围设备可能只有至处理器的一条中断线,因此不能以较高的优先级中断“ERROR(错误)”事件。然而,通过在外围设备和事件生成单元之间配置PPI信道,使得来自外围设备的“ERROR(错误)”事件的信号将致使PPI激活事件生成单元上的任务线,并且通过设定事件生成单元在其通过该任务线接收信号时向处理器发送高优先级中断,可以向外围设备提供以高优先级向处理器发送“ERROR(错误)”中断的能力。这可以使处理器能够快速响应“ERROR(错误)”事件。

[0053] 在一些实施例中,微控制器可包括多个事件生成单元,每个事件生成单元通过一组中断线连接到处理器,每组中断线具有不同的相应中断优先级。另选地,一个事件生成单元可具有可用于发送第一优先级的中断的一个或更多个任务(或事件),以及可用于发送第二优先级的中断的一个或更多个其它任务(或事件)。任务(或事件)与中断优先级之间的关联可以是固定的或者可以是可配置的(例如,根据事件生成单元上的一个或更多个寄存器值)。

[0054] 使用连接到可编程外围互连以生成处理器中断的单元的想法本质上是新颖和发明性的,因此从进一步的方面,本发明提供一种微控制器,包括:

[0055] 处理器;

[0056] 多个外围设备;

[0057] 可编程外围互连;以及

[0058] 中断生成单元,

[0059] 其中:

[0060] 外围设备中的事件生成一者被配置成向可编程外围互连发送事件的信号通知;

[0061] 中断生成单元被布置成响应于从可编程外围互连接收任务信号而向处理器发送中断;

[0062] 可编程外围互连被配置成访问存储器,其中在(i)第一外围设备的事件和(ii)中断生成单元或第二外围设备的任务之间的映射可以存储在该存储器中;以及

[0063] 可编程外围互连被配置使得,当第一外围设备的事件和中断生成单元的任务之间的映射被存储在存储器中时,可编程外围互连将通过向中断生成单元发送任务的任务信号来响应来自第一外围设备的事件的信号。

[0064] 任何前述方面和实施例的任何特征也可以是该方面的特征。具体地,中断生成单元可为事件生成单元。因此,可布置成检测事件生成寄存器的内容的预定改变,并且响应于检测这种预定改变,向可编程外围互连发送事件的信号通知。它可为如前所述的事件生成单元。中断生成单元可具有本文所述的事件生成单元的任何特征。可编程外围互连(PPI)可具有先前所述的PPI的任何特征。

[0065] 中断生成单元可通过任务线连接到可编程外围互连,并且可通过任务线发送任务信号。另选地,它可写入由可编程外围互连监测的任务寄存器。

[0066] 事件生成外围设备可被配置成通过事件线向可编程外围互连发送事件的信号通知。另选地,它可写入由可编程外围互连监测的事件寄存器。

[0067] 优选地,中断生成单元被布置成响应于接收任务信号而直接发送中断,优选地在距接收任务信号的预定最大时间内或者以接收任务信号之后的恒定时间延迟。

[0068] 微控制器可包括存储软件的存储器,该软件包括由处理器可执行的指令,以使从事件生成外围设备的事件到中断生成单元的任务的映射存储在映射存储器中。

[0069] 在任何方面中,尽管事件生成寄存器或寄存器被认为是事件生成单元的一部分,但是应理解,这并不限制其在微控制器上的物理位置。事件生成寄存器优选地由处理器可寻址,例如,通过总线。它们可以优选地被处理器写入和/或从处理器读取。每个事件生成寄存器可占用存储器的连续区域,或者其可被拆分跨越多个位置。本文所述的寄存器可仅为单一位长(可能在较大的位字段内),或其可包括多个位(例如,32位字)。

[0070] 微控制器优选包括易失性和/或非易失性存储器,如RAM和/或闪存。存储器的一部分可存储程序代码。

[0071] 处理器可为任何合适的处理器。在一些实施例中,它是来自ARM™的处理器,如来自ARM™的Cortex™系列的处理器。微控制器可包括多个总线,如处理器总线和外围设备总线。事件生成单元优选地连接到一个或更多个总线。

[0072] 微控制器优选地为集成器件,尽管它当然可能需要一些片外(off-chip)部件,如晶体、电容器等以便操作。这些部件可视为微控制器的一部分,或者它们可被视为有别于微控制器。

[0073] 中断或事件生成单元优选为微处理器中有别于处理器的单独硬件模块。中断或事件生成单元可包括布置成提供本文所述功能的模拟和/或数字部件,包括晶体管、电阻器、电容器等。当然,微控制器可具有未通过任务线连接到可编程外围互连或者未通过事件线连接的其它外围设备。

[0074] 在一些实施例中,微控制器包括无线电收发器。其可为片上无线电(radio-on-a-chip)器件。

附图说明

[0075] 本发明的某些优选实施例将仅通过示例的方式结合附图来描述,其中:

[0076] 图1为示出实施本发明的第一系统的部件的示意图。

[0077] 图2为表示存储外围设备寄存器之间的映射的存储器结构的表;

[0078] 图3为在实施本发明的第二系统中连接到PPI的若干外围设备的示意图;

[0079] 图4为与PPI内的特定信道相关的元件的示意图;以及

[0080] 图5为示出事件生成单元的示意图。

具体实施方式

[0081] 图1示出包括中央处理单元(CPU)6、主存储器8和PPI 10的微控制器(MCU)2(例如,集成电路或多芯片模块),其具有逻辑区域12和内部存储器14。CPU 6和PPI 10均连接到总线16。

[0082] 还连接到总线16的是事件生成单元17和五个示例性外围设备:计时器18、数模转

换器(DAC)20、UART22、硬件加密引擎24、电压比较器26。

[0083] 计时器18具有输出事件寄存器28、溢出事件寄存器30和输入任务寄存器32。DAC 20具有两个转换完成事件寄存器36、38和两个触发任务寄存器40、42。UART22具有RX接收事件寄存器44、TX完成事件寄存器46、RX触发任务寄存器48和TX触发任务寄存器50。硬件加密引擎24具有加密完成事件寄存器52和触发任务寄存器54,而电压比较器26具有单个比较器输出事件寄存器56。一些寄存器为单一位寄存器,而其它可以容纳多位值。当然,其它实施例可具有不同的外围设备,并且外围设备可具有任何数量的事件或任务寄存器。

[0084] 事件生成单元17具有第一事件寄存器57、第二事件寄存器59、第一任务寄存器61和第二任务寄存器63。当然,其它实施例可具有不同数量的事件或任务寄存器。在该实施例中,事件生成单元17被布置使得第一任务触发第一事件,并且使得第二任务触发第二事件。在其它实施例中,可存在更复杂的逻辑以映射任务至事件。

[0085] 外围设备18-26和事件生成单元17的寄存器与主存储器8和PPI存储器14共享存储器寻址空间,使得它们可以由PPI逻辑12以及可选地由CPU 6使用存储器映射的I/O被访问。

[0086] 如图所示,总线16可为单一总线,或者其可由两个或更多个分开的总线形成。

[0087] 例如,在使用中,CPU 6可指示PPI 10产生将DAC 20转换完成事件中的一者连接到UART 22触发任务的信道,使得UART22在DAC转换完成之后发送数据。在接收该指令时,PPI 10在容纳在其存储器14中的表中产生新条目,从而链接DAC 20转换完成寄存器36的地址和UART 22触发任务寄存器48的地址。

[0088] 例如,CPU 6也可以指示PPI 10产生将事件生成单元17的第一事件寄存器57连接到UART 22的TX触发任务寄存器50的信道,以及将事件生成单元17的相同第一事件寄存器57连接到计时器18的输入任务寄存器32的另一信道。以此方式,CPU 6可以通过向事件生成单元17的第一任务寄存器61写入“1”位而在与UART 22开始发送的同时开始计时器18。该处理为原子的(atomic),即其不会被CPU 6中断所中断。

[0089] 图2示出了可存储在PPI的存储器14中的示例性逻辑数据结构。其具有多行,每行各包含映射数目、事件寄存器地址和任务寄存器地址。

[0090] PPI逻辑12被配置成周期性地轮询表中列出的每个事件寄存器,以确定寄存器中的值何时改变。当改变被检测时,PPI逻辑12向在表中被映射到特定事件寄存器的所有任务寄存器写入新值(或预定值,如二进制“1”)。

[0091] PPI逻辑12可以可选地被配置成对事件寄存器中的新值执行一些处理,并改为将处理的结果写入一个或更多个任务寄存器。例如,如果事件寄存器包含多位值,则PPI逻辑12可以确定其是否高于先前值,并且根据存储器14中的映射将一个位写入单一位任务寄存器。PPI 10可以被指示关于由CPU 6执行什么处理(如果有的话)。处理类型可作为另一列存储在映射表中。

[0092] 如果CPU 6要停用(deactivate)信道,则可以通过使存储在PPI的存储器14中的表中的相关条目被擦除来直接进行。其不需要直接命令外围设备(当然尽管在一些情况下也可以这样做)。

[0093] 图3至图5涉及其中PPI 10通过用于每个相应事件和任务信号的个别线(individual line)连接到外围设备18-26和事件生成单元17的一组实施例。这可使用如上所述存储器映射的输入/输出的替代方案,或者MCU 2可支持两种通信模式(例如,允许CPU

6经由寄存器与外围设备进行交互,并允许PPI 10经由专用线与外围设备进行交互)来完成。

[0094] 图3示出了连接到PPI (其可以是与上述相同的PPI 10或不同的PPI)的m个外围设备。事件生成单元17可以被视为用于这些目的的一个外围设备。PPI提供n个信道,每个信道均具有关联的事件端点寄存器 (EEP) 和任务端点寄存器 (TEP)。这些寄存器中的每者可以容纳在其中一个外围设备上的寄存器的地址。

[0095] 图4提供了与这些n个信道中的一者相关联的元件的更多细节。每个信道具有一组相似的元件。信道的EEP被连接到事件信号查找表,其交叉参考一组外围设备事件寄存器地址与内部事件线标识符,该标识符与相关于信道的PPI中的复用器 (MUX) 的输入之一相关。PPI被配置成设定MUX以选择与EEP中所包含的地址相关联的输入。

[0096] 类似地,信道的TEP被连接到任务信号查找表,其交叉参考一组外围设备任务寄存器地址与内部任务线标识符,该标识符与相关于信道的PPI中的解复用器 (DEMUX) 的输出之一相关。PPI被配置成设定DEMUX以选择与TEP中所包含的地址相关联的输出。

[0097] 两个外围设备A、B被连接到信道的MUX。其中一个可为事件生成单元。外围设备A可以提供两个事件信号AE0、AE1,每个事件信号有其自身的至MUX的线。外围设备B可以提供单一事件信号BE0,其也具有至MUX的线。类似的线将连接到其它n-1个信道 (未示出) 的复用器。

[0098] 信道的DEMUX被连接到三条输出线,一条线通往外围设备A上的任务输入AT0,以及另两条通往外围设备B上的不同任务输入BT0、BT1。

[0099] 在PPI内,来自MUX的输出通过开关连接到DEMUX的输入。当开关闭合时进行连接,使得来自由MUX选择的外围设备之一的事件信号 (例如,脉冲) 被传送至DEMUX,然后传送至外围设备之一的选定任务输入。开关的状态由寄存器控制,可由CPU (未示出) 被写入。

[0100] 在一些替代布置中,一个信道可具有多个解复用器,每个解复用器连接到信道的MUX的输出。以此方式,单一事件可以是分叉的以便触发多个外围设备任务。

[0101] PPI被布置成在距接收输入事件信道的预定最大时间内发出任务信号。在一些实施例中,该时间延迟对于所有信道是恒定的。不同的或分叉的信道上的信号被并行处理。

[0102] 图5示意性地示出了事件生成单元17的内部。

[0103] 对于特定任务n,事件生成单元17通过输入任务线64连接到PPI 10,任务信号可以沿着该输入任务线64被发送以触发任务n。事件生成单元17还具有与任务n相关联的任务寄存器66,如果在CPU 6上运行的固件将二进制“1”写入任务寄存器66,则寄存器发送信号以触发任务。当PPI通过任务线64发送任务信号时,任务寄存器66的内容也可由事件生成单元17自动更新。来自PPI的任务线64和指示任务寄存器66的状态的输出在逻辑“或 (OR)”门68中结合,并被发送到事件生成单元17的核心70。

[0104] 在直接的实施例中,核心70简单地将一对一映射中的每个任务n与相应事件n连接。在更复杂的实施例中,核心70可包括将一个或多个任务与一个或多个事件相关联的逻辑,例如,在发送“事件1”的信号通知之前,要求以该顺序触发“任务1”和“任务2”两者。

[0105] 核心70可输出事件m的事件信号。这致使相关联的事件寄存器72的内容改变以指示已发出事件的信号通知 (例如,通过将单一位寄存器的内容从二进制“0”改变为二进制“1”)。相同的事件信号也被拆分并通过事件输出线74发送到PPI 10。

[0106] 事件寄存器72的此改变也可以被配置成致使信号通过中断信号线76发送给CPU 6中的中断控制器。该中断信号是否被发送取决于可由CPU 6被写入的中断使能寄存器78的状态。如果二进制“1”已被写入与事件n相对应的位位置,则开关80闭合,并且中断信号将被发送。

[0107] CPU 6可以以多种不同的方式结合PPI 10使用事件生成单元17。

[0108] 例如,CPU 6可以配置PPI 10以响应于从事件生成单元17接收事件n的信号来触发两个或更多个外围设备任务。然后,CPU 6可以将“1”位写入事件生成单元17上的任务寄存器66,其将致使事件生成单元17通过第n个事件信号线74向PPI 10发送事件信号。然后,PPI 10将同时和原子地触发所有任务。

[0109] 在另一示例中,CPU 6可启动第m个中断信号线76,并且可以为PPI 10产生映射,该映射建立从外围设备的事件到事件生成单元17的第m个输入任务线的信道。然后,外围设备可以通过将外围设备连接到PPI 10的适当事件线发送事件的信号通知至PPI 10来致使中断被发送至CPU 6。以此方式,外围设备可能够以与分配给其自身的至CPU 6的中断线的优先级不同的优先级来中断CPU 6。

[0110] 本领域技术人员应理解,通过描述本发明的一个或更多个具体实施例,但不限于这些实施例,本发明已被阐明;在所附权利要求的范围内,许多改变和修改是可能的。

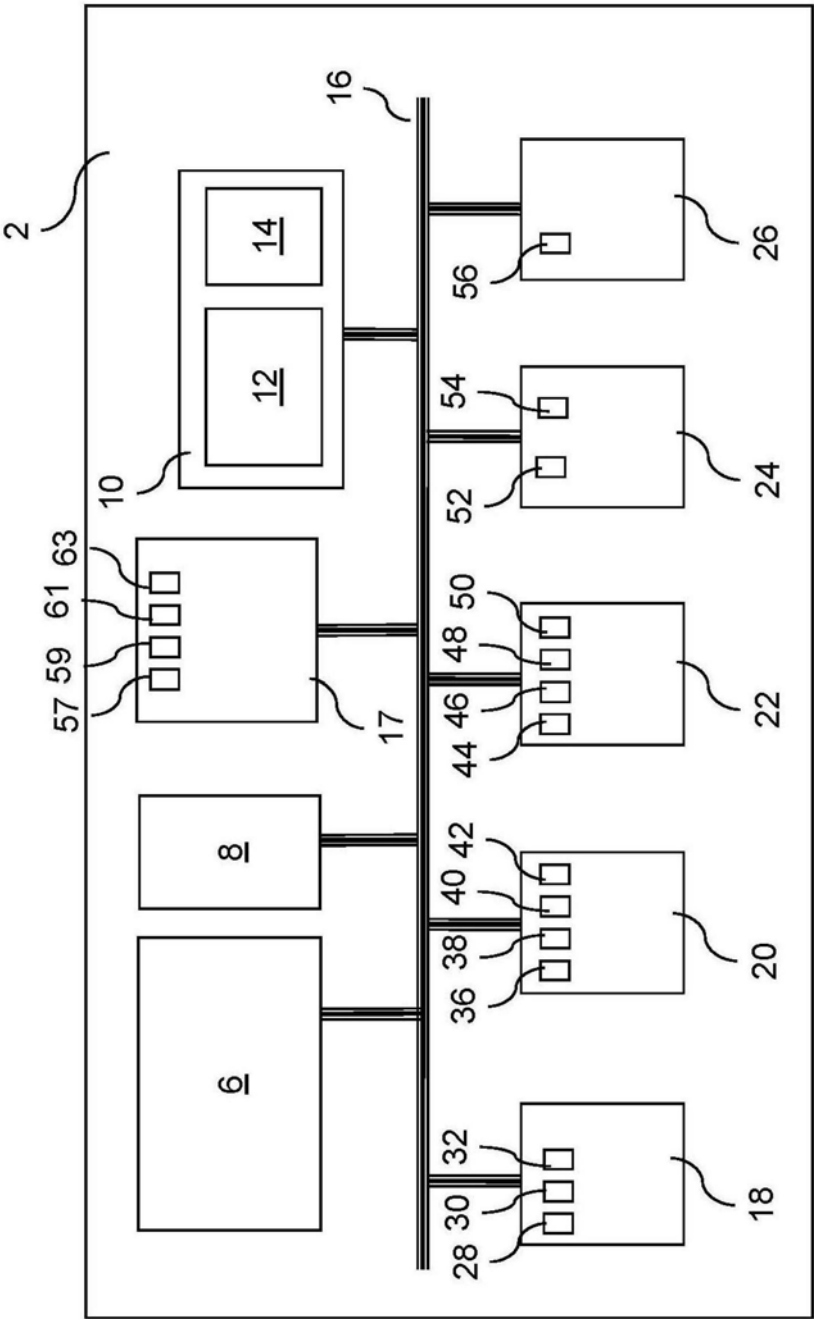


图1

映射 #	事件寄存器	任务寄存器
1	0x100	0x500
2	0x300	0x620
3	...	...
...	...	...

图2

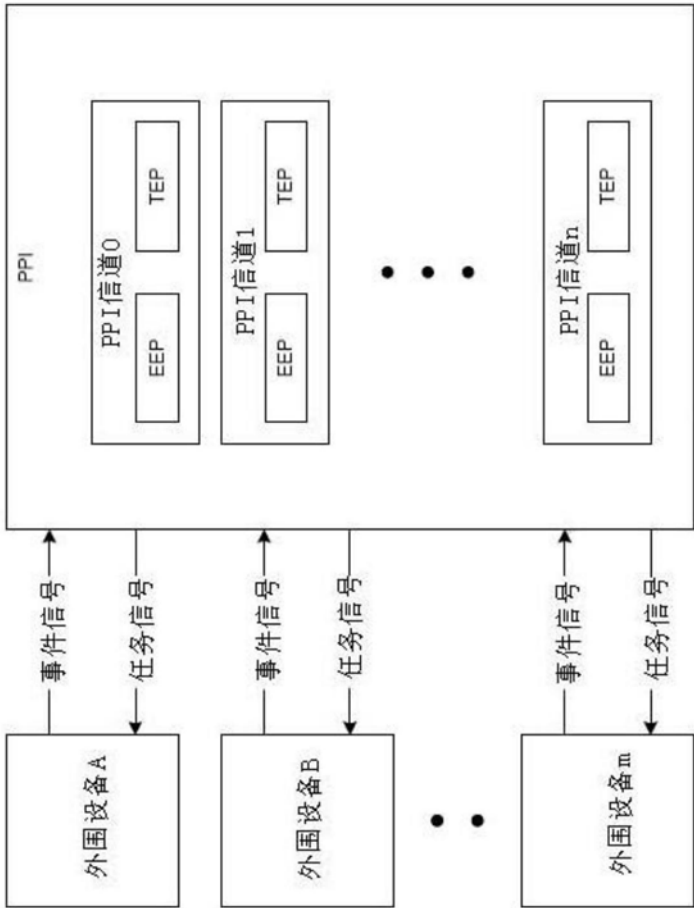


图3

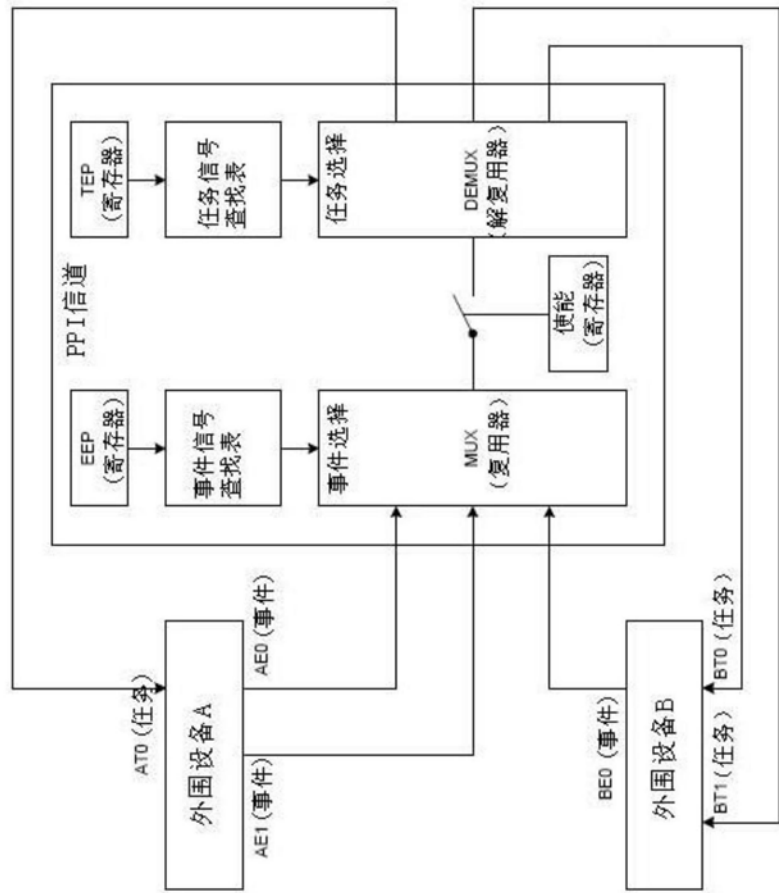


图4

