

19 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
COURBEVOIE

11 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

3 075 445

21 N° d'enregistrement national : 17 62470

51 Int Cl⁸ : G 11 C 11/34 (2018.01)

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 19.12.17.

30 Priorité :

43 Date de mise à la disposition du public de la demande : 21.06.19 Bulletin 19/25.

56 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60 Références à d'autres documents nationaux apparentés :

○ Demande(s) d'extension :

71 Demandeur(s) : COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES Etablissement public — FR.

72 Inventeur(s) : NOEL JEAN-PHILIPPE, BISWAS AVISHEK et GIRAUD BASTIEN.

73 Titulaire(s) : COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES Etablissement public.

74 Mandataire(s) : Thibon Laurent.

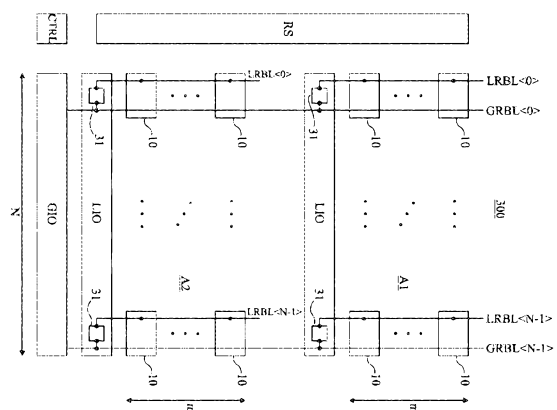
54 CIRCUIT MEMOIRE PARTITIONNE ADAPTE A METTRE EN OEUVRE DES OPERATIONS DE CALCUL.

57 L'invention concerne un circuit mémoire comprenant une pluralité de cellules élémentaires (10) réparties en plusieurs matrices (A1, A2) comprenant chacune M colonnes, avec M entier supérieur ou égal à 2, dans lequel:

chaque colonne de chaque matrice comprend une première ligne de bit locale (LRBL<j>) directement connectée à chacune des cellules de la colonne;

chaque colonne de chaque matrice comprend une première ligne de bit globale (GRBL<j>) reliée à la première ligne de bit locale (LRBL<j>) de la colonne par un premier circuit de liaison (31); et

les premières lignes de bit globales (GRBL<j>) des colonnes de même rang j des différentes matrices (A1, A2), avec j entier allant de 0 à M-1, sont reliées entre elles.



FR 3 075 445 - A1



**CIRCUIT MEMOIRE PARTITIONNE ADAPTE A METTRE EN OEUVRE DES
OPERATIONS DE CALCUL**

Domaine

La présente demande concerne le domaine des circuits mémoire. Elle vise plus particulièrement un circuit mémoire adapté à mettre en oeuvre des opérations de calcul.

5 Exposé de l'art antérieur

Il a déjà été proposé, dans la demande de brevet français N°16/54623 (DD16812/B14843) déposée par le demandeur le 24 mai 2016, un circuit mémoire adapté non seulement à stocker des données, mais aussi à effectuer, in-situ, lors d'accès au contenu
10 de la mémoire, un certain nombre d'opérations logiques et/ou arithmétiques ayant pour opérandes des données stockées dans la mémoire. Ce circuit comprend, comme dans un circuit mémoire classique, une pluralité de cellules élémentaires agencées en matrice selon des rangées et des colonnes, et un circuit de
15 contrôle adapté à mettre en oeuvre des opérations de lecture ou d'écriture de données dans des rangées ou des portions de rangées de la matrice. A la différence d'un circuit mémoire classique dans lequel une seule rangée de la matrice peut être sélectionnée à la fois lors d'une opération de lecture, le circuit de contrôle est
20 adapté à sélectionner simultanément en lecture une pluralité de rangées de la matrice de façon à réaliser une opération logique

ayant pour opérandes les données contenues dans les rangées sélectionnées.

Il serait souhaitable d'améliorer au moins en partie certains aspects d'un tel circuit mémoire.

5 Résumé

Ainsi, un mode de réalisation prévoit un circuit mémoire comprenant une pluralité de cellules élémentaires réparties en plusieurs matrices comprenant chacune M colonnes, avec M entier supérieur ou égal à 2, dans lequel :

10 chaque colonne de chaque matrice comprend une première ligne de bit locale directement connectée à chacune des cellules de la colonne ;

chaque colonne de chaque matrice comprend une première ligne de bit globale reliée à la première ligne de bit locale de la colonne par un premier circuit de liaison, le premier circuit de liaison étant commandable pour :

- isoler la première ligne de bit locale de la colonne de sa première ligne de bit globale,
- transmettre sur la première ligne de bit globale de la colonne un signal binaire présent sur sa première ligne de bit locale, ou
- transmettre sur la première ligne de bit locale de la colonne un signal binaire présent sur sa première ligne de bit globale ; et

25 les premières lignes de bit globales des colonnes de même rang j des différentes matrices, avec j entier allant de 0 à M-1, sont reliées entre elles.

Selon un mode de réalisation, chaque premier circuit de liaison comprend :

30 des premier et deuxième transistors connectés en série entre un noeud d'application d'une tension d'alimentation du circuit et la première ligne de bit globale de la colonne ; et

des troisième et quatrième transistors connectés en série entre la première ligne de bit locale de la colonne et un noeud d'application d'un potentiel de référence du circuit,

35

la grille du deuxième transistor étant connectée à la première ligne de bit locale de la colonne, et la grille du troisième transistor étant connectée à la première ligne de bit globale de la colonne.

5 Selon un mode de réalisation, les matrices font partie d'un même module mémoire, les premières lignes de bit globales des colonnes de même rang j des différentes matrices étant directement connectées entre elles.

10 Selon un mode de réalisation, les matrices font partie de modules mémoire distincts, les premières lignes de bit globales des colonnes de même rang j des différentes matrices étant reliées en série par l'intermédiaire de circuits de liaison supplémentaires.

15 Selon un mode de réalisation, chaque circuit de liaison supplémentaire reliant en série une première ligne de bit globale d'une première colonne de rang j d'un module mémoire à une première ligne de bit globale d'une deuxième colonne de même rang j d'un module mémoire voisin, est commandable pour :

20 -isoler lesdites premières lignes de bit globales l'une de l'autre,

-recopier sur la première ligne de bit globale de la deuxième colonne un signal binaire présent sur la première ligne de bit globale de la première colonne, ou

25 -recopier sur la première ligne de bit globale de la première colonne un signal binaire présent sur la première ligne de bit globale de la deuxième colonne.

Selon un mode de réalisation, chaque circuit de liaison supplémentaire comprend :

30 un amplificateur ayant une entrée reliée à la première ligne de bit globale de la première colonne par un cinquième transistor et une sortie reliée à la première ligne de bit globale de la deuxième colonne par un sixième transistor ;

35 un septième transistor reliant la première ligne de bit globale de la première colonne à la sortie de l'amplificateur ;
et

un huitième transistor reliant la première ligne de bit globale de la deuxième colonne à l'entrée de l'amplificateur.

Selon un mode de réalisation, dans chaque circuit de liaison supplémentaire, les grilles des cinquième et sixième transistors sont connectées à une même première piste conductrice de commande du circuit de liaison, et les grilles des septième et huitième transistors sont connectées à une même deuxième piste conductrice de commande du circuit de liaison.

Selon un mode de réalisation, dans chaque colonne de chaque matrice, la première ligne de bit locale et la première ligne de bit globale de la colonne s'étendent selon la direction de la colonne, et dans lequel, pour chaque colonne de chaque matrice, le circuit mémoire comprend en outre une première ligne de bit globale supplémentaire connectée à la première ligne de bit globale de la colonne, la première ligne de bit globale supplémentaire s'étendant orthogonalement à la direction de la colonne.

Selon un mode de réalisation, les matrices sont disposées matriciellement selon des rangées et des colonnes, les matrices d'une même colonne étant reliées les unes aux autres par leurs premières lignes de bit globales et les matrices d'une même rangée étant reliées les unes aux autres par leurs premières lignes de bit globales supplémentaires.

Selon un mode de réalisation, le circuit mémoire comprend un circuit de contrôle adapté à activer simultanément en lecture une première cellule d'une colonne de rang j d'une première matrice du circuit mémoire, et une deuxième cellule d'une deuxième colonne de même rang j d'une deuxième matrice du circuit mémoire, et à commander le ou les circuits de liaison reliant la première ligne de bit locale de la première colonne à la première ligne de bit locale de la deuxième colonne pour transmettre sur la première ligne de bit locale de la deuxième colonne un signal binaire présent sur la première ligne de bit locale de la première colonne, de façon à réaliser une opération logique ayant pour

opérandes les données stockées dans les première et deuxième cellules.

Selon un mode de réalisation :

5 chaque colonne de chaque matrice comprend une deuxième ligne de bit locale directement connectée à chacune des cellules de la colonne ; et

10 chaque colonne de chaque matrice comprend une deuxième ligne de bit globale reliée à la deuxième ligne de bit locale de la colonne par un deuxième circuit de liaison, le deuxième circuit de liaison étant commandable pour :

- isoler la deuxième ligne de bit locale de la colonne de sa deuxième ligne de bit globale,
- transmettre sur la deuxième ligne de bit globale de la colonne un signal binaire présent sur sa deuxième
- 15 ligne de bit locale, ou
- transmettre sur la deuxième ligne de bit locale de la colonne un signal binaire présent sur sa deuxième ligne de bit globale ; et

20 les deuxième lignes de bit globales des colonnes de même rang j des différentes matrices sont reliées entre elles.

Selon un mode de réalisation, le circuit mémoire comprend en outre, pour chaque colonne de chaque matrice, un circuit additionnel connecté aux première et deuxième lignes de bit locales et aux première et deuxième lignes de bit globales de

25 la colonne, le circuit additionnel étant adapté à mettre en oeuvre des opérations de calcul logique ayant pour opérandes des données binaires appliquées sur les première et deuxième lignes de bit locales de la colonne et à fournir les résultats de ces opérations sur les première et deuxième lignes de bit globales de la colonne.

30 Selon un mode de réalisation, le circuit additionnel comprend :

un premier transistor reliant la première ligne de bit globale à un premier noeud intermédiaire ;

un deuxième transistor reliant un deuxième noeud intermédiaire à un noeud d'application d'un potentiel d'alimentation bas du circuit mémoire ;

un troisième transistor reliant la deuxième ligne de bit globale à un troisième noeud intermédiaire ;

un quatrième transistor reliant un quatrième noeud intermédiaire au noeud d'application du potentiel d'alimentation bas du circuit mémoire ;

un premier interrupteur reliant le premier noeud intermédiaire au deuxième noeud intermédiaire ;

un deuxième interrupteur reliant le troisième noeud intermédiaire au quatrième noeud intermédiaire ;

un troisième interrupteur reliant le deuxième noeud intermédiaire au troisième noeud intermédiaire ; et

un quatrième interrupteur reliant le premier noeud intermédiaire au quatrième noeud intermédiaire.

Selon un mode de réalisation :

la grille du troisième transistor du circuit additionnel est reliée à la première ligne de bit locale de la colonne ;

la grille du deuxième transistor du circuit additionnel est reliée à la deuxième ligne de bit locale de la colonne ;

la grille du premier transistor du circuit additionnel est reliée à un noeud de fourniture d'un signal binaire complémentaire du signal binaire porté par la première ligne de bit de lecture locale de la colonne ; et

la grille du quatrième transistor est reliée à un noeud de fourniture d'un signal binaire complémentaire du signal binaire porté par la deuxième ligne de bit de lecture locale de la colonne.

Brève description des dessins

Ces caractéristiques et avantages, ainsi que d'autres, seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1 représente de façon schématique un exemple d'un module mémoire ;

la figure 2 est un schéma électrique plus détaillé d'un exemple d'une cellule élémentaire d'un module mémoire ;

la figure 3 représente de façon schématique un exemple d'un module mémoire selon un mode de réalisation ;

5 la figure 4 est un schéma électrique d'un exemple de réalisation d'un circuit de liaison du module mémoire de la figure 3 ;

la figure 5 représente de façon schématique un autre exemple d'un module mémoire selon un mode de réalisation ;

10 la figure 6 représente de façon schématique un exemple d'un circuit mémoire comprenant plusieurs modules mémoire du type décrit en relation avec la figure 5 ;

la figure 7 est un schéma électrique d'un exemple de réalisation d'un circuit de liaison du circuit mémoire de la figure 6 ;

la figure 8 représente de façon schématique un autre exemple d'un module mémoire selon un mode de réalisation ;

20 la figure 9 représente de façon schématique un exemple d'un circuit mémoire comprenant plusieurs modules mémoire du type décrit en relation avec la figure 8 ; et

La figure 10 illustre une variante d'un module mémoire selon un mode de réalisation.

Description détaillée

25 De mêmes éléments ont été désignés par de mêmes références dans les différentes figures. Par souci de clarté, seuls les éléments utiles à la compréhension des modes de réalisation décrits ont été représentés et sont détaillés. Dans la description qui suit, les références à des signaux de niveau haut et bas doivent être interprétées de façon relative, comme
30 correspondant à deux états distincts des signaux binaires traités par les circuits décrits. A titre d'exemple, les signaux de niveau haut correspondent à des potentiels de l'ordre d'un potentiel d'alimentation haut VDD des circuits décrits (par exemple égal à VDD à 0,5 V près), et les signaux de niveau bas correspondent à

des potentiels de l'ordre d'un potentiel d'alimentation bas GND des circuits décrits (par exemple égal à GND à 0,5 V près).

La figure 1 représente de façon schématique un exemple d'un module mémoire 100. En pratique, un circuit mémoire d'un
5 dispositif électronique peut comprendre un ou plusieurs modules mémoire, par exemple identiques. Dans le cas d'un circuit mémoire à plusieurs modules, les différents modules peuvent être intégrés sur une même puce semiconductrice, ou sur des puces distinctes.

Le module mémoire 100 de la figure 1 comprend une
10 pluralité de cellules élémentaires 10 agencées en matrice selon des rangées ayant une première direction (horizontale dans l'orientation de la figure 1) et des colonnes ayant une deuxième direction (verticale dans l'orientation de la figure 1). Dans l'exemple de la figure 1, la matrice comprend M rangées et N
15 colonnes, où M et N sont des entiers supérieurs ou égaux à 2.

Chaque cellule élémentaire 10 est adaptée à mémoriser un bit de donnée. Les cellules élémentaires 10 d'une même colonne de la matrice sont connectées à une même piste conductrice de sortie ou ligne de bit de lecture RBL du module, étant entendu
20 que les cellules élémentaires 10 de colonnes distinctes sont connectées à des lignes de bit de lecture RBL distinctes. Autrement dit, pour chaque colonne de rang j de la matrice, où j est un entier allant de 0 à N-1, le module comprend une ligne de bit de lecture RBL<j> spécifique à la colonne, connectant entre
25 elles les cellules de la colonne. Les lignes de bit de lecture RBL<j> s'étendent dans la direction des colonnes de la matrice, c'est-à-dire verticalement dans l'orientation de la figure 1. Les lignes de bit de lecture RBL<j> sont connectées à un même circuit d'entrée-sortie IO du module, par exemple disposé à une extrémité
30 des colonnes de la matrice.

Le module 100 comprend de plus un circuit de sélection de rangées RS, par exemple disposé à une extrémité des rangées de la matrice.

Le module 100 comprend en outre un circuit de contrôle
35 CTRL adapté à recevoir des instructions provenant d'un dispositif

externe au module, et à commander en conséquence les cellules élémentaires 10 du module via le circuit de sélection de rangées RS et/ou via le circuit d'entrée-sortie IO du module.

Dans cet exemple, le module mémoire est adapté non seulement à stocker des données, mais aussi à effectuer, in-situ, lors d'accès au contenu de la mémoire, un certain nombre d'opérations logiques et/ou arithmétiques ayant pour opérandes des données stockées dans le module. Les résultats des calculs peuvent être transmis à des circuits externes au module, et/ou être réécrits dans le module sans transiter par des circuits externes au module, et notamment par un bus de données externe au module.

La figure 2 est un schéma électrique détaillé d'un exemple d'une cellule élémentaire 10 d'un module mémoire du type décrit en relation avec la figure 1.

La cellule élémentaire 10 de la figure 2 est une cellule à dix transistors. Elle comprend une cellule de stockage SRAM 12 à six transistors, et deux ports de lecture RPT et RPF à deux transistors chacun. La cellule de stockage 12 comprend deux inverseurs (deux transistors chacun) montés en antiparallèle entre un premier noeud BLTI de stockage d'un bit de donnée, et un deuxième noeud BLFI de stockage d'un bit de donnée complémentaire du bit stocké sur le noeud BLTI. La cellule de stockage 12 comprend en outre un premier transistor d'accès T1, reliant, par ses noeuds de conduction, le noeud BLTI à une piste conductrice WBLT appelée ligne de bit d'écriture, et un deuxième transistor d'accès T2, reliant, par ses noeuds de conduction, le noeud BLFI à une piste conductrice WBLF appelée ligne de bit d'écriture complémentaire. Les grilles des transistors T1 et T2 sont reliées à une même piste conductrice de contrôle d'écriture WWL. Le port de lecture RPT comprend deux transistors T3 et T4 montés en série, via leurs noeuds de conduction, entre une piste conductrice VGNDT d'application d'un potentiel de référence et une piste conductrice de sortie RBLT appelée ligne de bit de lecture. Le transistor T3 est situé côté piste VGNDT et a sa grille reliée au noeud BLTI,

et le transistor T4 est situé côté piste RBLT et a sa grille reliée à une piste conductrice de contrôle de lecture RWLT. Le port de lecture RPF comprend deux transistors T5 et T6 montés en série, via leurs noeuds de conduction, entre une piste conductrice VGNDF d'application d'un potentiel de référence et une piste conductrice de sortie RBLF appelée ligne de bit de lecture complémentaire. Le transistor T5 est situé côté piste VGNDF et a sa grille reliée au noeud BLFI, et le transistor T6 est situé côté piste RBLF et a sa grille reliée à une piste conductrice de contrôle de lecture RWLF. Dans cet exemple, les transistors T1, T2, T3, T4, T5, T6 sont des transistors MOS à canal N.

Dans un module mémoire du type décrit en relation avec la figure 1, les cellules élémentaires d'une même rangée du module sont interconnectées via leurs pistes conductrices WWL, respectivement RWLF, respectivement RWLT, et les cellules élémentaires d'une même colonne du module sont interconnectées via leurs pistes conductrices RBLT, respectivement VGNDT, respectivement WBLT, respectivement WBLF, respectivement VGNDF, respectivement RBLF. En d'autres termes, les cellules d'une même rangée partagent une même piste conductrice WWL, une même piste conductrice RWLF, et une même piste conductrice RWLT, et les cellules d'une même colonne partagent une même piste conductrice RBLT, une même piste conductrice VGNDT, une même piste conductrice WBLT, une même piste conductrice WBLF, une même piste conductrice VGNDF, et une même piste conductrice RBLF. Les cellules de rangées distinctes ont quant à elles des pistes conductrices WWL, respectivement RWLF, respectivement RWLT, distinctes, et les cellules de colonnes distinctes ont des pistes conductrices RBLT, respectivement VGNDT, respectivement WBLT, respectivement WBLF, respectivement VGNDF, respectivement RBLF, distinctes. A titre d'exemple, les pistes conductrices WWL, RWLF et RWLT sont connectées au circuit de sélection de rangées RS du module, et les pistes conductrices RBLT, VGNDT, WBLT, WBLF, VGNDF et RBLF sont connectées au circuit d'entrée-sortie IO du module.

A titre d'exemple, la ligne de bit de lecture RBLT de la cellule 10 de la figure 2 correspond à une ligne de bit de lecture RBL du module de la figure 1. Par souci de simplification, dans les figures de module mémoire de la présente demande (les figures 1, 3, 5 et 8), une seule ligne de bit de lecture a été représentée par cellule élémentaire du module. En pratique, les modes de réalisation décrits peuvent être mis en oeuvre soit dans des circuits mémoire constitués de cellules élémentaires à une seule ligne de bit de lecture, par exemple des cellules du type décrit en relation avec la figure 2 mais ne comprenant pas les transistors T5 et T6 et les pistes conductrices VGND_F, RBL_F et RWL_F, soit dans des circuits mémoire constitués de cellules élémentaires à deux lignes de bit de lecture complémentaires, par exemple du type décrit en relation avec la figure 2, moyennant des adaptations à la portée de l'homme du métier.

Pour réaliser une lecture d'une cellule élémentaire du type décrit en relation avec la figure 2 via son port de lecture RPT, la ligne de bit de lecture RBLT de la cellule est d'abord préchargée à un niveau haut, par exemple à la tension d'alimentation VDD du module. La piste conductrice VGND_T est quant à elle maintenue à un niveau bas, par exemple au potentiel bas GND par rapport auquel est référencée la tension d'alimentation VDD du module. Le transistor T4 de la cellule est ensuite rendu passant par application d'un signal de niveau haut sur la piste conductrice RWL_T de la cellule. Après l'activation du transistor T4, la piste conductrice RBLT se décharge si le potentiel du noeud BLTI est à un niveau haut (transistor T3 passant), et reste sensiblement à son niveau de précharge si le potentiel BLTI est à un niveau bas (transistor T3 bloqué). La lecture du potentiel de la piste RBLT via le circuit d'entrée-sortie IO du module permet de déterminer la valeur du bit de donnée stocké dans la cellule élémentaire. La cellule peut en outre être lue sensiblement de la même manière via son port de lecture RPF.

Pour mettre en oeuvre des opérations de calcul, dans un module mémoire constitué de cellules élémentaires du type

décrit en relation avec la figure 2, le circuit de contrôle CTRL du module mémoire est adapté à activer simultanément en lecture (via le circuit de sélection de rangées RS) deux, ou un nombre supérieur à deux, de cellules élémentaires d'une même colonne du module, via les ports d'accès RPT, et/ou via les ports d'accès RPF de ces cellules.

A titre d'exemple illustratif, on considère que deux cellules élémentaires d'une même colonne sont activées simultanément en lecture via leurs ports RPT et RPF. Pour cela, après avoir préchargé à un niveau haut les lignes de bit de lecture RBLT et RBLF de la colonne et mis à un niveau bas les pistes conductrices de référence VGNDT et VGNDF de la colonne, les transistors de sélection T4 et T6 des deux cellules sélectionnées sont simultanément rendus passant, via les pistes conductrices de commande RWLT et RWLF des rangées correspondantes. On désigne respectivement par A et B les valeurs binaires mémorisées sur les noeuds BLTI des deux cellules considérées. Les valeurs binaires complémentaires \bar{A} et \bar{B} sont alors stockées sur les noeuds BLFI respectifs des deux cellules. La piste conductrice de sortie RBLT de la colonne reste à son niveau haut de précharge uniquement si les deux valeurs A et B sont à un niveau bas. Ainsi, le niveau lu sur la piste de sortie RBLT de la colonne à la fin de l'opération de lecture correspond au résultat $\overline{A+B}$ d'une opération de calcul logique NON OU entre les deux cellules mémoire sélectionnées. De plus, la piste conductrice de sortie RBLF de la colonne reste à son niveau haut de précharge uniquement si les deux valeurs A et B sont à un niveau haut. Ainsi, le niveau lu sur la piste de sortie RBLF de la colonne à la fin de l'opération de lecture correspond au résultat A.B d'une opération de calcul logique ET entre les deux cellules mémoire sélectionnées.

En activant simultanément en lecture un nombre supérieur à deux de cellules d'une même colonne, les opérations de calcul susmentionnées peuvent être mises en oeuvre avec un nombre d'opérandes supérieur à 2. De plus, en activant simultanément en

lecture plusieurs colonnes du module, ces opérations de calcul peuvent être mises en oeuvre sur des mots de plusieurs bits.

Ainsi, un tel module mémoire permet de mettre en oeuvre des opérations de calcul de base directement dans la mémoire, sans
5 avoir à faire transiter les données par une unité arithmétique et logique externe au circuit.

Pour permettre la réécriture du résultat d'une opération de calcul sans faire transiter la donnée calculée par des circuits externes au module mémoire, et notamment par un bus de données
10 externe au module, le circuit d'entrée-sortie IO du module mémoire peut comprendre un circuit interne de redirection (non détaillé) permettant de relier la ou les lignes de bit de lecture de chaque colonne du module à un noeud d'entrée de donnée de la colonne et/ou d'une autre colonne de la matrice, par exemple à la piste
15 conductrice WBLT et/ou à la piste conductrice WBLF de la colonne ou d'une autre colonne de la matrice dans une architecture du type décrit en relation avec la figure 2.

Dans un module mémoire du type décrit en relation avec les figures 1 et 2, un problème qui se pose est que lorsque le
20 nombre M de rangées de la matrice est important, les temps d'accès aux données stockées dans le module peuvent être relativement élevés. Pour limiter ces temps d'accès, on peut prévoir de partitionner le module en plusieurs matrices de m lignes par N colonnes, où m est un entier inférieur à M, par exemple un sous-
25 multiple de M, chaque matrice de m*N cellules étant associée à son propre circuit d'entrée-sortie et les lignes de bit de lecture des différentes matrices du module n'étant pas connectées entre elles.

Toutefois, un inconvénient est alors que, du fait de
30 l'absence de connexion électrique entre les lignes de bit de lecture des différentes matrices du module, il n'est possible de réaliser des opérations de calcul qu'entre des données contenues dans une même matrice du module.

La figure 3 représente de façon schématique un exemple d'un module mémoire 300 selon un mode de réalisation, palliant tout ou partie des inconvénients susmentionnés.

Le module mémoire 300 de la figure 3 comprend une pluralité de cellules élémentaires 10 réparties en deux matrices A1 et A2 de m rangées et N colonnes chacune, où m est un entier, de préférence supérieur ou égal à 2. L'homme du métier saura adapter l'exemple de la figure 3 pour réaliser un module mémoire partitionné en un nombre de matrices supérieur à deux.

Dans chacune des matrices A1 et A2 du module mémoire 300, les cellules élémentaires 10 d'une même colonne de la matrice sont directement connectées (sans circuit de liaison intermédiaire) à une même piste conductrice de sortie ou ligne de bit de lecture locale LRBL de la matrice, étant entendu que les cellules élémentaires 10 de colonnes distinctes sont connectées à des lignes de bit de lecture locales LRBL distinctes. Autrement dit, pour chaque colonne de rang j de la matrice, où j est un entier allant de 0 à N-1, la matrice comprend une ligne de bit de lecture LRBL<j> spécifique à la colonne, connectant entre elles les cellules de la colonne. Les lignes de bit de lecture locales LRBL<j> correspondent aux lignes de bit de lecture RBL<j> du module 100 de la figure 1, c'est-à-dire aux lignes de bit de lecture RBLT des cellules élémentaires 10 de la figure 2.

Pour chacune des matrices A1 et A2, le module 300 comprend un circuit d'entrée-sortie local LIO spécifique à la matrice, par exemple disposé à une extrémité des colonnes de la matrice, auquel sont connectées les lignes de bit de lecture locales LRBL<j> de la matrice. Les lignes de bit de lecture locales LRBL<j> de la matrice A1 ne sont en revanche pas directement connectées aux lignes de bit de lecture locales LRBL<j> de la matrice A2.

Pour chaque rang de colonne j des matrices A1 et A2, le module 300 comprend en outre une piste conductrice GRBL<j> commune aux cellules des colonnes de rang j des matrices A1 et A2, appelée ligne de bit de lecture globale, à laquelle sont reliées les

lignes de bit de lecture locales LRBL<j> des matrices A1 et A2. De même que les lignes de bit de lecture locales LRBL<j>, les lignes de bit de lecture globales GRBL<j> s'étendent dans la direction des colonnes des matrices A1 et A2, c'est-à-dire
5 verticalement dans l'orientation de la figure 3.

Pour chacune des matrices A1 et A2 du module, le circuit d'entrée-sortie locale LIO associé à la matrice comprend, pour chaque colonne de la matrice, un circuit de liaison 31 reliant la ligne de bit de lecture locale LRBL<j> de la colonne à la ligne
10 de bit de lecture globale GRBL<j> de cette même colonne. Le circuit de liaison 31 est commandable pour transférer un signal binaire de la ligne de bit de lecture locale LRBL<j> vers la ligne de bit de lecture globale GRBL<j>, ou pour transférer un signal binaire de la ligne de bit de lecture globale GRBL<j> vers la ligne de
15 bit de lecture locale LRBL<j>, ou pour isoler la ligne de bit de lecture locale LRBL<j> de la ligne de bit de lecture globale GRBL<j>.

Les lignes de bit de lecture globales GRBL<j> sont connectées à un même circuit d'entrée-sortie global GIO du module,
20 commun aux matrices A1 et A2 du module.

Le module 300 comprend de plus un circuit de sélection de rangées RS, par exemple disposé à une extrémité des rangées de la matrice.

Le module 300 comprend en outre un circuit de contrôle CTRL adapté à recevoir des instructions provenant d'un dispositif
25 externe au module, et à commander en conséquence les cellules élémentaires 10 du module via le circuit de sélection de rangées RS et/ou via les circuits d'entrée-sortie LIO et GIO du module.

Pour réaliser une lecture d'une cellule élémentaire 10
30 du module 300, la rangée de la matrice A1 ou A2 contenant la cellule est activée en lecture via le circuit de sélection de rangées RS du module, et la donnée contenue dans la cellule est reportée sur la ligne de bit de lecture locale LRBL<j> connectée à la cellule. Le circuit de contrôle CTRL commande en outre le
35 circuit de liaison 31 correspondant pour transférer la donnée lue

sur la ligne de bit de lecture globale GRBL<j> associée à la cellule. La lecture du potentiel de la ligne de bit de lecture globale GRBL<j> via le circuit d'entrée-sortie global GIO permet ainsi de déterminer la valeur du bit de donnée stocké dans la
5 cellule lue.

Pour mettre en oeuvre une opération de calcul ayant pour opérandes deux bits stockés dans deux cellules d'une même colonne de rang j de la matrice A1 ou A2 ou dans une cellule de la colonne de rang j de la matrice A1 et dans une cellule de la colonne de
10 rang j de la matrice A2, le circuit de contrôle CTRL active simultanément en lecture (via le circuit de sélection de rangées RS) les deux rangées correspondantes du module.

Si les rangées sélectionnées appartiennent à la même matrice A1 ou A2 du module, l'opération de calcul est réalisée
15 sur la ligne de bit de lecture locale LRBL<j> de la matrice de façon similaire à ce qui a été décrit ci-dessus en relation avec les figures 1 et 2. Le circuit de contrôle CTRL commande en outre le circuit de liaison 31 correspondant pour transférer le résultat de l'opération sur la ligne de bit de lecture globale GRBL<j> du
20 module. Le résultat de l'opération peut ainsi être lu via le circuit d'entrée-sortie global GIO du module.

Si les rangées sélectionnées appartiennent à des matrices distinctes du module, le circuit de contrôle CTRL commande le circuit de liaison 31 associé à la colonne de rang j
25 de la matrice A1 pour transférer sur la ligne de bit de lecture globale GRBL<j> le signal binaire s'établissant sur la ligne de bit de lecture locale LRBL<j> de la matrice A1, et le circuit de liaison 31 associé à la colonne de rang j de la matrice A2 pour transférer sur la ligne de bit de lecture globale GRBL<j> le
30 signal binaire s'établissant sur la ligne de bit de lecture locale LRBL<j> de la matrice A2. L'opération de calcul proprement dite, c'est-à-dire la combinaison des états logiques présents sur les lignes de bit de lecture locales LRBL<j> des matrices A1 et A2, est alors réalisé directement sur la ligne de bit de lecture

globale GRBL<j>. Le résultat de l'opération peut être lu via le circuit d'entrée-sortie global GIO du module.

Ainsi, le module mémoire 300 de la figure 3 présente l'avantage d'être partitionné en plusieurs matrices, ce qui procure un gain en vitesse d'accès aux données stockées dans la mémoire associé à une réduction significative de la consommation dynamique, et permet de réaliser des opérations de calcul ayant pour opérandes des données stockées dans différentes matrices du module.

On notera que pour certaines opérations, notamment pour transférer des données de la matrice A1 vers la matrice A2, le circuit de contrôle peut commander le circuit de liaison 31 associé à la colonne de rang j de la matrice A1 pour transférer sur la ligne de bit de lecture locale LRBL<j> de la matrice A1 le signal binaire s'établissant sur la ligne de bit de lecture locale GRBL<j>.

La figure 4 est un schéma électrique d'un exemple de réalisation d'un circuit de liaison 31 du module mémoire 300 de la figure 3.

Le circuit de liaison 31 de la figure 4 comprend deux transistors 401 et 403 connectés en série, par leurs noeuds de conduction (source et drain), entre un noeud VDD d'application de la tension d'alimentation du module et la ligne de bit de lecture globale GRBL<j> à laquelle le circuit de liaison 31 est associé. Plus particulièrement le transistor 401 a un premier noeud de conduction connecté au noeud VDD et un deuxième noeud de conduction connecté à un premier noeud de conduction du transistor 403, et le transistor 403 a un deuxième noeud de conduction connecté à la piste GRBL<j>.

Le circuit de liaison 31 de la figure 4 comprend de plus deux transistors 405 et 407 connectés en série, par leurs noeuds de conduction, entre la ligne de bit de lecture locale LRBL<j> à laquelle le circuit de liaison 31 est associé et un noeud GND d'application d'un potentiel de référence du module, par exemple la masse. Plus particulièrement, le transistor 405 a un premier

noeud de conduction connecté à la piste LRBL<j> et un deuxième noeud de conduction connecté à un premier noeud de conduction du transistor 407, et le transistor 407 a un deuxième noeud de conduction connecté au noeud GND.

5 La grille du transistor 403 est connectée au premier noeud de conduction du transistor 405, c'est-à-dire à la piste LRBL<j>, et la grille du transistor 405 est connectée au deuxième noeud de conduction du transistor 403, c'est-à-dire à la piste GRBL<j>.

10 Dans cet exemple, les transistors 401 et 403 sont des transistors MOS à canal P et les transistors 405 et 407 sont des transistors MOS à canal N.

 La grille du transistor 401 est connectée à une piste conductrice de commande L2G_SEL, et la grille du transistor 407
15 est connectée à une piste conductrice de commande G2L_SEL. Les circuits de liaison 31 associés à une même matrice du module mémoire sont par exemple interconnectés via leurs pistes conductrices L2G_SEL d'une part et via leurs pistes conductrices G2L_SEL d'autre part.

20 Le circuit de liaison 31 peut être commandé par le circuit de contrôle CTRL du module :

- dans une première configuration dans laquelle le transistor 401 est rendu passant par application d'un signal adapté sur la piste L2G_SEL et le transistor 407 est maintenu
25 bloqué par application d'un signal de commande adapté sur la piste G2L_SEL,

- dans une deuxième configuration dans laquelle le transistor 401 est maintenu bloqué par application d'un signal adapté sur la piste L2G_SEL et le transistor 407 est rendu passant
30 par application d'un signal adapté sur la piste G2L_SEL, ou

- dans une troisième configuration dans laquelle les transistors 401 et 407 sont tous les deux maintenus bloqués.

 Lors d'une opération de lecture d'une cellule élémentaire du module 300, la ligne de bit de lecture locale
35 LRBL<j> de la colonne contenant la cellule est d'abord préchargée

à un niveau haut, par exemple à la tension d'alimentation VDD du module, et la ligne de bit de lecture globale GRBL<j> de la colonne contenant la cellule est préchargée à un niveau bas, par exemple au potentiel de référence GND du module. La rangée de la matrice A1 ou A2 contenant la cellule est alors activée en lecture, de sorte que la ligne de bit de lecture locale LRBL<j> se décharge lorsque la donnée stockée dans la cellule a une première valeur binaire, par exemple la valeur binaire '1', et reste chargée lorsque la donnée stockée dans la cellule à la valeur binaire opposée, par exemple la valeur binaire '0'. La décharge de la ligne de bit de lecture locale LRBL<j> conduit à rendre passant le transistor 403, ce qui provoque la charge de la ligne de bit de lecture globale GRBL<j> de la colonne au potentiel VDD. Si au contraire la ligne de bit de lecture locale LRBL<j> reste chargée, le transistor 403 est maintenu bloqué et la ligne de bit de lecture globale GRBL<j> reste sensiblement au potentiel GND. Ainsi, le signal binaire porté par la ligne de bit de lecture locale LRBL<j> est bien transmis (inversé dans cet exemple) sur la ligne de bit de lecture globale GRBL<j>, et peut ainsi être lu par le circuit d'entrée-sortie global GIO du module.

Lors d'une opération de calcul ayant pour opérands deux bits stockés dans deux cellules d'une même colonne de rang j de la matrice A1 ou A2 du module, la ligne de bit de lecture locale LRBL<j> de la matrice contenant les cellules est d'abord préchargée à un niveau haut, et la ligne de bit de lecture globale GRBL<j> est préchargée à un niveau bas. Les rangées de la matrice A1 ou A2 contenant les cellules sont alors activées en lecture simultanément, de sorte que le potentiel de la ligne de bit de lecture locale LRBL<j> prend un état haut ou bas fonction du résultat de l'opération logique réalisée entre les deux cellules. Si la ligne de bit de lecture locale LRBL<j> se décharge, le transistor 403 devient conducteur, ce qui provoque la charge de la ligne de bit de lecture globale GRBL<j> de la colonne au potentiel VDD. Si au contraire la ligne de bit de lecture locale LRBL<j> reste chargée, le transistor 403 est maintenu bloqué et

la ligne de bit de lecture globale GRBL<j> reste sensiblement au potentiel GND. Ainsi, le signal binaire porté par la ligne de bit de lecture locale LRBL<j>, correspondant au résultat de l'opération logique réalisée entre les deux cellules activées, est bien transmis (inversé dans cet exemple) sur la ligne de bit de lecture globale GRBL<j>, et peut ainsi être lu par le circuit d'entrée-sortie global GIO du module.

Lors d'une opération de calcul ayant pour opérandes deux bits stockés respectivement dans une cellule d'une colonne de rang de rang j de la matrice A1 et dans une cellule d'une colonne de même rang j de la matrice A2, la ligne de bit de lecture locale LRBL<j> de la matrice A1 et la ligne de bit de lecture locale LRBL<j> de la matrice A2 sont d'abord préchargées à un niveau haut, et la ligne de bit de lecture globale GRBL<j> est préchargée à un niveau bas. Les rangées des matrices A1 et A2 contenant les cellules sont ensuite activées en lecture simultanément. Dans chacune des matrices A1 et A2, la ligne de bit de lecture locale LRBL<j> se décharge ou reste chargée en fonction de la valeur stockée dans la cellule sélectionnée. Si au moins l'une des deux lignes de bit de lecture locales LRBL<j> se décharge, le transistor 403 du circuit de liaison 31 correspondant devient passant, et la ligne de bit de lecture globale GRBL<j> se charge au potentiel VDD. Si les deux lignes de bit de lecture locales LRBL<j> restent chargées, les transistors 403 des circuits de liaison 31 correspondants restent bloqués, et la ligne de bit de lecture globale GRBL<j> reste sensiblement au potentiel GND. Ainsi, le signal binaire porté par la ligne de bit de lecture globale GRBL<j>, correspond bien au résultat d'une opération logique réalisée entre les deux cellules activées. Ce signal peut être lu par le circuit d'entrée-sortie global GIO du module.

On a décrit en relation avec les figures 3 et 4 un exemple de réalisation d'un module mémoire partitionné en plusieurs matrices, ce module étant adapté à mettre en oeuvre des opérations de calcul ayant pour opérandes des données stockées dans des matrices distinctes du module. Toutefois, dans certaines

applications, un circuit mémoire peut comprendre plusieurs modules mémoire, par exemple identiques ou similaires, par exemple des modules du type décrit en relation avec la figure 1 ou des modules du type décrit en relation avec la figure 3. Là encore, ceci
5 permet de réaliser un partitionnement de la mémoire et ainsi de limiter les temps d'accès aux cellules élémentaires du circuit mémoire tout en minimisant la consommation dynamique. Toutefois, un inconvénient est qu'il n'est alors possible de réaliser des opérations de calcul qu'entre des données contenues dans un même
10 module. On va maintenant décrire en relation avec les figures 5, 6 et 7, un exemple de réalisation d'un circuit mémoire comprenant plusieurs modules mémoire, ce circuit permettant la mise en oeuvre d'opérations de calcul ayant pour opérandes des données stockées dans différents modules du circuit mémoire.

15 La figure 5 représente de façon schématique un exemple d'un module mémoire 500 selon un mode de réalisation.

Comme dans l'exemple de la figure 1, le module mémoire 500 comprend une pluralité de cellules élémentaires 10 agencée selon une matrice A de M rangées et N colonnes. De plus, comme
20 dans les exemples précédents, les cellules élémentaires 10 d'une même colonne de la matrice A sont directement connectées à une même piste conductrice de sortie ou ligne de bit de lecture locale LRBL de la matrice, étant entendu que les cellules élémentaires 10 de colonnes distinctes sont connectées à des lignes de bit de
25 lecture locales LRBL distinctes. Autrement dit, pour chaque colonne de rang j de la matrice, où j est un entier allant de 0 à N-1, la matrice A comprend une ligne de bit de lecture LRBL<j> spécifique à la colonne, connectant entre elles les cellules de la colonne. Les lignes de bit de lecture locales LRBL<j>
30 correspondent aux lignes de bit de lecture RBL<j> du module 100 de la figure 1, c'est-à-dire aux lignes de bit de lecture RBLT des cellules élémentaires 10 de la figure 2.

Le module 500 comprend en outre un circuit d'entrée-sortie IO, par exemple disposé à une extrémité des colonnes de la

matrice, auquel sont connectées les lignes de bit de lecture locales LRBL<j> de la matrice.

Pour chaque colonne de rang j de la matrice A , le module 500 comprend en outre une piste conductrice GRBL<j> appelée ligne
5 de bit de lecture globale, à laquelle est reliée la ligne de bit de lecture locale LRBL<j> de la colonne par l'intermédiaire d'un circuit de liaison 31.

Plus particulièrement, pour chaque colonne de la matrice A , le circuit d'entrée-sortie IO du module comprend un circuit de
10 liaison 31, par exemple identique au circuit de liaison 31 décrit ci-dessus en relation avec les figures 3 et 4, reliant la ligne de bit de lecture locale LRBL<j> de la colonne à la ligne de bit de lecture globale GRBL<j> de cette même colonne.

Le module 500 comprend de plus un circuit de sélection de rangées RS, par exemple disposé à une extrémité des rangées de
15 la matrice.

Le module 500 comprend en outre un circuit de contrôle CTRL adapté à recevoir des instructions provenant d'un dispositif
externe au module, et à commander en conséquence les cellules
20 élémentaires 10 du module via le circuit de sélection de rangées RS et/ou via le circuit d'entrée-sortie IO du module.

La figure 6 représente de façon schématique un exemple d'un circuit mémoire comprenant plusieurs modules mémoire du type
décrit en relation avec la figure 5. Plus particulièrement, dans
25 l'exemple représenté, le circuit mémoire comprend K modules mémoire 500<l>, avec K entier supérieur ou égal à 2 et l entier allant de 0 à $K-1$. Par souci de simplification, seules les lignes de bit de lecture globales GRBL<j> des différents modules ont été détaillées sur la figure 6.

Pour chaque rang de colonne j , les lignes de bit de lecture globales GRBL<j> des différents modules mémoire 500 sont
reliées en série par l'intermédiaire de circuits de liaison 61. Plus particulièrement, pour chaque rang de colonne j , pour chaque
module mémoire 500<l> à l'exception des modules 500<0> et 500<K-
35 1>, la ligne de bit de lecture globale GRBL<j> du module 500<l> a

une première extrémité reliée à une extrémité de la ligne de bit de lecture globale GRBL<j> du module 500<l-1> par un premier circuit de liaison 61 et une deuxième extrémité reliée à une extrémité de la ligne de bit de lecture globale GRBL<j> du module
5 500<l+1> par un deuxième circuit de liaison 61. Ainsi, dans cet exemple, le circuit mémoire comprend $(K-1)*N$ circuits de liaison 61, par exemple identiques ou similaires, reliant en chaîne ouverte les modules mémoire 500<0> à 500<K-1>. L'extrémité libre du module 500<0> et l'extrémité libre du module 500<K-1> peuvent
10 quant à elles être reliées à des circuits périphériques d'entrée/sortie du circuit mémoire.

Pour chaque rang de colonne j, et pour chaque module mémoire 500<l> à l'exception du module 500<K-1>, le circuit de liaison 61 reliant la ligne de bit de lecture globale GRBL<j> du
15 module 500<l> à la ligne de bit de lecture globale GRBL<j> du module 500<l+1> est commandable soit pour isoler la ligne de bit GRBL<j> du module 500<l> de la ligne de bit GRBL<j> du module 500<l+1>, soit pour recopier (éventuellement en l'amplifiant et/ou en le redressant et/ou en le bufferisant - c'est-à-dire en le
20 stockant temporairement) sur la ligne de bit GRBL<j> du module 500<l+1> un signal binaire présent sur la ligne de bit GRBL<j> du module 500<l>, soit pour recopier (éventuellement en l'amplifiant) sur la ligne de bit GRBL<j> du module 500<l> un signal binaire présent sur la ligne de bit GRBL<j> du module 500<l+1>.

25 Dans l'exemple de la figure 6, pour chaque module mémoire 500<l> à l'exception du module 500<K-1>, les N circuits de liaison 61 reliant le module 500<l> au module 500<l+1> sont commandables simultanément via un même signal de commande SECTOR_EN<l>.

30 Le circuit mémoire de la figure 6 peut comprendre un circuit de contrôle global (non représenté) adapté à commander les modules 500<l> et les circuits de liaison 61.

Pour réaliser une lecture d'une cellule élémentaire 10 du circuit mémoire de la figure 6, la rangée de la matrice A du
35 module 500<l> contenant la cellule est activée en lecture via le

circuit de sélection de rangées RS du module, et la donnée contenue dans la cellule est reportée sur la ligne de bit de lecture locale LRBL<j> connectée à la cellule. La donnée est alors lue par le circuit d'entrée-sortie IO du module 500<l>. Lors de cette

5 opération, le circuit de liaison 31 connecté à la ligne de bit de lecture locale LBRL<j> du module 500<l> peut être commandé pour isoler la ligne de bit de lecture locale LRBL<j> du module 500<l> de la ligne de bit de lecture globale GRBL<j> du module 500<l>, et les circuits de liaison 61 du circuit mémoire peuvent être

10 commandés pour isoler les unes des autres les lignes de lecture globales GRBL<j> des différents modules. A titre de variante, le circuit de contrôle CTRL du module commande le circuit de liaison 31 reliant la ligne de bit de lecture locale LRBL<j> du module à la ligne de bit de lecture globale GRBL<j> du module pour

15 transférer sur la ligne GRBL<j> du module le signal présent sur la ligne LRBL<j> du module (avec inversion du signal dans le cas du circuit de liaison 31 de la figure 4). Le ou les circuits de liaison 61 reliant la ligne de bit de lecture globale GRBL<j> du module 500<l> aux circuits périphériques d'entrée/sortie du

20 circuit mémoire, c'est-à-dire à l'extrémité libre de la ligne de bit de lecture globale GRBL<0> du module 500<0> ou à l'extrémité libre de la ligne de bit de lecture globale GRBL<K-1> du module 500<K-1> dans cet exemple, sont en outre commandés pour transférer vers les circuits périphériques d'entrée/sortie le signal binaire

25 présent sur la ligne de bit de lecture globale GRBL<j> du module 500<l>. La donnée peut alors être lue par les circuits périphériques d'entrée/sortie du circuit mémoire.

Pour réaliser une opération de calcul ayant pour opérandes deux bits stockés dans deux cellules d'une même colonne

30 de rang j d'un module 500<l> du circuit mémoire de la figure 6, le circuit de contrôle CTRL du module 500<l> active simultanément en lecture les rangées correspondantes du module. L'opération de calcul est alors réalisée sur la ligne de bit de lecture locale LRBL<j> du module de façon similaire à ce qui a été décrit ci-

35 dessus, et le résultat de l'opération peut être lu par le circuit

d'entrée-sortie IO du module. Lors de cette opération, le circuit de liaison 31 connecté à la ligne de bit de lecture locale LRBL<j> du module 500<l> peut être commandé pour isoler la ligne de bit de lecture locale LRBL<j> du module 500<l> de la ligne de bit de lecture globale GRBL<j> du module 500<l>, et les circuits de liaison 61 du circuit mémoire peuvent être commandés pour isoler les unes des autres les lignes de bit de lecture globales GRBL<j> des différents modules. A titre de variante, le circuit de contrôle CTRL du module commande le circuit de liaison 31 reliant la ligne de bit de lecture locale LRBL<j> du module à la ligne de bit de lecture globale GRBL<j> du module pour transférer sur la ligne GRBL<j> du module le signal présent sur la ligne LRBL<j> du module (avec inversion du signal dans le cas du circuit de liaison 31 de la figure 4). Le ou les circuits de liaison 61 reliant la ligne de bit de lecture globale GRBL<j> du module 500<l> aux circuits périphériques d'entrée/sortie du circuit mémoire, c'est-à-dire à l'extrémité libre de la ligne de bit de lecture globale GRBL<0> du module 500<0> ou à l'extrémité libre de la ligne de bit de lecture globale GRBL<K-1> du module 500<K-1> dans cet exemple, sont en outre commandés pour transférer vers les circuits périphériques d'entrée/sortie le signal binaire présent sur la ligne de bit de lecture globale GRBL<j> du module 500<l>. Le résultat de l'opération peut alors être lu par les circuits périphériques d'entrée/sortie du circuit mémoire.

Pour réaliser une opération de calcul ayant pour opérandes deux bits stockés dans deux cellules appartenant respectivement à une colonne de rang j d'un module 500<l> et à une colonne de même rang j d'un module 500<l'>, avec l' entier allant de 0 à K-1 et l' différent de l, les circuits de contrôle CTRL des modules 500<l> et 500<l'> activent simultanément en lecture les rangées correspondantes des modules 500<l> et 500<l'>. De plus, dans l'un des deux modules, par exemple le module 500<l>, le circuit de contrôle CTRL du module commande le circuit de liaison 31 reliant la ligne de bit de lecture locale LRBL<j> du module à la ligne de bit de lecture globale GRBL<j> du module pour

transférer sur la ligne GRBL<j> du module le signal présent sur la ligne LRBL<j> du module (avec inversion du signal dans le cas du circuit de liaison 31 de la figure 4). Le ou les circuits de liaison 61 reliant la ligne de bit de lecture globale GRBL<j> du module 500<l> à la ligne de bit de lecture globale GRBL<j> du module 500<l'> sont en outre commandés pour recopier sur la ligne de bit de lecture globale GRBL<j> du module 500<l'> le signal binaire présent sur la ligne de bit de lecture globale GRBL<j> du module 500<l>. En outre, dans le module 500<l'>, le circuit de contrôle CTRL du module commande le circuit de liaison 31 reliant la ligne de bit de lecture globale GRBL<j> du module à la ligne de bit de lecture locale LRBL<j> du module pour transférer sur la ligne de bit LRBL<j> du module le signal binaire présent sur la ligne de bit GRBL<j> du module (avec inversion du signal dans le cas du circuit de liaison 31 de la figure 4). L'opération de calcul est alors réalisée sur la ligne de bit de lecture locale LRBL<j> du module 500<l'>, et le résultat de l'opération peut être lu par le circuit d'entrée-sortie IO du module 500<l'>. Lors de cette opération, les circuits de liaison 61 connectés aux lignes de bit de lecture globales GRBL<j> des modules 500 ne se trouvant pas sur le chemin de l'opération (c'est-à-dire ne se trouvant pas entre les modules 500<l> et 500<l'>), peuvent être commandés à l'état bloqué (c'est-à-dire isolant électriquement les unes des autres les lignes de bit GRBL<j> qu'ils relient). A titre de variante, l'opération de calcul proprement dite est réalisée sur une ligne de bit de lecture globale, par exemple la ligne de bit de lecture globale GRBL<j> du module 500<l'>. Pour cela, dans chacun des modules 500<l> et 500<l'>, le circuit de liaison 31 du module est commandé pour transférer sur la ligne de bit globale GRBL<j> du module le signal présent sur sa ligne de bit locale LRBL<j>, et le ou les circuits de liaison séparant la ligne de bit globale GRBL<j> du module 500<l> de la ligne de bit globale GRBL<j> du module 500<l'> sont commandés pour transférer sur la ligne de bit globale GRBL<j> du module 500<l'> le signal présent sur la ligne de bit globale GRBL<j> du module 500<l>. Le ou les

circuits de liaison 61 reliant la ligne de bit de lecture globale GRBL<j> du module 500<l'> aux circuits périphériques d'entrée/sortie du circuit mémoire sont en outre commandés pour transférer vers les circuits périphériques d'entrée/sortie le signal binaire présent sur la ligne de bit de lecture globale GRBL<j> du module 500<l'>. Le résultat de l'opération peut alors être lu par les circuits périphériques d'entrée/sortie du circuit mémoire. On notera en outre que dans les modules mémoire 500 non concernés par l'opération, c'est-à-dire dont les lignes de bit de lecture globales GRBL<j> ne sont pas utilisées pour transmettre une donnée opérande ou une donnée résultat, les lignes de bit de lecture globales GRBL<j> peuvent être maintenues à leur potentiel de précharge pendant toute la durée de l'opération. Ceci permet d'éviter d'avoir à les précharger à nouveau lors de l'opération suivante, et ainsi d'augmenter la vitesse de fonctionnement du circuit mémoire, ainsi que de minimiser la consommation dynamique. Dans l'exemple de la figure 6, le circuit mémoire comprend pour cela un circuit logique 601 recevant les signaux de commande SECTOR_EN<0>, ... SECTOR_EN<K-2> des circuits de liaison 61, et fournissant à chaque module 500<l> un signal de commande de précharge GPCH<l>. Lorsque le module 500<l> ne se situe pas sur le chemin de l'opération, le signal GPCH<l> fourni par le circuit 601 est à un premier état tel que le circuit de contrôle CTRL du module 500<l> commande le maintien de la précharge des lignes de bit de lecture globales GRBL<j> du module pendant toute la durée de l'opération. Lorsque le module 500<l> se situe sur le chemin de l'opération, le signal GPCH<l> fourni par le circuit 601 est à un deuxième état tel que le circuit de contrôle CTRL du module 500<l> commande l'interruption de l'application du potentiel de précharge des lignes de bit de lecture globales GRBL<j> du module, de façon à les laisser flottantes et à permettre la mise en oeuvre de l'opération.

On notera que bien que l'on ait représenté sur la figure 6 un exemple de réalisation dans lequel les modules mémoire 500 sont reliés deux à deux en série par l'intermédiaire de circuits

de liaison 61, les modes de réalisation décrits ne se limitent pas à ce cas particulier. A titre de variante, les modules mémoire 500 peuvent être répartis en plusieurs groupes de plusieurs modules 500 par groupe, les modules d'un même groupe étant
5 directement connectés en série via leurs lignes de bit de lecture globales GRBL<j>, et les groupes de modules étant reliés en série par l'intermédiaire de circuits de liaison 61.

La figure 7 est un schéma électrique d'un exemple de réalisation d'un circuit de liaison 61 du circuit mémoire de la
10 figure 6, reliant une ligne de bit de lecture globale GRBL<j> d'un module 500 du circuit mémoire, référencée GRBL_T sur la figure 7, à une ligne de bit de lecture globale GRBL<j> de même rang j d'un module 500 voisin, référencée GRBL_B sur la figure 7.

Le circuit de liaison 61 comprend un amplificateur (ou un buffer ou inverseur) 701 ayant une entrée reliée à la piste conductrice GRBL_T par un transistor 703 et une sortie reliée à la piste conductrice GRBL_B par un transistor 705. Le circuit 61 de la figure 7 comprend en outre un transistor 707 reliant la piste conductrice GRBL_T à la sortie de l'amplificateur 701, et
20 un transistor 709 reliant la piste conductrice GRBL_B à l'entrée de l'amplificateur 701. Dans cet exemple, les transistors 703, 705, 707 et 709 sont des transistors MOS à canal P. Les grilles des transistors 703 et 705 sont connectées à une même première piste conductrice de commande T2B_SEL du circuit 61, et les
25 grilles des transistors 707 et 709 sont connectées à une même deuxième piste conductrice de commande B2T_SEL du circuit 61.

Dans cet exemple, le signal SECTOR_EN de commande du circuit de liaison 61 est un signal sur deux bits, désignés respectivement par les références SECTOR_EN[0] et SECTOR_EN[1],
30 appliqués respectivement les pistes conductrices T2B_SEL et B2T_SEL du circuit.

Dans une première configuration (signaux SECTOR_EN[0] et SECTOR_EN[1] respectivement à l'état bas et à l'état haut dans cet exemple), les transistors 703 et 705 sont passants et les
35 transistors 707 et 709 sont bloqués, de sorte que le circuit 61

recopie sur la ligne de bit GRBL_B le signal binaire présent sur la ligne de bit GRBL_T.

Dans une deuxième configuration (signaux SECTOR_EN[0] et SECTOR_EN[1] respectivement à l'état haut et à l'état bas dans cet exemple), les transistors 707 et 709 sont passants et les transistors 703 et 705 sont bloqués, de sorte que le circuit 61 recopie sur la ligne de bit GRBL_T le signal binaire présent sur la ligne de bit GRBL_B.

Dans une troisième configuration (signaux SECTOR_EN[0] et SECTOR_EN[1] à l'état haut dans cet exemple), les transistors 703, 705, 707 et 709 sont bloqués, de sorte que le circuit 61 isole la ligne de bit GRBL_B de la ligne de bit GRBL_T.

On notera que dans cet exemple, la quatrième configuration (signaux SECTOR_EN[0] et SECTOR_EN[1] à l'état bas) n'est jamais utilisée (configuration interdite).

La figure 8 représente de façon schématique un autre exemple d'un module mémoire 800 selon un mode de réalisation.

Le module mémoire 800 de la figure 8 comprend les mêmes éléments que le module mémoire 500 de la figure 5 agencés sensiblement de la même manière. On notera toutefois que les lignes de bit de lecture globales GRBL<0> à GRBL<N-1> du module mémoire 500 de la figure 5 sont référencées respectivement VGRBL<0> à VGRBL<N-1> sur la figure 8.

Comme indiqué précédemment, les lignes de bit de lecture locales LRBL<j> et les lignes de bit de lecture globales VGRBL<j> s'étendent selon la direction des colonnes de la matrice A, c'est-à-dire verticalement dans l'orientation de la figure 8. Ceci permet de réaliser un circuit mémoire comprenant plusieurs modules mémoire agencés en barrette comme cela a été décrit en relation avec la figure 6.

Dans l'exemple de la figure 8, le module 800 comprend en outre, pour chaque colonne de rang j de la matrice A, une deuxième ligne de bit de lecture globale HGRBL<j> commune aux cellules de la colonne, disposée selon une orientation parallèle aux rangées de la matrice, c'est-à-dire horizontalement dans

l'orientation de la figure 8. Pour chaque colonne de rang j , la ligne de bit de lecture globale horizontale $HGRBL\langle j \rangle$ associée à la colonne est directement connectée à la ligne de bit de lecture globale verticale $VGRHB\langle j \rangle$ associée à cette même colonne.

5 Dans l'exemple représenté, les lignes de bit de lecture globales horizontales $HGRBL\langle 0 \rangle$ à $HGRBL\langle N-1 \rangle$ sont disposées du côté d'une extrémité des colonnes de la matrice A , c'est-à-dire qu'elles ne s'étendent pas au-dessus de la matrice A . A titre de variante (non représentée), les lignes de bit de lecture globales
10 horizontales $HGRBL\langle 0 \rangle$ à $HGRBL\langle N-1 \rangle$ peuvent être disposées au-dessus de la matrice A .

Un avantage résultant de la prévision des lignes de bit de lecture globales horizontales $HGRBL\langle 0 \rangle$ à $HGRBL\langle N-1 \rangle$ est que ceci permet de réaliser un circuit mémoire comprenant plusieurs
15 modules mémoire agencés en matrice selon des rangées et des colonnes comme représenté en figure 9.

La figure 9 représente de façon schématique un exemple d'un circuit mémoire comprenant plusieurs modules mémoire du type décrit en relation avec la figure 8. Plus particulièrement, dans
20 l'exemple représenté, le circuit mémoire $K \times P$ modules mémoire $800\langle l \rangle \times q$, agencés en matrice selon K rangées et P colonnes, avec K et P entiers supérieurs ou égaux à 2, l entier allant de 0 à $K-1$ désignant le rang de la rangée à laquelle appartient le module, et q entier allant de 0 à $P-1$ désignant le rang de la colonne à
25 laquelle appartient le module.

Par souci de simplification, seules les lignes de bit de lecture globales verticales $VGRBL\langle j \rangle$ et horizontales $HGRBL\langle j \rangle$ des différents modules ont été détaillées sur la figure 9.

Dans chaque colonne de rang q du circuit mémoire, pour
30 chaque rang de colonne j des modules mémoire 800 de la colonne, les lignes de bit de lecture globales verticales $VGRBL\langle j \rangle$ des différents modules mémoire 800 de la colonne sont reliées en série par l'intermédiaire de circuits de liaison 61 de façon similaire à ce qui a été décrit en relation avec la figure 6. Plus
35 particulièrement, dans chaque colonne de rang q du circuit

mémoire, pour chaque rang de colonne j des modules mémoire 800 de la colonne, pour chaque module mémoire $800\langle l \rangle\langle q \rangle$ à l'exception des modules $500\langle 0 \rangle\langle q \rangle$ et $500\langle K-1 \rangle\langle q \rangle$, la ligne de bit de lecture globale verticale $VGRBL\langle j \rangle$ du module $800\langle l \rangle\langle q \rangle$ a une première

5 extrémité reliée à une extrémité de la ligne de bit de lecture globale $VGRBL\langle j \rangle$ du module $800\langle l-1 \rangle\langle q \rangle$ par un premier circuit de liaison 61 et une deuxième extrémité reliée à une extrémité de la ligne de bit de lecture globale $VGRBL\langle j \rangle$ du module $800\langle l+1 \rangle\langle q \rangle$ par un deuxième circuit de liaison 61.

10 De plus, dans chaque rangée de rang l du circuit mémoire, pour chaque rang de colonne j des modules mémoire 800 de la colonne, les lignes de bit de lecture globales horizontales $HGRBL\langle j \rangle$ des différents modules mémoire 800 de la rangée sont reliées en série par l'intermédiaire de circuits de liaison 61.

15 Plus particulièrement, dans chaque rangée de rang l du circuit mémoire, pour chaque rang de colonne j des modules mémoire 800 de la rangée, pour chaque module mémoire $800\langle l \rangle\langle q \rangle$ à l'exception des modules $500\langle l \rangle\langle 0 \rangle$ et $500\langle l \rangle\langle P-1 \rangle$, la ligne de bit de lecture globale horizontale $HGRBL\langle j \rangle$ du module $800\langle l \rangle\langle q \rangle$ a une première

20 extrémité reliée à une extrémité de la ligne de bit de lecture globale $HGRBL\langle j \rangle$ du module $800\langle l \rangle\langle q-1 \rangle$ par un premier circuit de liaison 61 et une deuxième extrémité reliée à une extrémité de la ligne de bit de lecture globale $HGRBL\langle j \rangle$ du module $800\langle l \rangle\langle q+1 \rangle$ par un deuxième circuit de liaison 61.

25 Ainsi, dans cet exemple, le circuit mémoire comprend $((K-1)*N*P) + ((P-1)*N*K)$ circuits de liaison 61, par exemple identiques ou similaires, par exemple des circuits de liaison du type décrit en relation avec la figure 7.

30 Une commande appropriée des circuits de liaison 61 permet la mise en oeuvre d'opérations de calcul ayant pour opérandes des données stockées dans différents modules du dispositif, quelles que soient les positions desdits modules dans le circuit.

35 La figure 10 illustre une variante d'un module mémoire selon un mode de réalisation.

On considère dans cet exemple un module mémoire du type décrit en relation avec la figure 3 ou 5. On considère plus particulièrement dans cet exemple un module mémoire dont les cellules élémentaires 10 sont des cellules à deux lignes de bit de lecture LRBLT et LRBLF, par exemple du type décrit en relation avec la figure 2. Pour chaque rang de colonne j de la ou des matrices du module, le module comprend deux lignes de bit de lecture globales GRBLT< j > et GRBLF< j >. Chaque ligne de bit de lecture locale LRBLT< j > est reliée à la ligne de bit de lecture globale GRBLT< j > correspondante par un circuit de liaison 31, par exemple du type décrit en relation avec la figure 4. De plus, chaque ligne de bit de lecture locale LRBLF< j > est reliée à la ligne de bit de lecture globale GRBLF< j > correspondante par un circuit de liaison 31, par exemple du type décrit en relation avec la figure 4.

Dans la variante de la figure 10, le circuit mémoire comprend en outre, pour chaque colonne de rang j de la ou des matrices du module, un circuit de liaison supplémentaire 1001, connecté d'une part aux lignes de bit de lecture locales LRBLT< j > et LRBLF< j > de la colonne, et d'autre part aux lignes de bit de lecture globales GRBLT< j > et GRBLF< j > de la colonne. Le circuit de liaison supplémentaire 1001 est adapté à mettre en oeuvre des opérations de calcul logique ayant pour opérands des données binaires appliquées sur les lignes de bit de lecture locales LRBLT< j > et LRBLF< j > de la colonne, et à fournir les résultats de ces opérations sur les lignes de bit de lecture globales GRBLT< j > et GRBLF< j > de la colonne. Sur la figure 10, seul un circuit de liaison supplémentaire 1001 du module a été représenté, ainsi qu'un circuit 1003 de précharge des lignes de bit de lecture globales GRBLT< j > et GRBLF< j > connectées au circuit 1001.

Le circuit de liaison supplémentaire 1001 de la figure 10 comprend un transistor 1102, par exemple un transistor MOS à canal N, reliant, par ses noeuds de conduction, la ligne de bit de lecture globale GRBLT< j > à un noeud intermédiaire $n1$ du circuit. Le circuit 1001 comprend en outre un transistor 1104,

par exemple un transistor MOS à canal N, reliant, par ses noeuds de conduction, un noeud intermédiaire n2 du circuit à un noeud d'application du potentiel d'alimentation bas GND du module. Le circuit 1001 comprend en outre un transistor 1106, par exemple un

5 transistor MOS à canal N, reliant, par ses noeuds de conduction, la ligne de bit de lecture globale GRBLF<j> à un noeud intermédiaire n3 du circuit. Le circuit 1001 comprend en outre un transistor 1108, par exemple un transistor MOS à canal N, reliant, par ses noeuds de conduction, un noeud intermédiaire n4 du circuit

10 à un noeud d'application du potentiel d'alimentation bas GND du module. La grille du transistor 1106 est reliée, par exemple connectée, à la ligne de bit de lecture locale LRBLT<j> connectée au circuit 1001. La grille du transistor 1104 est reliée, par exemple connectée, à la ligne de bit de lecture locale LRBLF<j>

15 connectée au circuit 1001. La grille du transistor 1102 est reliée, par exemple connectée, à un noeud $\overline{\text{LRBLT} \langle j \rangle}$ de fourniture d'un signal binaire complémentaire du signal binaire porté par la ligne de bit de lecture locale LRBLT<j>. A titre d'exemple, le noeud $\overline{\text{LRBLT} \langle j \rangle}$ est un noeud de sortie d'un inverseur (non représenté) dont l'entrée est reliée à la ligne de bit de lecture locale LRBLT<j>. La grille du transistor 1108 est reliée, par exemple connectée, à un noeud $\overline{\text{LRBLF} \langle j \rangle}$ de fourniture d'un signal binaire complémentaire du signal binaire porté par la ligne de bit de lecture locale LRBLF<j>. A titre d'exemple, le noeud

20 $\overline{\text{LRBLF} \langle j \rangle}$ est un noeud de sortie d'un inverseur (non représenté) dont l'entrée est reliée à la ligne de bit de lecture locale LRBLF<j>. Le circuit 1001 de la figure 10 comprend de plus un premier interrupteur S1 reliant le noeud n1 au noeud n2, un deuxième interrupteur S2 reliant le noeud n3 au noeud n4, un

30 troisième interrupteur S3 reliant le noeud n2 au noeud n3, et un quatrième interrupteur S4 reliant le noeud n1 au noeud n4.

Dans cet exemple, le circuit de précharge 1003 comprend un transistor 1201, par exemple un transistor MOS à canal P, reliant, par ses noeuds de conduction, un noeud d'application du

35 potentiel d'alimentation haut VDD du module à la ligne de bit de

lecture globale GRBLT<j>, et un transistor 1203, par exemple un transistor MOS à canal P, reliant, par ses noeuds de conduction, le noeud d'application du potentiel d'alimentation haut VDD du module à la ligne de bit de lecture globale GRBLF<j>. Dans
5 l'exemple représenté, les transistors 1201 et 1203 ont leurs grilles de commande connectées à un même noeud de commande PCHB du circuit de précharge.

Le circuit de liaison supplémentaire 1001 de la figure 10 permet de mettre en oeuvre des opérations de calcul logique
10 ayant pour opérands des données binaires stockées dans les cellules connectées aux lignes de bit de lecture locales LRBLT<j> et LRBLF<j>.

Pour cela, les lignes de bit de lecture globales GRBLT<j> et GRBLF<j> sont d'abord préchargées à un niveau haut
15 par l'intermédiaire du circuit de précharge 1003 (en mettant simultanément à l'état passant, puis à l'état bloqué les transistors 1201 et 1203 du circuit 1003, par application d'un signal de commande approprié sur le noeud PCHB).

A titre d'exemple illustratif, on considère que deux
20 cellules élémentaires 10 d'une même colonne de rang j sont activées simultanément en lecture, la première via son port RPT (figure 2) seulement, et la deuxième via son port RPF (figure 2) seulement. Pour cela, après avoir préchargé à un niveau haut les lignes de bit de lecture LRBLT<j> et LRBLF<j> de la colonne et
25 mis à un niveau bas les pistes conductrices de référence VGNDT et VGNDF de la colonne, le transistor de sélection T4 (figure 2) de la première cellule et le transistor de sélection T6 (figure 2) de la deuxième cellule sont simultanément rendus passant. Le transistor de sélection T6 de la première cellule et le transistor
30 de sélection T4 de la deuxième cellule sont quant à eux maintenus ouverts (bloqués).

On désigne respectivement par A et B les valeurs binaires mémorisées sur les noeuds BLTI (figure 2) des deux cellules considérées. Les valeurs binaires complémentaires \bar{A} et
35 \bar{B} sont alors stockées sur les noeuds BLFI (figure 2) respectifs

des deux cellules. La piste conductrice de sortie LRBLT<j> de la colonne reste à son niveau haut de précharge uniquement si la valeur A est à un niveau bas, et la piste conductrice de sortie LRBLF<j> de la colonne reste à son niveau haut de précharge
5 uniquement si la valeur B est à un niveau haut. Ainsi, le signal appliqué sur la grille du transistor 1106 correspond à la valeur complémentaire de la valeur A, c'est-à-dire qu'il est à un niveau bas si la valeur A est à un niveau haut, et à un niveau bas si la valeur A est à un niveau haut. Le signal appliqué sur la grille
10 du transistor 1102 correspond quant à lui à la valeur A, c'est-à-dire qu'il est à un niveau haut si la valeur A est à un niveau haut, et à un niveau bas si la valeur A est à un niveau bas. Le signal appliqué sur la grille du transistor 1104 et sur la grille du transistor 1108 correspondent quant à eux respectivement à la
15 valeur B et à la valeur complémentaire de la valeur B.

Le circuit de liaison supplémentaire 1001 peut être commandé dans une première configuration dans laquelle les interrupteurs S1 et S2 sont fermés (passants) et les interrupteurs S3 et S4 sont ouverts (bloqués), ou dans une deuxième
20 configuration dans laquelle les interrupteurs S1 et S2 sont ouverts (bloqués) et les interrupteurs S3 et S4 sont fermés (passants).

Dans la première configuration (interrupteurs S1 et S2 fermés et interrupteurs S3 et S4 ouverts), la ligne de bit de lecture globale GRBLT<j> se décharge uniquement si les valeurs A et B sont toutes les deux à l'état haut, et la ligne de bit de lecture globale GRBLF<j> se décharge uniquement si les signaux A et B sont tous les deux à l'état bas. Autrement dit, le signal binaire lu sur la ligne de bit de lecture globale GRBLT<j>
25 correspond au résultat d'une opération logique NON ET entre les valeurs A et B ($\overline{A \cdot B}$), et le signal binaire lu sur la ligne de bit de lecture globale GRBLF<j> correspond au résultat d'une opération logique NON ET entre les valeurs \overline{A} et \overline{B} , c'est-à-dire au résultat d'une opération logique OU entre les valeurs A et B ($A+B$).
30

Un avantage de cette configuration est que les opérations logiques $\overline{A.B}$ et $A+B$ sont réalisées en local, seul le résultat de chaque opération étant transmis sur la ligne de bit de lecture globale GRBLT<j>, respectivement GRBLF<j>. Ceci permet un gain en consommation associé à deux calculs primitifs en parallèle. En effet, en observant les tables de vérité reproduites ci-dessous des opérations $\overline{A.B}$ et $A+B$, on peut voir qu'en reportant uniquement le résultat des opérations logiques $\overline{A.B}$ et $A+B$ sur les lignes de bit de lecture globales, il y a, statistiquement, une chance sur quatre de décharger chaque ligne de bit de lecture globale.

A	B	$\overline{A.B}$	$A+B$
0	0	1	0
0	1	1	1
1	0	1	1
1	1	0	1

Si au contraire les lignes de bit de lecture globales étaient utilisées pour lire directement les valeurs A et B, il y aurait, statistiquement, une chance sur deux de décharger chaque ligne de bit de lecture globale.

Or, du fait de la capacité relativement élevée des lignes de bit de lecture globales, les opérations de recharge des lignes de bit de lecture globales sont relativement coûteuses en énergie par rapport aux opérations de recharge des lignes de bit de lecture locales. Le circuit de liaison supplémentaire 1001 permet ainsi de réaliser un gain en consommation dynamique.

On notera que les opérations logiques $\overline{A.B}$ et $A+B$ sont particulièrement utiles dans la mesure où elles constituent des opérations élémentaires nécessaires à la mise en oeuvre d'opérations arithmétiques d'addition.

Dans la deuxième configuration du circuit de liaison 1001 (interrupteurs S3 et S4 fermés et interrupteurs S1 et S2 ouverts), le fonctionnement est similaire à la différence près que les opérations logiques réalisées sont les opérations $\overline{A} + B$

(le résultat de l'opération étant disponible sur la ligne de bit de lecture globale GRBLT<j>) et $A + \bar{B}$ (le résultat de l'opération étant disponible sur la ligne de bit de lecture globale GRBLF<j>). Ces deux opérations sont elles aussi particulièrement utiles dans la mesure où elles constituent des opérations élémentaires nécessaires à la mise en oeuvre d'opérations arithmétiques de soustraction. Là encore, l'utilisation du circuit de liaison supplémentaire 1001 pour la mise en oeuvre de ces opérations permet un gain en consommation dynamique associé à deux calculs primitifs en parallèle.

Des modes de réalisation particuliers ont été décrits. Diverses variantes et modifications apparaîtront à l'homme de l'art. En particulier, les modes de réalisation décrits ne se limitent pas à l'exemple de réalisation des cellules élémentaires 10 décrit en relation avec la figure 2, ni aux exemples de réalisation de circuits de liaison décrits en relation avec les figures 4 et 7. Plus généralement, l'homme du métier saura mettre en oeuvre le fonctionnement recherché avec d'autres architectures de cellules élémentaires et/ou de circuits de liaison internes (les circuits 31) ou externes (les circuits 61) aux modules mémoire.

On notera de plus que les modes de réalisation décrits en relation avec les figures 5, 6, 7, 8 et 9 et le mode de réalisation décrit en relation avec les figures 3 et 4 peuvent être combinés, c'est-à-dire que des modules partitionnés en plusieurs matrices (tel que décrit en relation avec les figures 3 et 4) peuvent être reliés par des circuits de liaison externes 61 au sein d'un même circuit mémoire (tel que décrit en relation avec les figures 5, 6, 7, 8 et 9).

Par ailleurs, on a décrit ci-dessus des exemples de réalisation dans lesquels des lignes de bit de lecture globales et des circuits de liaison sont utilisés pour relier entre elles des lignes de bit de lecture locales de plusieurs matrices de cellules élémentaires d'un même module mémoire ou d'un même circuit mémoire, en vue de réaliser des opérations de calcul ayant

pour opérandes des données stockées dans différentes matrices du module ou du circuit.

Plus généralement, l'architecture proposée peut être utilisée pour transférer des données d'une matrice à une autre
5 pour d'autres applications que la mise en oeuvre d'une opération de calcul.

A titre d'exemple, dans une première matrice, les lignes de bit globales de la matrice peuvent être reliées aux lignes de bit de lecture locales de la matrice tel que décrit ci-dessus,
10 tandis que, dans une deuxième matrice, les lignes de bit globales peuvent être reliées à des lignes de bit d'écriture de la matrice, de façon à permettre un transfert direct de données lues dans la première matrice en vue de leur écriture dans la deuxième matrice.

A titre de variante, le module ou le circuit mémoire
15 peut comprendre des matrices de cellules élémentaires de natures différentes, par exemple une première matrice de cellules SRAM du type décrit en relation avec la figure 2, et une deuxième matrice de cellules CAM (de l'anglais "Content Adressable Memory" - mémoire adressable par le contenu). Dans ce cas, les lignes de
20 bit globales de la première matrice peuvent être reliées aux lignes de bit de lecture locales de la matrice tel que décrit ci-dessus, tandis que, les lignes de bit globales de la deuxième matrice peuvent être reliées à des lignes de bit de recherche de contenu de la deuxième matrice, de façon à permettre un transfert
25 direct des données lues dans la première matrice en vue d'effectuer des recherches de contenu dans la deuxième matrice.

REVENDICATIONS

1. Circuit mémoire comprenant une pluralité de cellules élémentaires (10) réparties en plusieurs matrices (A1, A2 ; A) comprenant chacune M colonnes, avec M entier supérieur ou égal à 2, dans lequel :

5 chaque colonne de chaque matrice comprend une première ligne de bit locale (LRBL<j> ; LRBLT<j>) directement connectée à chacune des cellules de la colonne ;

 chaque colonne de chaque matrice comprend une première ligne de bit globale (GRBL<j> ; GRBLT<j> ; VGRBL<j>, HGRBL<j>) reliée à la première ligne de bit locale (LRBL<j>) de la colonne par un premier circuit de liaison (31), le premier circuit de liaison (31) étant commandable pour :

- isoler la première ligne de bit locale de la colonne de sa première ligne de bit globale,
- 15 - transmettre sur la première ligne de bit globale de la colonne un signal binaire présent sur sa première ligne de bit locale, ou
- transmettre sur la première ligne de bit locale de la colonne un signal binaire présent sur sa première
- 20 ligne de bit globale ; et

les premières lignes de bit globales (GRBL<j> ; GRBLT<j> ; VGRBL<j>, HGRBL<j>) des colonnes de même rang j des différentes matrices (A1, A2 ; A), avec j entier allant de 0 à M-1, sont reliées entre elles.

25 2. Circuit mémoire selon la revendication 1, dans lequel chaque premier circuit de liaison (31) comprend :

 des premier (401) et deuxième (403) transistors connectés en série entre un noeud (VDD) d'application d'une tension d'alimentation du circuit et la première ligne de bit globale (GRBL<j> ; GRBLT<j> ; VGRBL<j>, HGRBL<j>) de la colonne ;

30 et

 des troisième (405) et quatrième (407) transistors connectés en série entre la première ligne de bit locale (LRBL<j>

; LRBLT<j>) de la colonne et un noeud (GND) d'application d'un potentiel de référence du circuit,

la grille du deuxième transistor (403) étant connectée à la première ligne de bit locale (LRBL<j> ; LRBLT<j>) de la
 5 colonne, et la grille du troisième transistor (405) étant connectée à la première ligne de bit globale (GRBL<j> ; GRBLT<j>) de la colonne.

3. Circuit mémoire selon la revendication 1 ou 2, dans lequel lesdites matrices (A1, A2) font partie d'un même
 10 module mémoire, les premières lignes de bit globales (GRBL<j> ; GRBLT<j>) des colonnes de même rang j des différentes matrices étant directement connectées entre elles.

4. Circuit mémoire selon la revendication 1 ou 2, dans lequel lesdites matrices (A) font partie de modules mémoire
 15 distincts, les premières lignes de bit globales (GRBL<j> ; GRBTL<j> ; VGRBL<j>, HGRBL<j>) des colonnes de même rang j des différentes matrices étant reliées en série par l'intermédiaire de circuits de liaison supplémentaires (61).

5. Circuit mémoire selon la revendication 4, dans lequel chaque circuit de liaison supplémentaire (61) reliant en
 20 série une première ligne de bit globale (GRBL_T) d'une première colonne de rang j d'un module mémoire à une première ligne de bit globale (GRBL_B) d'une deuxième colonne de même rang j d'un module mémoire voisin, est commandable pour :

25 -isoler lesdites premières lignes de bit globales (GRBL_T ; GRBL_B) l'une de l'autre,

-recopier sur la première ligne de bit globale (GRBL_B) de la deuxième colonne un signal binaire présent sur la première ligne de bit globale (GRBL_T) de la première colonne, ou

30 -recopier sur la première ligne de bit globale (GRBL_T) de la première colonne un signal binaire présent sur la première ligne de bit globale (GRBL_B) de la deuxième colonne.

6. Circuit mémoire selon la revendication 5, dans lequel chaque circuit de liaison supplémentaire (61) comprend :

un amplificateur (701) ayant une entrée reliée à la première ligne de bit globale (GRBL_T) de la première colonne par un cinquième transistor (703) et une sortie reliée à la première ligne de bit globale (GRBL_B) de la deuxième colonne par un sixième transistor (705) ;

un septième transistor (707) reliant la première ligne de bit globale (GRBL_T) de la première colonne à la sortie de l'amplificateur (701) ; et

un huitième transistor (709) reliant la première ligne de bit globale (GRBL_B) de la deuxième colonne à l'entrée de l'amplificateur (701).

7. Circuit mémoire selon la revendication 6, dans lequel dans chaque circuit de liaison supplémentaire (61), les grilles des cinquième (703) et sixième (705) transistors sont connectées à une même première piste conductrice de commande (T2B_SEL) du circuit de liaison, et les grilles des septième (707) et huitième (709) transistors sont connectées à une même deuxième piste conductrice de commande (B2T_SEL) du circuit de liaison.

8. Circuit mémoire selon l'une quelconque des revendications 1 à 7, dans lequel dans chaque colonne de chaque matrice, la première ligne de bit locale (LRBL<j>) et la première ligne de bit globale (VGRBL<j>) de la colonne s'étendent selon la direction de la colonne, et dans lequel, pour chaque colonne de chaque matrice, le circuit mémoire comprend en outre une première ligne de bit globale supplémentaire (HGRBL<j>) connectée à la première ligne de bit globale de la colonne, la première ligne de bit globale supplémentaire s'étendant orthogonalement à la direction de la colonne.

9. Circuit mémoire selon la revendication 8, dans lequel lesdites plusieurs matrices sont disposées matriciellement selon des rangées et des colonnes, les matrices d'une même colonne étant reliées les unes aux autres par leurs premières lignes de bit globales (VGRBL<j>) et les matrices d'une même rangée étant reliées les unes aux autres par leurs premières lignes de bit globales supplémentaires (HGRBL<j>).

10. Circuit mémoire selon l'une quelconque des revendications 1 à 9, comprenant un circuit de contrôle adapté à activer simultanément en lecture une première cellule d'une colonne de rang j d'une première matrice du circuit mémoire, et
5 une deuxième cellule d'une deuxième colonne de même rang j d'une deuxième matrice du circuit mémoire, et à commander le ou les circuits de liaison reliant la première ligne de bit locale (LRBL< j > ; LRBLT< j >) de la première colonne à la première ligne de bit locale (LRBL< j > ; LRBLT< j >) de la deuxième colonne pour
10 transmettre sur la première ligne de bit locale de la deuxième colonne un signal binaire présent sur la première ligne de bit locale de la première colonne, de façon à réaliser une opération logique ayant pour opérandes les données stockées dans les première et deuxième cellules.

11. Circuit mémoire selon l'une quelconque des revendications 1 à 10, dans lequel :

chaque colonne de chaque matrice comprend une deuxième ligne de bit locale (LRBLF< j >) directement connectée à chacune des cellules de la colonne ; et

chaque colonne de chaque matrice comprend une deuxième ligne de bit globale (GRBLF< j >) reliée à la deuxième ligne de bit locale (LRBLF< j >) de la colonne par un deuxième circuit de liaison (31), le deuxième circuit de liaison (31) étant commandable pour :

- isoler la deuxième ligne de bit locale de la colonne
25 de sa deuxième ligne de bit globale,
- transmettre sur la deuxième ligne de bit globale de la colonne un signal binaire présent sur sa deuxième ligne de bit locale, ou
- transmettre sur la deuxième ligne de bit locale de
30 la colonne un signal binaire présent sur sa deuxième ligne de bit globale ; et

les deuxième lignes de bit globales (GRBLF< j >) des colonnes de même rang j des différentes matrices sont reliées entre elles.

12. Circuit mémoire selon la revendication 11, comprenant en outre, pour chaque colonne de chaque matrice, un circuit additionnel (1001) connecté aux première (LRBLT<j>) et deuxième (LRBLF<j>) lignes de bit locales et aux première
5 (GRBLT<j>) et deuxième (GRBLF<j>) lignes de bit globales de la colonne, le circuit additionnel (1001) étant adapté à mettre en oeuvre des opérations de calcul logique ayant pour opérandes des données binaires appliquées sur les première (LRBLT<j>) et deuxième (LRBLF<j>) lignes de bit locales de la colonne et à
10 fournir les résultats de ces opérations sur les première (GRBLT<j>) et deuxième (GRBLF<j>) lignes de bit globales de la colonne.

13. Circuit mémoire selon la revendication 12, dans lequel le circuit additionnel (1001) comprend :

15 un premier transistor (1102) reliant la première ligne de bit globale (GRBLT<j>) à un premier noeud intermédiaire (n1) ;
un deuxième transistor (1104) reliant un deuxième noeud intermédiaire (n2) à un noeud d'application d'un potentiel d'alimentation bas (GND) du circuit mémoire ;

20 un troisième transistor (1106) reliant la deuxième ligne de bit globale (GRBLF<j>) à un troisième noeud intermédiaire (n3) ;
un quatrième transistor (1108) reliant un quatrième noeud intermédiaire (n4) au noeud d'application du potentiel
25 d'alimentation bas (GND) du circuit mémoire ;
un premier interrupteur (S1) reliant le premier noeud intermédiaire (n1) au deuxième noeud intermédiaire (n2) ;
un deuxième interrupteur (S2) reliant le troisième noeud intermédiaire (n3) au quatrième noeud intermédiaire (n4) ;

30 un troisième interrupteur (S3) reliant le deuxième noeud intermédiaire (n2) au troisième noeud intermédiaire (n3) ; et
un quatrième interrupteur (S4) reliant le premier noeud intermédiaire (n1) au quatrième noeud intermédiaire (n4).

14. Circuit mémoire selon la revendication 13, dans
35 lequel :

la grille du troisième transistor (1106) du circuit additionnel est reliée à la première ligne de bit locale (LRBLT<j>) de la colonne ;

5 la grille du deuxième transistor (1104) du circuit additionnel est reliée à la deuxième ligne de bit locale (LRBLF<j>) de la colonne ;

la grille du premier transistor (1102) du circuit additionnel est reliée à un noeud (LRBLT < j >) de fourniture d'un signal binaire complémentaire du signal binaire porté par la première ligne de bit de lecture locale (LRBLT<j>) de la colonne
10 ; et

la grille du quatrième transistor (1108) est reliée à un noeud (LRBLF < j >) de fourniture d'un signal binaire complémentaire du signal binaire porté par la deuxième ligne de
15 bit de lecture locale (LRBLF<j>) de la colonne.

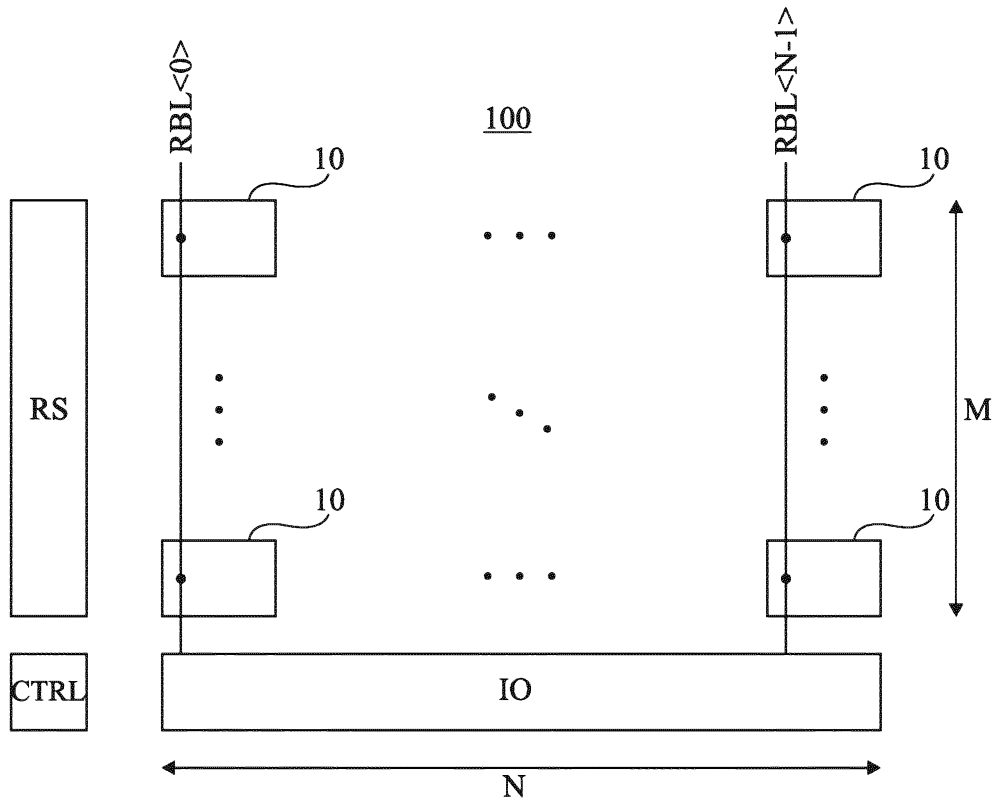


Fig 1

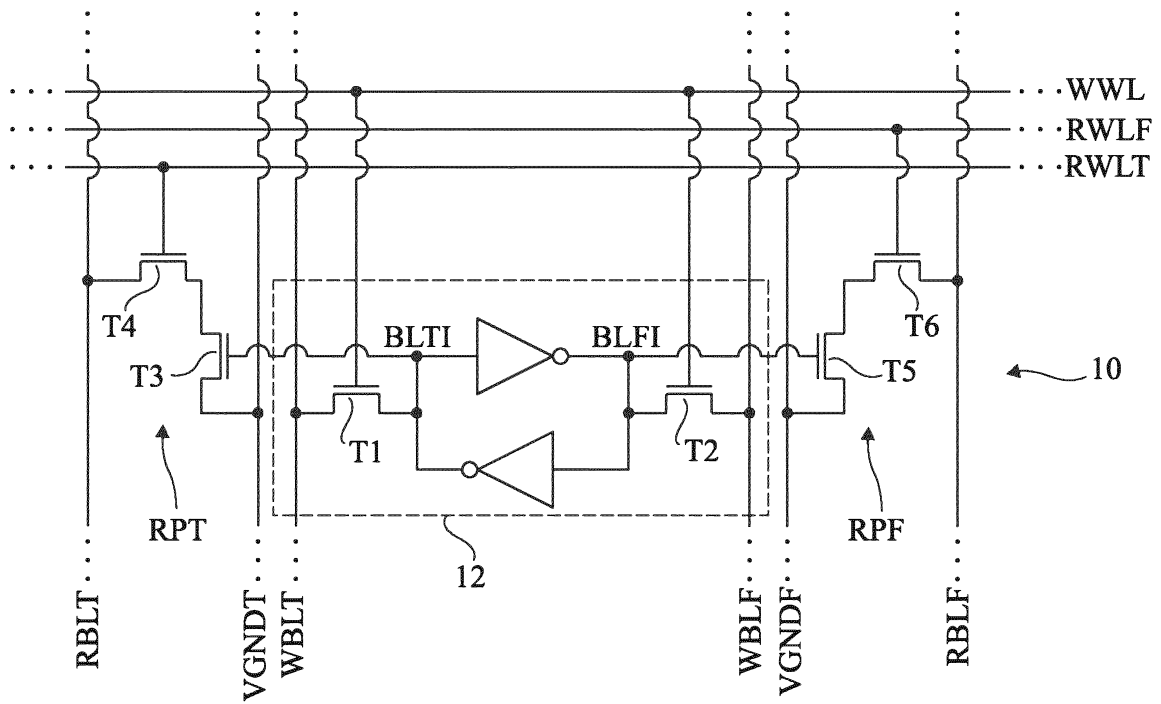


Fig 2

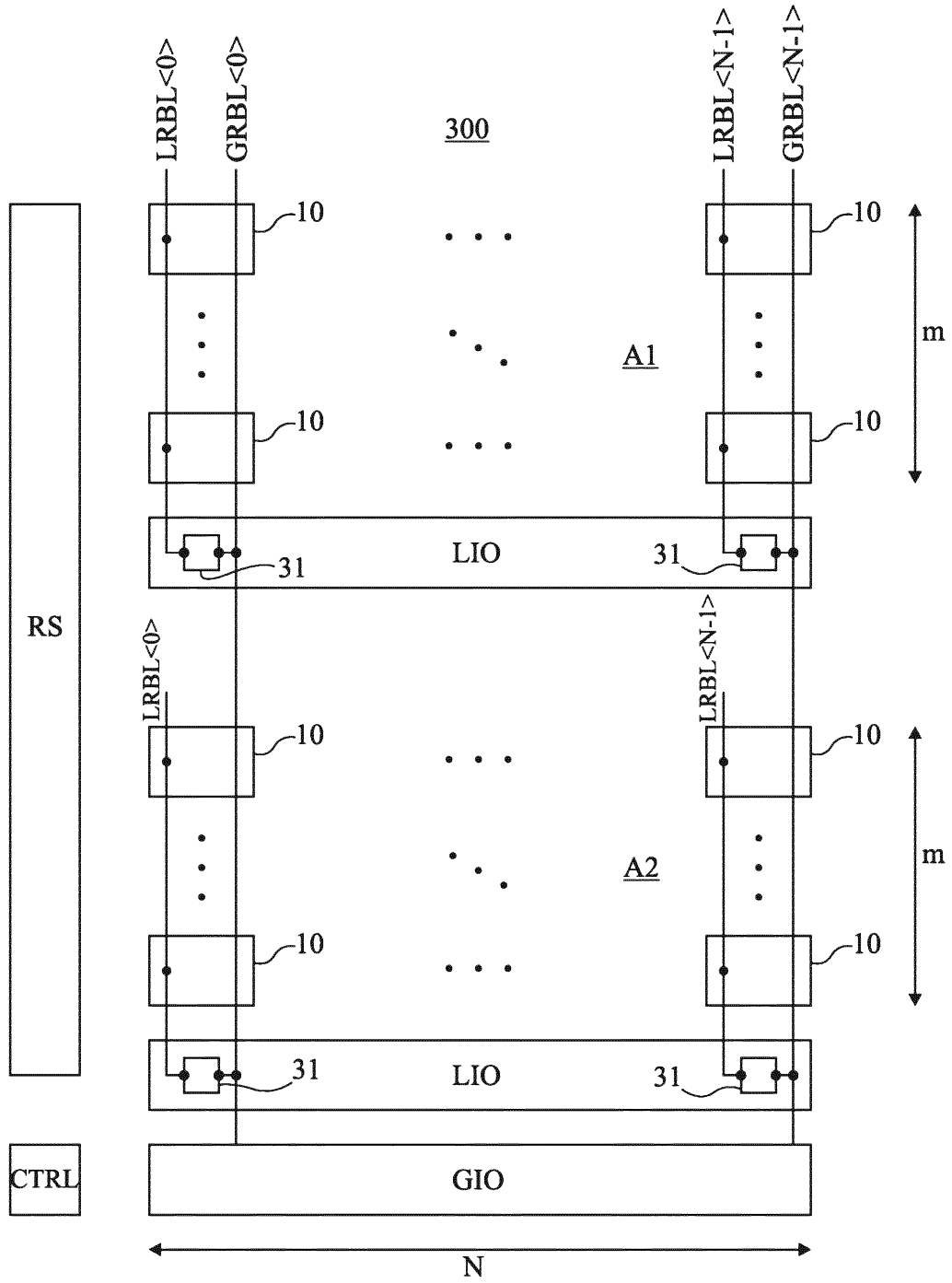


Fig 3

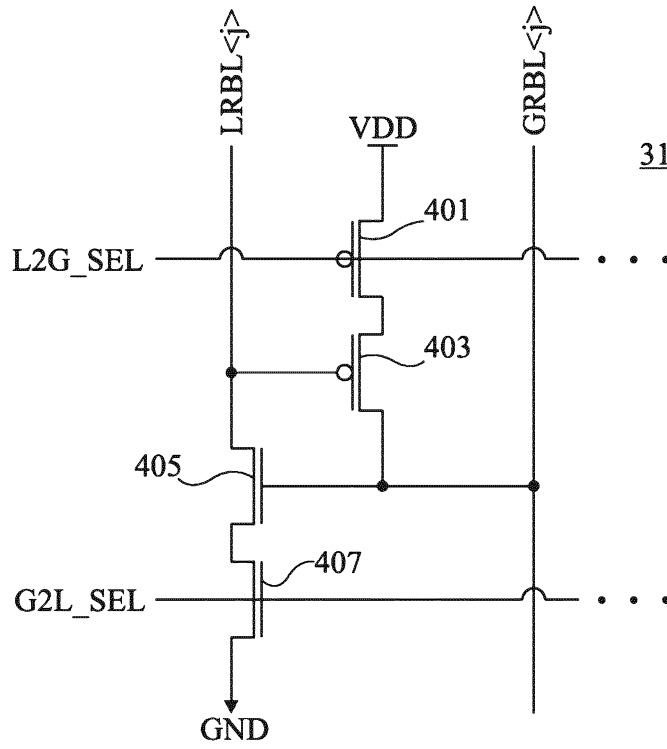


Fig 4

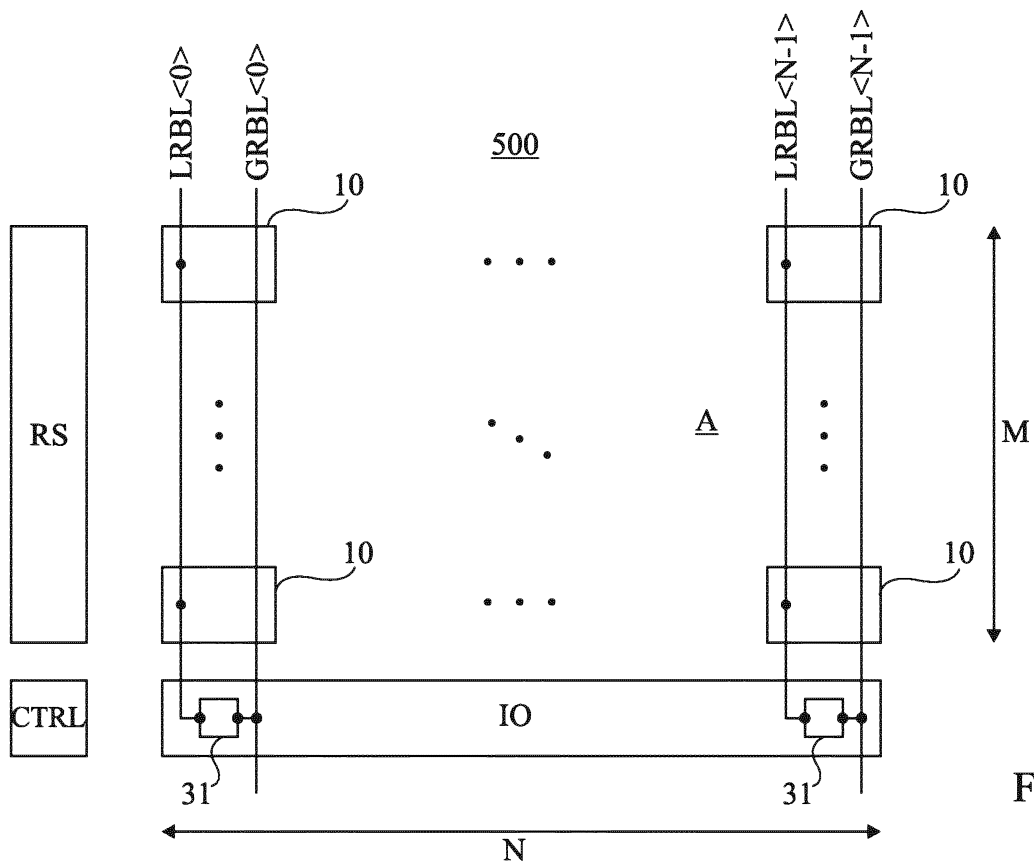


Fig 5

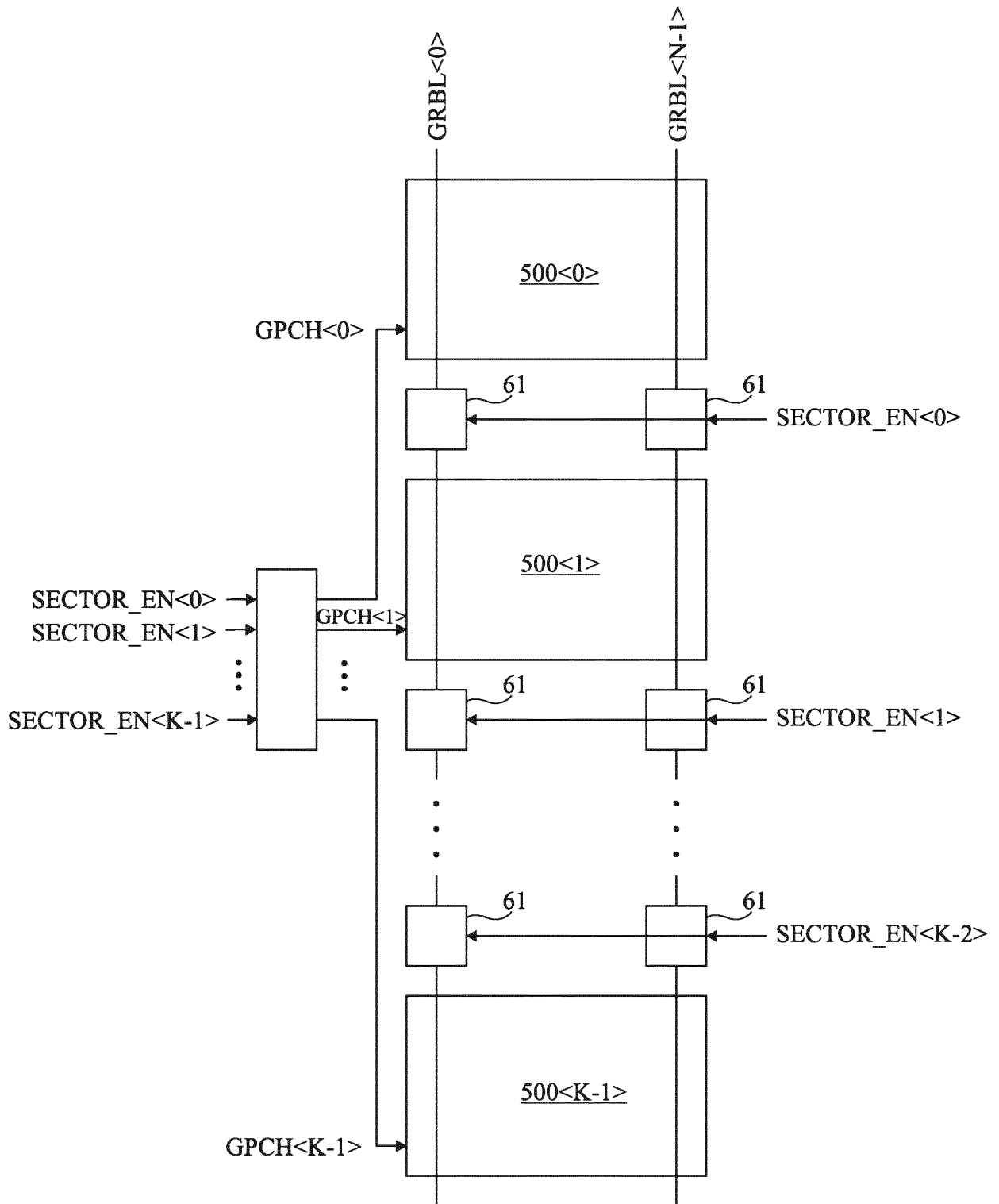


Fig 6

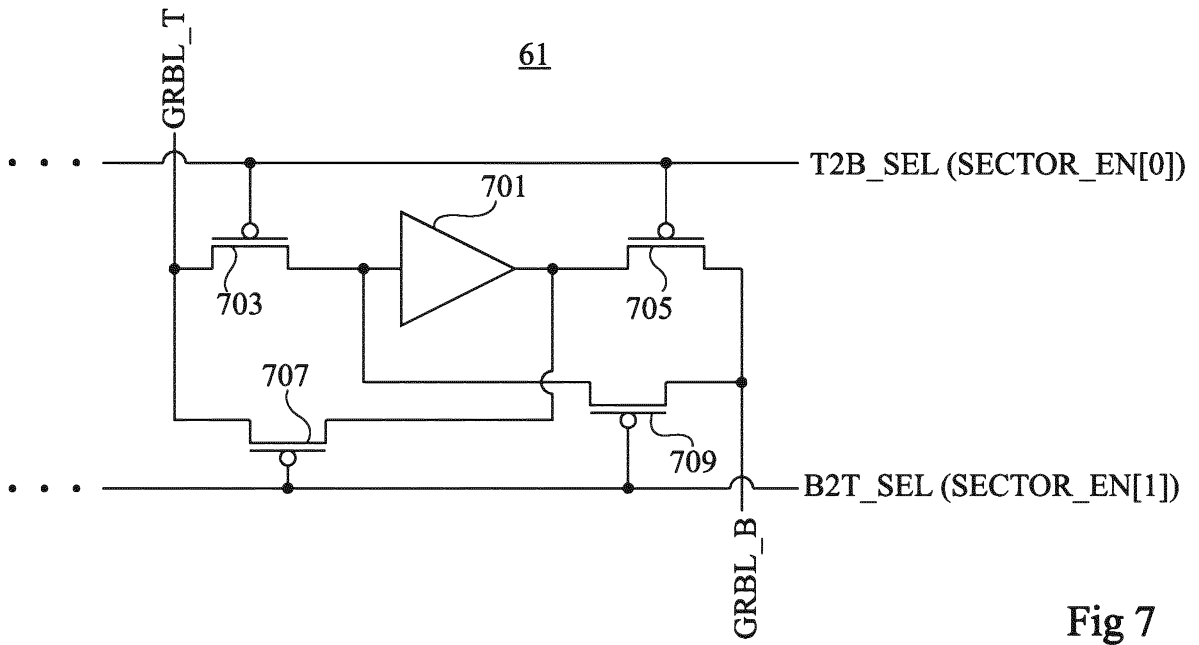


Fig 7

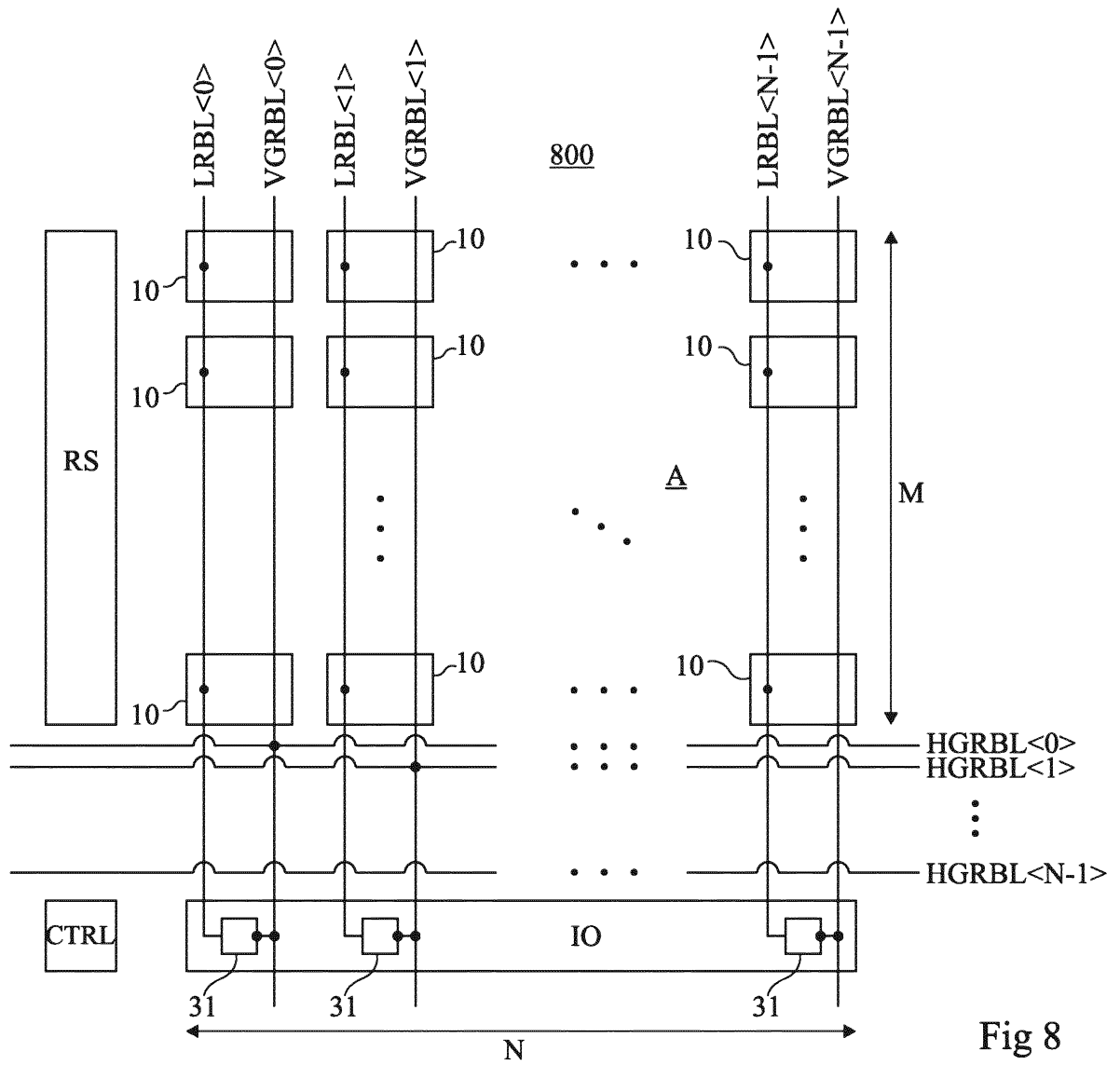


Fig 8

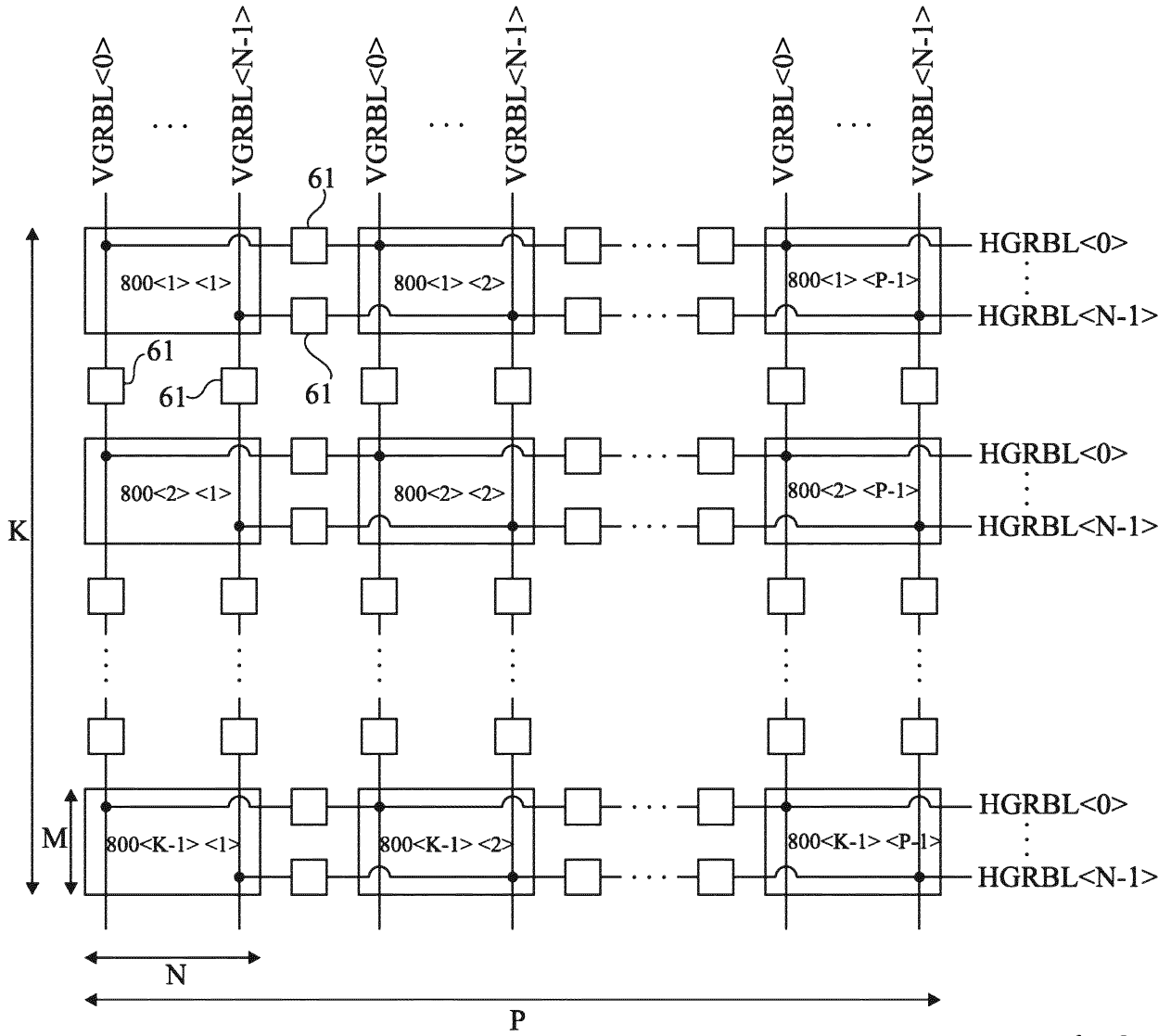


Fig 9

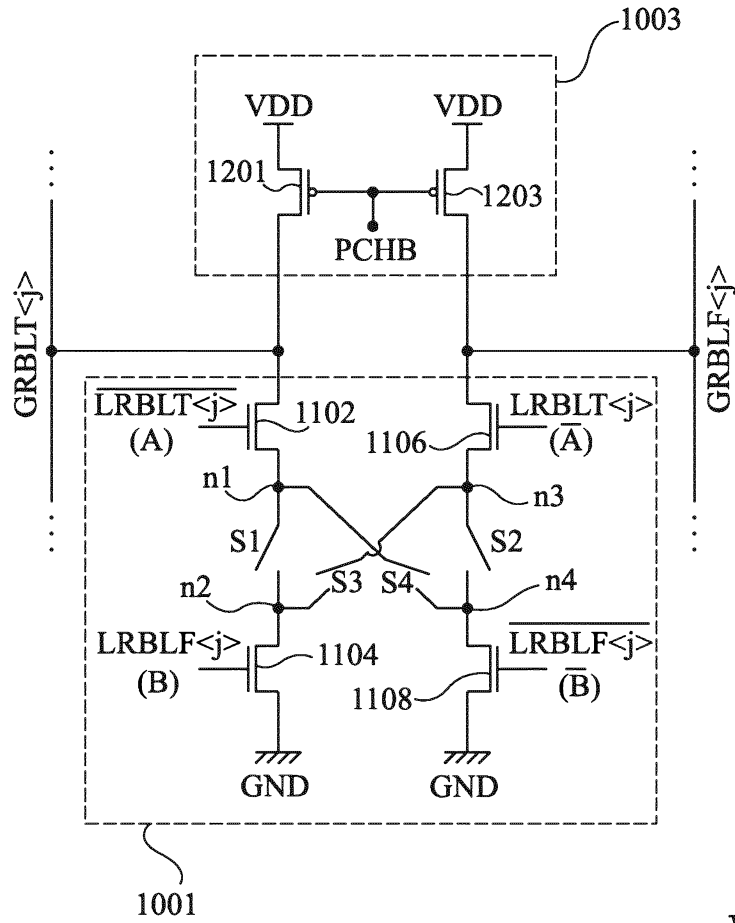


Fig 10

**RAPPORT DE RECHERCHE
 PRÉLIMINAIRE**

 établi sur la base des dernières revendications
 déposées avant le commencement de la recherche
N° d'enregistrement
nationalFA 850326
FR 1762470

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X A	US 2013/051170 A1 (KURODA NAOKI [JP]) 28 février 2013 (2013-02-28) * alinéa [0024] - alinéa [0028]; figures 1-3 *	1-5, 10-12 6,7,13, 14	G11C11/34
X A	US 2002/036944 A1 (FUJIMOTO YUKIHIRO [JP]) 28 mars 2002 (2002-03-28) * alinéa [0032] - alinéa [0034]; figure 4 *	1-5,8,9, 11,12 6,7,10, 14	
X A	US 2012/314468 A1 (SIAU CHANG HUA [US] ET AL) 13 décembre 2012 (2012-12-13) * alinéa [0031] - alinéa [0034]; figures 1,2 *	1-5,8,9 6,7, 10-14	
A	JP 2008 198243 A (TOSHIBA CORP) 28 août 2008 (2008-08-28) * le document en entier *	1-14	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			G11C
		Date d'achèvement de la recherche	Examineur
		24 septembre 2018	Lecoutre, Renaud
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1762470 FA 850326**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **24-09-2018**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2013051170 A1	28-02-2013	CN 102906819 A	30-01-2013
		JP 5798120 B2	21-10-2015
		JP W02012081159 A1	22-05-2014
		US 2013051170 A1	28-02-2013
		US 2013229887 A1	05-09-2013
		WO 2012081159 A1	21-06-2012

US 2002036944 A1	28-03-2002	JP 2002109884 A	12-04-2002
		US 2002036944 A1	28-03-2002

US 2012314468 A1	13-12-2012	AUCUN	

JP 2008198243 A	28-08-2008	AUCUN	
