

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G06F 9/00

(45) 공고일자 1994년06월23일
(11) 공고번호 특1994-0005816

(21) 출원번호	특1985-0008350	(65) 공개번호	특1986-0005284
(22) 출원일자	1985년11월08일	(43) 공개일자	1986년07월21일
(30) 우선권주장	84-280817 1984년12월24일	일본(JP)	
(71) 출원인	소니 가부시끼가이샤 오오가 노리오 일본국 도오교도 시나가와구 기다시나가와 6쥬메 7반 35고		
(72) 발명자	기따무라 요시오 일본국 도오교도 시나가와구 기다시나가와 6쥬메 7반 35고 소니 가부시끼가 이샤 나이 다끼쯔까 히로시 일본국 도오교도 시나가와구 기다시나가와 6쥬메 7반 35고 소니 가부시끼가 이샤 나이 이시하라 다다오 일본국 도오교도 시나가와구 기다시나가와 6쥬메 7반 35고 소니 가부시끼가 이샤 나이		
(74) 대리인	이병호, 최달용		

심사관 : 김연호 (책자공보 제3668호)

(54) 데이터 처리장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

데이터 처리장치

[도면의 간단한 설명]

제1도는 본 발명에 의한 데이터 처리 장치의 전체 구성을 표시하는 블록도.

제2도는 처리해야할 일련의 데이터 처리 스텝을 표시하는 개략선도.

제3도는 동시 병렬 처리할때의 데이터 처리 스텝을 표시하는 개략선도.

제4도는 제1도의 시스템버스에 관련한 구성부분을 표시하는 블록도.

제5도는 제4도의 타임 슬롯 할당부(16A)의 상세한 구성을 표시하는 블록도.

제6도는 그 타임슬롯 신호를 표시하는 신호 파형도.

제7도는 제4도의 메모리 액세스 제어부(16B)의 상세한 구성을 표시하는 블록.

제8도는 제7도의 메모리 액세스 수단 16B 2j의 더욱 상세한 구성을 표시하는 블록도.

제9도는 제8도의 우선선택 수단(31)의 상세한 구성을 표시하는 블록도.

제10도는 그 우선 순위의 설명에 제공하는 도표.

제11도는 제4도의 메모리 뱅크안예이블 신호 발생부(16C)의 상세한 구성을 표시하는 블록도.

제12도는 제4도의 메모리 뱅크 MBj의 상세한 구성을 표시하는 블록도.

제13도 내지 제16도는 각부의 신호를 표시하는 신호파형도.

제17도는 동시 병렬 처리할때의 데이터 처리 순서를 표시하는 개략선도.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|----------------------------|-------------------|
| 1 : 시스템버스 | 2 : 공유기억 장치 |
| 5 : 파일축적 장치 | 6 : 데이터 전송 장치 |
| 7 : 화상 판독 프린트 장치 | 8 : 화상 정보 압축 신장장치 |
| 9 : 조작 표시 장치 | 10 : 주제어 장치 |
| 16 : 중재 장치부 | 16A : 타임 슬롯 할당부 |
| 16B : 메모리 액세스 제어부 | |
| 16C : 메모리 बैं크 인에이블 신호 발생부 | |

P0 내지 P7 : 프로세서

MBO 내지 MB7 : 메모리 बैं크

[발명의 상세한 설명]

본 발명은 데이터 처리장치에 관하여, 예컨대 문서, 도면 등과같이, 그림과, 문자등의 형질을 포함해서 구성된 화상을 표현하는 디지털 데이터로 형성되는 정보(이하 이것을 화상 정보라 칭한다)를 처리하는 경우에 적용하기에 가장 알맞는 것이다.

이 종류의 화상 정보를 대상으로 하는 데이터 처리 장치의 적용 범위는 확대되어 가고 있고, 문서작성, 전자파일, 상호통신등을 일련의 시스템으로서 간단용이하고 또한 저렴하게 구축할수 있으면 사무 자동화, 미래형 사무실, 무서류 사무실등의 분야에 있어서 일반사무처리업무에 유용한 데이터 처리 장치를 제공할 수 있다고 생각된다.

그러나 이 종류의 화상정보는, 소정의 코드에 코드화된 일반의 데이터를 처리하는 경우(예컨대 수치연산, 데이터 처리, 워드 프로세싱등의 경우)와 비교하여, 약 100배 정도 이상의 대량의 정보량을 갖는다. 따라서 화상정보를 디지털 처리할때에는, 일반데이터를 처리하는 경우와 비교하여 100배 이상의 시스템 효율을 갖는 기계를 사용할 필요가 있다. 그를 위하여 종래는, 대량으로 데이터를 처리할 수 있도록 특수사양에 의해 설계한 전용의 프로세서, 전용의 하드웨어논리, 또는 대형 전자 계산기를 사용함과 함께, 데이터를 압축하여 처리량을 저감시키므로써 기계의 부담을 경감시키는 방법이 채용되었다.

그러나 이 종래의 방법을 사용하는 경우에는, 데이터 처리장치 전체로서의 구성이 대형으로 복잡하게 되는 것을 피할수 없고, 더우기 특수 설계의 고가의 장치를 사용하지 않으면 안되는 문제가 있다.

이러한 문제점을 해결하기 위해서는, 화상정보를 범용장치로서 입수할 수 있는 개인용 컴퓨터, 미니컴퓨터, 오피스 컴퓨터 등을 사용해서 처리하는 것을 생각할 수 있으나, 이들의 범용장치는 대량의 데이터를 처리할 수 있도록 구성되어있지 않고, 그 처리속도는 늦고, 또한 단독으로 다양한 일을 실행할 수 있는 처리능력을 가지고 있지 않으므로, 단순히 이들의 범용장치의 기능을 그대로 사용하여도, 대량의 데이터를 단시간내에 처리할수는 없다.

본 발명은 이상의 점을 고려하여 행하여진 것으로, 화상정보를 처리하는데 있어, 그 자체처리속도, 처리능력이 낮은 범용의 마이크로프로세서, 메모리 등의 장치를 다수개 써서 시스템버스를 거쳐서 서로 결합함과 동시에, 각 장치에 있어서 데이터의 처리를 동시에 병렬적으로 실행하는 중재기능을 갖도록 함으로써, 실용상 충분한 실행처리 속도를 갖는 데이터 처리장치를 제안하려는 것이다.

이러한 문제점을 해결하기 위해 본 발명에 있어서는, 데이터를 입력하는 데이터 입력수단(9B), (9C), (7F)과, 입력된 데이터 또는 처리된 데이터를 표시하는 표시수단(9J), (9K)과, 입력된 데이터 또는 처리된 데이터를 축적하는 파일 축적수단(5)과, 이들의 각 수단과 시스템버스(1)를 거쳐서 결합된 공유기억 수단(2)을 꼭 소유하고, 데이터 입력수단(9B), (9C), (7F)에 의해 지정된 데이터 처리를 실행하는 데이터처리 장치에 있어서, 데이터 처리에 대한 일을 복수의 서브시스템(5) 내지 (12)으로 분담시켜, 각 서브시스템(5) 내지 (12)은 시스템버스(1)에 각각 결합된 프로세서 P0 내지 P7을 사용해서 각각 분담한 일을 실행하도록 하고, 또한 공유기억수단(2)을 각각 시스템버스(1)에 결합된 복수의 메모리뱅크 P0 내지 P7에 의해 구성하고, 각 시스템버스(5) 내지 (12)의 프로세서 P0 내지 P7이 메모리 बैं크 MBO 내지 MB7중 하나를 지정하여 시스템버스(1)를 통하여 데이터의 송수를 할것을 내용으로 하는 메모리 요구를 내었을 때, 중재장치부(16)에 의해, 각각 지정된 메모리 बैं크의 점유를 허여하는 인에이블신호를 발생하도록 하고, 중재장치부(16)는, 프로세서 P0 내지 P7 및 메모리 बैं크 MBO 내지 MB7 사이에 송수되는 데이터를 소정데이터량의 구분 데이터로 구분하고, 복수의 프로세서 P0 내지 P7 에서 동시에 내려진 메모리 요구에 대한 데이터의 처리를, 시스템버스(1)의 버스클럭과 동기하면서, 구분데이터 마다 차례로 동시병렬적으로 실행하도록 한다.

데이터 처리장치는, 각 프로세서에서의 메모리요구에 따라서 각각 처리할 데이터를 소정데이터량의 구분 데이터로 구분하여, 이 구분데이터 마다에 각 메모리요구에 대응하는 데이터의 처리를 시스템버스의 버스클럭에 동기하면서 동시에 병렬적으로 실행하여 간다.

이와같이하면, 각 프로세서의 메모리요구가 차례로 순서적으로 발생하는 경우에, 각 메모리 요구에 대한 전체 데이터를 단번에 처리하지 않고, 구분데이터 마다 처리할수가 있기 때문에 구분데이터에 대해서 차례로 동시 병렬적 데이터 처리를 실행할 수 있게된다. 그 결과 전체 메모리 요구에 대응하는 데이터 처리중의 대부분을, 동시에 내어진 복수의 메모리 요구에 대한 구분데이터의 처리를 동시에 실행하고 있는 시간 T·ZD(제3도)사이에서 처리하므로써, 전체로서의 처리시간을 격단적으로 단축할수가 있다.

따라서 프로세서 및 메모리 बैं크로서 시스템 효율이 적은 범용의 장치를 사용하였다고 하더라도, 실용상 충분히 빠른 실행처리 시간으로 정체 데이터 처리를 실행할수 있다. 따라서 화상데이터와 같이, 코드화되지 않은 데이터를 포함하는 데이터를 처리함에 있어, 범용의 장치를 복수개 사용함으로써 예컨대 전용

의 계산기를 사용한 것과 같은 정도의 시스템 효율을 갖는 데이터 처리 장치를 용이하게 구축할 수가 있다.

이하 도면에 대해서 본 발명의 한 실시예를 상술한다.

데이터 처리장치는 제1도에 표시한 것과 같이, 차례로 순차적으로 실행할 일련의 데이터처리 스텝에 대한 일을 각각 분담하는 8개의 서브시스템에 결합되는 시스템버스(1)를 갖고, 각 서브시스템에 의해 공유되는 공유기억장치(2)에 결합되어 있다.

공유기억장치(2)는 버스 및 메모리 제어기(MBC)를 탑재하고 있는 보드(2A)와, 각각 2[mega byte](이하 [MB]라 표현함)의 기억용량을 갖는 RAM을 탑재하여 구성되는 2매의 보드 2B 및 2C를 가지고, 버스 및 메모리 제어기(MBC)는 시스템버스(1)를 거쳐서 각 서브시스템에서 메모리 요구가 도래하였을 때, 대응하는 데이터를 로컬버스 2D를 통해서 보드 2B 및 2C의 RAM에서 읽어내고, 또는 입력하도록 되어있다. 그때에 특히, 각 서브시스템으로 부터의 메모리 요구가 경합되었을 때, 버스 및 메모리 제어기(MBC)는, 이 경합 관계를 중재하고, 이렇게하여 동시에 병렬로 데이터를 처리할 수 있도록 함으로써 단시간 사이에 모든 서브시스템의 요구에 응답하는 기능을 갖는다.

시스템버스(1)는, 각 서브시스템에 설치된 프로세서(CPU) P0 내지 P7에 접속되고, 각 프로세서 P0 내지 P7은 공유기억장치(2)의 버스 및 메모리제어기(MBC) 사이에, 신호 및 데이터의 인수 인도를 하기 위해서, 모든 프로세서 P0 내지 P7에 공용된다.

제1의 서브시스템에는 파일 축적장치(STS)(5)가 배정되고, 2[MB/SEC]의 데이터 처리속도를 갖는 프로세서 P0가 시스템버스(1)에 접속되어 있다. 프로세서 P0는 보드(5A)에 탑재되고, 데이터 처리장치의 데이터를 기록에 남기기 위한 축적장치를 구성하는(기록후 직접 판독)(5B) 및 HDD(하드 디스크 드라이브)(5B) 및 HDD(5C)에 파일데이터를 축적하고, 또는 읽어낼 수 있도록 되어있다. 이 실시예의 경우, 보드(5A)위에 DRAM(5B)에 대한 인터페이스(DARW I/F)가 설치되어 있고, 또한 HDD(5C)에 대한 인터페이스(HDD I/F)를 탑재하는 보드(5D)가 로컬버스(5E)를 통해서 프로세서 P0에 접속되어 있다.

이렇게하여, 프로세서 P0는, 공유기억장치(2)의 데이터를 시스템버스(1)를 사용해서 HDD(5C) 또는 DRAM(5B)에 축적하고, 또는 HDD(5C) 또는 DRAM(5B)의 데이터를 시스템버스(1)를 사용해서 공유기억장치(2)에 전송한다.

또한 제2의 서브시스템에는 데이터 전송장치(NTS)(6)가 배정되고, 시스템버스(1)에 2[MG/sec]의 데이터 처리속도를 가지는 프로세서 P1가 접속되어 있다. 프로세서 P1는 전송제어기 회로와 함께 보드(6A)상에 탑재되고, 시스템버스(1)에서 전송장치(6B)를 거쳐서 동축케이블로 구성된 전송로(6C)에 대해서 데이터를 송출함과 함께, 전송로(6C)를 거쳐서 도래하는 데이터를 시스템버스(1)측에 설치할 수 있도록 되어 있다.

이렇게하여 프로세서 P1에 의해, 공유기억장치(2)의 데이터를 시스템버스(1)를 사용해서 전송장치(6B)에 송출하고, 또는 전송장치(6B)를 거쳐서 외부에서 도래하는 데이터를 시스템버스(1)를 사용해서 공유기억장치(2)에 설치한다. 그결과 데이터 처리를 외부장치에 결합함으로써, 또 다시 규모가 큰 데이터 처리 시스템은 구축할 수 있도록 되어 있다.

제3의 서브시스템에는 화상 판독 프린트장치(IDS)(7)가 할당되고, 시스템버스(1)에 2[MB/sec]의 처리 속도를 갖는 프로세서 P2가 접속된다. 프로세서 P2는 화상입출력 제어기와 함께 보드(7A)에 탑재되고, 이 화상입출력 제어기의 제어하에, 로컬버스(7B)를 거쳐서, 또다시 각각 화상프린터 인터페이스(IP I/F)의 보드(7C) 및 화상 판독기 인터페이스(IR I/F)의 보드(7D)를 각각 거쳐서 화상프린터(IP)(7E) 및 화상판독기(IR)(7F)에 결합되어 있다. 이렇게하여 프로세서 P2는 화상판독기(7F)에 의해 판독한 화상데이터를 시스템버스(1)를 사용해서 공유기억장치(2)에 짜넣고, 또한 공유기억장치(2)의 데이터를 시스템버스(1)를 거쳐서 화상프린터(7E)에서 프린트 하도록 되어있다.

제4의 서브시스템에는 화상 정보 압축 신장장치(CDS)(8)가 배당되고, 2[MB/sec]의 데이터 처리속도를 갖는 프로세서 P3가 시스템버스(1)에 접속되어 있다. 프로세서 P3는 압축 및 신장 제어기와 함께 보드(8A)에 탑재되고, 공유기억장치(2)의 데이터를 시스템버스(1)를 사용해서 판독하고, 이 데이터를 로컬버스(8b)를 통해서 각각 압축처리회로(comp)의 보드(8C), 또는 신장처리회로(DECOMP)의 보드(8D)에 전송함과 동시에 압축 또는 신장처리된 데이터를 시스템버스(1)를 사용해서 공유기억장치(2)로 송출한다.

화상정보 압축신장장치(8)는 파일축적 장치(5)의 HDD(5C) 또는 DRAM(5B)에 축적해야할 데이터를 예컨대 MH방식(수정허프만(Modified Huffman)) 또는 MR방식(수정판독(Modified REA))에 의해 미리 압축처리 함으로써 축적데이터량을 확대할 수 있도록 하고, 또한 HDD(5C) 또는 DRAM(5B)에서 읽어내어진 압축된 데이터를 신장하여 표시, 프린트, 전송처리할 수 있도록 한다.

제5의 서브시스템에는 조작표시 장치(DPS)(9)가 할당되고, 2·5[MB/sec]의 데이터 처리속도를 갖는 프로세서 P4가 시스템버스(1)에 접속되어 있다. 프로세서 P4가 탑재되어 있는 보드(9A)에는, 프로세서 P4가 입력한 화상데이터를 영상표시 신호로 변환처리 할 때에 사용하는 처리프로그램 및 데이터를 기억하는 ROM 및 RAM이 탑재된다.

또한 조작표시장치(9)는 조작 입력 수단으로서 키보드(9B) 및 마우스(9C)를 가지며, 이 키보드(9B) 및 마우스(9C)의 데이터를 보드(9A)에 탑재되어 있는 직렬 입력회로(S I/O)를 통해서 프로세서 P4에 입출력할 수 있도록 되어 있다.

여기에서 키보드(9B) 및 마우스(9C)에서 입력되는 데이터는 각각 소정의 형식을 갖는 코오드화된 데이터로 구성되고, 프로세서 P4는 이 입력데이터(예컨대 문자, 기호등으로 구성되는 문자 데이터 또는 지령데이터)를 시스템버스(1)를 사용해서 공유기억장치(2)에 전송할 수 있다.

이에 대해서 프로세서 P4는, 화상데이터(즉 그림, 문자 또는 그림 및 문자의 혼합을 표시하는 데이터로 구성된)를 표시하는 경우에는, 이들의 데이터를 로컬버스(9D)를 통해서 보드(9E)의 이진숫자 지도제어기 BMC에 지령 및 데이터로서 부여한다. 여기에서, 프로세서 P4는 코드화된 문자 데이터에 대해서는 이것을 지령으로서 이진숫자 지도제어기(BMC)에 전송하여 활자 데이터로 변환한 후, 로컬버스(9F)를 거쳐서 비디오 메모리(VRAM)의 보드(9G), (9H)로 전송하여 2차원의 화면 메모리 상에 전개한다.

한편 화상 판독기(7F)에서 발생하는 화상데이터는, 화소의 흑백을 그대로 표시하는 코드화 되지 아니한 데이터로 구성되고, 이것을 표시할때 프로세서 P4는 코드화 되어있는 문자데이터에 대해서 행한것과 같은 변환은 하지 않고, 그대로 2차원의 화면 메모리상에 전개한다.

이와같이하여 VRAM상에 전개된 화상 데이터는, 보드(9I)에 탑재된 타이밍회로(TIM)에 의해 로컬버스(9F)를 거쳐서 읽어내어져서 예컨대 음극선관(CRT)으로 된 표시기(9J) 및 (9K)상에 표시된다.

이상의 기능에 더해서 프로세서 P4는, 시스템버스(1)를 거쳐서 공유기억장치(2)에서 화상데이터를 읽어내어서 1매의 화면에 조립편집하고, 또한 1매의 화면상에 키보드(9B)에서 입력된 문자를 삽입하는 기능을 갖는다. 프로세서 P4는, 이 조립편집시의 처리데이터를 CRT(9J), (9K)상에 표시하고, 또한 조립편집이 끝난 데이터를 시스템버스(1)를 거쳐서 공유기억장치(2)로 전송한다.

이렇게하여 조작표시 장치(9)는, 파일축적장치(5)에서 공유기억장치(2)에 읽어내어진 화상데이터를 사용해서, 조작 입력수단으로서 키보드(9B) 및 마우스(9C)의 조작에 따라서 1매의 화면으로 조립편집하여 표시기(9J) 또는 (9K)에 표시함과 동시에, 시스템버스(1)를 사용해서 공유기억장치(2)로 전송한다. 이 데이터는 파일 축적 장치(5)에 축적되고, 또는 화상 판독 프린트장치(7)의 화상 프린트(7E)에 의해 프린트되고, 또는 데이터 전송장치(6)에서 외부로 전송된다.

제6의 서브시스템에는 주제어장치(PCS)(10)가 배당되고, 2·5[MB/sec]의 데이터 처리 속도를 갖는 프로세서 P5가 시스템버스(1)에 접속되어 있다. 프로세서 P5가 탑재되어 있는 보드(10A)는 로컬버스(10B)를 거쳐서 보드(10C)의 RAM 및 보드(10D)의 압력장치 I/O가 결합되고, 플로피 디스크 드라이브(FDD)에서 I/O를 거쳐서 로컬메모리로서의 RAM에 입력된 시스템 동작 프로그램(작동시스템, 응용프로그램등)에 의해, 시스템버스(1)에 결합되어 있는 각 서브시스템 및 공유기억장치(2)를 전체로서 제어한다. 이같은 제어를 위한 개입중단, 어텐션 신호는 제어신호라인(3)을 거쳐서 주제어장치(10) 및 모든 서브시스템간에 송수된다.

또한 프로세서 P5는, 보드(10C)의 RAM에 입력된 프로그램에 의해 화상 프린터(7E)에 있어서 프린트하는 화상데이터의 조립처리를 실행한다.

제7 및 제8의 서브시스템에는 예비장치(11) 및 (12)가 할당이 된다(그 프로세서를 P6 및 P7로 표시한다). 이것에 의해 새로운 기능을 추가할 수 있도록 되어있다.

제1도의 구성에 있어서, 오퍼레이터는 조작표시장치(9)의 키보드(9B), 마우스(9C)를 사용해서 모드를 지정하는 지령, 및 문자, 기호 등의 문자 데이터를 입력할 수 있고 동시에, 그림 및 문자를 포함하고 형성된 화상데이터를 화상판독 프린트장치(7)의 화상판독기(7F)를 사용해서 입력할 수 있다. 여기에서 키보드(9B) 및 마우스(9C)에서 입력되는 데이터는 전송, 처리하기 쉬운, 소정의 코드를 갖는 데이터로서 얻어지고, 따라서 비교적 적은 데이터량으로 문자데이터의 입력을 할수있다. 이것에 대해서 화상 판독프린트장치(9)의 화상판독기(7F)에서 입력되는 화상 데이터는, 각 화소의 흑백을 이진코드로서 표시하는 데이터로 구성되어 있으므로, 데이터 량이 격단적으로 커진다.

키보드(9B) 또는 마우스(9C)에서 입력된 데이터는, 조작표시장치(9)의 프로세서 P4에서 시스템버스(1)를 사용해서 공유기억장치(2)에 일단 입력된후, 재차 시스템버스(1)를 통해서 화상정보 압축신장장치(8)로 전송되어서 데이터의 압축처리를 한다. 이렇게하여 처리된 데이터는 재차 시스템버스(1)를 사용해서 공유기억장치(2)로 전송된다. 그후 이 데이터는 재차 시스템버스(1)를 사용해서 파일축적장치(5)에 전송되고, 외부기억장치로서의 HDD(5C) 또는 DRAM(5B)에 축적된다.

꼭같이하여 화상 판독 프린트 장치(7)에서 입력된 화상 데이터는, 시스템버스(1)를 사용해서 일단 공유기억장치(2)에 입력된후, 재차 시스템버스(1)를 사용해서 화상정보 압축 신장장치(8)로 전송되고, 압축 처리된 후, 재차 시스템버스(1)를 사용해서 공유기억장치(2)로 전송되고, 그후 재차 시스템버스(1)를 사용해서 파일축적장치(5)로 전송되어서 HDD(5C) 또는 DRAM(5B)에 축적된다.

이와같이하여 HDD(5C) 및 DRAM(5B)에는 화상정보 압축신장장치(8)에 있어서 압축된 데이터가 축적되어 있으나, 이 데이터는 조작 표시장치(9)의 표시기(9J), (9K) 또는 화상판독 프린트 장치(7)의 화상 프린트(7E)에 출력된다. 이 경우 HDD(5C) 또는 DRAM(5B)의 데이터는, 조작표시장치(9)의 키보드(9B) 또는 마우스(9C)에서의 데이터에 기초하여 파일축적장치(5)의 HDD(5C) 및 DRAM(5B)의 축적데이터를 시스템버스(1)를 사용해서 공유기억장치(2)에 전송한 후, 재차 시스템버스(1)를 사용해서 화상정보 압축 신장 장치(8)에 전송하여 데이터를 신장처리한다. 그 결과 얻어지는 데이터는 재차 시스템버스(1)를 사용해서 공유기억장치(2)로 전송된후, 재차시스템버스(1)를 사용해서 조작표시장치(9)의 표시기(9J), (9K), 또는 화상 판독 프린트장치(7)의 화상프린터(7E)에 표시, 또는 프린트 된다. 이때 디스플레이 9J, 9K에 공급되는 화상신호에 대한 화면의 조립에서는, 조작표시장치(9)의 프로세서 P4에서 실행되고, 또한 프린터(7E)에 공급되는 화상신호에 대한 화면의 조립에서는 주제어장치(10)의 프로세서 P5에서 실행된다.

또다시 파일축적장치(5)에 축적된 데이터의 편집을 고쳐하거나, 새로히 키보드(9B), 또는 화상 판독기(7F)에서 입력되는 화상에 문자를 삽입처리하는 모드에 있어서는, 각 데이터를 일단 공유기억장치(2)로 전송한 후, 꼭같이하여 프로세서 P4에서 편집한다.

이와 같이 하여 제1도의 데이터 처리장치는, 주제어 장치(10)의 보드(10C)의 로컬 메모리 RAM에 플로피 디스크 드라이브 FDD에서 입력된 동작 프로그램(즉 작동 시스템 또는 응용프로그램)에 기초하여, 각 동

작모드에 있어서, 주제어장치(10)의 제어 아래 데이터의 처리를 실행하여 간다. 그래서 이 데이터 처리를 실행할 때에는, 공유기억장치(2)에 대해서 각 서브시스템이 시스템버스(1)를 공유하면서 공유기억장치(2)를 액세스 한다.

이때 공유기억장치(2)는, 하나의 서브시스템에서 내려진 메모리 요구에 기초하여 이 메모리 요구에 기인하는 데이터의 처리가 종료할때까지 공유 기억장치(2) 및 시스템버스를 점유시킬 필요가 있다. 그러나 이 점유시간이 너무 길면, 그 사이에 다른 서브시스템에서 나온 메모리 요구에 기인하는 데이터의 처리를 장시간 동안 기다리지 않으면 안된다. 이 문제를 해결하기 위해 공유기억장치(2)는, 버스 및 메모리 제어기(MBC)가 각 서브시스템의 프로세서에서의 데이터의 공급을 동시 병렬적으로 처리하는 바와 같은 중재기능을 갖도록 구성되고, 이렇게하여 다음에 기술하는 바와 같이 일련의 순차적인 데이터의 처리를 시간 직렬적으로 실행한 경우와 비교하여 격단적으로 처리시간을 단축할 수 있도록 되어 있다.

또한, 아래의 설명에 있어서, 신호 및 데이터의 부호에 바를 붙인 경우는 부논리에 기초하여 표현한것이라 한다.

지금, 예컨대 파일 축적장치(5)의 외부 기억장치로서의 ADD(5C) 및 DRAW(5)에 격납되어 있는 화상데이터(압축 처리되어 있다)를 검색하여 조작표시장치(9)의 표시기(9J), (9K)에 표시시키는 경우에는, 제2도에 표시하는 일련의 데이터 처리로 순차적으로 처리하여 간다.

즉, 0번째의 데이터처리 스텝 PR0에 있어서, 주제어장치(10)의 제어하에 파일 축적장치(5)의 HDD(5C) 또는 DRAW(5B)에서 읽어낸 화상데이터를 논리적으로 서어치하여 검색한다.

계속되는 1번째의 데이터 처리 스텝 PR1에 있어서 기억장치(5)에서 이 검색된 데이터가 판독되어서 공유 기억장치(2)로 전송된다. 다음으로 2번째의 데이터처리 스텝 PR2에 있어서 공유기억장치(2)로 전송된 데이터를 화상정보 압축 신장장치(8)의 프로세서 P3에 의해 읽어내어서 신장처리를 한 후 공유기억장치(2)에 다시 입력한다. 다음으로 3번째의 데이터 처리 스텝 PR3에 있어서 공유기억장치(2)에 재입력된 데이터를 조작표시장치(9)의 프로세서 P4가 읽어내어서 화면의 편집 조립 및 글자의 삽입 등의 처리를 행한 후 공유기억장치(2)에 재차격납한다. 다음으로 4번째의 데이터 처리스텝 PR4에 있어서 공유기억장치(2)에 재차 격납된 데이터를 조작표시장치(9)가 읽어내어서 이진숫자지도 제어기(9E), VRAM(9G), (9H)를 거쳐서 표시기(9J), (9K)에 표시시킨다.

이들의 일련의 데이터 처리 스텝에 있어서, 시스템버스(1)를 사용해서 데이터를 전송하는 스텝은, 1번째 내지 4번째의 데이터처리 스텝 PR1 내지 PR4이고 각각의 스텝에 있어서 데이터를 처리하는 프로세서의 데이터 처리 속도와, 처리되는 데이터량에 기초하여 결정되는 처리시간 T1 내지 T4의 총화처리 시간이 필요해진다.

즉 데이터 처리스텝 PR1에 있어서는, 파일 축적장치(5)의 HDD(5C) 또는 DRAW(5B)에서 읽어내어진 데이터가, 프로세서 P0의 데이터 처리속도 2[MB/sec]의 속도로 공유기억장치(2)에 시간 T1 사이에 전송된다.

또한 2번째의 데이터 처리 스텝 PR 2에 있어서는, 화상 정보 압축신장장치(8)의 프로세서 P3가 그 데이터 처리속도(2)[MB/sec]의 속도로 공유기억장치(2)의 데이터를 읽어내고, 신장처리된 데이터를 프로세서 P3가 재차 2[MB/sec]의 데이터 처리 속도로 공유기억장치(2)에 격납하고, 이렇게하여 처리시간 T2을 필요로 한다.

또한 3번째의 데이터처리 스텝 PR3에 있어서 조작 표시장치(9)의 프로세서 P4가 2.5[MB/sec]의 데이터 처리 속도로 공유기억장치(2)에서 데이터를 읽어낸후 화면의 조립으로, 글자의 삽입 등의 편집 처리를 실행하고, 그후 프로세서 P4가 재차 2.5[MB/sec]의 데이터 처리 속도로 편집후의 데이터를 공유기억장치(2)에 격납하고, 이러한 데이터 처리를 위해 시간 T3을 필요로 한다.

또한 4번째의 데이터 처리 스텝 PR4에 있어서 조작표시장치(9)의 프로세서 P4가 데이터처리 속도 2.5[MB/sec]의 속도로 공유기억장치(2)에서 데이터를 읽어내어서 표시기(9J), (9K)상에 표시시켜, 이러한 데이터 처리를 실행하기 위해서 시간 T4를 필요로 한다.

따라서 제1도의 구성의 데이터 처리장치에 있어서, 제2도의 일련의 데이터 처리 스텝을 차례로 순차적으로 시간 직렬적으로 실행하였다면, 데이터를 처리하기 위해서 필요한 총합 처리시간 TSM1는,

$$TSM1=T1+T2+T3+T4\cdots\cdots\cdots(1)$$

로 된다.

본 발명에 있어서는, 원리적으로, 이러한 데이터량의 일을 소정의 구분데이터(예컨대 16[K] 또는 8[KB])(KB=Kilobyte) 정도로 구분하고, 복수의 프로세서를 사용해서, 동시에 또한 병렬적으로 이 1구분 데이터씩 데이터의 처리를 실행한다.

즉 제2도의 일련의 데이터 처리 스텝 PR1 내지 PR 4에 있어서 각각 처리해야할 데이터를 제3도에 표시하는 바와 같이 복수구분(도시의 경우 7구분)으로 구분하고, 각 구분데이터를 구분데이터 처리 실행시간 TU1 내지 TU10 마다 차례로 순차적으로 또한 동시 병렬적으로 처리하여 간다.

제3(a)도에 있어서, 제2도의 데이터 처리 스텝 PR1에 있어서 처리해야할 1번째의 구분 데이터로서 파일 축적장치(5)에서 1섹터뿔 또는 1트랙분을 프로세서 P0에 의해 읽어내어서 처리실행시간 TU1의 처리스텝 PR11 사이에 공유기억장치(2)로 전송한다. 이 1번째의 구분 데이터는 제3(b)도에 표시하는 것과 같이, 다음의 처리 실행시간 TU 2 사이에, 제2도의 데이터 처리 스텝 PR2의 1번째의 처리 데이터로서 처리스텝 PR21에 있어서 처리되고, 화상정보 압축 신장장치(8)의 프로세서 P3에 의해 공유기억장치(2)에서 읽어내어진후 신장처리되고, 그후 공유 기억장치(2)에 재격납된다.

이 재격납된 1번째의 구분 데이터는 제3(c)도에 표시하는 바와 같이, 제2도의 데이터 처리 스텝 PR3의 1번째의 처리 데이터로서 처리실행시간 TU3의 처리 스텝 PR31에서 처리된다. 즉 프로세서 P4는 공유기억

장치(2)의 구분 데이터를 읽어내어서 편집처리를 한 후 공유기억장치(2)에 재격납한다. 이 재격납된 1번째의 구분데이터는 제3도(D)에 표시하는 바와 같이, 제2도의 데이터처리 스텝 PR4의 1번째의 처리데이터로서 처리실행시간 TU4에 있어서의 데이터 처리 스텝 PR41에서 처리된다.

이것에 의해 공유기억장치(2)의 구분데이터는 프로세서 P4에 의해 읽어내어져서 표시기(9J), (9K)상에 표시된다.

이같이 하여, 1번째의 구분데이터가 처리 실행시간 TU1, TU2, TU3, UT4 사이에 데이터처리 스텝 PR11, PR21, PR31, PR41의 순서로 순차적으로 처리되어 간다.

이 사이에 있어서, 2번째의 처리 실행시간 TU2로 되면, 파일 축적장치(5)의 프로세서 P0가 데이터 처리 스텝 PR12에 있어서 외부기억장치에서 2번째의 구분 데이터를 읽어내어서 공유기억장치(2)에 격납한다.

이 2번째의 구분데이터는, 1번째의 구분데이터의 경우와 같이하여 차례로 계속되는 처리 실행시간 TU3, TU4, TU5로 옮길때마다, 데이터처리 스텝 PR22, PR32, PR42에서 데이터 처리되어가고, 그 결과 처리 실행시간 TU5에 있어서 표시기(9J), (9K) 상에 표시된다.

이하 똑같이하여 3번째, 4번째, ...의 구분데이터가 처리 실행시간 TU3, TU4...에서 파일 축적장치(5)에서 차례로 읽어내어지고, 이 3번째, 4번째...의 구분데이터가 차례로 계속되는 처리 실행시간(TU4, TU5, TU6), (TU5, TU6, TU7)...로 될때마다 차례로 처리스텝(PR23, PR33, PR43), (PR24, PR34, PR44), ...에서 데이터 처리되어서 차례로 표시기(9J), (9K)상에 표시되어 간다.

이와 같이 하여 제2도의 데이터처리 스텝 PR1, PR2, PR3, PR4에서 처리해야 할 데이터는, 1구분 데이터씩 차례로 계속되는 구분 데이터 처리 시행시간 마다 순차적으로 처리되어가나, 각 순차 처리는 동시 병렬적으로 실행되어가고 (이것을 파이프라인 처리라 부른다). 그 결과 구분데이터 처리 실행시간에서 각 처리 스텝에서 일이 배당되어 있는 프로세서가, 동시 병렬적으로 데이터 처리동작을 하게되고, 결국 복수의 프로세서를 전체로서 하나의 프로세서로서 보았을때의 처리 능력을 향상시키게되고, 따라서 데이터의 총화 처리시간을 단축할 수 있게 된다.

이와 같은 결과를 얻을 수가 있는 것은, 가령 제2도에 대해서 상술한 바와 같이 데이터 처리 스텝 PR1 내지 PR4를 순차적으로 또한 시간 직렬적으로 처리하여 간다면, 한개의 데이터처리 스텝에서 일을 배당 받은 프로세서가 데이터 처리 동작을 하고 있는 동안은, 다른 프로세서가 데이터 처리를 하고 있지 않는 상태 그대로 지령이 도래하는 것을 기대하는 상태로 되어 있고, 결국 이 낭비시간이 있으므로 전체로서 데이터처리 시간이 길어진다고 생각이 되나, 제3의 방법에 의하면, 이러한 낭비 시간을 격단적으로 단축할 수 있게 되기 때문이다.

결국 제3도의 본 발명에 의한 데이터 처리방법을 실행하면, 모든 데이터를 처리하는데 요하는 데이터 총화처리 시간 TSM2가 모든 프로세서 P0 내지 P4에 의한 데이터 처리 스텝이 중복하고 있는 시간 TZ0과, 그 전후에 생기는 중복되지 않은 시간 TZ1 및 TZ2와의 합으로, 그것의 서로 중복하지 않은 시간이 적어 지도록 각 프로세서에 대한 일을 배당하도록 하면, 전체로서의 데이터 처리 시간을 제2도의 경우와 비교하여 격단적으로 단축할 수가 있다.

예컨대 제3(a)도 내지 제3(d)도에 표시하는 바와 같이, 각 처리 스텝에 있어서 구분 데이터 처리 실행 시간이 서로 같도록 하면, 데이터 종합처리 시간 TSM 2는

$$TSM2=[K+(DSP-1)] \times TU \dots \dots \dots (2)$$

라고 표시할 수가 있다. 여기에서, K는 각 구분 데이터 처리 스텝에 있어서 구분 데이터수, DSP는 동시 처리해야할 프로그램수 (즉 제2도의 처리스텝 PR1 내지 PR4의 수), TU는 구분 데이터의 처리 실행시간을 각각 표시한다.

따라서 제1도의 구성에 의하면, 프로세서로의 데이터 처리속도가 그토록 빠르지 않는 범용의 마이크로프로세서를 사용하였다 할지라도, 데이터 처리장치 전체로서의 데이터 총화처리 시간이, 데이터량이 격단적으로 큰 화상데이터를 처리하는데 적합하도록 실용상 충분한 시스템효율을 구비한 데이터 처리장치를 실현할 수 있다.

제1도의 구성에 있어서 구분데이터의 동시 병렬처리는, 공유기억장치(2)의 버스 및 메모리 제어기(MBC)에 설치되어 있는 중재 장치부가, 시스템버스(1)에 접속되어 있는 서브시스템의 프로세서의 경합을 동시 병렬적으로 처리함으로써 달성된다.

공유기억장치(2)는 제4도에 표시하는 것과 같이, 서브시스템을 구성하는 6개의 장치(5) 내지 (10) 및 2개의 예비장치(11) 및 (12)의 각 프로세서 P0, P1, P2, ...P7 (이것을 Pi, i=0, 1, 2...7이라고 표시한다)에 결합된 시스템버스(1)와, RAM 2B 및 2C (제1도)에 의해 구성되는 메모리부(15)를 중재장치부(16)에 의해 제어함으로써, 시스템버스(1)를 어느 서브시스템의 프로세서에 점유사용시키느냐를 결정하도록 하고 있다.

이 실시예의 경우, 시스템버스(1)는 20비트의 어드레스 데이터 라인 ADDRESS와 16비트의 판독 데이터 라인 RDATA와, 16비트의 입력데이터, 라인 WOATA와, 판독 및 기록 명령 R/\overline{W} 고위 바이트 또는 저위 바이트 선택신호 $\overline{RDS}, \overline{UDS}$ 를 전송하는 3비트의 버스로 구성되고, 중단부(17)에 의해 중단되고 있다.

메모리부(15)는, 각각 [250K 워드]의 메모리 용량을 갖는 8개의 메모리 बैं크 MB0, MB1...MB7 (이것을 MBj, j=0, 1, 2...7이라고 표시한다)로 분할되어 있고, 각 메모리 बैं크 P0 내지 P7에 대해서 각각 시스템 버스(1)가 결합되므로, 각 프로세서 P0 내지 P7이 각 메모리뱅크를 각각 별도로 액세스 할 수 있도록 행하여지고 있다. 이렇게 함으로써 1개의 메모리 बैं크가 데이터의 입력, 판독 동작을 하고 있는 (이것은 메모리 사이클이라 부른다) 사이에 다른 메모리 बैं크를 액세스 할 수가 있다. 시스템버스(1)는 중재장치부(16)에 결합되고, 8개의 서브시스템의 프로세서 P0 내지 P7에서 시스템버스(1) 따라서 메모리부(15)에