

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7296479号  
(P7296479)

(45)発行日 令和5年6月22日(2023.6.22)

(24)登録日 令和5年6月14日(2023.6.14)

(51)国際特許分類 F I  
H 0 1 L 31/107(2006.01) H 0 1 L 31/10 B

請求項の数 19 (全18頁)

(21)出願番号	特願2021-558916(P2021-558916)	(73)特許権者	598165611
(86)(22)出願日	令和2年3月30日(2020.3.30)		マックス・ブランク・ゲゼルシャフト・
(65)公表番号	特表2022-526587(P2022-526587 A)		ツア・フェルデルング・デア・ヴィッセ ンシャフテン・エー・ファオ
(43)公表日	令和4年5月25日(2022.5.25)		ドイツ連邦共和国デー - 8 0 5 3 9 ミ ュンヘン, ホフガルテンシュトラッセ 8
(86)国際出願番号	PCT/EP2020/058904	(74)代理人	110001195
(87)国際公開番号	WO2020/201189		弁理士法人深見特許事務所
(87)国際公開日	令和2年10月8日(2020.10.8)	(72)発明者	リヒター, ライナー
審査請求日	令和3年11月30日(2021.11.30)		ドイツ, 8 1 2 4 3 ミュンヘン, ライ ヒェナウシュトラッセ, 3 3
(31)優先権主張番号	102019204701.7	(72)発明者	ショッパー, フロリアン
(32)優先日	平成31年4月2日(2019.4.2)		ドイツ, 8 0 8 0 2 ミュンヘン, フラ イシュトラッセ, 2
(33)優先権主張国・地域又は機関	ドイツ(DE)	(72)発明者	ニンコビック, イエレナ

最終頁に続く

(54)【発明の名称】 アバランシェフォトダイオードアレイ

(57)【特許請求の範囲】

【請求項1】

電磁放射を検出するためのアバランシェフォトダイオードアレイであって、前記アバランシェフォトダイオードアレイは、

相互に対向している第1の主面(101)と第2の主面(102)とを含む半導体基板(100)と、

前記第1の主面(101)に形成されピクセル絶縁領域(7)によって相互に分離された複数のnドープされたアノード領域(1)と、

前記アノード領域の反対側にある前記第2の主面(102)に配置されたpドープされたカソード領域(3)と、

前記複数のアノード領域(1)と前記カソード領域(3)との間のドリフト領域(4)と、を備え、

前記複数のアノード領域(1)の下方、前記ピクセル絶縁領域(7)の下方および前記ドリフト領域(4)の上方にpドープされた増倍層(2)が配置され、

前記複数のアノード領域(1)の下方、前記ピクセル絶縁領域(7)の下方および前記増倍層(2)の上方にnドープされた電界低減層(9)が配置されたこと、を特徴とする、アバランシェフォトダイオードアレイ。

【請求項2】

pドープされた半導体領域が、2つのアノード領域(1)の間に位置するピクセル絶縁領域(7)における前記第1の主面(101)に形成されている、請求項1に記載のアバ

ランシェフトダイオードアレイ。

【請求項 3】

前記 p ドープされた半導体領域は、隣接する前記アノード領域 ( 1 ) から距離を置いた場所にある、請求項 2 に記載のアバランシェフトダイオードアレイ。

【請求項 4】

n ドープされた半導体領域が、2つのアノード領域 ( 1 ) の間のピクセル絶縁領域 ( 7 ) における前記第 1 の主面 ( 1 0 1 ) に形成されている、請求項 1 に記載のアバランシェフトダイオードアレイ。

【請求項 5】

ピクセル絶縁領域 ( 7 0 ) が、2つのアノード領域の間における前記第 1 の主面 ( 1 0 1 ) に形成され、前記ピクセル絶縁領域に、前記第 1 の主面 ( 1 ) から前記半導体基板の深さの中に延びるリセス ( 2 0 ) が存在する、請求項 1 に記載のアバランシェフトダイオードアレイ。

10

【請求項 6】

前記リセス ( 2 0 ) の少なくとも底部 ( 1 0 ) が絶縁体 ( 6 ) で覆われている、請求項 5 に記載のアバランシェフトダイオードアレイ。

【請求項 7】

前記リセス ( 2 0 ) の全体が前記絶縁体 ( 6 ) で充填されている、請求項 5 に記載のアバランシェフトダイオードアレイ。

【請求項 8】

前記底部 ( 1 0 ) の反対側における、前記絶縁体の頂部の上に、電位制御電極 ( 1 1 ) が形成されている、請求項 6 または 7 に記載のアバランシェフトダイオードアレイ。

20

【請求項 9】

n ドープされた界面ドーピング層 ( 1 2 ) が、前記リセス ( 2 0 ) の前記底部 ( 1 0 ) の下方において前記絶縁体 ( 6 ) と直に隣接するように配置されている、請求項 6 から 8 のいずれか 1 項に記載のアバランシェフトダイオードアレイ。

【請求項 10】

電磁放射を検出するためのアバランシェフトダイオードアレイであって、前記アバランシェフトダイオードアレイは、

相互に対向している第 1 の主面 ( 1 0 1 ) と第 2 の主面 ( 1 0 2 ) とを含む半導体基板 ( 1 0 0 ) と、

30

前記第 1 の主面 ( 1 0 1 ) に形成されピクセル絶縁領域 ( 7 0 ) によって相互に分離された複数の n ドープされたアノード領域 ( 1 ) と、

前記アノード領域 ( 1 ) の反対側にある前記第 2 の主面 ( 1 0 1 ) に配置された p ドープされたカソード領域 ( 3 ) と、

前記複数のアノード領域 ( 1 ) と前記カソード領域 ( 3 ) との間のドリフト領域 ( 4 ) と、を備え、

前記複数のアノード領域 ( 1 ) の下方、前記ピクセル絶縁領域 ( 7 0 ) の下方および前記ドリフト領域 ( 4 ) の上方に p ドープされた増倍層 ( 2 ) が配置され、

前記ピクセル絶縁領域 ( 7 0 ) の各々が、前記第 1 の主面 ( 1 0 1 ) から前記半導体基板の深さの中に延びるリセス ( 2 0 ) を含むことを特徴とする、アバランシェフトダイオードアレイ。

40

【請求項 11】

n ドープされた電界低減層 ( 9 ) が、前記複数のアノード領域 ( 1 ) の下方および前記ピクセル絶縁領域 ( 7 ) の下方であって、前記 p ドープされた増倍層 ( 2 ) の上方に、配置されている、請求項 10 に記載のアバランシェフトダイオードアレイ。

【請求項 12】

前記リセス ( 2 0 ) の少なくとも底部 ( 1 0 ) が絶縁体 ( 6 ) で覆われている、請求項 10 または 11 に記載のアバランシェフトダイオードアレイ。

【請求項 13】

50

前記リセス(20)の全体が前記絶縁体(6)で充填されている、請求項10または11に記載のアバランシェフォトダイオードアレイ。

【請求項14】

前記底部(10)の反対側における、前記絶縁体の頂部に、電位制御電極(11)が形成されている、請求項12または13に記載のアバランシェフォトダイオードアレイ。

【請求項15】

nドープされた界面ドーピング層(12)が、前記リセス(20)の前記底部(10)の下方において前記絶縁体(6)と直に隣接するように配置されている、請求項12または14に記載のアバランシェフォトダイオードアレイ。

【請求項16】

前記第1の主面(101)は、第2の半導体基板(13)に絶縁層(106)を介して接続され、前記複数のアノード領域(1)の各々は、前記第2の半導体基板に形成された読出増幅器アレイのそれぞれの各ピクセルに、前記絶縁層(106)を通して電氣的に接続される、請求項1から15のいずれか1項に記載のアバランシェフォトダイオードアレイ。

【請求項17】

請求項5から8または10から14のいずれか1項に記載のアバランシェフォトダイオードアレイを製造する方法であって、前記リセス(20)は、LOCOS技術による前記半導体基板(100)の局所酸化によって形成される、方法。

【請求項18】

前記局所酸化を実行する前に、前記半導体基板(100)の局所酸化すべき位置に、ドナーを、 $3 \cdot 10^{11} / \text{cm}^2$ と $10^{12} / \text{cm}^2$ との間のドーズ量で、局所酸化すべき位置に、導入する、請求項17に記載の方法。

【請求項19】

請求項9または15に記載のアバランシェフォトダイオードアレイを製造する方法であって、前記リセス(20)は、LOCOS技術による前記半導体基板(100)の局所酸化によって形成され、

前記局所酸化を実行する前に、前記半導体基板(100)の局所酸化すべき位置に、ドナーを、 $3 \cdot 10^{11} / \text{cm}^2$ と $10^{12} / \text{cm}^2$ との間のドーズ量で、局所酸化すべき位置に、導入し、

nドープされた電界低減層(9)を、前記複数のアノード領域(1)と前記ピクセル絶縁領域(7, 70)との下方および前記増倍層(2)の上方に、拡散工程を実行することによって形成し、前記拡散工程により、前記アノード領域に導入されていたドーパントが、半導体基板内に拡散し、拡散した前記ドーパントが、前記電界低減層(9)を前記界面ドーピング層(12)とともに形成する、方法。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、放射、特に電磁放射を検出するための、以下「APDアレイ」と呼ぶ、シリコンアバランシェフォトダイオード(APD: avalanche photodiode)のマトリクス配置に関する。

【背景技術】

【0002】

アバランシェフォトダイオードは、信号の増幅のために電荷キャリアの衝突電離を利用する。アバランシェフォトダイオードは、光子を検出するためのセンサとして適用され、この光子は、そのエネルギーを半導体結晶に伝達することによって電子正孔対を発生させる。可視域(紫外域から近赤外域まで)の光を検出するためには、シリコンからなる、いわゆるリーチスルーAPD(RT-APD: Reach-Through-APD)が特に適している、というも、このダイオードでは、検出対象の光の波長に適合させた構造化されていない光入口窓の上のチップの裏側に光が当たるからである。図6は、一例として、RT-APD

10

20

30

40

50

の基本設計および電界分布を示している。

#### 【0003】

図7の左半分は、チップ表面に対して垂直である、1つのAPDの断面が、概略的に示されている。通常はチップの表側とみなされる底側に、重くnドープされたアノード領域61が見えており、通常はチップの裏側とみなされる反対側のチップ表面に、重くpドープされたカソード領域62が見えている。弱くpドープされたドリフト領域63または純粋に真性の導電性を有するドリフト領域63が、チップ基板の大部分を占めている。ドリフト領域63は、非常に弱くドープされているので、結果として、動作中にアノードとカソードとの間に印加される逆電圧によって完全に空乏化される。その波長に応じて、チップの裏側（放射入口側）に入射した光子は、カソード領域62のエリアまたはドリフト領域63で変換される。センサ信号を発生させるためには、発生した（信号）電子が、ドリフト領域63内の電界において、チップの表側のアノード領域61に向かってドリフトする必要がある。ここで、信号の真性増幅は、ドリフト領域63とアノード領域61との間に配置された増倍層64によって実現される。このような増倍層64は、ドリフト領域63よりも遥かに高いpドーピングを有し、増倍層も、センサの動作中に逆電圧が印加されると完全に空乏化する。図7の右半分は、チップの表側および裏側を基準とした位置に対する電界強度の依存性を示す。より高いpドーピングに起因して、pn接合に近い電界強度はドリフト領域における電界強度と比較して大幅に増加し、そのために、衝突電離によって信号電子の増倍が発生することで、真性増幅が実現される。

10

#### 【0004】

APDを動作させる際には、基本的に2種類のモードとして比例モードとガイガー（Geiger）モードとが区別される。比例モードにおいて、印加される逆電圧は降伏電圧よりも低く、ガイガーモードにおいて、印加される逆電圧は降伏電圧よりも高い。本願は、出力信号が放射束に実質的に比例する比例モードで動作することになるAPDを対象としている。

20

#### 【0005】

RT-APDの具体的な変形として、いわゆるSLIK-APDがある。ここで、SLIKは、super low ionization k factor（超低電離kファクタ）の略語であり、kファクタは、特定の電界強度における、電子電離レートに対する正孔電離レートの比率を示す。通常は、kファクタの値が低いことが好ましい、というのも、正孔によって生じる増倍は、APDの過剰ノイズを大幅に悪化させるからである。そのため、比例モードで動作させるAPDは、理想的には0のkファクタを有する、すなわち、増幅は専ら電子の増倍に基づき正孔は寄与しない。シリコンのRT-APDでは、およそ0.02まで低減されたkファクタが実現され、およそ1桁分低いkファクタはSLIK-APDで得ることができる。したがって、SLIK-APDは、低ノイズを必要とする用途に特に好適である。これは、電界強度が小さいほどkファクタも小さくなることを利用している。そのため、これは、利得の損失を補償するために、チップの表側および裏側に対して垂直な方向の幅が非常に大きく典型的にはおよそ10μmにわたることが可能な増倍層を有する。

30

#### 【0006】

衝突電離は確率論的なプロセスなので、このようなプロセスは、信号増幅におけるさらなるノイズ寄与につながり、これは英語では「excess noise（過剰ノイズ）」と表現される。そのため、APDは、主として、非常に高速の検出器システム（信号提供時間がナノ秒範囲以下）において広帯域増幅器とともに使用され、APDの過剰ノイズは、広帯域増幅器の高いホワイトノイズと比較すると、取るに足らないものである。入力容量が大きいセンサ素子を用いるシステムにおいて、または後続の増幅素子の性能が空間不足またはパワー要件が原因で制限されねばならないシステムにおいて、APDを使用することも好都合である。典型的な例は、読出エレクトロニクスが統合されたマイクロエレクトロニクスチップがフリップチップ技術によりいわゆるパンプボンドでダイオードに接続されているダイオードアレイである。

40

#### 【0007】

50

イメージング検出器の場合、できる限り大きなエリアを良好な位置解像度で捉えるためには、小さなセンサピクセルを有するできる限り大きなイメージセルマトリクス（アレイ）が理想的である。これに適したシリコン p i n ダイオードアレイは、ピクセルサイズ（ $p$ ）を  $50\ \mu\text{m}$  の範囲としたおおよそ  $10$  平方センチメートルのサイズで製造することができる。このような検出器システムは、高エネルギー物理学および多様なシンクロトロン実験に首尾よく適用され、位置解像度は非常に良好である。これは  $p / \lambda > 12$  以上である。しかしながら、p i n ダイオードは、APDとは異なり、真性信号増幅がなく、弱いおよび/または高速の信号の検出は全く不可能である、または、可能にできるのは非常に精巧な読出増幅器のみである。特に問題なのは、必要な高品質の増幅器は、その空間およびパワー要件が原因で、何万個も読出チップ上に統合できないことである。たとえば、軟 X 線光子（軟 X 線）が発生するのは数百個の信号電子のみである。多くの用途にとって魅力的な、短いタイムスパンにおける利用可能な読出電子チップのノイズ（たとえば等価雑音電荷 ENC (equivalent noise charge) で表される) も、数百個の電子の場合なので、p i n ダイオードアレイは、通常は非常に弱い信号の検出に適用することができない。

【0008】

APDはこの問題を解決するであろう。しかしながら、今のところ、APDを小さなピクセル（イメージセル）を有する大きなアレイに配置することはできない。たとえば、この時点で市販されているAPDアレイは、 $4 \times 8$  ピクセルで受光エリアが  $1.6 \times 1.6\ \text{mm}^2$  である（Hamamatsu（浜松）製品情報：<https://www.hamamatsu.com/eu/en/product/type/S8550-02/index.html>）。その本質的な理由は、（共通のカソードを有する）隣接したAPDピクセルの重く n ドープされたアノード間の分離領域であり、電氣的降伏を回避するためにはAPDピクセルのアノードのエッジを比較的大きな保護構造で取囲まなければならないことにある。

【0009】

APDピクセルのエッジで降伏が生じる傾向は、ピクセルの高く n ドープされたアノードのエッジにおけるドーピングプロファイルの曲率の結果である。結果としてエッジでは電界線の密度が高くなり、十分な対応策がなければ、ピクセルのエッジにおいて、ピクセル内部よりも低い電圧でアバランシェ増幅が生じ、APDの全体的な増幅特性が、そのエッジ領域に支配されることになる。周知の保護構造において、この影響は、エッジ領域における電界の強力な低減によって回避される。電荷キャリアの増倍は、ピクセルの内部のみで発生し、エッジ領域ではオフに切り替えられる。

【0010】

そのため、APDピクセルアレイにおいて個々の各ピクセルが保護絶縁領域を有する場合、ピクセルの感光領域間には反応しないデッド領域が存在するので、個々のピクセルの有効信号収集エリアは減少する。アノードのエリアは、アノード間の低感度のまたは反応しないエリアよりも大きくなければならず、そうすると、デッド領域がアレイ全体の電荷収集性能を支配することはなくなる。したがって、ピクセルは、位置解像度と引き換えに大きくなる。

【0011】

通常、APDセンサアレイのセンサピクセルの有効電荷収集エリアの制限は、開口率 (fill factor) によって特徴付けられる。ここで、開口率は、全ピクセルエリアに対する感光ピクセルエリアの比率を示す。したがって、理想的なセンサアレイの開口率は1であろう。

【0012】

SLIK-APDの場合も、今のところ、ピクセル化されたセンサアレイについて申し分のない解決策は存在しない。

【0013】

大学研究は、開口率が改善されたアバランシェダイオードアレイのアレイに取り組んでいる。LGAD (low gain avalanche detector (低利得アバランシェ検出器)) と呼ばれるこのようなアレイは、ストライプ状のまたはピクセル化されたダイオードの配置を有

10

20

30

40

50

する。主な応用分野は、たとえば高エネルギー物理実験における電離された粒子の検出である。今のところ以下の2つのアプローチがある。

【0014】

従来のLGADはRT-APDを使用する(N. Moffat et al., "Low Gain Avalanche Detectors (LGAD) for Particle Physics and Synchrotron Applications", Journal of Instrumentation, Volume 13, March 2018参照)。開口率は保護構造を最小にすることで改善されるはずである。反転されたLGAD(G. Pellegrini et al., "Recent Technological Developments on LGAD and iLGAD Detectors for Tracking and Timing Applications, arXiv.org physics arXiv:1511.07175)において、セグメント化されるのは、アノードではなくpドープされたカソードである。したがって、アノードおよび増倍層はアレイ全体で均一になるように設計することができ、保護構造は省略できるので、開口率は1に等しくなる。しかしながら、このコンセプトの短所は、粒子の検出のみに適しており光検出器としては適していないことである。ピクセル検出器の読出チップが位置するカソード側を構造化して金属被覆する必要があるため、これは光入口窓としてはもはや適さない。アノード側を光入口窓として使用する場合、アノードにおいて変換された光子は全く増幅されず、増倍層で変換が生じた場合、増幅は変換の深さに応じて変化する。そのため、反転されたLGADは、粒子の検出にしか適用できない、または、せいぜい近赤外領域に適用できるだけである。

10

【0015】

フリップチップ技術は、センサアレイと読出エレクトロニクスとの間の接合技術として既に説明した通りである。このプロセスにおいて、センサとエレクトロニクスとは、別々のウェハ上に異なる半導体技術で製造され、その後、チップごとにまたはウェハごとに、バンプボンドまたはマイクロはんだ接続で、たとえば固液相互拡散接合(Solid-liquid interdiffusion)で、コンタクト形成される。より新しい開発がさらに一歩先に進んでいる。SOIPIX技術(たとえば、T. Gg. Tsuru et al., "Development and Performance of Kyoto's X-Ray Astronomical SOI Pixel (SOIPIX) Sensor", arXiv.org astro-ph arXiv:1408.4556v1参照)では、薄い単結晶シリコン層が、キャリア基板としても機能するセンサピクセルウェハ上に、SOI法(シリコン・オン・インシュレータ)によって与えられる。続いて、読出エレクトロニクスがCMOSトランジスタとして薄い単結晶シリコン層に統合される。ここで、センサピクセルを有するキャリア基板と、読出エレクトロニクスを有する薄い単結晶シリコン層とは、二酸化シリコンからなる絶縁層によって相互に分離される。センサピクセルの読出電極を、対応するCMOS増幅器に接続するために、コンタクト開口がエッチングにより二酸化シリコン層に形成される。SOIPIX技術のさらに他の詳細は、引用した文献から得られる。SOIPIX技術は、ピクセルが非常に小さいコンパクトな検出器システムを、費用対効果が高いやり方で製造することが可能である。しかしながら、今までは、pinダイオードアレイのみがセンサとして使用されている。上記短所が原因で、APDアレイの使用は考慮されない。

20

30

【発明の概要】

【発明が解決しようとする課題】

【0016】

上記問題に鑑み、本発明の目的は、高い開口率で良好な位置解像度を有するAPDアレイを提供することである。

40

【課題を解決するための手段】

【0017】

この目的は、請求項1および請求項9に記載のアバランシェフォトダイオードアレイによって達成される。本発明のさらに他の発展形態は従属請求項に示される。

【0018】

本発明のさらに他の特徴および有用性は、添付の図面に基づいた実施形態の説明から明らかになるであろう。

【図面の簡単な説明】

50

## 【 0 0 1 9 】

【図 1】アバランシェフォトダイオードアレイの主面に対して垂直な、第 1 の実施形態のアバランシェフォトダイオードアレイの詳細の断面図を、概略的に示す図である。

【図 2】アバランシェフォトダイオードアレイの主面に対して垂直な、第 2 の実施形態のアバランシェフォトダイオードアレイの詳細の断面図を、概略的に示す図である。

【図 3】アバランシェフォトダイオードアレイの主面に対して垂直な、第 2 の実施形態の変形のアバランシェフォトダイオードアレイの詳細の断面図を、概略的に示す図である。

【図 4】第 2 の実施形態のアバランシェフォトダイオードアレイを製造するときの可能な手法を説明するために、アバランシェフォトダイオードアレイの主面に対して垂直な、第 2 の実施形態のアバランシェフォトダイオードアレイの詳細の断面図を、概略的に示す図である。

10

【図 5】S O I P I X 技術に従う読出エレクトロニクスに対する本発明に係る A P D アレイのモノリシック接続の概略図を、一例として示す図である。

【図 6】本発明に係る具体例としての A P D アレイの詳細を、第 1 の主面 1 0 1 の平面図で示す図である。

【図 7】動作時のチップの表側および裏側に垂直なリーチスルーアバランシェフォトダイオードの基本構成および電界強度分布を概略的に示す図である。

## 【発明を実施するための形態】

## 【 0 0 2 0 】

## 第 1 の実施形態

図 1 は、第 1 の実施形態のアバランシェフォトダイオードアレイの主面に対して垂直な断面を概略的に示す。この断面において、第 1 の主面 1 0 1 (チップの表側またはチップの上側) と第 2 の主面 1 0 2 (チップの裏側またはチップの底側) とを有する半導体基板 1 0 0 (たとえば高オーミックシリコン基板) が見えており、この半導体基板にアバランシェフォトダイオードアレイが形成される。一例として示されるリーチスルーアバランシェフォトダイオードアレイの一部に、2 つのアノード領域 1 からなる 2 つの近隣ピクセル (イメージセル) が、これらの 2 つのアノード領域を相互に分離するピクセル絶縁領域 7 とともに示されており、この図面の 2 つのピクセルは、ピクセル絶縁領域を均等に共有している。したがって、各ピクセルは、アノード領域 1 と、このアノード領域と隣接するピクセルとの境界を定めるピクセル絶縁領域の 2 分の 1 とを含む。たとえば、二次形式のアノード領域の場合、すべてのピクセル絶縁領域 7 が合わさって、図 6 に示されるような交差格子を形成し、図 6 は、A P D アレイの詳細を、第 1 の主面 1 0 1 の平面図で示している。A P D アレイではすべてのピクセル絶縁領域 7 を相互に接続してすべてのアノード領域 1 を相互に絶縁する必要があることは、自明である。図 6 に示される交差格子の「交差部」におけるピクセル絶縁領域 7 の設計は、たとえば、上記定義に従うピクセル絶縁領域 7 の設計に類似している。

20

30

## 【 0 0 2 1 】

このアレイのエッジにおいて、エッジピクセルの挙動とアレイ中央のピクセルの挙動との違いが大きくなり過ぎないようにするために、対策を講じる必要がある。特に、この場所に適切な保護構造 (ガードリング等) を制御された電界低減のために設けて、この位置における望ましくない電荷キャリアの発生を回避しなければならない。上記対策は、当該技術では十分に知られており、特に本発明はアレイのエッジの適切な設計に着眼している訳ではないので、本明細書では詳細に説明しない。

40

## 【 0 0 2 2 】

図 1 において、双方のアノード領域 1 はチップの表側または第 1 の主面 1 0 1 に形成されているが、チップの裏側または第 2 の主面 1 0 2 には p ドープされたカソード領域 3 が形成されており、この領域を以下では放射入口側領域 3 とも呼ぶ、というのも、第 2 の主面 1 0 2 は動作中放射入口窓 5 であるからである。カソード領域 3 は、好ましくは A P D アレイの全エリアにわたって延びているべきであるが、そうであっても、この全エリアにわたって均一でなければならないということではない。たとえば、カソード領域 3 が、A

50

P Dアレイのエッジのみに形成され、カソード電極（図1において参照番号15で示される）によって覆われた場合にオーミックコンタクトを形成することも考えられる。残りのエリアでは、カソード領域を、放射変換の量子効率を最適にするために非常に平坦なカソード領域になるように形成してもよい。また、図面には示されていないが、量子効率を改善するためにさらに他の光学被覆層が第2の主面102上にあってもよい。

#### 【0023】

参照番号4は、弱くpドープされたまたはnドープされたまたは純粋に真性の導電ドリフト領域4を示し、参照番号2はpドープされた増倍層を示す。SLIKにおいて、ドリフト領域は、RT-APDよりも低オーミックであろう、というのも、後者の場合、ドリフト領域の少なくとも一部が増倍層の機能を引き継ぐからである。

10

#### 【0024】

図1から直接明らかになる訳ではないが、本発明の好ましい実装形態において、増倍層2は、APDアレイの全エリアにわたって第1の主面101に平行な面に延在している。そのため、できる限り均質の増幅を、APDアレイ全体で第1の主面101に平行な面において提供することができる。さらに好ましくは、増倍層2は、アノード領域1およびピクセル絶縁領域7の下方においてできる限り均質に延在している。そのため、第1の主面101に平行な面における増倍層2のドーピングのばらつきに起因して第1の主面101に平行な面における電界のばらつきが生じることが回避されるが、このような電界のばらつきは増幅の不均質性につながるものである。

#### 【0025】

主表面に垂直な方向において増倍層2の上方に、nドープされた電界低減層9が、アノード領域1およびピクセル絶縁領域7の下方に配置されている。増倍層2の場合と同じく、好ましい実装形態において、電界低減層9は、APDアレイの全エリアにわたって第1の主面101に平行な面に延在している。同じように、好ましくは、電界低減層9は、アノード領域1およびピクセル絶縁領域7の下方においてできる限り均質に延在する。

20

#### 【0026】

APDアレイ全体において均質の増幅を提供するためには、nドープされたアノード領域1の下方およびピクセル絶縁領域7の下方の電界の横方向分布ができる限り均質であることが必要である。この目的は、大きな面積を有する中間アノードのように作用する電界低減層9の存在によって達成される。APDアレイの動作において完全に空乏化される電界低減層9が、電界を、キャリア増倍の開始時よりも遥かに小さな値まで低減するので、電界低減層9は、アノード領域のエッジにおいてもピクセル絶縁領域7においても電界の大幅な低減を提供する。そのため、ピクセルのエッジにおける降伏が回避され、長期安定性が改善される、というのも、高エネルギー（「ホット」）電荷キャリアが半導体絶縁体界面において絶縁体に注入されるのが回避されるからである。

30

#### 【0027】

ピクセル絶縁領域7の設計にはさまざまな可能性があり、その各々は、上記電界低減層9と組み合わせて適用することができる。

#### 【0028】

図1からわかるように、pドープされたストップ領域8が、ピクセル絶縁領域7において第1の主面101に形成されている。このようなストップ領域は、nドープされたアノード領域1を横方向において互いに絶縁する役割を果たす。このようなストップ領域8により、シリコン-二酸化シリコンの界面における正の固定電荷に起因して形成される電子層がアノード領域1を互いに接続することを防止する（ここでは半導体基板はアノード側においてフィールド酸化物の形態の絶縁層で覆われると仮定する）。

40

#### 【0029】

図1ではストップ領域8がアノード領域1から距離を置いた場所にある（ストップ領域8とアノード領域1との間の中間空間の上方に絶縁層6がある）が、これに代えてまたはこれに加えて、pドーピングを2つのアノード領域1の間のピクセル絶縁領域7全体に形成することもできる。後者の手法を「pスプレー絶縁」と呼ぶが、その理由は、この場合

50

、pドーピングは、アノードの高nドーピングよりも桁違いで弱いので、第1の主面101の大きなエリアに構造化されていない状態で導入できるからである。ストップ領域8が存在する場合と比較すると、この手法は特に、ストップ領域8とアノード領域1との間の中間空間が省略されそれに応じてピクセル絶縁領域7の幅が小さくなるという利点を有する。

#### 【0030】

アノード領域1の相互絶縁のさらに他の可能性として、2つのアノード領域1の間のピクセル絶縁領域7に、ストップ領域8またはpスプレー絶縁の代わりに、MOS絶縁構造を挿入することが挙げられる。実際、このようなMOS絶縁構造は、2つのアノード領域1の間のピクセル絶縁領域7の一部のみに形成して隣接するアノード領域の相互の絶縁を

10

保証するようにすれば十分である（たとえば交差格子の形態の二次アノード領域1の場合）。しかしながら、当然、MOS絶縁構造はピクセル絶縁領域7の全体を占めていてもよい。

先に述べたMOS絶縁構造は、第1の主面101の上方に、（絶縁層によって半導体基板から分離された）導電性絶縁制御層が配置されるように構成されている。アノード領域を基準とする電位が、導電性絶縁制御層に印加される。この電位は、正の固定電荷に起因してシリコン-二酸化シリコンの界面に形成される電子蓄積層を空乏化させることができ、その結果アノード領域1は相互に絶縁される。

#### 【0031】

【0032】

20

発明者らは、ピクセル絶縁領域7の設計のさらに他の可能性を認識した。ストップ領域8を形成するときおよびスプレー絶縁を形成するときには、pドーピングの代わりにnドーピングを用いることが可能である。これは、アノード領域1を相互に接続する電子層が実際のところ回避されるので、最初は不合理のように見える。しかしながら、発明者らは、動作時にアノード領域1とカソード領域3との間に印加される逆電圧によって生成される増倍層の負の空間電荷が、ピクセル絶縁領域7内の半導体の完全な空乏をもたらすことを認識した。したがって、実際、上述の3つの追加の絶縁手段はなくてもよい。しかしながら、nドーピングを上記MOS絶縁構造と組み合わせることは、その電位により、この技術が引き起こすドーピングばらつきに対して反応するためには、または、ピクセル絶縁領域下方のアバランシェ増幅のより正確な調整を実現するためには、好都合となり得る。

しかしながら、上記逆電圧のみによってピクセル絶縁領域7の半導体を完全に空乏化すると、アノード領域に対する電位の低下が生じ、結果として電界が不均質になるので、ピクセル絶縁領域7の下方の増幅が小さくなり、このことは、これらの位置で信号がより小さくなることを意味する。ここで、nドーピングをピクセル絶縁領域に導入することにより、電界の不均質性を阻止することが可能である。どのドーピングパラメータを具体的に選択すべきかは、増倍層2のドーピングパラメータ、電界低減層9のドーピングパラメータ、および動作時に印加される逆電圧に応じて決まり、個々のケースにおいて当業者がデバイスシミュレーションによって容易に見出すことができる。

30

#### 【0033】

以下、発明のAPDアレイを製造するための工程の概要を述べるが、明確に記載されないステップは、先行技術で周知のAPDアレイの製造に適用されるステップと同一または同様である。

40

#### 【0034】

カソード領域3を形成するために、アクセプタ（たとえばホウ素）を、通常は高オーミックの半導体基板（たとえば2kOhm-cm）の第2の主面（したがって裏側）において導入する。反対側の第1の主面において、アノード領域1を、ドナー（たとえばAsまたはP）を高ドーズ量で導入することによって形成する。いずれの場合も、好ましくは注入によって導入すべきである。ドーズ量は、（使用されるメタライゼーションに応じて）コンタクトとの間にオーミック接合を形成できるようなものでなければならない。多くの場合において、そのためには、ドーズ量は $10^{14}/\text{cm}^2$ と $10^{16}/\text{cm}^2$ との間でなけ

50

ればならない。図面において、参照番号 15 は、一般的に、その機能的目的またはその位置とは関係なく、コンタクトを示す。既に述べたように、カソード領域 3 において、コンタクト領域の外部に対し異なるドーズ量を、特により低いドーズ量（たとえば  $10^{12} / \text{cm}^2$ ）を選択することも可能である。吸収長が短い光子の、すなわち UV 範囲の光または軟 X 線の高い検出効率を実現するためには、ホウ素をシリコンに直接注入することに加えて、カソードの形成を実現する技術の他の可能性もある。このような可能性は「薄型入口窓」という用語でカバーされる。たとえば、高いボロン濃度を有する非常に薄いシリコンエピタキシャル層を成長させること、または純ボロン層のエピタキシャル成長、またはこれも高いボロン濃度を有する非常に薄いポリシリコン層の堆積は、周知である。本発明は、カソード領域の特定の技術的实施形態に限定されない。

10

## 【0035】

増倍層 2 は、たとえば、p ドープされたエピタキシャル層で形成することができる。ここで、エピタキシャル層の厚さ（たとえば  $2 \sim 50 \mu\text{m}$ ）は、選択されたドーピング（たとえば  $10^{14} / \text{cm}^3$  と  $5 \cdot 10^{15} / \text{cm}^3$  との間）に応じて決まり、ドーピングが高いほど低くなるはずである。

## 【0036】

増倍層を形成する方法は、APD アレイを動作させるときの電界分布に対してある効果を有する。

## 【0037】

増倍層 2 の、たとえばエピタキシャル層の内側の、一定の p ドーピングは、結果として、増倍層 2 と n ドープされた電界低減層 9 との接合部において最大になる電界の線形増加を引き起こす。しかしながら、このような不均質な縦方向の電界分布は、結果として不十分な k ファクタおよび過剰ノイズの増加につながり、その理由として、正孔が、増倍に、少なくとも電界最大値において、多大に寄与することが挙げられる。より均質な縦方向の電界は、高エネルギーのイオン注入によって増倍層 2 を形成することで実現できる。このような場合に p ドーピングが濃度最大値と n ドープされた層 9 との間で大幅に減少する場合、この領域における縦方向の電界はほぼ一定である。

20

## 【0038】

増倍層 2 がたとえば高エネルギーのボロン注入によって形成される場合、ドーズ量はカソード領域 3 のドーズ量よりも少なくなければならない。増倍層 2 は第 1 の主面 101 により近いので、注入は、第 1 の主面 101 において、たとえば、 $500 \text{keV}$  と  $12 \text{MeV}$  との間のエネルギーおよび  $10^{12} / \text{cm}^2$  と  $4 \cdot 10^{12} / \text{cm}^2$  との間のドーズ量で実施される。

30

## 【0039】

注入の最大の部分が深いほど、すなわち第 1 の主面から遠いほど、増倍層はより大きく延在し、特定の増幅を実現するためにより低い電界を設定することができる。一方、電界強度が小さい場合、k ファクタが小さくなるので、SLIK-APD と同様、過剰ノイズが小さくなる。

## 【0040】

電界低減層 9 も（たとえば P の）イオン注入によって導入することができ、この注入は第 1 の主面 101 において高エネルギーで実行される。エネルギーは、電界低減層 9 が第 1 の主面 101 の側で増倍層 2 に隣接するように設定しなければならない（たとえば  $400 \text{keV}$  と  $1 \text{MeV}$  との間）。好ましくは、ドーズ量は、アノード領域 1 の形成のためのドーズ量よりも  $2 \sim 3$  桁少なく、たとえば、 $7 \cdot 10^{11} / \text{cm}^2$  と  $3 \cdot 12^{12} / \text{cm}^2$  との間である。ここで、ドーズ量は、電界が大部分電界低減層 9 において低減されるように設定されるが、この層はセンサ動作において空乏化されたままである。

40

## 【0041】

## 第 2 の実施形態

図 2 に示される発明の APD アレイの第 2 の実施形態の断面図は、図 1 の断面図と非常によく似ている。具体的には、同一の参照番号は図 1 と同一の特徴を示す。第 2 の実施形

50

態が第1の実施形態と異なる点は、ピクセル絶縁領域の実装形態にあり、よって、ピクセル絶縁領域を図2では異なる参照番号70で示す。

#### 【0042】

第1の実施形態に関して述べたアノード領域1間のpドープ領域、すなわち、ストップ領域8またはpスプレー絶縁は、開口率に悪影響を与える可能性がある。nドープされたアノード領域1とpドープされた領域との間のダイオードは、アノード領域を相互に分離するために逆バイアスされなければならないので、pドープされた領域の電位は、隣接するアノード領域1の電位よりも大きな負となる。その結果、pドープされた領域の下方に位置する増倍層2の部分の電位はより大きな負となる。結果として、この部分における電界はしたがって増幅は、小さくなる。同じことが上記MOS絶縁領域にも言える。したがって、APDアレイ全体の増幅は、たとえ電界低減層9が不均質性を打ち消すことができたとしても、もはや均質ではない。

10

#### 【0043】

用途によっては、増幅の均質性はそれほど重要ではない役割しか果たさない。特に、アノード領域1の寸法および面積がそれぞれ、それほど小さくない、すなわちピクセル絶縁領域の幅および面積に対して大きい場合、ピクセル絶縁領域で発生する信号損失は無視できることが多い。したがって、そのような用途の場合、第1の実施形態との関連で説明したピクセル絶縁領域を使用することができる。一方、高い位置解像度、したがって小さなピクセルまたは十分な開口率が必要な用途がある。たとえば、分光法において、ピクセルの境界における信号損失は問題である。第2の実施形態のAPDアレイはこれらの用途に特に適している。

20

#### 【0044】

図2に示されるように、第2の実施形態では、半導体基板100のピクセル絶縁領域70に、リセスまたは凹部20が形成される。このリセス20は、絶縁体6で、たとえばSiO<sub>2</sub>で充填される。APDアレイの動作中にリセス20の下方の領域が完全に空乏化されると、アノード領域1は十分に相互に絶縁されることになる。リセス20の底側における、絶縁体6と半導体基板100との間の界面10はしたがって、動作中にアノード領域1の下方の領域が空乏化される深さに位置する。したがって、空乏化されていないアノード領域1は、界面10の深さ位置よりも高い位置にある、すなわち、第1の主面101により近いはずである。電位と電荷キャリア密度の間には指数関数的関係があるので、アノード領域1に対する電位差が1Vよりも遥かに小さいことは、既に、界面10における寄生電子チャネルを抑制するのに十分である。しかしながら、均質的な増幅を提供するためには、界面10における電位が過剰に負であってはならない。

30

#### 【0045】

好ましくは、ピクセル絶縁領域70の幅を小さくする必要がある。そうすると、界面10と、空乏化された半導体内でそれに対して横方向に隣接する、アノード領域1の下方の領域との間の電位差が、小さく保たれて、均質な電荷収集および増幅をもたらす。同時に、これは、ピクセル絶縁領域の面積比率を小さく保ち、このことも、開口率に好影響を与える。狭いピクセル絶縁領域のさらに他の利点は、Si-SiO<sub>2</sub>界面10で発生する表面リーク電流の比率が小さく保たれることである。具体的には、表面発生電流の正孔の比率も、増倍層2において増幅され、特にノイズを高める。

40

#### 【0046】

第2の実施形態の好ましい実装形態において、界面10の電位は、絶縁体6の表面上の（たとえば金属またはポリシリコンからなる）導電性制御層11により、MOS効果によって調整される。界面を、アノード領域1の下方の隣接する半導体層の中まで延長する（すなわち第1の主面に平行な）仮想の線に沿って、電位がほぼ一定になるように調整される場合も、半導体表面に平行な電位分布および電界分布は、非常に均質的になり、結果として、APDアレイ全体で非常に均一的な増幅となる。そうすると、アノード領域の間に位置し各アノード領域を取囲む導電性制御層11は、格子を形成することになり、これは、APDアレイのエッジにおいて好ましくは固定電位に設定することができる。

50

## 【 0 0 4 7 】

第2の実施形態のさらに好ましい実装形態が図3に示される。ここでは、導電性制御層11の代わりにまたはそれに加えて、nドーピングされた界面ドーピング層12が界面10の直下に存在する。ここで、背景にある発想は、MOS構造の金属コンタクトにおける電圧を、MOS構造のキャパシタンスを介して界面電荷に変換できる、ということである。動作時に、アノード領域とカソード領域との間に逆電圧が印加されると、界面ドーピング層12も空乏化される。図2に示される設計に対する利点は、制御層格子がないのでアノード領域1と制御層11との間に寄生容量も存在しない点である。

## 【 0 0 4 8 】

通常、界面10における電位は、導電性制御層11により、より正確かつより柔軟なやり方で調整することができる。図3に示されるように導電性制御層11を界面ドーピング層12と組み合わせることは、導電性制御層11に印加すべき必要電圧が低減される場合に、好都合となり得る。

10

## 【 0 0 4 9 】

アバランシェ増倍によって発生する電荷キャリアは、増倍層における空間電荷を、特に、電子および正孔が電界によって分離された後に、変更する。電子は、近くのアノードに高速でドリフトし、その後は空間電荷に寄与しない。正孔は、移動度がわずかに小さく、カソードまでより長い行程をドリフトすることになる。これが空間電荷に対してより大きな影響を与える。これらは、短時間の間、増倍層に位置するアクセプタの負の空間電荷を補償し、したがって、APDの電界および増幅を低減する。形状に起因して、アノード領域の下方およびピクセル絶縁領域の下方において発生した電荷キャリアの容量性結合はわずかに異なる。その理由は、固定電位のアノード領域と増倍層との間の距離が、増倍層と導電性制御層との間の距離よりも小さいことにある。これは、二酸化シリコンと比較してシリコンの相対誘電率が大きいことによって支援される。結果として、発生した電荷キャリアに起因する増倍層内の電位変化および電界強度変化は、アノードの下方において、ピクセル絶縁領域の下方よりもわずかに小さくなる。このような空間電荷効果は、導電性制御層11により、増倍層における電界が制御層における正の電圧によってわずかに増大されることで、修正することができる。

20

## 【 0 0 5 0 】

図2および図3の各々で電界低減層9が示されているものの、このような電界低減層9は第2の実施形態のAPDアレイに必ずしも存在する必要はない。第2の実施形態がもたらす改善された開口率という利点は、電界低減層9がなくても既に実現されている。しかしながら、第1および第2の実施形態の組み合わせにおいて、したがって第2の実施形態に係る例で電界低減層9が存在する場合において、当然、一層大きな利点を実現することができる、たとえば、電界低減層9によりもたらされるAPDアレイのエリアにわたるより均質な増幅を実現することができる。

30

## 【 0 0 5 1 】

第1の主面101に対する界面10の深さの増大は、マイクロエレクトロニクスで周知の局所酸化プロセス(LOCOS)で、技術的に実現することができる。LOCOSプロセスを使用する場合、酸化物の厚さがアノード領域1のエッジから増大し界面10を徐々に深くする(図2)周知のパーズピーク領域が生じることになる。それに対応して、導電性制御層11の電位の界面10へのリーチスルーが変化する。これは、LOCOS層のエッジ領域において、その中央よりも顕著である。この変化は、増倍層2に伝搬し、結果としてその場所の電界の不均一性が小さくなる。このような不均質性は、追加の絶縁層をLOCOS層の上に設けて厚さの相対的な違いを一様にするすることで、減少させることができる。絶縁体6の厚さの違いを一様にするための、代替のおよび追加の可能性は、図2に示されるように明確な平坦化工程によって平坦な面を形成することである。界面10への導電性制御層11の電位のリーチスルーの適合性を改善するために、厚さが最大の絶縁体6の部分を薄くすることも可能である(図2には示されていない)。これにより、増倍層2への制御層11の電位のリーチスルーが増大することで、上記空間電荷効果の影響も減じ

40

50

られる。

【 0 0 5 2 】

上記技術的手段は、個々にまたは任意の組み合わせでも適用することができ、界面ドーピング層 1 2 の使用と組み合わせることができる。また、これらは L O C O S プロセスの使用と結び付けられていない。たとえば、界面 1 0 を、L O C O S プロセスに代えてまたは L O C O S プロセスと組み合わせたエッチングプロセスによって、深くすることも可能である。（たとえば  $3 \cdot 10^{11} / \text{cm}^2$  と  $10^{12} / \text{cm}^2$  との間のドーズ量での注入によって）局所酸化する前に浅いリンドーピングをピクセル絶縁領域 7 0 に導入すると、シリコン - 二酸化シリコン界面 1 0 におけるリンの分離挙動に起因して、ドーパントが半導体内に移動してそこで界面ドーピング層 1 2 を形成することになる。

10

【 0 0 5 3 】

この技術的プロセスの費用対効果をより高めるために、電界低減層 9 を、n ドープされた界面ドーピング層 1 2 とそれに横方向に隣接するアノード領域 1 のドーピングの末端とから組み立てることも可能である。この場合、n ドープされた電界低減層 9 は、高くドーピングされたアノード領域 1 から完全に分離されていない。そのドーピングは徐々に変化してアノードのドーピングになる可能性がある。これは、アノードドーピングの低くドーピングされた末端 1 a で形成することもでき、横方向に変化して界面層 1 2 のドーピングになる可能性がある（図 4）。そうすると、アノードの低くドーピングされた末端 1 a および界面ドーピング層 1 2 が合わさって、電界低減層 9 を形成する。このような手法の利点は、n ドープされた層 9 が、イオン注入によるプロセス工程で形成されるのではなく、アノード領域 1 からの拡散によって、および、ピクセル絶縁領域 7 0 における局所酸化中の界面ドーピング層 1 2 の上記移動によって、形成される点である。したがって、電界低減層 9 の形成中に生じるシリコン結晶の損傷は完全に回避される。誤解を避けるために、ここでは、A P D アレイの動作において完全に空乏化される、アノードドーピングの末端 1 a は、アノード領域 1 の一部とみなされないことを、強調しておく。

20

【 0 0 5 4 】

導電性制御層 1 1 における電圧の設定および / または界面ドーピング層 1 2 のドーピングパラメータの設定に加えて、界面 1 0 における電位を、したがって増幅の均一性を制御する、さらに他の技術的可能性がある。界面 1 0 と、それに横方向に隣接する領域との間の電位差は、より深い  $\text{SiO}_2 - \text{Si}$  界面（より厚い L O C O S 層）によって、またはより浅いアノードドーピング（リンではなくヒ素のドーピング）によって、低減することができる。これら 2 つの手段はいずれも、アノード領域 1 の下方の  $\text{SiO}_2 - \text{Si}$  界面の高さにおいて、より大きな負の電位をもたらし、それにより、増倍層 2 における均質的な横方向電界を調整するためのマージンを拡大し、同時に、隣接するアノード領域 1 の電氣的絶縁を保証する。

30

【 0 0 5 5 】

この発明の A P D アレイの動作にとっては、発生する電界強度がそれほど高くないことが好都合である。このような場合、界面 1 0 では正孔電流の増幅が生じないまたは小さな増幅しか生じないであろう。よって、S L I K - A P D アレイは本発明の好ましい実施形態である。

40

【 0 0 5 6 】

隣接するピクセルの信号の総和がダイオードの裏側における光信号の入射位置とは無関係であるときに存在する、位置とは無関係の均一な増幅は、p i n ダイオードアレイで 사용되는非常に小さなピクセルを実現することも可能にする。

【 0 0 5 7 】

増倍領域およびカソード領域は、第 1 の実施形態と技術的に同じやり方で実現できる。また、ピクセル絶縁領域に関連しない、第 1 の実施形態に関するすべての記載は、第 2 の実施形態にも同じように当てはまる。

【 0 0 5 8 】

さらに他の変形

50

現在使用されている現代のpinダイオードアレイは、フリップチップ技術によって、読出エレクトロニクスに直接接続される。最小ピクセルサイズは、およそ $50\mu\text{m} \times 50\mu\text{m}$ の範囲内である。一方、この制限は、現在この範囲内にある隣接するバンプボンド間の最小距離に起因する。一方、これは、読出チップにおけるトランジスタ回路の面積要件に起因する。マイクロエレクトロニクスではより一層の微細化の傾向が続くと予想されるので、一層小さいピクセルを求める要求が予測される。

#### 【0059】

過去数年間において、読出エレクトロニクスがSOI技術（シリコン・オン・インシュレータ（silicon on insulator））によってセンサにモノリシックに接続されている検出器システムが開発された。この場合、比較すると高額でより大きな空間を必要とするバンプボンド技術は不要である。今までは、SOIPIXとして知られている従来のpinダイオードアレイがこの技術に使用されてきた。そのため、本発明に関して、従来のpinダイオードアレイをAPDアレイに置き換えるという発想が生じた。したがって、このような手法を用いると、APDアレイを含む検出器の応用分野を、改善された時間分解能およびより高い感度により、拡大することができる。この発明のAPDアレイと組み合わせたSOPIX技術の用途は特に好都合である、なぜなら、空間またはパワー要求がより小さいより簡素な増幅器を、APDアレイの真性増幅によって使用することができ、たとえば改善された位置解像度のためにより小さなピクセルを実現できるからである。また、本発明は、より小さなピクセルを有するAPDアレイの実現を可能にすることで、これを、SOPIX技術と組み合わせるのにより魅力的なものにする。

#### 【0060】

一例として、図5は、SOIPIX技術に従う読出エレクトロニクスと発明のAPDアレイとのモノリシック接続の概略図を示す。ここで、アノード領域1は、SOI層（または第2の半導体基板）13に形成された読出増幅器（詳細には示されていない）の入力と、コンタクト15を介して接続されており、第1の半導体基板100および第2の半導体基板13は、絶縁層106によって互いに分離されている。絶縁層106は、リセス20を充填する上記絶縁層6とともに、一工程で形成することができ、特に、これらの絶縁層は同一材料（たとえば $\text{SiO}_2$ ）からなるものであってもよい。

#### 【0061】

上記導電性制御層11は、界面10の電位を容量制御するドーピングされたシリコン層14として、SOI層13に統合することができる。これに代えて、導電性制御層を、ポリシリコンまたは金属電極として形成してもよい。SOIエレクトロニクス内の非常に薄い酸化物は絶縁耐力が限られているので、導電性制御層14に対する制御電圧は、あったとしても、数ボルトの範囲にすぎない。ここで、制御電圧を、SOIエレクトロニクスに適した範囲内にシフトさせるには界面ドーピング層12を使用することが有効である。

#### 【0062】

本発明は、個々のアノード領域の特定の形状に限定される訳ではない。これらのアノード領域は、たとえば二次形状または矩形形状を有していてもよい。APDアレイ内の異なる位置における異なるアノード形状および/またはアノードサイズも考えられ、これは、通常は、ピクセルの異なる形状およびサイズになる。

#### 【0063】

上記説明から明らかなように、第2の実施形態に係る可能な設計の各々は、第1の実施形態に係る可能な設計の各々と組み合わせることができる。

#### 【0064】

さらに、本発明が対象としているAPDピクセルアレイでは、相互に分離されたアノード領域1からピクセル構造が得られ、個々のダイオードのカソードのすべてが互いに接続され、アレイ全体が均質で構造化されていないカソード領域3を有することは、明らかである。第2の主面102に形成されたカソード領域3にピクセル構造がないことは好都合である、というのも、本発明のAPDピクセルアレイにおいて、放射は、検出における放射入口側である第2の主面102に入射するからである。

## 【 0 0 6 5 】

最後に言及すべきこととして、本発明は、特にシリコンベースのAPDアレイに適用することができ、好ましくは電磁放射の検出に適したリーチスルーAPDまたはSLIK-APDに適用することができることが挙げられる。本発明のAPDアレイは、特に、可視光線、UV放射、または100eVと5keVとの間のX線光子のエネルギーを有するX線の検出に使用することができる。検出が可能な総波長範囲は、第2の主面における放射入口窓の構成に応じて決まる。上記放射の範囲は、波長に変換した場合、およそ0.2nm~700nmの範囲を含む。

## 【 0 0 6 6 】

センサ動作において、上記APDピクセルアレイは、カソード領域3とアノード領域1との間に逆電圧を印加することで、場合に応じて、カソード領域3とアノード領域1との間の、カソード領域3およびアノード領域1自体を除く半導体全体が、および、ピクセル絶縁領域7内のpストップ領域8またはpスプレー領域が、空乏化されるように、実質的に動作する。

## 【 符号の説明 】

## 【 0 0 6 7 】

## 参照番号

- 1 - アノード領域 ( n + ドープされている ) - 空乏化されない
- 1 a - アノード ( 1 ) の低くドープされた末端 - 空乏化される
- 2 - 増倍層 ( p ドープされている )
- 3 - カソード領域 ( p + ドープされている )
- 4 - ドリフト領域 ( 弱くドープされている )
- 5 - 光入口窓
- 6 - 絶縁層 ( 好ましくは S i O <sub>2</sub> )
- 7 - ピクセル絶縁領域
- 8 - p ドーピング ( p ストップ )
- 9 - n ドープされた電界低減層 ( 空乏化される )
- 1 0 - リセス 2 0 の底部であり絶縁層 6 と半導体基板 1 0 0 との間の界面でもある
- 1 1 - 導電性制御層
- 1 2 - 絶縁領域 7 0 内の n ドープされ空乏化された界面ドーピング層
- 1 3 - 読出エレクトロニクスが統合された第 2 の半導体基板 - S O I 層
- 1 4 - 第 2 の半導体基板 1 3 に統合された導電性制御層
- 1 5 - コンタクト
- 2 0 - リセス
- 7 0 - ピクセル絶縁領域
- 1 0 0 - 半導体基板
- 1 0 1 - 第 1 の主面
- 1 0 2 - 第 2 の主面

10

20

30

40

50

【図面】

【図 1】

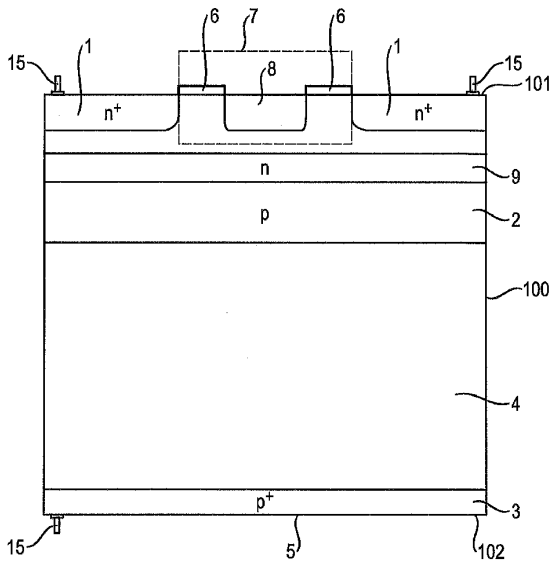


Fig. 1

【図 2】

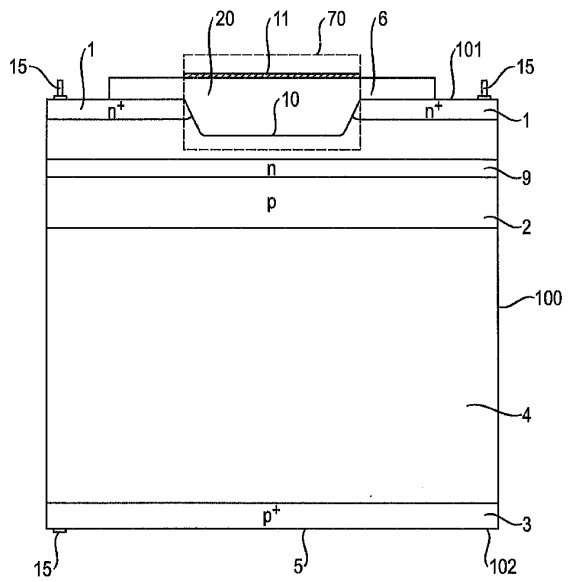


Fig. 2

10

20

【図 3】

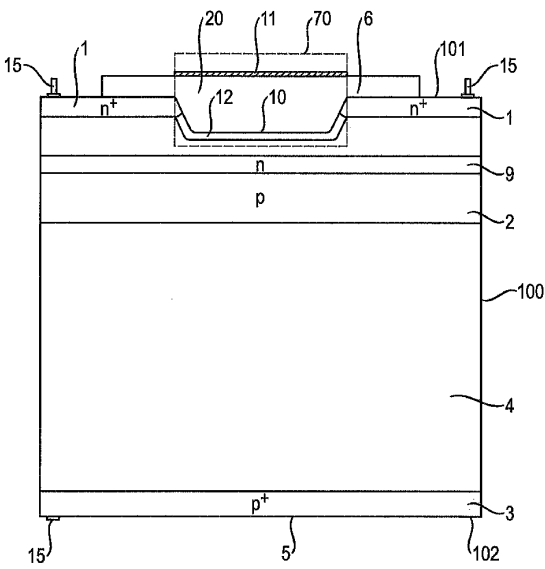


Fig. 3

【図 4】

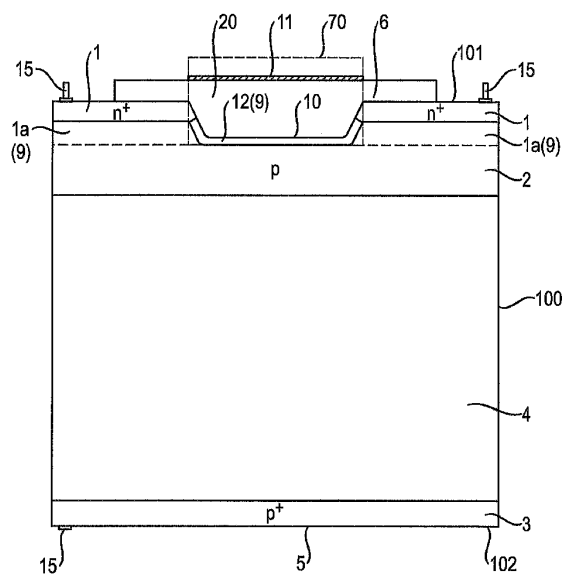


Fig. 4

30

40

50

【 図 5 】

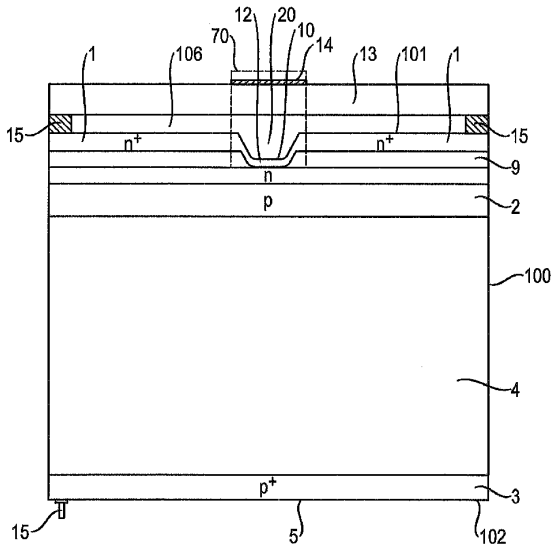
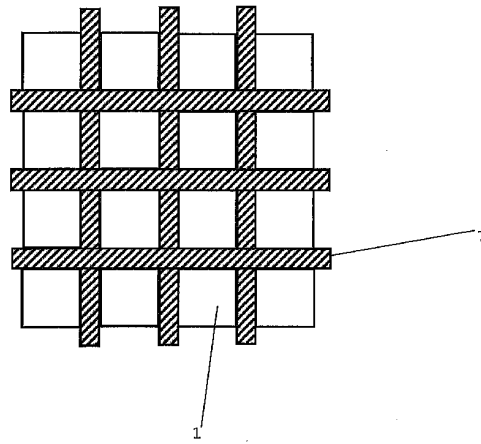


Fig. 5

【 図 6 】

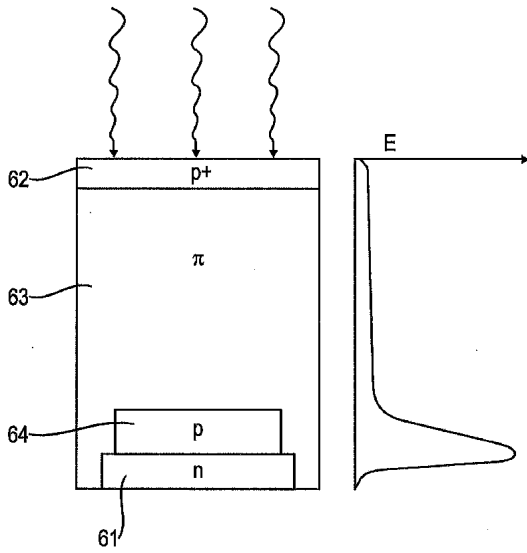
Fig. 6



10

20

【 図 7 】



30

40

Fig. 7

50

## フロントページの続き

- ドイツ、80999 ミュンヘン、エベルスブッシュシュトラッセ、23  
(72)発明者 ベーア, アレクサンダー  
ドイツ、82194 グレーベンツェル、タンネンフレックシュトラッセ、58  
審査官 佐竹 政彦  
(56)参考文献 国際公開第2018/158631(WO, A1)  
特開2014-225647(JP, A)  
米国特許出願公開第2011/0272561(US, A1)  
(58)調査した分野 (Int.Cl., DB名)  
H01L 31/107  
JSTPlus/JSTChina/JST7580(JDreamIII)