

公告本

申請日期	88 年 12 月 3 日
案 號	88121215
類 別	G11C 607, G11C 609

A4
C4

462056

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體裝置
	英 文	
二、發明人 創作	姓 名	(1) 竹村理一郎 (2) 伊藤清男 (3) 關口知紀
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (2) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (3) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代 表 人 姓 名	(1) 庄山悅彦

裝

訂

終

申請日期	88 年 12 月 3 日
案 號	88121215
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	
	英 文	
二、發明人 創作	姓 名	(4) 阪田健 (5) 木村勝高
	國 籍	(4) 日本 (5) 日本 (4) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
	住、居所	(5) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

日本

1999 年 2 月 22 日 11-042666

☒有主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背頁，
注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

(發明所屬技術領域)

本發明關於半導體裝置，特別關於該裝置之差動放大動作部分者。

(習知技術)

本說明書參照之文獻如下，(文獻1)：特開平6-309872號公報(對應美國專利第5412605號)、(文獻2)：超LSI記憶體第161-167頁，伊藤清男著、培風館、1994年11月5日出版發行，(文獻3)：T.Yamada et al., ISSCC91 Dig. Tech. Papers, pp.108-109, 1991、(文獻4)：H. Hidaka et al., IEEE Journal of Solid State Circuit, Vol.27, No.7, (1992), pp.1020-1027、(文獻5)：特開昭63-211191號公報、(文獻6)：Eto et al., ISSCC98 Dig. Tech. Papers, pp.82-83, 1998。

文獻1係揭示，於DRAM中，為求電源電壓低電壓化時之感測放大器之動作穩定化，於感測放大器驅動初期對CMOS感測放大器之源極節點施加較放大電壓(例如GND)大之電壓(例如較GND低之負電壓)之技術。此方法係具備以大於最終位元線上之放大電壓大之電壓來驅動感測放大器之期間，故亦稱(過驅動)。

文獻2主要針對DRAM之記述。於第161-167頁簡略記述將來自記憶格之微小信號放大之感測系

五、發明說明 (2)

電路。特別是於第 1 6 3 - 1 6 4 頁記述多數感測放大器之高速驅動方法作為 ((2) 電流分散型感測放大器驅動)。亦即，令感測放大器驅動用電源電壓 (等於資料線之最後放大電壓之電壓) 以網狀配線供給，介由分散配置之驅動用 M O S F E T (例如以 4 個感測放大器構成 1 個驅動用 M O S F E T) 來驅動多數感測放大器之技術。又，文獻 3 及文獻 4 係文獻 2 中作為上述技術之原著被引用之技術。

(發明欲解決之問題)

本發明人針對於需以低電壓電源動作之大容量 D R A M 中為實現過驅動用電路，而於本發明之前針對 D R A M 中之感測放大器及其過驅動電路之現實配置之點加以檢討。

圖 2 5 係本發明人檢討之具過驅動電路之 D R A M 之電路之重要部分。此電路中，係利用大於資料線之高位準 (" H ") 電壓 (V D L) 之 V D H 電壓進行 P 側共通源極線 C S P 之過驅動。該過驅動電路，係介由 P 側共通源極線 C S P 之一端設置之 1 個 P M O S 電晶體 O Q P 1，由 C S P 之一端供給過驅動電壓 V D H。考慮過驅動電路之附加時，如上述般於 C S P 之一端設置過驅動電路，就電路面積減少觀點而言較好。

圖 2 6 係圖 2 5 之感測放大器動作時之共通源極線之動作波形及資料線之動作波形。感測放大器開始放大之前

(請先閱讀背面之注意事項再填：本頁)

裝

訂

線

五、發明說明 (3)

，資料線及共通源極線預充電至 $V_{DL} / 2$ 。當 S_{P1} 為低 ("L") 位準， Q_{DP1} 為導通狀態，於共通源極線 C_{SP} 供給 V_{DH} 時，相對於 V_{DH} 之供給節點， S_{An} 為最近端， S_{A1} 為最遠端， Q_{DP1} 導通期間，亦即過驅動期間 T_{od} ，係高速且不超過 V_{DL} 般設定為資料線 "H" 位準側上升至 V_{DL} 。

圖 26 (a) 係於感測放大器之近端亦即 S_{An} 使 T_{od} 最適化之情形，圖 26 (b) 係於遠端 (S_{A1}) 使 T_{od} 最適化之情形。如圖 26 (a) 所示，近端最適化時由感測放大器初期之共通源極線流經各 S_A 之電流使共通源極線產生電壓降。另外，遠端在生至足過電壓 ($C_{SP}(1)$) 變成為 O_{FF} ，無法得所要之足過高之有效閘極電壓。亦即，資料線 (D_{1t} ， D_{1b}) 成低速動作。反之，如圖 26 (b) 所示，遠端 (S_{A1}) 最適化時，於近端過驅動效果過強，資料線電壓成為大於 V_{DL} ，消費電力增加。如上述，本發明人發現，因共通源極線之電阻引起電壓降，因感測放大器之位置導致感測放大器速度降低，或消費電力增加之問題。

另一方面，(文獻 2) - (文獻 4) 針對感測放大器之共通源極線之電流集中及伴隨之電壓效果加以檢討，但針對感測放大器之過驅動電路之適用並未考慮。

本發明目的之一在於消除過驅動時多數感測放大器間之驅動不均一。本發明另一目的在於消除過驅動電路之不均一，減低包含感測放大器之佈局面積之增加。

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

五、發明說明（4）

（解決問題之手段）

本發明之代表性手段如下，將過驅動電路用之驅動開關沿感測放大器列分散配置，將恢復用驅動開關沿感測放大器列之一端集中設置。過驅動用電位，係利用網狀電源配線供給即可。又，令感測放大器之H（高位準）側與L（低位準）側之驅動開關以同一導電形MISFET構成，使閘極信號共用化，如此則包含分散配置之驅動開關與感測放大器之部分之部局面積可縮小。又，以臨界值低之MISFET構成感測放大器時，為達成主動待機中之漏電流減少，只需抑制感測放大器之共通源極節點之電位即可。抑制活性狀態之感測放大器之共通源極節點之電位之手段之較好例有阻抗可變之感測放大器驅動開關。

（發明之實施形態）

以下依圖面詳細說明本發明之實施例。構成實施例之各方概之電路元件雖位特別限制，可藉習知CMOS（互補型MOS電晶體）等積體電路技術，形成於單晶矽等1個半導體基板上。MOSFET之電路記號，為附加箭頭者表示N型MOSFET，俾和附加箭頭之P型MOSFET（PMOS）區別。以下MOSFET簡稱MOS。但是，本發明並不僅限定於包含在金屬閘極與半導體層間設置之氧化膜絕緣膜的場效電晶體，亦適用使用MISFET等一般FET電路。

五、發明說明(5)

(實施例1)

圖1係動態型記憶體之次記憶體陣列SMA之詳細。此實施例，係於放大初期令感測放大器之P側與N側之源極節點中之單側過驅動之電路。其特徵為，令驅動P側共通源極線CSP之過驅動用驅動開關QDP1分散配置於感測放大器領域SAA。在詳細說明圖1之前，以圖22，23首先說明本發明對象之圖1電路之記憶體裝置中之全體位置配置。

圖22係本發明適用之同步型DRAM(SDRAM)之全體方塊。各電路方塊，係藉輸入控制信號之時序信號產生電路TG所形成內部控制信號之時序動作。輸入TG之控制信號包含有，晶片選擇信號/CS，行位址選通信號/RAS，列位址選通信號，寫入能動信號/WE。該控制信號及位址信號之組合稱為指令。時脈能動信號CKE係決定時脈信號之有效無效。輸出入掩碼信號DQM，係為掩碼由輸出入端(DQ0，...，DQn)輸出入之資料，而控制資料輸出入緩衝器I/O的信號。

SDRAM中係採用由位址輸出入端(A0，A1，...，An)以分時輸入行或列位址之位址多工方式。輸入行位址緩衝器XAB之行位址，係於行解碼器XDEC解碼，1個記憶體陣列MA0中之特定字元線被選擇，對應地，1字元線分之記憶格設為選擇狀態。之後，當列位址輸入列位址緩衝器YAB時，藉列位址節碼器Y-

五、發明說明 (6)

D E C 選擇進行讀出或寫入之記憶格。又，S D R A M 具有以區塊位址指定之多數記憶體陣列（或記憶區塊），此圖中僅圖示代表性之 1 個記憶體陣列 M A 0 （B A N K 0）。

以下說明圖 2 2 之 S D R A M 之電壓產生電路 V G 產生之內部電源系。此處係採用以 V S S （0 V）為基準 V C C 由外部供給之單一電源方式。電位最高之內部電源為 V P P （3 . 0 V），係藉由包含充電泵電路之升壓電路形成，供至字元線驅動電路。V D H （2 . 5 V = V C C）為 X A B、Y A B、I O B、X - D E C 等周邊電路之動作電源。V D L （1 . 5 V）及 V D B H （0 V = V S S），係決定後述資料線之恢復電位，為供至感測放大器之電位。V D L 係由降壓電路形成。此實施例中係採用半預充電方式，因此供至待機時之資料線等之 V D L / 2 （0 . 7 5 V）亦由 V D L 形成。V D L / 2 亦用作為記憶格之屏極電位 V P L 使用。V B B （- 0 . 7 5 V），係將 N M O S 之閘極偏壓為最低電位用之基本電位，由八含充電泵電路之升壓電路形成。

圖 2 3 係圖 2 2 之記憶體陣列 M A 0 內部之更詳細。M A 0 包含以矩陣狀配置之次記憶體陣列 S M A 1 1 - S M A n m。雖未特別限制，此記憶體陣列中採用階層字元線方式，於 M A 0 之一邊配置主字元線驅動列 M W D。連接 M W D 之主字元線係橫跨多數次記憶體陣列（例如 S M A 1 1 - S M A n 1）般設於上層金屬配線層。列方

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (7)

向之選擇係採用，列解碼器 Y - D E C 輸出之多數列選擇線 (Y S 線) 橫跨多數次記憶體陣列 (例如 S M A 1 m - S M A 1 1 之方向) 般設置之共用 Y 解碼器方式。又，圖 2 3 之 M A 0，於 S M A 1 1 - S M A 1 m 之左端及右端設有次記憶體陣列之末端處理領域用之右端領域 L E A 及左端領域 R E A。L E A 及 R E A 係將 S A A 及 X A 做若干變形者。此乃採用感測放大器以交互配置之感測放大器共用方式時對區塊端之末端處理之考量。

如圖 2 3 之擴大圖所示，1 個次記憶體陣列內部分割成，感測放大器領域 S A A、次字元線驅動領域 S W D A、及交叉領域 X A。就配置而言，具有 4 角型之 M C A 之 1 個角共用之第 1 邊及第 2 邊時，S A A 係沿該第 1 邊設置之長方形領域，S W D A 係沿該第 2 邊設置之長方形領域。X A 係於共用第 1 邊及第 2 邊之角以 S A A 及 S W D A 包圍之領域。

圖 1 係圖 2 3 之擴大圖表示之次記憶體陣列之詳細。又，記憶格領域 M C A 內，資料線 D 1 t、D 1 b、... D n t、D n b 係於記憶格陣列 M C A 與多數字元線 W L 交叉，於特定交叉點連接動態型記憶格 M C。M C 係由儲存資料之 1 個電容器及 1 個 M O S 電晶體，此處為 N M O S 電晶體構成。此實施例中採用二交叉點方式之資料線與記憶格之配置例，但並未特別限制，亦可適用一交叉點方式。

於次字元線驅動領域 S W D A，設有對應上述多數字

(請先閱讀背面之注意事項再抄入本頁)

裝

訂

線

五、發明說明 (8)

元線之多數次字元線驅動器 S W D 。次字元線驅動器

S W D , 係由圖 2 3 之主字元線與 F X 驅動器 F X D 之控制信號之邏輯和被活性化。F X D 設於交叉領域 X A 內, 圖 1 則省略圖示。非階層字元線方式而採用字元線分歧方式時, 於 S W D A 內取代次字元線驅動器 S W D 而改設置以設於上層之 A L 等金屬形成之底層用字元線及下層多晶矽層之閘極及共用字元線之連接用貫通孔及接觸孔。此時 S W D A 稱為字元線分歧領域。

以下說明感測放大器領域 S A A 。於 S A A 內, 對應資料線對之一對 (D 1 t , D 1 b), 設置左右之共用開關 S H R 、預充電電路 P C 、感測放大器 S A 1 , 列開關 I O G 等。假設 1 個記憶格領域 M C A 之資料對之數為 5 1 2 對 - 2 0 4 8 對, 則 S A A 內之感測放大器數配置 2 5 6 - 1 0 2 4 個。因感測放大器之交互配置構造, 感測放大器之數為資料線對數之一半。共用開關 S H R , 係使感測放大器 S A 1 於左右側記憶格領域共用之切換開關。此處之共用開關 S H R 設為 N M O S , 於資料線之預充電期間, 其閘極控制信號 S H R L 及 S H R R 係設為 V P P 、 V D H 、或 V D L 電位。例如存取左側記憶格領域時設為 S H R L = V P P 或 V D H 、 S H R R = V D B , 僅使單側之 N M O S 之臨界值電壓不降低而導通。P C 係於資料線預充電期間藉由控制信號 P C S 將 $V D L / 2$ 供至資料線對。列開關 I O G , 係使列解碼器之列選擇信號 Y S 選擇之資料線對連接共用輸出入線對 I O t ,

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明、⁹)

I O b , 形成與外部間之資料輸出入路徑。

感測放大器 S A , 係 2 個 C M O S 反相器交叉結合之拴鎖型放大電路。亦即, 該感測放大器, 係包含源極共接之閘極及汲極互為交叉結合之 P M O S 對, 及同樣結合之 N M O S 對。P M O S 對及 N M O S 對之源極, 分別共接於 P 側共通源極線 C S P 及 N 側共通源極線 C S N 。於過驅動電路方式之感測放大器, 恢復電位及過驅動電位為必要。恢復電位係決定資料線上之最終放大時之 H 位準及 L 位準之電位。等同於對記憶格進行再度寫入時之電位, 故而稱為恢復電位。此處, V_{DH} 係 H 側恢復電位, V_{DBH} 係 L 側恢復電位。此實施例中, 過驅動電位僅供至 H 側, 為 $V_{DH} (> V_{DL})$ 。

於感測放大器之 P 側, 供給 H 側過驅動電位 V_{DH} 之第 1 電源線係與 C S P 並列設置。該第 1 電源線與 P 側共通源極線 C S P 間分散設置多數開關 Q D P 1。圖 1 之中構成係針對 1 個感測放大器設置 1 個 P M O S。另外, H 側之恢復電位 V_{DL} , 並非於 S A A 內, 而是藉由集中設置於交叉領域 X A 之開關 Q D P 2, 由 P 側共通源極線 C S P 之一端供給。又, 共通源極線之預充電電路 C S P C, 亦經由設於交叉領域 X A 之 C S P 及 C S N 之一端, 進行預充電用之短路及 $V_{DL} / 2$ 之漏電補償。

於感測放大器之 N 側, 供給 L 側恢復電位 V_{DBH} 之第 2 電源配線係與 N 側共通源極線 C S N 並列設置, 於該第 2 電源配線與 N 側共通源極線 C S N 間分散設置多數開

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

五、發明說明 (10)

關 Q D N 1。圖 1 中，Q D N 1 係相對 1 個感測放大器有 1 個 N M O S 般之比例，與 Q D P 1 成對設置。

於 S A A 內，感測放大器之 P M O S 對及過驅動用開關 M O S Q D P 1，雖未特別限制，可形成於 P 型基板上形成之共用 N 型井內，於該 N 型井施加 P 側基板偏壓 V D H。亦即，該 P M O S 之反向閘極係偏壓為等同於過驅動電位之 V D H。又，該 P M O S 之反向閘極亦可偏壓為 V P P。同樣，感測放大器之 N M O S 對及 Q D N 1 亦共通形成於摻雜有 P 型雜質之半導體領域（直接於 P 型基板或於 P 型基板形成之 3 重井內），於該半導體領域施加有 V D B H 或 V B B 之 N 側基板偏壓。

圖 2 4 係供給圖 1 之 V D H 及 V D B H 之配線。

V D H 及 V D B H 係藉圖中配線阻抗低之網狀電源配線供給。圖之縱向配線係形成於第 2 金屬（鋁等）配線層 M 2。記憶格領域 M C A 中，為填補主字元線 M W L 間之空隙，與 M W L 並行地設置 V D H 及 V D B 供給用配線。主字元線 M W L，例如係依每 4 或 8 條字元線設 1 條。又，於感測放大器領域 S A A 亦與 M W L 並行地設置 V D H 及 V D B H 供給用配線。該 M 2 之 V D H 及 V D B H 之電元配線係圍上述圖 1 之第 1 及第 2 電源配線。

圖 2 4 之橫向配線，係形成於較 M 2 更上層之第 3 層金屬（A 1 等）配線層 M 3 上。橫跨記憶格領域 M C A 及感測放大器領域 S A A 般設置列選擇線 Y S。Y S 係例如依 4 對資料線設 1 條。為填補 Y S 間空隙，與 Y S 並行地

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (11)

設置 V D H 及 V D B H 供給用配線。M 2 及 M 3 之 V D H 或 V D B H 之電源配線係於其交叉點，藉鄰接 M 2 及 M 3 之貫通孔接觸 T H 2 連接。上述交叉之 M 2 與 M 3 之電源配線及貫通孔結合成之 V D H 或 V D B H 之網狀電源配線係設定為低阻抗。

圖 2 係圖 1 之次記憶體陣列之動作時序。S D R A M 中當行能動指令 (Row Aactive Command) 輸入時，連接特定區塊之特定主字元線的記憶格被一次讀出於感測放大器放大。之後，預充電指令輸入時，結束記憶格之選擇，設定為次一讀出等待狀態之預充電狀態。圖 2 之波形係指行能動指令起至預充電指令投入止之圖 1 之次記憶體陣列之動作。

當資料線及共通源極線之預充電控制信號 P C S 下降，資料線及共通源極線之 V D L / 2 預充電停止後，多數字元線中 1 條字元線 W L 被選擇而由 V W K 位準 (一般 $V W L = V S S$) 變為 V P P。依此則選擇之記憶格 M C 之 N M O S 電晶體之閘極被施加 V P P 而能動化，電荷被由記憶資料之電容器讀出於記憶格 M C 連接之資料線 D 1 t、... D n t。因格之電荷於資料線對產生微小電壓差，格之資料為 "H" 時，D 1 t 成為較 D 1 b 大約 100 m V 之位準。此處係假設於記憶格 M C 之格電容器謝入 "H" 之資料。記憶低位準 "L" 時，除電位降低之外其餘均相同。

格資料完全讀出後之感側開始時，令 N 側共通源極驅

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

動控制信號線 S_N 由 V_{DBH} 變化為 V_{DL} 以上位準使 Q_{DN} 能動化，將 C_{SN} 由 $V_{DL} / 2$ 驅動成 V_{DBH} 。與此同時或延遲數段分而將第 1 P 側共通源極驅動控制信號線 S_{P1} 由例如 V_{PP} 變化為 V_{SS} 而使 Q_{DP1} 能動化，將 C_{SP} 由 $V_{DL} / 2$ 驅動成 V_{DH} 。此時，如圖 1、圖 2 所示 V_{DH} 係藉網狀電源配線之低阻抗供給，並介由分散配置之開關 Q_{DP1} 供給。因此， $S_{A1} - S_{An}$ 以略相同時序被能動化，故對 $S_{A1} - S_{An}$ 之過驅動之誤差變動可抑制，且 P 側共通源極線 C_{SP} 及 C_{SN} 之高速驅動可實現。又，藉由過驅動可使 S_A 之 PMOS 電晶體之源／汲極間電壓、及閘極／源極間電壓成為大於 $V_{DL} / 2$ ，故資料線對之微小電壓差微小電壓差 ΔV 可高速放大。

感測放大器之過驅動期間，係設為資料線高位準側之 D_{1t} 之放大未完全結束之狀態，其資料線電位成為 V_{DL} 附近止之時間 T_{p1} 。過驅動，就消費電力觀點而言較好停止於資料線電位大於 V_{DL} 之前。 T_{p1} 期間經過後， S_{P1} 由 V_{SS} 變為 V_{DH} 以上之位準例如 V_{PP} 後，第 2 之 P 側共通源極驅動控制信號 S_{P2} 例如由 V_{PP} 設為 V_{SS} 使 Q_{DP2} 能動化，將 C_{SP} 設為 V_{DL} 。依此，資料線高位準側保持於 V_{DL} 。

又，預充電指令輸入後之動作如下。選擇字元線 W_L 由 V_{PP} 成為 V_{WL} 。之後， S_N 由 V_{DL} 或 V_{PP} 設為 V_{DBH} ， C_{SN} 由 V_{DBH} 切離。與此同時， S_{P2} 由

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

V S S 設為 V P P , C S P 由 V D L 切離。由電源切離之 C S N、C S P 及資料線 D 1 t、D 1 b、... D n t、D n b 經由預充電控制信號 P C S 預充電成 $V D L / 2$ 。

依本發明實施例可得效果如下。(1)過驅動產生之過驅動用電源 V D H 流至資料線之充電電流，係由網狀電源配線，由分散配置於該配線附近之多數開關 Q D P 1 供給，故特定感測放大器及 P 側共通源極線 C S P 之一部分之電流集中可避免，於 S A 1 - S A n 之任一 S A 均可以同等之過驅動電壓 (V D H) 進行過驅動。(2)過驅動期間之設定，可以 Q D P 1 之閘極信號 S P 1 能動化時間來設定，S A 1 與 S A n 可設為相等。因此，過驅動振幅及期間之遠近端差可縮小。(3)由資料線至 V D B H 端之放電電流，因多數配置之 Q D N 分別流出陣列上之網狀電源 V D B H，特定之感測驅動器及 C S N 之電流集中現象可避免。

又，本實施例中，Q D P 1 及 Q D P 2 之任一方或兩方可由 N M O S 電晶體構成。此情況下，控制信號之邏輯虛設為與 P M O S 電晶體構成時相反之邏輯。Q D P 1 及 Q D P 2 設為 N M O S 時，於非活性化狀態閘極 / 源極間電壓為負電壓，由 V D H、V D L 流至 C S P 之漏電流可減低，此為優點。

又，此實施例中，係依每一感測放大器配置 1 個開關 M O S Q D P 1 及 Q D N 1，但亦可依每 2、4、8 個感測放大器配置 1 個 Q D P 1 及 Q D N 1。又，開乾

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (14)

M O S Q D P 1 基 Q D N 1 , 於感測放大器並列方向不切斷形成通道之擴散層, 而形成具一列連接之長閘極幅的 1 個 M O S 亦可。本發明之特徵在於, 將分布於 S A A 領域內之開關 M O S 使用作為過驅動, 因此至於切斷通道與否並非重要。

(實施例 2)

圖 3 係實施例 2 之感測放大器之構成。圖中僅式出感測放大器之主要部分, 其他部分則沿用實施例 1。實施例 2, 係於圖 1 之僅有 P 側之過驅動再追加 N 側之過驅動之構成。和圖 1 不同者為, 於交叉領域 X A 內於 N 側共通源極線 C S N 之一端設置集中形開關 Q D P 2, 介由 Q D P 2 施加資料線之 L (低) 側恢復電位 V D B H (一般為 V S S)。又, 網狀電源配線中, 並非 V D B H 而是供給更低之電壓 V D B L 作為 N 側之過驅動用電源, 介由分散配置之開高 Q D N 1 供給 N 側共通源極線。對應於以 V D B L 過驅動 N 側共通源極線, 感測放大器之 N M O S 對及 Q D N 1 之反向閘極至少須偏壓成 V D B L 或更低之電壓。如圖 3 所示, H 側及 L 側之恢復電位分別成為 V D L 及 V D B H, H 側及 L 側之過驅動電位分別成 V D H (> V D L) 及 (V D B L (< V D B H))。

圖 4 係圖 3 之動作波形, 和實施例 1 同樣, 假設於記憶格 M C 之格電容器寫入 " H " 之資料。和實施例 1 之圖 2 不同點為, 藉 N 側之過驅動之追加產生之 S N 1 及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

S N 2 之控制。

格資料完全讀出，D 1 t 成較 D 1 b 高約 100 mV 之位準後，S N 1 由 V D B L 變化為 V D L 或 V P P 位準，使 Q D N 1 能動化。與此同時或延遲數段後，S P 1 由 V P P 變為 V S S，Q D P 1 能動化。依此，C S N 由 $V D L / 2$ 遷移至 V D B L，C S P 由 $V D L / 2$ 遷移至 V D H。當 C S N、C S P 開始遷移至 V D B L、V D H 後，連接資料線 D 1 t、D 1 b 之 S A 1 被能動化，資料線 4-1 之微小電壓差被放大。此時，S A 1 因過驅動方式以較資料線振幅 V D L 大之振幅 ($V D H - V D B L$) 能動化，構成 S A 1 之 N M O S 及 P M O S 電晶體之源／汲極間電壓及閘極／源極間電壓變大、高速動作爲可能。爲防止過大之振幅動作引起充放電電力增加，Q D N 1 係於資料線低位準側之 V D B L 之放大未完全結束之狀態，亦即在乃未變成較 V D B H 低之位準狀態前之時間 T n 1 之間被能動化。同樣 Q D P 2 係僅於資料線高位準側之 V D H 之放大乃未完全結束之狀態，亦即未大於 V D L 之狀態前之時間 T p 1 之間被能動化。能動化時間之控制，係由 S P 1、S N 1 進行。和實施例 1 同樣，S A n 中之過驅動期間係等同於 S A 1，低位準側設爲 T n 1，高位準側設爲 T p 1。又，此時之過驅動電壓，係由接近 S A n 之 Q D N 1 及 Q D P 1 供給故等同於 S A 1，低位準側設爲 V D B L，高位準側設爲 V D H。

過驅動動作結束後，S N 2 由 V D B L 設爲 V D L 或

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

V P P , C S N 設為 V D B H 。 S N 2 之能動化時序係控制成， Q D N 1 及 Q D N 2 同時被能動化，且 V D B L 及 V D B H 未經由 C S N 連接。依此則資料線低位準側 D 1 b 保持於 V D B H 。又，令 S P 2 由 V P P 設為 V S S ，使 C S P 設為 V D L 。 S P 2 之能動化時序係控制成， Q D P 1 及 Q D P 2 同時被能動化，且 V D H 與 V D L 未經由 C S P 連接。依此，資料線高位準側 D 1 t 被保持於 V D L 。最後使字元線下降回至預充電狀態之動作係和圖 2 相同。

實施例 2 之優點如下，(1) 和實施例 1 同樣，關於資料線高位準側過驅動，對全 S A 均可設定相等之過驅動電壓及過驅動期間，感側速度之遠近端差可縮小。(2) 相對於實施例 1 ，本實施例 2 對於資料線低位準側亦進行過驅動，故使用同一資料線振幅時，感側時間可縮短。又，藉由該低位準側過驅動之設定，可對應更低資料線振幅，亦即動作電壓之降低。(3) 關於資料線低位準側過驅動，因多數配置之 Q D N 1 及陣列上之網狀電源配線，感側時之感測驅動器及 C S N 之電流集中可避免，過驅動期間於 S A 1 - S A n 可以共通信號 S N 1 設定。依此，過驅動振幅與期間之遠近端差可縮小。(4) 實施例 2 中元件之增加，僅有交叉領域 X A 之 1 個 M O S 之增加，不須感測放大器領域之增加。

(實施例 3)

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (17)

以下，以圖 5 說明實施例 3 之構成。本實施例係圖 3 之變形例，基本上沿用圖 1 之構成。和圖 3 不同點為，將圖 3 中集中配置於交叉領域 X A 內之恢復電位開關 Q D P 2 及 Q D N 2，分散配置於感測放大器領域 S A A。Q D P 2 及 Q D N 2 之分散配置及 V D L、V D B L 之網狀電源配線係和圖 1 之實施例同樣構成。圖 6 係圖 5 之動作波形。該動作波形係同圖 4 之動作波形。

實施例 3 之優點如下，(1) 和實施例 2 同樣，對資料線高位準側及低位準側進行過驅動，可實現高速感側。(2) 於全 S A 可設定相等之過驅動電壓及過驅動期間，遠近端差可縮小。(3) 何實施例 2 比較，恢復時藉由感測放大器內多數配置之 Q D N 2 及 Q D P 2，可避免 C S N 及 C S P 之電流集中。(4) 感測驅動器全配置於感測放大器內，感測放大器以外之佈局容易。

(實施例 4)

圖 7 係實施例 4。此實施例之共通部分亦延續實施例 1。本實施例之特徵在於，將 P 側及 N 側之過驅動用開關 M O S 全以同一導電性電晶體，例如 N M O S 電晶體構成，令該閘極信號共通以字元線升壓位準 V P P 等遠較過驅動電壓 V D H 高之位準信號驅動。P 側之開關亦設為 N M O S，係為防止 P 側 N M O S 引起之電壓降。本實施例可視為圖 3 之分散配置知過驅動用開關 M O S 之一變形例。此實施例中，針對 4 個感測放大器，將 1 個 P 側過驅

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

動用開關 MOS QDP1 及 1 個 N 側過驅動用開關 MOS QDN1 配置於感測放大器領域 SAA 內。QDN1 及 QDP1 之閘極共接於過驅動控制信號 SAE1。H 側及 L 側之過驅動電壓 VDH 及 VDBL，係和其他實施例同樣由網狀電源配線供給。恢復電位 VDL 及 VDBH 之供給，和圖 3 之電路同樣，由集中配置於交叉領域 XA 之 QDP2 及 QDN2 進行。

圖 12 係實現本構成之感測放大器之平面佈局。圖 12 (a) 顯示 4 組資料線對，為簡化起見僅式出第 1 金屬配線層 (金屬 1 M1) 及電晶體閘極及閘極配線 (FG)、擴散層、NWEL。SAN 係表示 NMOS 電晶體部分，SAP 表示 PMOS 電晶體部分。QDN1、QDP1 係由在 SAN 與 SAP 間以一系列閘極配置之 NMOS 構成。一系列配置之 NMOS 交互分配成 QDN1 及 QDP1 為特徵。藉此配置，控制電極 SAE1 以 1 條共通，佈局面積可減少。圖 12 之佈局中，QDN1 及 QDP1 之數係於 SAN 與 SAP 間依 4 組資料線對分別配置 1 個，但本發明並不限於此。例如 8 組 (或 16 組) 資料線配置 1 個亦可。又，QDN1、QDP1 之餘感測放大器內之位置，就與 P 側及 N 側兩者之共通源極間之連接點而言 SAN、SAP 間係最合理，但並不限定於此。

圖 12 (b) 係針對圖 12 (a) 之同一部分省略 M1，追加較 M1 更上層之第 2 金屬配線層 (金屬 2 M2) 之感測放大器之平面佈局。於 M2 依序配置 P 側共

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

通源極線 C S P 、 V D B L 供給電源線 V D B L 、 V D H 供給電源線 V D H 、及 N 側共通源極線 C S N 。該 4 個配線中任一均朝感測放大器構成列之方向 (等於字元線之延伸方向) 延伸。該 4 個配線之並列順序，係為縮小本實施例之感測放大器之佈局面積，而為特徵之構成。其模樣係和圖 7 之電路圖一致，在此意義下，圖 7 之電路圖係簡略具體佈局者。又，後述之圖 9 等亦同樣於電路圖具體記載佈局之本質。

圖 1 2 所示之 Q D P 1 及 Q D N 1 之相對通道寬之較佳構成之一，係設為分別等於各通道寬 (設為同尺寸之 N M O S) 。依此寔感測放大器之 S A N 較 S A P 先成 O N 狀態。可以製程變動引起之 V_t 變動和 P M O S 比較為小之 N M O S 電晶體構成之 S A N 開始進行微小電壓差之差動放大，可實現精度佳之差動放大。Q D P 1 及 Q D N 1 均為 N M O S ，形成於相同之 P 形井內 (此實施例為 P 形基板直接) ，於該 P 型井施加最低電位 (例如 V D B L) 。因此，施加大電位之 Q D P 1 被施加相對大之基板偏壓，Q D P 1 之臨界值電壓較 Q D N 1 變為更大。因此臨界值電壓小之 Q D N 1 容易設為 O N 狀態，可使 S A N 於最初驅動。

圖 1 3 係圖 1 2 之 A - A ' 間斷面圖。又，圖 1 4 (a) 、 (b) 分別係 B - B ' 間及 C - C ' 間斷面圖。該斷面圖中，S G I (Shallow Groove Isolation) 係分離擴散層用之絕緣部，係於基板形成之淺溝埋入 S i 氧化物者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (20)

又，C N T 係連接金屬 1 (圖中 M 1) 與擴散層或 F G 的接觸孔。T H 1、T H 2 分別係連接 M 1 - 金屬 2 (圖中 M 2) 間、M 2 - 金屬 3 (圖中 M 3) 間的接觸孔。如圖 1 4 (a) 所示，C S N 與 Q D N 1 之汲極間以 M 3 連接。由圖可知，C S N 與 Q D N 1 之汲極間，單就電連接而言以 M 1 連接即可。以 M 3 連接之理由在於考慮到使構成 S A N 之 2 個 N M O S 之源極與 Q D N 1 之汲極間電阻相等。擴散層 P + 亦連接俾使構成 S A N 之 2 個 N M O S 之源極電位相等。依上述於佈局上採取對策俾使構成 S A N 之 2 個 N M O S 之不平衡現象不會發生。C S N 及 C S P 分別配置於 S A N 及 S A P 上之 M 2。2 個 N M O S 之源極同樣地，如圖 1 4 (b) 所示，C S P 與 Q D P 1 之源極 (Q D P 1 成為 N M O S 之源極) 間，係用 M 3 連接。構成 S A P 之 2 個 P M O S 之源極與 Q D P 1 之源極間亦如上述採取同樣對策。

以圖 8 之波形圖說明實施例 4 之動作。資料線預充電結束起至微小電壓差讀出於資料線止係和上述實施例同樣。儲存於格之資訊被讀出於資料線後，S A E 1 由 V D B L 變為 V P P。Q D N 1、Q D P 1 被能動化，C S N 由 V D L / 2 遷移至 V D B L，C S P 由 V D L / 2 遷移至 V D H。此時，即使 Q D P 1 及 Q D N 1 以同一物理定樹枝 N M O S 電晶體構成時，因基板偏壓效應使 Q D P 1 之臨界值電壓 V_t 大於 Q D N 1 之 V_t 。因此，即使施加相同電壓之閘極信號，Q D N 1 亦較 Q D 1 先被

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (21)

驅動。爲防止資料線之放大振幅過大引起消費電流增加， $QDN1$ 及 $QDP1$ ，係僅於資料線之低位準側在 $VDBH$ 以下，或資料線高位準側不大於 VDL 之 Tnp 期間被 $SAE1$ 能動化。 $SAE1$ 中之過驅動期間，係由閘極信號 $SAE1$ 決定，而等於 $SA1$ ，成爲 Tnp 。之後， $SAE1$ 由 VPP 變爲 $VDBL$ ，過驅動動作結束。 $SAE1$ 變爲 $VDBL$ 之同時，令 $SN2$ 由 $VDBL$ 變爲 VDL 或 VPP 使 $QDN2$ 能動化。依此將 CSN 設爲 $VDBH$ ，令資料線低位準側之 $D1b$ 恢復至 $VDBH$ 。同樣地， $SAE1$ 成 $VDBL$ 後，令 $SP2$ 由 VPP 設爲 VSS 使 $QDP2$ 能動化。依此將 CSP 設爲 VDL ，使資料線高位準側之 $D1t$ 恢復至 VDL 。最後，令資料線下降成爲預充電狀態之動作係和圖 1 同樣。

本實施例之優點如下，(1) 佈局上， $QD1$ 以 $NMOS$ 電晶體構成， $QDN1$ 及 $QDP1$ 於感測放大器內以一系列配置，其閘極控制信號可以 $QDN1$ 共用，和實施例 1 - 3 之配置 $NMOS$ 、 $PMOS$ 之情況比較，相較於 $NMOS$ 、 $PMOS$ 以二列配置之情況可實現佈局之小面積化。(2) 和對 CSP 兩者進行過驅動之圖 3 實施例比較，過驅動用控制信號可減少爲 1 條，控制信號用電路可減少。(3) $QDN1$ 及 $QDP1$ 均設爲 $NMOS$ ，以同一電壓施加反向閘極偏壓，如此則當感側開始時之 $SAE1$ 輸入時， $QDN1$ 較 $QDP1$ 先被驅動，可藉由製程變動引起之 Vt 變動較 $PMOS$ 小之 $NMOS$ 電晶體

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (22)

進行微小電壓差之差動放大，可實現精度良好之差動放大。
（4）QDP1以NMOS電晶體構成，則SAE1為VDBL時，QDP1之閘極／源極間電壓為負電壓，QDP1非活性狀態中之VDH流至VDL／2之漏電流可抑制。（5）和實施例1－3同樣，針對全SA可設定相等之過驅動電壓及過驅動期間，過驅動之遠近端差可縮小。

又，本實施例係採用對P側及N側兩方進行過驅動之構成，但考慮與電源電壓間關係，僅於單側進行過驅動即可時，如圖8所示將VDBL之電源配線設為低位準之恢復電位之VDBH即可。依此則不必準備VDBL供給用大容量之負電源產生電路，晶片面積可小型化為其優點。與此同時，具感測放大器用電源線種類可減少，網狀電源配線容易之優點。

又，為對DRAM之CMOS感測放大器供給H位準及L位準之恢復電壓，兩者均使用NMOS之構成被記載於（文獻5）。但是，（文獻5），係將字元線之驅動電壓設為電源電壓VCC之前提下，意圖使產生P側之開關NMOS之臨界值電壓 V_t 之降壓，以使資料線之H位準之恢復電位降至 $VCC - V_t$ 之構成，其和本發明之目的不同。（文獻5）中未記載關於開關MOS之分散配置等，對於過驅動亦未有任何記載。

（實施例5）

五、發明說明 (23)

圖 9 係實施例 5 之電路。本實施例之特徵在於，將圖 7 中之恢復用開關 MOS 設為 NMOS 之同時，分散配置於感測放大器領域 SAA，和圖 7 同樣共用控制信號。P 側及 N 側之過驅動用開關 NMOS QDN1 及 QDP1 係和圖 7 同樣之構成。相對於此，恢復用開關 QDP2 及 QDN2 亦配置於感測放大器領域內。QDP2 及 QDN2 之閘極係由共用控制線 SAE2 控制。又，H 及 L 之恢復電位 VDL、VDBH 亦由圖 2 4 說明之網狀電源配線供給。QDP2 及 QDN2，係依 4 個感測放大器配置 1 個。上述 QDN1 及 QDP1、及 QDN2 及 QDP2 係以具 2 列閘極之 NMOS 電晶體，和 SAN 列及 SAP 列平行地配置成 1 列之構成。

感測放大器之數及過驅動硬開關 MOS 或恢復用開關 MOS 數之對應關係不限定於此實施例。例如依每 8 個感測放大器將 QDP1、QDP2、QDN1、QDN2 以 1 個 1 個地對應般變形配置亦可。又，共通源極線之充電主要由過驅動用開關進行，故恢復用開關之驅動能力相對變小亦可。又，過驅動用開關 QDP1、QDN1 之數，設為較 QDP2、QDN2 之數為多之構成也是合理的。換言之，於 SAA 內，設成所有過驅動用開關 MOS 之電導大於所有恢復用開關 MOS 之電導之構成即可。

以下，以圖 10 之波形圖說明本實施例之動作。預充電結束，令 SAE1 驅動成 VPP 以開始進行過驅動之前係和圖 8 同樣。為防止因過度感側引起之消費電流增加，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (24)

Q D N 1 及 Q D P 1 , 係僅於資料線之低位準側在 V D B H 以下, 或資料線之高位準側不大於 V D L 之 T n p 期間藉由 S A E 1 被能動化。S A n 中之過驅動期間, 係由閘極信號 S A E 1 決定而等於 S A 1 , 成為 T n 。之後, S A E 2 由 V D B L 變成 V P P , C S N 成為 V D B H , 資料線低位準側之 D 1 b 恢復至 V D B H 。與此同時 C S P 成為 V D L , 資料線高位準側之 D 1 t 恢復至 V D L 。S A E 2 係控制成 Q D N 1 、Q D N 2 、及 Q D P 1 、Q D P 2 變為能動化, 2 電源 V D B L 、V D B H 及 V D H 、V D L 不會介由 C S N 、C S P 導致短路。

本實施例之優點如下, (1) 感測放大器之佈局中, 感測驅動器係以 N M O S 構成之 2 列配置, 佈局面積雖較實施例 4 增大, 但因除感測放大器以外不須配置感測驅動器, 感測放大器以外之佈局變為容易。(2) 和資料線之高位準側及低位準側兩方進行過驅動之實施例 2 比較, 感測放大器之控制信號數可減少 2 條, 控制信號用電路可減少。(3) 和實施例 1 - 4 同樣, 對所有 S A 可設定相等知過驅動期間及過驅動電壓, 遠近端差差可縮小。(4) Q D N 1 及 Q D P 1 以 N M O S 電晶體構成, 待機狀態中 Q D N 1 及 Q D P 1 之閘極 / 源極間電壓 V G S 成為 $V G S < 0 V$, V D H 及 V D L 流至 V D L / 2 之漏電流可抑制。

又, 感側速度改善效果雖減少, 但設為 $V D B L =$

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (25)

V D B H，則大容量負電源電路成不需要，晶片面積可縮小。又，此情況下，感測放大器用電源線種類僅 3 種類，記憶體佈局上之電源配線容易為其優點。

又，本發明亦適用不使用過驅動方式之感測放大器構成，此情況之感測放大器構成式於圖 11。因不使用過驅動方式，感測放大器之 P M O S 對 S A P 之基板電位設定於 V D L。又，感測放大器以外之處不需要感測驅動器，因此該領域之佈局容易為其優點。

又，圖 7 - 11 中，感測驅動器全以 N M O S 電晶體構成，但亦可以 P M O S 電晶體構成。

上述實施例中，感測驅動器及 S A 電晶體之 V_t ，可為低 V_t 或高 V_t 。但是，較之高 V_t 電晶體使用，低 V_t 電晶體之使用更能使感測放大器高速動作。使用高 V_t 電晶體時，S A 之資料保持狀態中之漏電流可減小，消費電力可抑制，但是，低 V_t 電晶體使用時，藉後述發明之使用可減低漏電流，又，感測驅動器使用高 V_t 電晶體，則可減低待機狀態中之感測放大器電源與 $V D L / 2$ 間之漏電流。

實施例 1 - 5 使用之電壓關係較好如下。字元線 W L 之振幅 $V W L$ 至 $V P P$ ，及資料線振幅 $V D B H$ 至 $V D L$ ，及初期感側用電源 $V D B L$ 、 $V D H$ 、及基板電位 $V B B$ 之大小關係係設成 $V B B = V D B L (-0.75 V) < V W L = V D B H = V S S (0 V) < V D L (1.5 V) < V D H (2.5 V) < V P P (3 V)$ ，如

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (26)

此則內部電源數可減少。又，負電源數雖增加，但因設成 $V_{BB} < V_{DBL} (-0.5V)$ ，具可抑制記憶格之基板偏壓變動之效果。又，設成 $V_{DH} = V_{PP} (3V)$ ，則可以更大電源使感測放大器能動化。

又，電源電壓之設定，如（文獻6）所示，可考慮字元線待機位準為負電壓之負字元線方式。負字元線方式適用本實施例時，須設成 $V_{BB} = V_{DBK} = V_{WL} (-0.75V) < V_{DBH} = V_{SS} (0V) < V_{DL} (1.5V) < V_{DH} = V_{PP} (2.25V)$ 。採用此方式時，具減少內部電源位準數之效果。又，電源位準數雖增加，但因 $V_{BB} < V_{DBL} < V_{WL}$ ，或 $V_{BB} < V_{WL} < V_{DBL}$ 、 $V_{BB} < V_{DBL} = V_{WL}$ 及 V_{BB} 及其他電源另外設定，故而記憶格陣列之基板偏壓之 V_{BB} 之變動可下降，具良好記憶格資料保持特性之效果。

上述說明中， V_{DH} 較好使用外部電源 V_{CC} ，但亦可使用升壓電路之升壓位準，或降壓電路之降壓位準。

（實施例6）

上述實施例係針對過驅動方式加以檢討，但電源電壓降低時，有必要考慮並用降低感測放大器之臨界值電壓 V_t 之構成。藉由對使用低臨界值電壓 MOS 之感測放大器進行過驅動，則動作可能之資料線之振幅更減低，可實現低消費電力化。但是，低臨界值電壓 MOS 使次臨界值

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明 (27)

電流增加，增加待機時之消費電流，就 S D R A M 而言與主動待機狀態之整合性會有問題。因此，本實施例中式出，使用低臨界值電壓 M O S 之感測放大器將資料拴鎖狀態之次臨界值電流減低法。

圖 20 係將來自資料線之信號放大、拴鎖於感測放大器時之感測放大器之次臨界值電流。於 S D R A M 具有，藉由行能動指令使特定 1 字元分之記憶格資料於感測放大器放大、保持於拴鎖狀態之所謂能動待機 (Active Stand-by) 之動作狀態。此乃事先將資料保持於感測放大器，於此可進行高速存取之用。此情況下如圖 20 所示於感測放大器之資料保持狀態，相當於 1 個感測放大器流通有 I 之次臨界值電流。串接於 V D L 與 V D B H 間之感測放大器之 C M O S 中，P M O S 或 N M O S 之一方，其閘極／源極間雖被設為 0 V 成為 O F F 狀態，其臨界值電壓低但並不完全成為 O F F，亦即流通有次臨界值電流。因此，如圖 21 之波形圖所示，由 V D L 向 V D B H 流通 n_i 之漏電流。例如，使用 V_t 為 0.1 V 之電晶體，64 k 個感測放大器處於能動待機狀態時，約 3 mA 之次臨界值電流流通，有礙低電力化。又，電晶體之 V_t 下降 0.1 V 時該電流約成 10 倍。因此， V_t 之製程變動存在時， V_t 降低之高溫時，低 V_t M O S 之次臨界值電流為大問題。

圖 15 係本發明之能動待機時之次臨界值電流降低方式適用於過驅動方式之 S A 構成之電路。共通之電路構成係沿用之前說明之實施例之電路，和圖 3 之電路對比即可

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (28)

容易理解。

首先，說明本發明之感測放大器之減少漏電流之原理。感測放大器 S A 將格資料放大後，C S S N 成 V D B H，C S P 成 D L。此時之包含於 S A 之 M O S 之基板偏壓為設計之值，例如 N M O S 電晶體係為 V B B。當 C S N 位準由 V D B H 變為 $V D B H' (> V D B H)$ 時，基板偏壓上升 $(V D B H' - V D B H)$ 分，因基板偏壓效應使 N M O S 電晶體之 V_t 上升。亦即，N M O S 之閘極與源極短路狀態中，使施加反向閘極之電壓（基板電壓）設為一定，源極電位（= 閘極電位）設為高電壓。如此則反向閘極與源極間電壓變大，相對地於反向閘極施加較大偏壓故可利用 N M O S 臨界值電壓之上升。同樣地，當 C S P 位準由 V D L 變為 $V D L' (< V D L)$ 時，P M O S 電晶體之 V_t 上升。藉由 C S N 及 C S P 位準之變化使 V_t 上升，則用於決定 S A 漏電流之次臨界值漏電流可減少。結果，V D L 流至 V D B H 之漏電流可減少。獲得上述效果之本發明之實施例之特徵係具有，共通源極 C S N、C S P 之位準可依待機時、能動化時、以及能動待機時而加以變化的手段。

圖 1 5 與圖 3 之不同為，將 P 側及 N 側恢復電用開關分別置換成 Z p 及 Z n。Z p 及 Z n，係供給 P 側及 N 側之恢復電位之同時，將該恢復電位依控制信號變更改用之手段。以下，以 Z n 之動作為例說明其機能。感測放大器之放大初期藉 Q D N 1 將 C S N 以 V D B L 進行過驅動，過

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 29)

驅動停止後 Z_n 即依 S_N 之控制信號對 C_{SN} 供給恢復電位 V_{DBH} 。經過特定時間後設為能動待機狀態，則 Z_n 即依 S_{N3} 之控制信號將 C_{SN} 驅動於 V_{DBH}' ($> V_{DBH}$)。

圖 16 係圖 15 之 Z_n 之構成例。圖 16 (a) 之構成中，於 C_{SN} 與 V_{DBH} 間與 Q_{DN} 並列地設有高 V_t 之 NMOS Q_{DN3} 。 Q_{DN3} 係以和 Q_{DN} 比較其閘極長／寬比 (W/L) 為 $1/500$ 以下之低驅動力電晶體構成，能動化時將 V_{DBH}' ($> V_{DBH}$) 供至 C_{SN} 。亦即，即使 S_{N3} 導通阻抗變高感測放大器之漏電流通電壓降產生時，使 C_{SN} 上升至 V_{DBH}' 藉負迴授效應來降低漏電流。 Q_{DN3} 之基板電位設為等於 Q_{DN} 。 Q_{DN3} 之能動化，矽化物層於感測放大器能動化狀態中，至少 Q_{DN} 為非能動化狀態時倍設為能動化，初期感測時與 Q_{DN} 同時能動化亦可。 Q_{DN3} 之能動化，係將 S_{N3} 由 V_{DBH} 設定為 V_{DL} 。

圖 16 (b)，係於 C_{SN} 與 V_{DBH} 間，與 Q_{DN} 並列地設置低 V_t 之 PMOS Q_{N3} 之構成，藉閘極信號 S_{N3} 能動化時，對 C_{SN} 供給較 V_{DBH} 高 Q_{DN3} 之 V_t 分之電源。 Q_{DN3} 之基板電位設成 V_{DL} ，或與 S_A 之 PMOS 相等之電位。 Q_{DN3} 之能動化，係於感測放大器能動化狀態中，至少 Q_{DN} 為非能動化狀態時被設為能動化。 Q_{DN3} 能動化時，將 S_{N3} 由 V_{DL} 設為 V_{DBH} 。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (30)

圖 1 6 (c) 之 Z_n 構成爲，令以 V_{DBH}' 作爲電源之高 V_t 之 NMOS Q_{DN3} 連接於 C_{SN} 。因此，此電路中，係設成以形成 $V_{DBH}' (> V_{DBH})$ 之電源電路爲前提。 V_{DBH}' 係由電阻分割電路或電壓線流電路等構成。 Q_{DN3} 之基板電位係設爲等於 Q_{DN} 之基板電位。 Q_{DN3} 係由 S_{N3} 能動化而將 V_{DBH}' 供至 C_{SN} 。 Q_{DN3} 之被能動化，係於感測放大器能動化狀態中，當 Q_{DN} 處於非活性狀態時被能動化。 Q_{DN3} 能動化時，將 S_{N3} 由 V_{DL} 設爲 V_{DBH} 。

圖 1 6 (d) 係構成爲，藉 S_N 控制 Q_{DN} 之閘極電壓大小，俾以 Q_{DN} 實現 Z_n 之效果。於能動待機時控制閘極信號 S_{N3} ，俾使 Q_{DN} 之 O_N 電阻變高，使 C_{SN} 位準成爲 V_{DBH}' 。此構成中，不須追加設置電晶體，故和其他實施例比較， S_N 之控制雖複雜，但感測放大器周邊之佈局容易。

圖 1 7 (a) - (d) 係 Z_p 之構成例。此乃將圖 1 6 之電路改爲 P 側 H 位準用者。和圖 1 6 之電路同樣可理解。

圖 1 8 係令圖 1 5 之 Z_n 及 Z_p 適用圖 1 6 (c) 及圖 1 7 (c) 時之動作波形圖。當行能動指令 (RowACT) 輸入後， P_{CS} 由 V_{DL} 遷移至 V_{DBH} ，預充電動作停止。預充電結束後至感測放大器保持資料止之動作順序，係和實施例 2 同樣，故省略說明。當 S_A 因過驅動動作、及恢復動作而結束放大動作確定資料之狀態時，如上述

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (31)

V D L 與 V D B H 間流通漏電流，假設相當於 1 個 S A 之漏電流為 I ，次記憶體陣列中共通源極線連接 n 個 S A 時，由 V D L 流經 V D B H 之漏電流總和為 $n i$ 。

為減少漏電流，當行能動信號輸入、經過一定時間，感測放大器將格之讀出信號充分放大後，S N 及 S P 被設為非能動化，取而代之，S N 3 及 S P 3 成能動化。結果，C S N 由 V D B H 變為 V D B H'，C S P 由 V D L 變為 V D L'。此時，構成 S A 之 N M O S 之基板電位成為高出 $(V D B H' - V D B H)$ 分，同樣地 P M O S 之基板電位亦成相對高出 $(V D L - V D L')$ 分，均同時因基板偏壓效應而成高 V_t 化，次臨界值電流可減少。

能動待機狀態之資料線對間之振幅 $(V D L' - V D B H')$ 之設計值之最小值，係由感測放大器之感度來設定。假設資料線振幅 1.4 V 時，將資料線對之振幅設為約 600 mV 時，即使讀出指令輸入時，亦不會引起資料破壞，能動待機狀態之漏電流可減少。

以下說明結束能動待機狀態、輸入預充電指令後之動作。藉預充電指令使 S N 3 及 S P 3 非能動化，使 S N 及 S P 能動化。依此，資料線對被重寫入 V D B H 或 V D L。之後，字元線被設為非能動化，由 V P P 變為 V W L，S N、S P 被設為非能動化。最後，藉 P C S 將資料線對 C S N、C S P 預充電至預充電位準 $V D L / 2$ 。

又，依本發明，則使用 V_t M O S 之預充電電路或列開關亦可得漏電流減少之效果。能動待機狀態中，預充電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (32)

控制信號 P C S 及 Y 選擇信號 Y S 0 、 Y S 1 係成爲 V D B H 、 V S S 、 V D B L 之任一。感測放大器內之 N M O S 之基板電位設爲共用時，包含於預充電電路 P C 之資料線間所串接之 N M O S 因基板偏壓效應而使 V_t 上升，閘極／源極間電壓成負電壓，因此預充電電路之漏電流可減少。此時，由 V D L 流經 V D B H 之漏電流減少。因同樣理由，供給預充電電路內含之 $V D L / 2$ ，連接資料線低位準側之 N M O S 之由 $V D L / 2$ 流經 V D B H 之漏電流亦可減少。又，當 I / O 線對預充電位準等於或高於資料線對時，連接 I O 線及資料線低位準側之 N M O S 中之漏電流亦可減少。

又，本發明不限定於感測放大器能動化之 C S N 及 C S P 之能動化方式、及能動化之 M O S 之配置方式，亦適用具交叉耦合型電路構成之 S A 構成。例如，過驅動方式之實施例 1 - 5，除過驅動方式之外，亦適用感側方式，亦可減少消費電力。

圖 19 係未使用過驅動方式之感測放大器之實施例。此構成中，較好構成爲將感測放大器之 P M O S 對之基板電位設爲 V D L，Q D P、Q D P 3 之基板電位亦同樣設爲 V D L。

(發明之效果)

本發明所得效果簡單說明如下。依本發明，於過驅動方式之感測放大器中，令過驅動用感測驅動器多數分散配

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (33)

置於感測放大器部內，多數感測放大器間之感側時之共通源極線電位差可縮小。又，過驅動期間於所有感測放大器均可藉由閘極信號控制，因此，過驅動之遠近端差可縮小，此為其優點。結果，可確保高速動作之同時，消費電力可抑制，達成低消費電力化。

(圖面之簡單說明)

圖 1：本發明實施例 1 之感測放大器部分。

圖 2：實施例 1 之動作波形圖。

圖 3：本發明實施例 2 之感測放大器主要部分。

圖 4：實施例 2 之動作波形圖。

圖 5：本發明實施例 3 之感測放大器主要部分。

圖 6：實施例 3 之動作波形圖。

圖 7：本發明實施例 4 之感測放大器部分。

圖 8：實施例 4 之動作波形圖。

圖 9：本發明實施例 5 之感測放大器主要部分。

圖 10：實施例 5 之動作波形圖。

圖 11：本發明適用一般感側方式時之實施例。

圖 12：實施例 4 及實施例 5 之感測放大器部分之佈局實施例。

圖 13：圖 12 之感測放大器佈局之一部分之斷面構造例。

圖 14：圖 12 之感測放大器佈局之一部分之斷面構造例。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (34)

圖 1 5 : 本發明實施例 6 之感測放大器部分。

圖 1 6 : 圖 1 5 之 Z_n 之構成圖。

圖 1 7 : 圖 1 5 之 Z_p 之構成圖。

圖 1 8 : 於圖 1 5 實施圖 1 7 (c) 、圖 1 8 (c) 時之動作波形圖。

圖 1 9 : 低 V_t 感測放大器適用之構成圖。

圖 2 0 : 能動待機狀態中之漏電流路徑圖。

圖 2 1 : 圖 2 0 之動作波形。

圖 2 2 : 本發明適用之 S D R A M 之全體構成圖。

圖 2 3 : 1 個記憶格陣列內之次記憶體陣列之分割圖

圖 2 4 : 次記憶體陣列內之網狀電源配線圖。

圖 2 5 : 本發明先前檢討之過驅動方式之電路圖。

圖 2 6 : 圖 2 5 之動作波形圖之例。

(符號說明)

C N T : 金屬 1 層、浮動閘極及擴散層之接觸孔、

C S N : N 側 (L 位準側) 共通源極線、

C S P : P 側 (H 位準側) 共通源極線、

C S P (1) : S A 1 之共通源極節點、

C S P (n) : S A n 之共通源極節點、

C S P C : $V_{DL} / 2$ 共通源極線預充電電路、

D 1 t 、 D 1 b 、 D n t 、 D n b : 資料線、

擴散層 : 雜質擴散層、

F G : M O S 電晶體閘極及閘極配線層、

五、發明說明 (35)

I O t、I O b：I / O 線、

M C：記憶格、

M C A：記憶格陣列、

M 1：第 1 層金屬配線層

M 2：第 2 層金屬配線層、

M 3：第 3 層金屬配線層、

S N：C S N 能動化信號、

S N 1：初期感側用 C S N 能動化信號、

S N 2：恢復用 C S N 能動化信號、

S N 3：能動待機狀態用 C S N 能動化信號、

N W E L：N 型半導體領域、

P C：V D L / 2 資料線預充電電路、

P C S：預充電控制信號、

S P：C S P 能動化信號、

S P 1：初期感側用 C S P 能動化信號、

S P 1 (1)：S A 1 中之 S P 1 信號、

S P 1 (n)：S A n 中之 S P 1 信號、

S P 2：恢復用 C S P 能動化信號、

S P 3：能動待機狀態用 C S P 能動化信號、

Q D N：以 V D B H 為電源之 C S N 驅動 M O S 電晶體、

Q D N 1：以 V D B L 為電源之 C S N 驅動 M O S 電晶體

Q D N 2：恢復用 C S N 驅動 M O S 電晶體、

Q D N 3：能動待機狀態時之 C S N 驅動 M O S 電晶體、

五、發明說明 (36)

Q D P : 以 V D L 為電源之感側用 C S P 驅動 M O S 電晶體、

Q D P 1 : 以 V D H 為電源之 C S P 驅動 M O S 電晶體、

Q D P 1 (1) : S A 1 中之以 V D H 為電源之 C S P 驅動 M O S 電晶體、

Q D P 1 (n) : S A n 中之以 V D H 為電源之 C S P 驅動 M O S 電晶體、

Q D P 2 : 恢復用 C S P 驅動 M O S 電晶體、

Q D P 3 : 能動待機狀態時之 C S P 驅動 M O S 電晶體、

S A : 交叉耦合 M O S 電晶體、

S A E : 共通源極線能動化信號、

S A E 1 : 過驅動用共通源極線能動化信號、

S A E 2 : 恢復用共通源極線能動化信號、

S A N : 交叉耦合 N M O S 電晶體部、

S A P : 交叉耦合 P M O S 電晶體部、

T H 1 : 金屬 2 層與金屬 1 層間之接觸孔、

T H 2 : 金屬 1 層與金屬 2 層間之接觸孔、

T d : 共通源極線能動化信號閘極延遲時間、

T n 1 : n 側過驅動期間、

T p 1 : p 側過驅動期間、

V B B : 基板電位、

V D B H : 資料線低位準、

V D B H ' : 能動待機狀態時之資料線低位準、

V D B L : 低位準用過驅動電源、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (37)

V D H : 高位準用過驅動電源、

V D L : 資料線高位準、

V D L ' : 能動待機狀態時之資料線高位準、

V N W : N W E L 之電位、

V P P : 字元線高位準、

V S S : 接地 (0 V) 、

V W L : 字元線低位準、

W L : 字元線、

Y S 1 、 Y S n : Y 選擇線、

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

四、中文發明摘要(發明之名稱： 半導體裝置)

實現即使記憶體陣列電壓低電壓化時，亦可將來自記憶格之微小信號在高速且低消費電力狀態下進行感側的感測放大器。

解決方法為，將過驅動用驅動開關(QDP1)分散配置於感測放大器領域SAA內之同時，利用網狀電源配線(VDBH配線)供給過驅動用電位。

效果：藉過驅動用驅動開關QDP1令資料線對D1t、D1b以較資料線振幅大之電壓進行初期感側俾實現高速感側。將驅動開關QDP1分散配置，可分散感側時之電流，並抑制感側時電壓之遠近端差。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

第88121215號專利申請案

中文申請專利範圍修正本

民國90年8月修正

1. 一種半導體裝置，其特徵為具有：

將由多數記憶格讀出於多數資料線上之信號於對應之上述資料線上放大為第1電壓的多數感測放大器；

將上述多數感測放大器之電源供給節點共接的第1配線；

由上述第1配線之一端供給上述第1電壓的第1開關；

沿上述多數感測放大器設置，用於供給較上述第1電壓大之第2電壓的第2配線；及

於上述第1配線與第2配線間，沿上述多數感測放大器分散配置的第2開關。

2. 如申請專利範圍第1項之半導體裝置，其中上述第2配線係網狀電源配線。

3. 如申請專利範圍第1項之半導體裝置，其中

令上述多數感測放大器能動化時，係令上述第2開關導通特定時間後，令上述第1開關導通。

4. 一種半導體裝置，係具包含多數次記憶體陣列的記憶體陣列之半導體裝置，其特徵在於：

上述多數次記憶體陣列係分別具有：

設於朝第1方向延伸之多數字元線與朝第2方向延伸

(請先閱讀背面之注意事項再填寫本頁)

家

訂

六、申請專利範圍

之多數資料線之交叉點之多數記憶格；

分別對應上述多數資料線而設置，分別包含有交叉結合之第1導電型之第1 MISFET 對及第2導電型之第2 MISFET 對之多數感測放大器；

朝上述第1方向延伸而設，連接上述多數感測放大器之第1 MISFET 對之源極的第1共通源極線；

朝上述第1方向延伸而設，連接上述多數感測放大器之第2 MISFET 對之源極的第2共通源極線；

朝上述第1方向延伸，用於供給第1電位的第1電源配線；

朝上述第1方向延伸，用於供給第2電位的第2電源配線；

用於供給第3電位的第3電源配線；

相對上述多數感測放大器依特定數之上述感測放大器而設置，於上述第1共通源極線與第1電源配線間沿上述多數感測放大器設置的多數第1開關；

相對上述多數感測放大器依特定數之上述感測放大器而設置，於上述第2共通源極線與第2電源配線間沿上述多數感測放大器設置的多數第2開關；及

設於上述第1共通源極線與第3電源配線間的第3開關；

上述第3電位係位於第1電位與第2電位之間；

由上述記憶格讀出之信號係於對應之上述資料線上，被放大成上述第2電位或第3電位。

(請先閱讀背面之注意事項再填寫本頁)

張

訂

六、申請專利範圍

5. 如申請專利範圍第4項之半導體裝置，其中

令上述記憶格記憶之資訊讀出於對應之上述資料線時，係令上述多數字元線之一被選擇後，使上述多數第1及第2開關設於導通狀態，特定時間經過後令上述多數第1開關設於非導通狀態之同時，令第3開關設於導通狀態。

6. 如申請專利範圍第5項之半導體裝置，其中

上述多數第1開關係分別為第1導電型之第3 MISFET，多數第2開關係分別為第2導電型之第4 MISFET，上述第1導電型為P型，第2導電型為N型，

上述第1電位係高於第3電位，第3電位係高於第2電位。

7. 如申請專利範圍第4項之半導體裝置，其中

上述多數次記憶體陣列係具有：

配置有上述多數字元線、多數資料線及多數記憶格，具共用之1個角的第1邊及第2邊之4角形第1領域；

沿上述第1邊而設，配置有上述多數感測放大器、第1及第2共通源極線、第1及第2電源配線、及多數第1及第2開關的第2領域；

沿上述第2邊而設，配置有用於將對應多數字元線而設之多數字元線驅動電路或上述多數字元線分別連接於上層之多數字元線配線的多數連接部之第3領域；及

設於上述第1領域之上述1個角及上述第2、第3領域所包圍領域，並配置有上述第3開關的第4領域。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

8. 如申請專利範圍第4項之半導體裝置，其中上述多數次記憶體陣列係分別具有：

朝上述第2方向延伸設置，在其交叉點連接第1電源配線，用於供給第1電位的多數第4電源配線；及

朝上述第2方向延伸設置，在其交叉點連接第2電源配線，用於供給第2電位的多數第5電源配線。

9. 如申請專利範圍第8項之半導體裝置，其中

上述多數第4及第5電源配線，係相對於上述多數感測放大器依每一特定數之上述感測放大器設置1條。

10. 如申請專利範圍第4項之半導體裝置，其中

上述多數記憶格係分別為包含1個MISFET及1個電容器的動態型記憶格。

11. 一種半導體裝置，係具包含多數次記憶體陣列的記憶體陣列之半導體裝置，其特徵在於：

上述多數次記憶體陣列係分別具有：

設於朝第1方向延伸之多數字元線與朝第2方向延伸之多數資料線之交叉點的多數記憶格；

分別對應上述多數資料線而設置，分別包含有交叉結合之第1導電型之第1MISFET對及第2導電型之第2MISFET對的多數感測放大器；

朝上述第1方向延伸而設，連接上述多數感測放大器之第1MISFET對之源極的第1共通源極線；

朝上述第1方向延伸而設，連接上述多數感測放大器之第2MISFET對之源極的第2共通源極線；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

朝上述第 1 方向延伸，用於供給第 1 電位的第 1 電源配線；

朝上述第 1 方向延伸，用於供給第 2 電位的第 2 電源配線；

用於供給第 3 電位的第 3 電源配線；

用於供給第 4 電位的第 4 電源配線；

相對上述多數感測放大器依特定數之上述感測放大器而設置，設於上述第 1 共通源極線與第 1 電源配線間的多數第 1 開關；

相對上述多數感測放大器依特定數之上述感測放大器而設置，設於上述第 2 共通源極線與第 2 電源配線間的多數第 2 開關；及

設於上述第 1 共通源極線與第 3 電源配線間的第 3 開關；

設於上述第 2 共通源極線與第 4 電源配線間的第 4 開關

上述第 3 及第 4 電位係位於第 1 電位與第 2 電位之間；

由上述記憶格讀出之信號係於對應之上述資料線上，被放大成上述第 3 電位或第 4 電位。

1 2 . 如申請專利範圍第 1 1 項之半導體裝置，其中上述多數次記憶體陣列係具有：

配置有上述多數字元線、多數資料線及多數記憶格，具共用之 1 個角的第 1 邊及第 2 邊之 4 角形第 1 領域；

六、申請專利範圍

沿上述第 1 邊而設，配置有上述多數感測放大器、第 1 及第 2 共通源極線、第 1 及第 2 電源配線、及多數第 1 及第 2 開關的第 2 領域；

沿上述第 2 邊而設，配置有用於將對應多數字元線而設之多數驅動電路或上述多數字元線分別連接於上層之多數字元線配線的多數連接部之第 3 領域；及

設於上述第 1 領域之上述 1 個角及上述第 2、第 3 領域所包圍領域，並配置有上述第 3 及第 4 開關的第 4 領域。

1 3 . 如申請專利範圍第 1 2 項之半導體裝置，其中令上述記憶格記憶之資訊讀出於上述資料線時，係令上述多數字元線之一被選擇後，使上述多數第 1 及第 2 開關設於導通狀態，特定時間經過後令上述多數第 1 及第 2 開關設於非導通狀態之同時，令第 3 及第 4 開關設於導通狀態。

1 4 . 如申請專利範圍第 1 1 項之半導體裝置，其中上述多數第 1 開關係分別為第 1 導電型之第 3 M I S F E T，多數第 2 開關係分別為第 2 導電型之第 4 M I S F E T，第 3 開關為第 1 導電型之第 5 M I S F E T，第 4 開關為第 2 導電型之第 6 M I S F E T，上述第 1 導電型為 P 型，第 2 導電型為 N 型，

上述第 1 電位係高於第 3 電位，第 3 電位係高於第 4 電位，第 4 電位係高於第 2 電位。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

1 5 . 如申請專利範圍第 1 1 項之半導體裝置，其中
上述第 3 及第 4 電源配線，係與第 1 及第 2 電源配線
並列朝上述第 1 方向延伸設置，

上述第 3 開關，係相對於上述多數感測放大器依每一
特定數設置般分割成多數單位第 3 開關；

上述第 4 開關，係相對於上述多數感測放大器依每一
特定數設置般分割成多數單位第 4 開關。

1 6 . 如申請專利範圍第 1 5 項之半導體裝置，其中
上述多數次記憶體陣列係具有：

配置有上述多數字元線、多數資料線及多數記憶格，
具共用之 1 個角的第 1 邊及第 2 邊之 4 角形第 1 領域；

沿上述第 1 邊而設，配置有上述多數感測放大器、第
1 及第 2 共通源極線、第 1、第 2、第 3 及第 4 電源配線
、及多數第 1 及第 2 開關、及第 3、第 4 開關的第 2 領域
；及

沿上述第 2 邊而設，配置有用於將對應多數字元線而
設之多數驅動電路或上述多數字元線分別連接於上層之多
數字元線配線的多數連接部之第 3 領域。

1 7 . 如申請專利範圍第 1 6 項之半導體裝置，其中

令上述記憶格記憶之資訊讀出於上述資料線時，係令
上述多數字元線之一被選擇後，使上述多數第 1 及第 2 開
關設於導通狀態，特定時間經過後令上述多數第 1 及第 2
開關設於非導通狀態之同時，令第 3 及第 4 開關設於導通
狀態。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

六、申請專利範圍

18. 如申請專利範圍第15項之半導體裝置，其中上述多數第1開關係分別為第1導電型之第3 M I S F E T，多數第2開關係分別為第2導電型之第4 M I S F E T，多數單位第3開關係分別為第1導電型之第5 M I S F E T，多數單位第4開關係分別為第2導電型之第6 M I S F E T，上述第1導電型為P型，第2導電型為N型，

上述第1電位係高於第3電位，第3電位係高於第4電位，第4電位係高於第2電位。

19. 一種半導體裝置，其特徵為具有：

將由多數記憶格讀出於對應之多數資料線的信號放大的多數感測放大器；

為使由第1網狀電源配線供給上述多數感測放大器之放大信號之高（H）位準相關之第1電位而設，且依上述多數感測放大器中之每一特定數而設的多數第1 M I S F E T；及

為使由第2網狀電源配線供給上述多數感測放大器之放大信號之低（L）位準相關之第2電位而設，且依上述多數感測放大器中之每一特定數而設的多數第2 M I S F E T；

上述多數第1及第2 M I S F E T係設為相同導電型之同時，第1及第2 M I S F E T之閘極係連接共通之驅動控制信號線；

上述驅動控制信號線，係傳送用於控制上述多數第1

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

六、申請專利範圍

及第 2 M I S F E T 之導通狀態的控制信號；

上述控制信號之有效位準與無效位準間之電位差之絕對值，係大於上述第 1 電位與上述第 2 電位間之電位差之絕對值。

20. 如申請專利範圍第 19 項之半導體裝置，其中上述多數第 1 及第 2 M I S F E T，係在沿上述多數感測放大器朝一方向延伸之虛擬線上呈交叉配置，

設於上述虛擬線上之上述驅動信號線，係成為上述多數第 1 及第 2 M I S F E T 之閘極。

21. 一種半導體裝置，係具包含多數次記憶體陣列的記憶體陣列之半導體裝置，其特徵在於：

上述多數次記憶體陣列係分別具有：

設於朝第 1 方向延伸之多數字元線與朝第 2 方向延伸之多數資料線之交叉點的多數記憶格；

分別對應上述多數資料線而設置，分別包含有交叉結合之第 1 導電型之第 1 M I S F E T 對及第 2 導電型之第 2 M I S F E T 對的多數感測放大器；

朝上述第 1 方向延伸而設，連接上述多數感測放大器之第 1 M I S F E T 對之源極的第 1 共通源極線；

朝上述第 1 方向延伸而設，連接上述多數感測放大器之第 2 M I S F E T 對之源極的第 2 共通源極線；

朝上述第 1 方向延伸設置，用於供給第 1 電位的第 1 電源配線；

朝上述第 1 方向延伸設置，用於供給第 2 電位的第 2

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

電源配線；

相對上述多數感測放大器依特定數之上述感測放大器而設置，於上述第 1 共通源極線與第 1 電源配線之間源／汲極路徑被連接的上述第 2 導電型之多數第 3

M I S F E T；

相對上述多數感測放大器依特定數之上述感測放大器而設置，於上述第 2 共通源極線與第 2 電源配線之間源／汲極路徑被連接的上述第 2 導電型之多數第 4

M I S F E T；及

朝上述第 1 方向延伸設置之上述多數第 3 及第 4 M I S F E T 之閘極所共接的第 1 驅動控制線；

上述多數感測放大器之上述第 1 M I S F E T 對，係沿朝上述第 1 方向延伸之第 1 虛擬線配置，

上述多數感測放大器之上述第 2 M I S F E T 對，係沿朝上述第 1 方向延伸之第 2 虛擬線配置，

上述多數第 3 及第 4 M I S F E T，係設於上述第 1 及第 2 虛擬線之間之同時，沿朝上述第 1 方向延伸之第 3 虛擬線配置。

2 2．如申請專利範圍第 2 1 項之半導體裝置，其中上述多數第 3 及第 4 M I S F E T，係於上述第 3 虛擬線上 1 個個交互配置。

2 3．如申請專利範圍第 2 1 項之半導體裝置，其中上述多數次記憶體陣列係分別具有：

配置有上述多數字元線、多數資料線及多數記憶格，

(請先閱讀背面之注意事項再填寫本頁)

本

訂

六、申請專利範圍

具共用之 1 個角的第 1 邊及第 2 邊之 4 角形第 1 領域；

沿上述第 1 邊而設，配置有上述多數感測放大器、第 1 及第 2 共通源極線、第 1 及第 2 電源配線、及多數第 3 及第 4 M I S F E T 的第 2 領域；

沿上述第 2 邊而設，配置有用於將對應多數字元線而設之多數驅動電路或上述多數字元線分別連接於上層之多數字元線配線的多數連接部之第 3 領域；及

設於上述第 1 領域之上述 1 個角及上述第 2、第 3 領域所包圍領域，並配置有上述第 1 及第 2 共通源極線之一端所連接預充電電路的第 4 領域。

24. 如申請專利範圍第 21 項之半導體裝置，其中由對應之記憶格讀出於上述多數資料線上之信號，係被放大成上述第 1 電位或第 2 電位；

令上述多數感測放大器能動化時，於上述第 1 驅動控制線具施加較上述第 1 電位與第 2 電位間電壓大之電壓的期間。

25. 如申請專利範圍第 21 項之半導體裝置，其中上述多數次記憶體陣列係分別令具有：

用於供給第 3 電位的第 3 電源配線；

用於供給第 4 電位的第 4 電源配線；

於上述第 1 共通源極線之一端與第 3 電源配線之間源／汲極路徑被連接的第 5 M I S F E T；及

於上述第 4 共通源極線之一端與第 4 電源配線之間源／汲極路徑被連接的第 6 M I S F E T；

(請先閱讀背面之注意事項再填寫本頁)

取

訂



462056

A8
B8
C8
D8

六、申請專利範圍

上述第 3 電位及第 4 電位，係位於第 1 電位與第 2 電位之間，上述第 1 電位與第 2 電位間之電壓係大於上述第 3 電位與第 4 電位間之電壓；

由上述記憶格讀出之信號係於對應之上述資料線上被放大成上述第 3 電位或第 4 電位。

26. 如申請專利範圍第 25 項之半導體裝置，其中由上述記憶格讀出於對應之上述資料線之信號被放大時，係令上述多數字元線之一被選擇後，使上述多數第 3 及第 4 MISFET 設於導通狀態，特定時間經過後令上述多數第 3 及第 4 MISFET 設於非導通狀態之同時，令上述第 5 及第 6 MISFET 設於導通狀態。

27. 如申請專利範圍第 25 項之半導體裝置，其中上述多數第 3 及第 4 MISFET 設為導通狀態時，於上述第 1 驅動控制線施加有較上述第 1 電位與第 2 電位間電壓大的電壓。

28. 如申請專利範圍第 25 項之半導體裝置，其中另具有升壓電路俾形成升壓電壓施加於上述多數字元線之中被選擇之字元線；

上述多數第 3 及第 4 MISFET 設為導通狀態時，於上述第 1 驅動控制線施加有上述升壓電壓。

29. 如申請專利範圍第 21 項之半導體裝置，其中上述多數次記憶體陣列係分別另具有：

朝上述第 1 方向延伸設置，用於供給第 3 電位的第 3 電源配線；

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

朝上述第 1 方向延伸設置，用於供給第 4 電位的第 4 電源配線；

相對上述多數感測放大器依特定數之上述感測放大器而設置，於上述第 1 共通源極線與第 3 電源配線之間源／汲極路徑被連接的上述第 2 導電型之多數第 5 M I S F E T；及

相對上述多數感測放大器依特定數之上述感測放大器而設置，於上述第 2 共通源極線與第 4 電源配線之間源／汲極路徑被連接的上述第 2 導電型之多數第 6 M I S F E T；

上述第 3 電位及第 4 電位係位於第 1 電位與第 2 電位之間，上述第 1 電位與第 2 電位間之電壓係大於上述第 3 電位與第 4 電位間電壓；

於上述多數資料線上由對應之記憶格讀出之信號係被放大成上述第 3 電位或第 4 電位。

30．如申請專利範圍第 29 項之半導體裝置，其中由上述記憶格讀出於對應之上述資料線之信號被放大時，係令上述多數字元線之一被選擇後，使上述多數第 3 及第 4 M I S F E T 設於導通狀態，特定時間經過後令上述多數第 3 及第 4 M I S F E T 設於非導通狀態之同時，令上述多數第 5 及第 6 M I S F E T 設於導通狀態。

31．如申請專利範圍第 29 項之半導體裝置，其中上述多數第 3 及第 4 M I S F E T 設為導通狀態時，於上述第 1 驅動控制線施加有較上述第 1 電位與第 2 電位

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

上述第 1 及第 2 驅動裝置係具有第 1 動作模式及第 2 動作模式；

上述第 1 驅動裝置，於上述第 1 動作模式時係令上述第 1 電位及第 1 共通源極線間以第 1 阻抗連接，於上述第 2 動作模式時係令上述第 1 電位及第 1 共通源極線間以大於上述第 1 阻抗之第 2 阻抗連接；

上述第 2 驅動裝置，於上述第 1 動作模式時係令上述第 2 電位及第 2 共通源極線間以第 3 阻抗連接，於上述第 2 動作模式時係令上述第 2 電位及第 2 共通源極線間以大於上述第 3 阻抗之第 4 阻抗連接；

在上述多數感測放大器對應之記憶格之信號被拴鎖狀態下，流經上述多數感測放大器之電流，於上述第 2 動作模式時係小於上述第 1 動作模式。

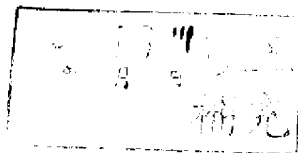
36. 如申請專利範圍第 35 項之半導體裝置，其中另具有：將等於或大於上述第 1 電位的第 1 基板偏壓以上述第 1 及第 2 動作模式供至上述第 1 MISFET 對之反向閘極的裝置；及將等於或小於上述第 2 電位的第 2 基板偏壓以上述第 1 及第 2 動作模式供至上述第 1 MISFET 對之反向閘極的裝置。

37. 如申請專利範圍第 35 項之半導體裝置，其中上述第 1 及第 2 MISFET 對之臨界值電壓，於上述第 2 動作模式時係大於上述第 1 動作模式。

38. 如申請專利範圍第 36 項之半導體裝置，其中上述第 1 及第 2 MISFET 對之臨界值電壓，於上

(請先閱讀背面之注意事項再填寫本頁)

訂



462056

A8
B8
C8
D8

六、申請專利範圍

述第2動作模式時係大於上述第1動作模式。

39. 如申請專利範圍第35至38項中任一項之半導體裝置，其中

上述第1驅動裝置係包含並列設置於上述第1共通源極線與第1電位間的第1開關及第2開關；

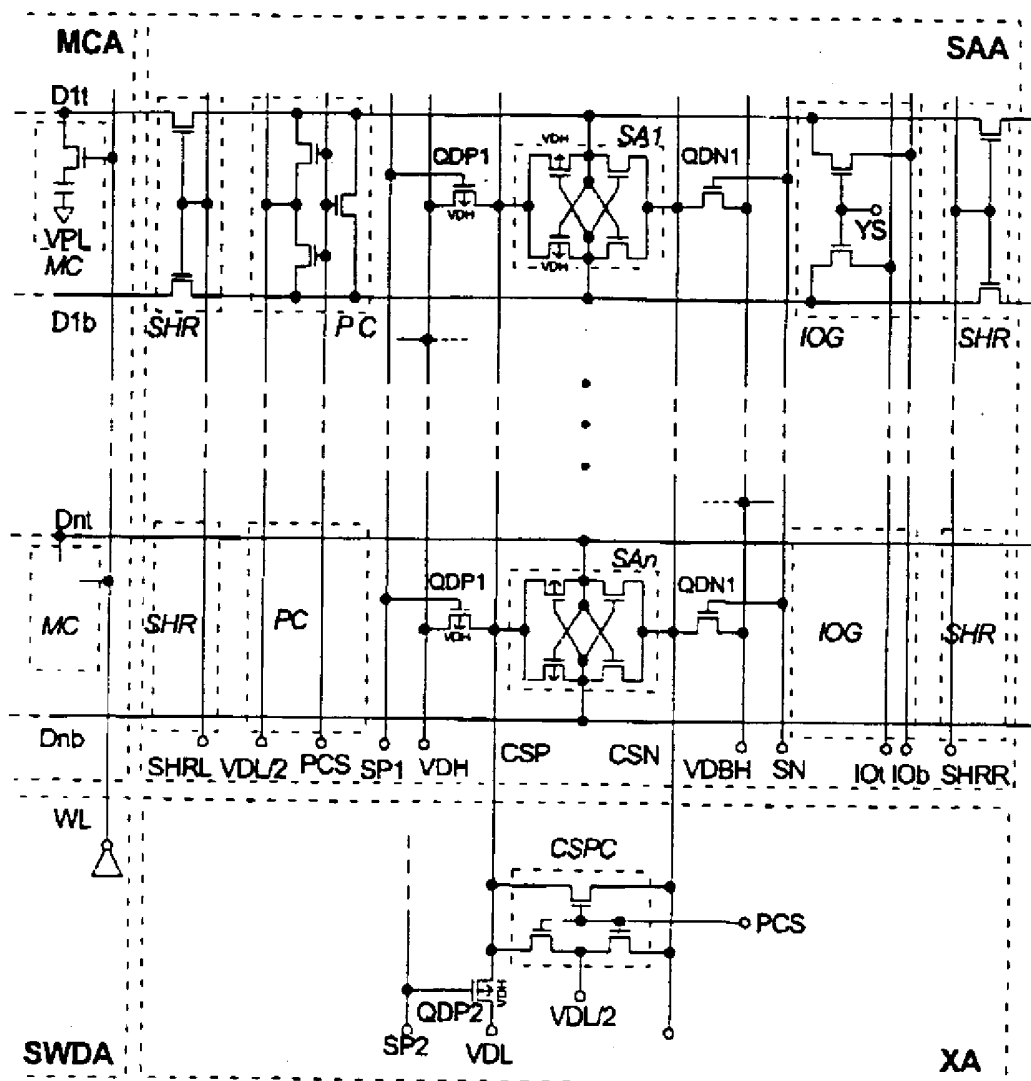
上述第1開關於上述第1動作模式被選擇性導通之同時，第2開關於上述第2動作模式被選擇性導通；

上述第1開關之電導係大於上述第2開關之電導。

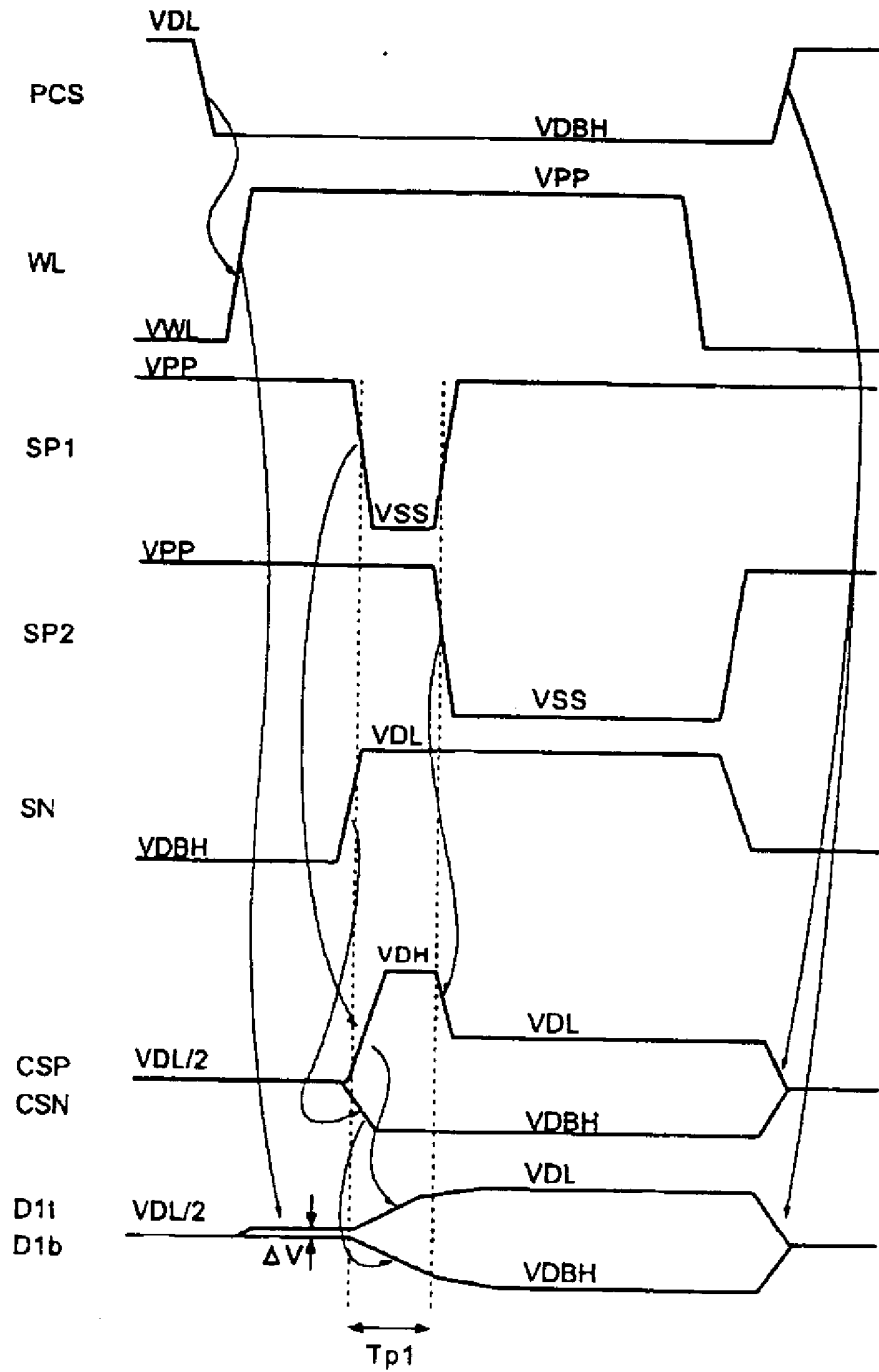
(請先閱讀背面之注意事項再填寫本頁)

訂

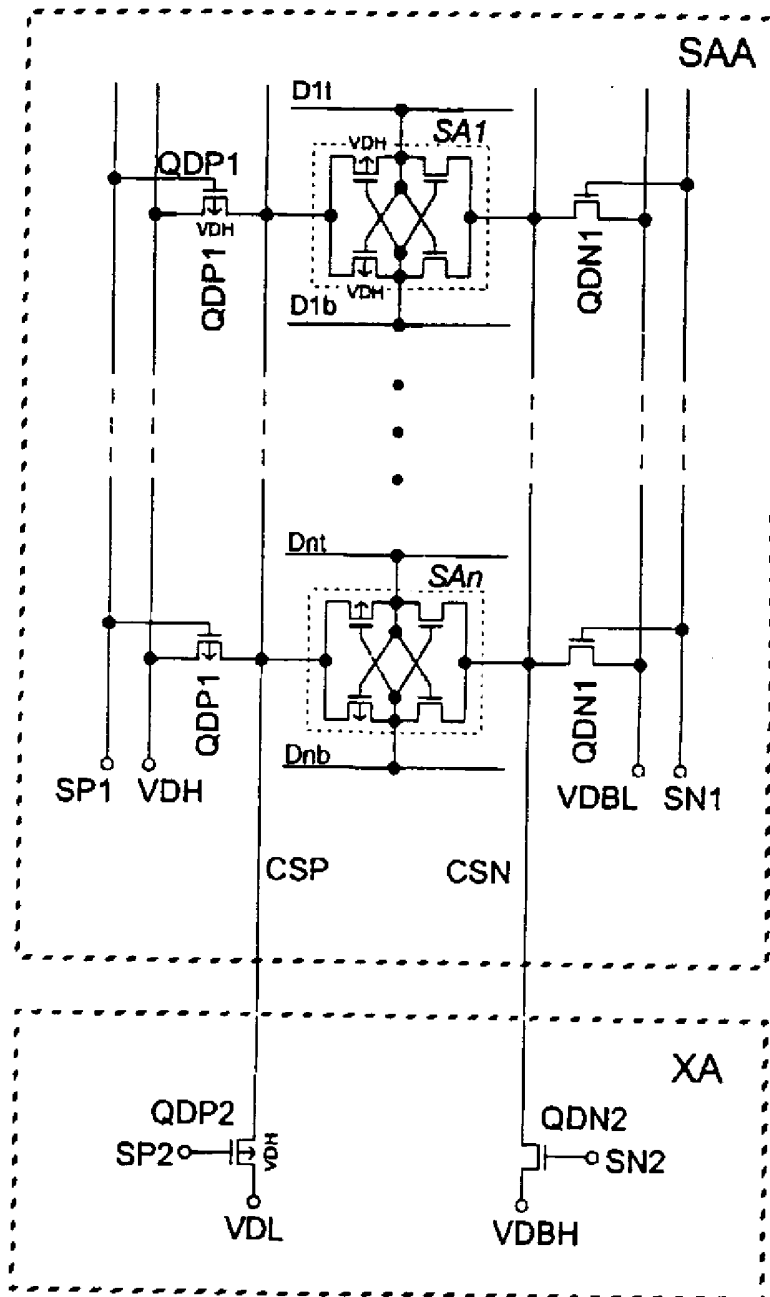
第 1 圖



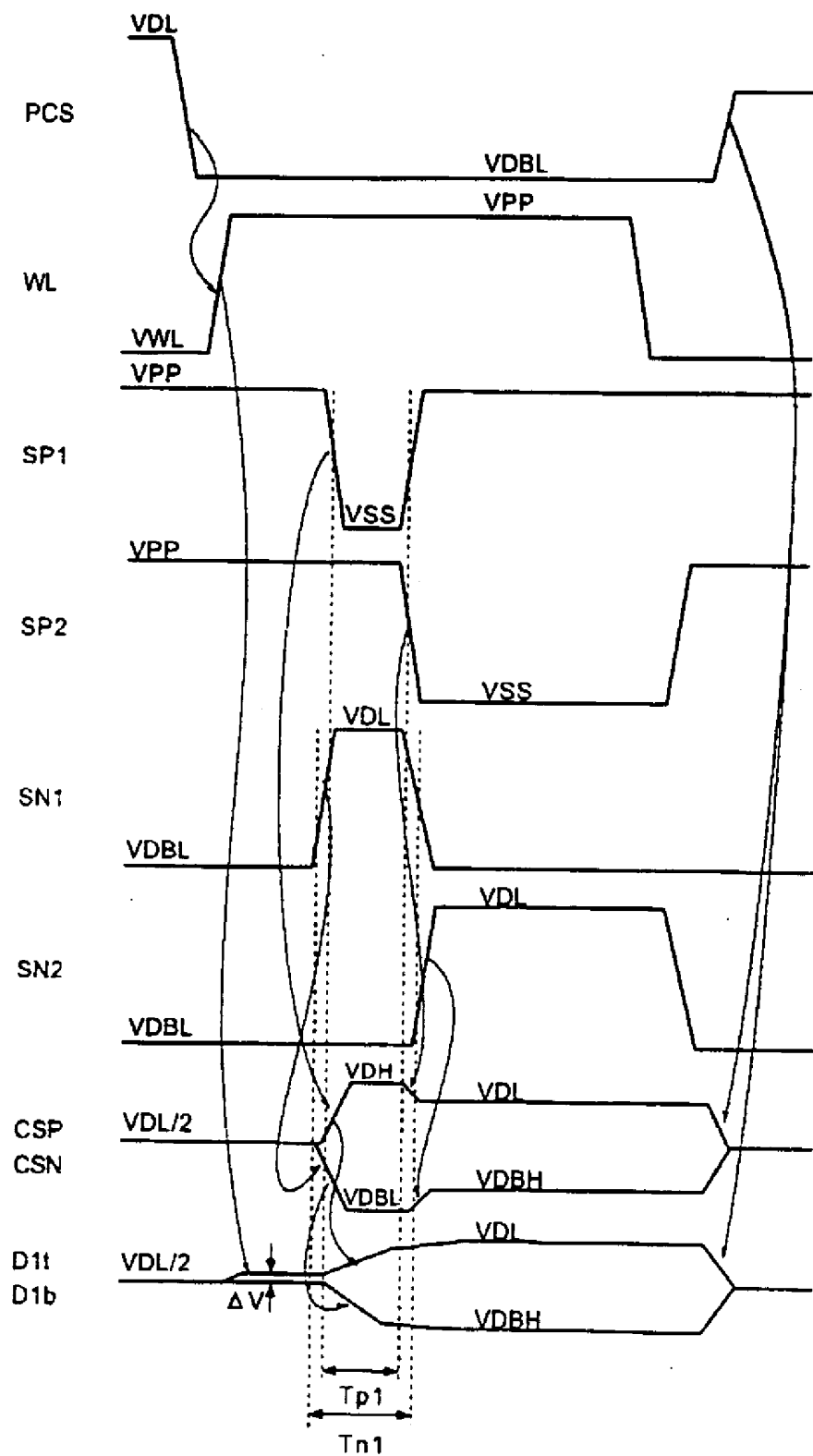
第 2 圖



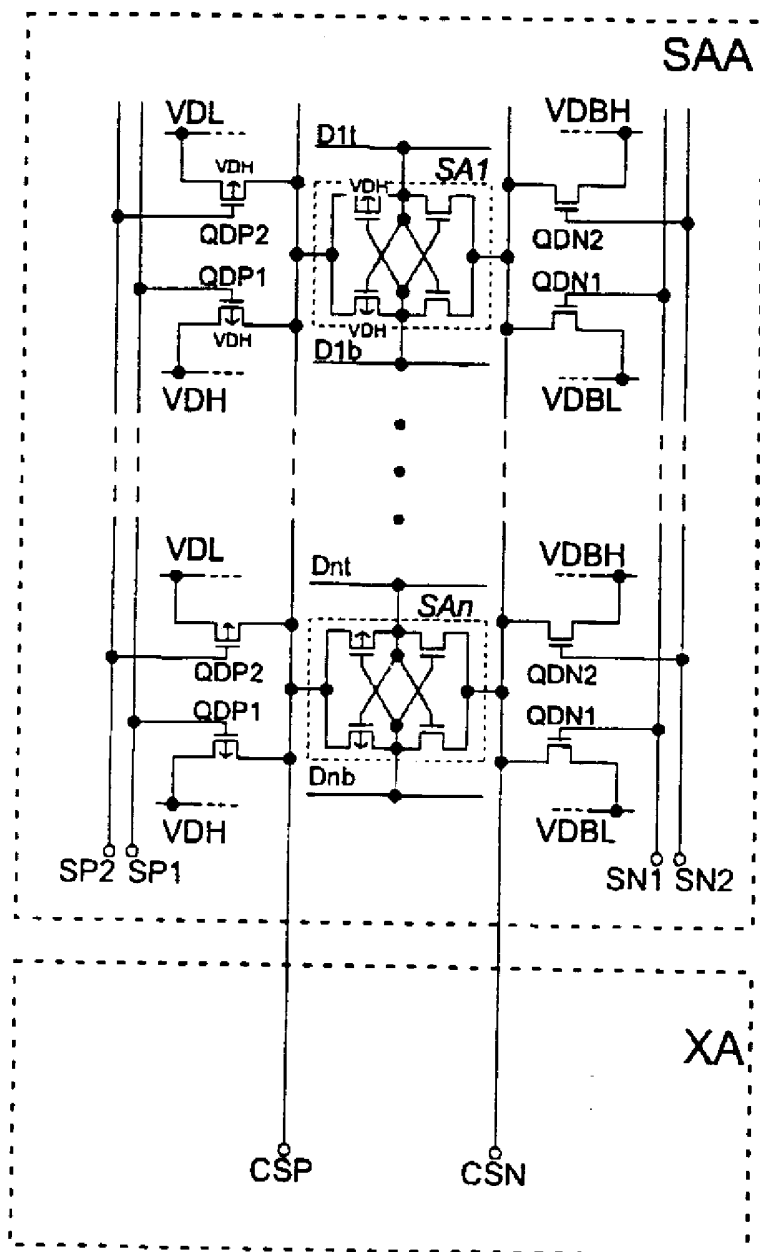
第 3 圖



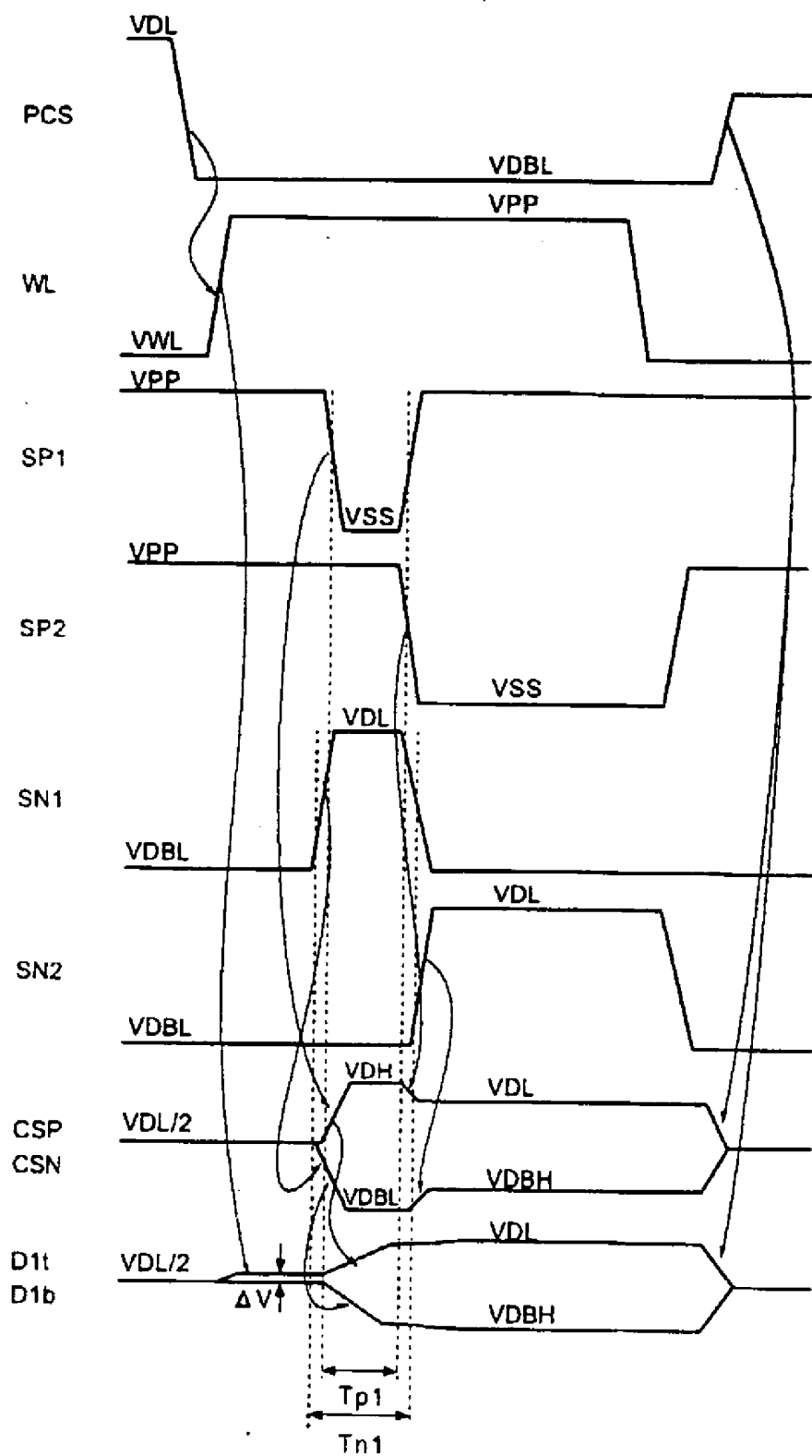
第 4 圖



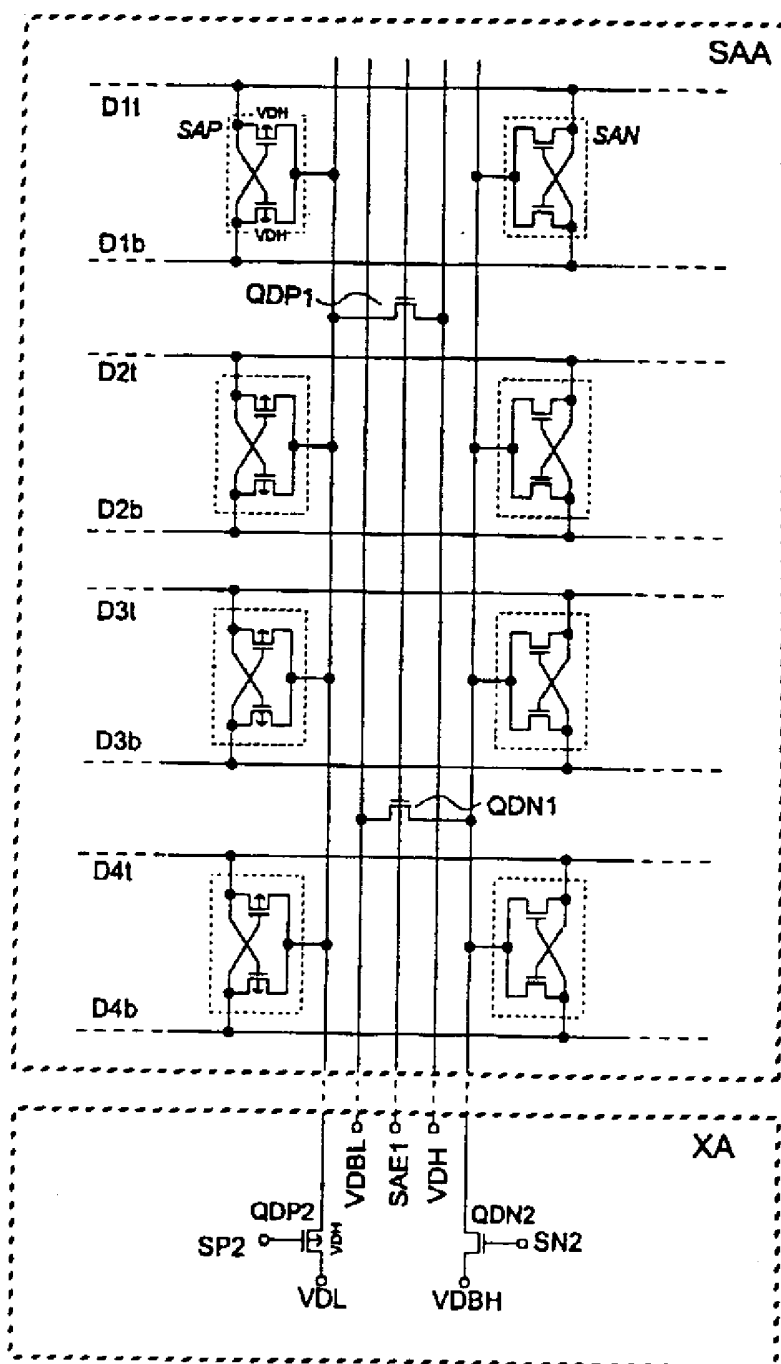
第 5 圖



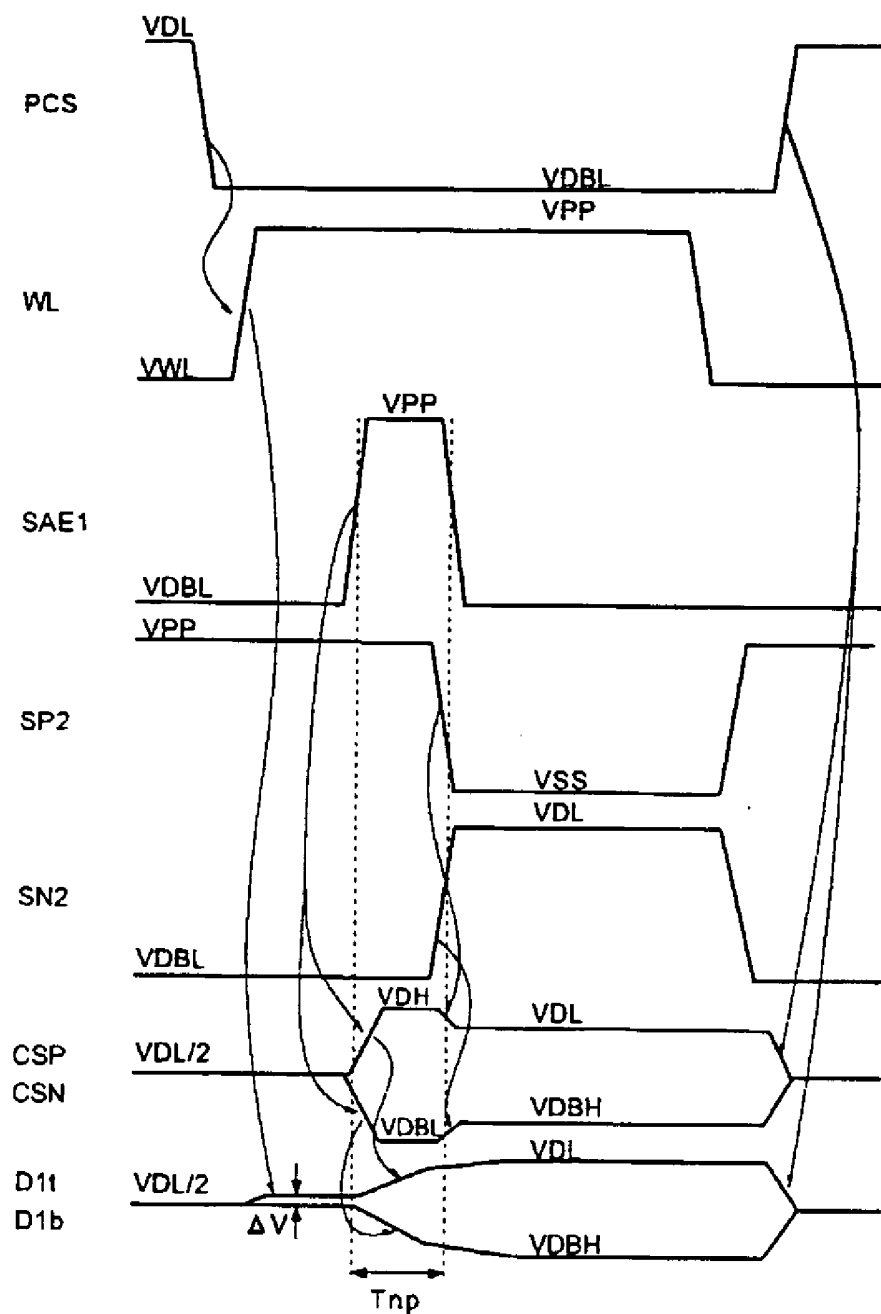
第 6 圖



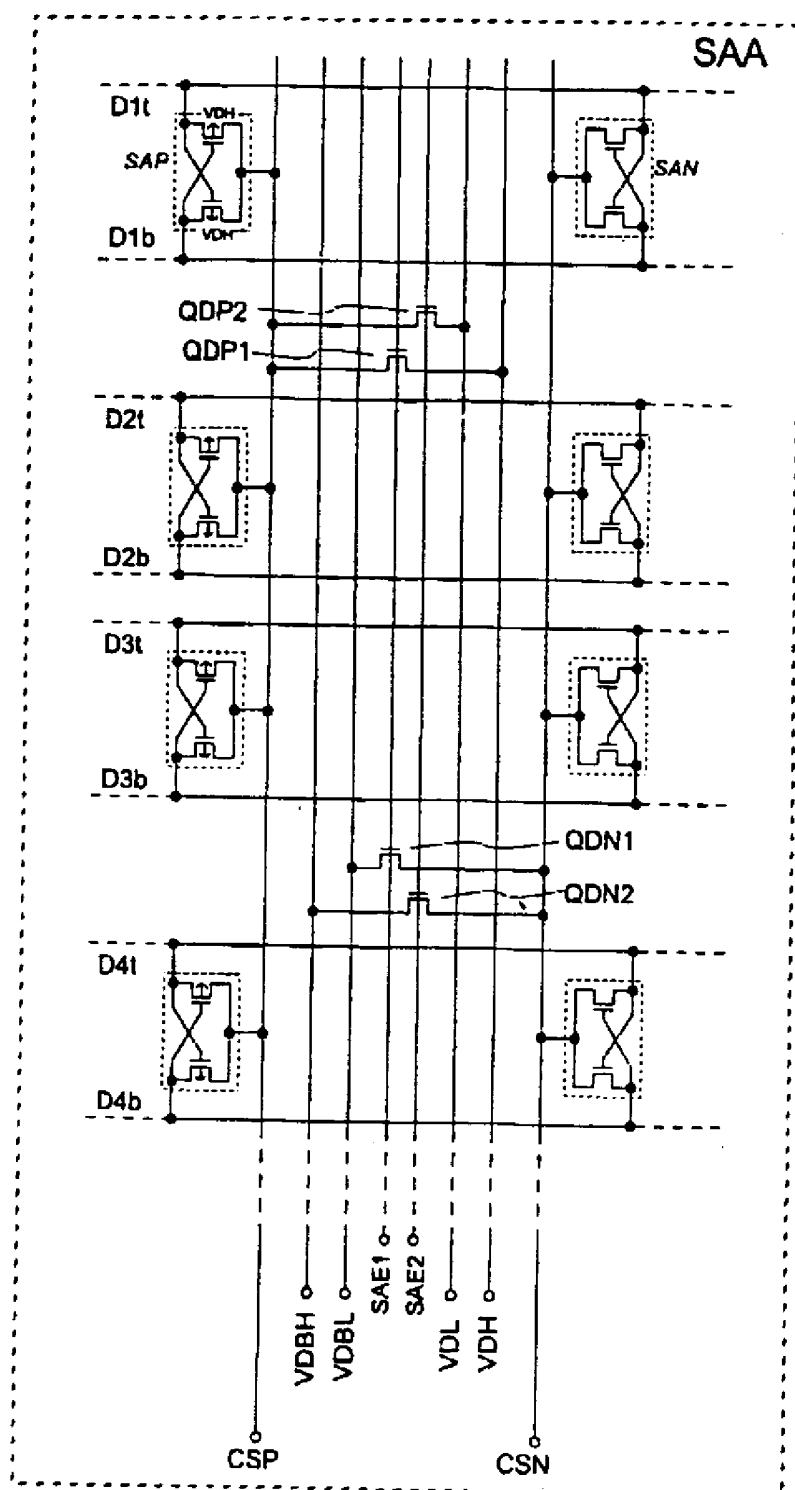
第 7 圖



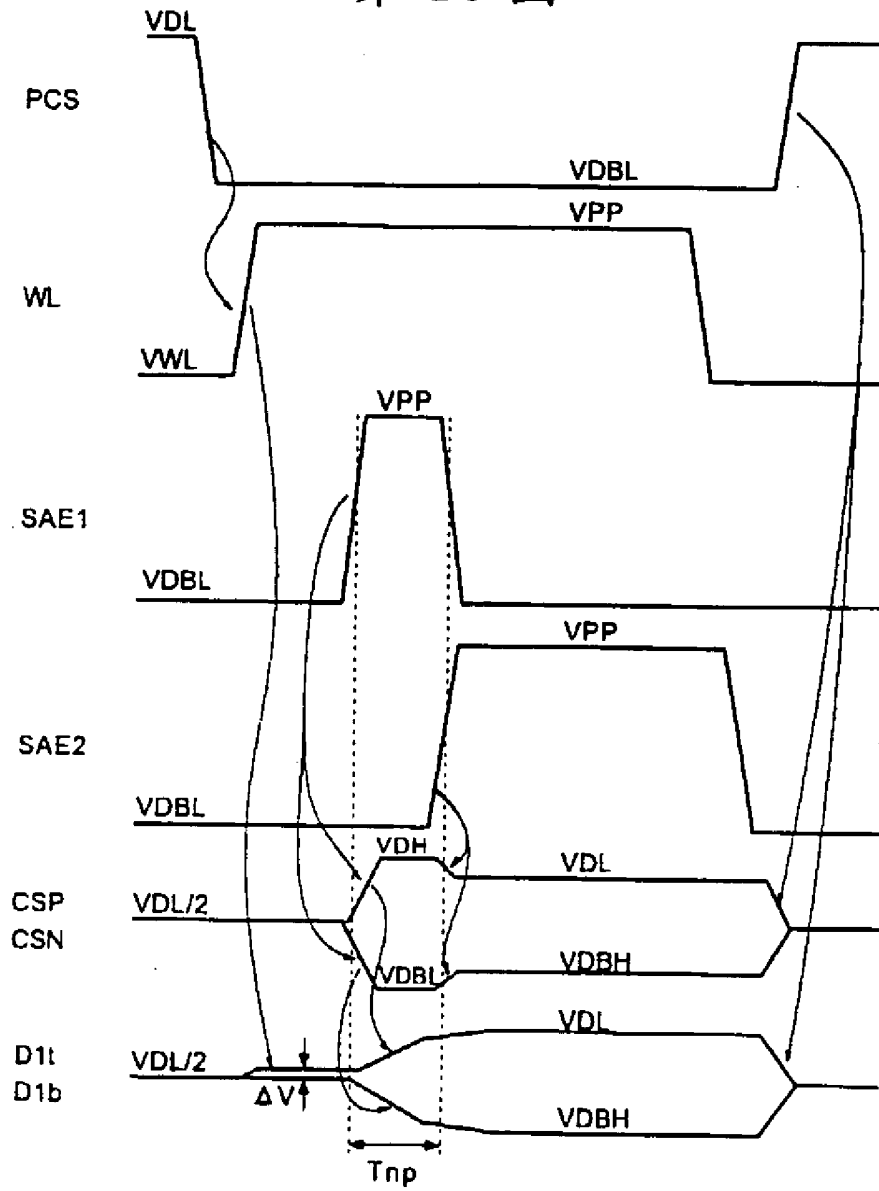
第 8 圖



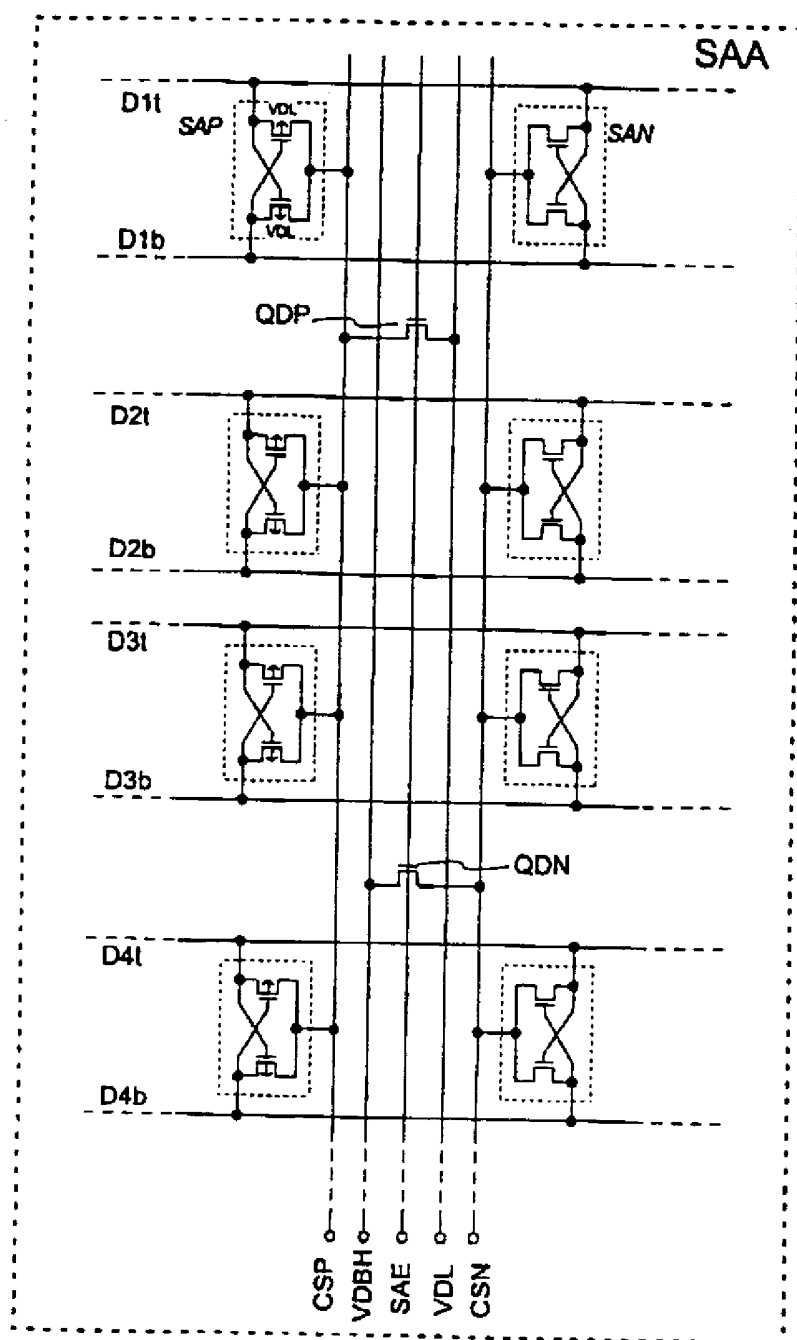
第 9 圖



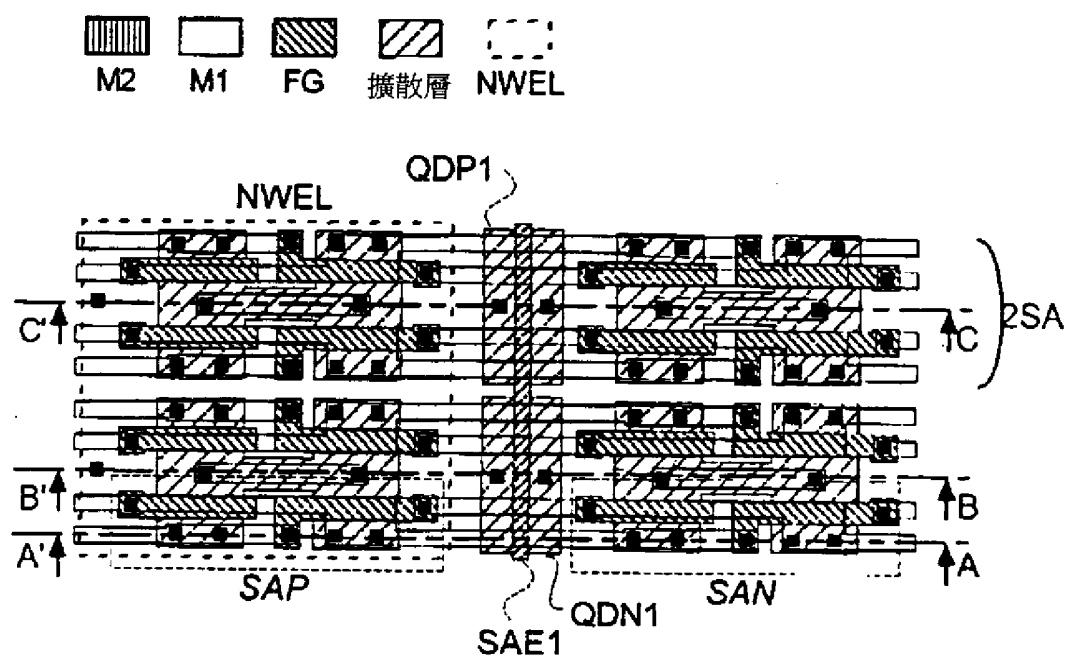
第 10 圖



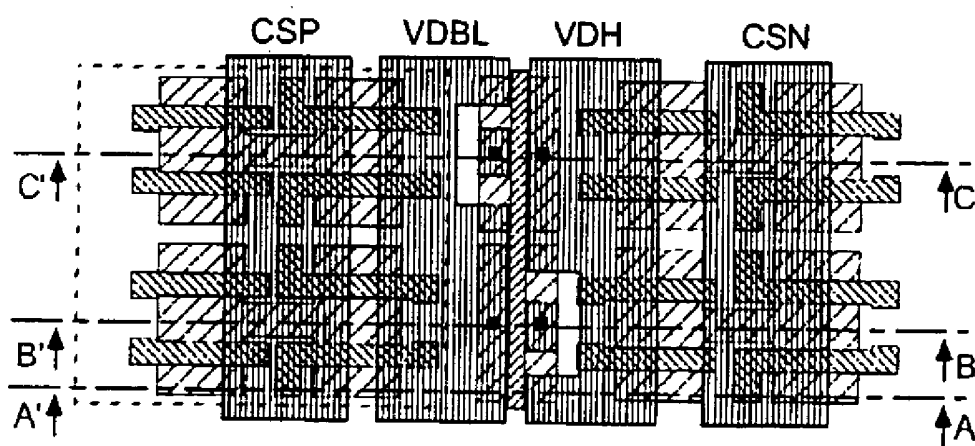
第 11 圖



第 12 圖



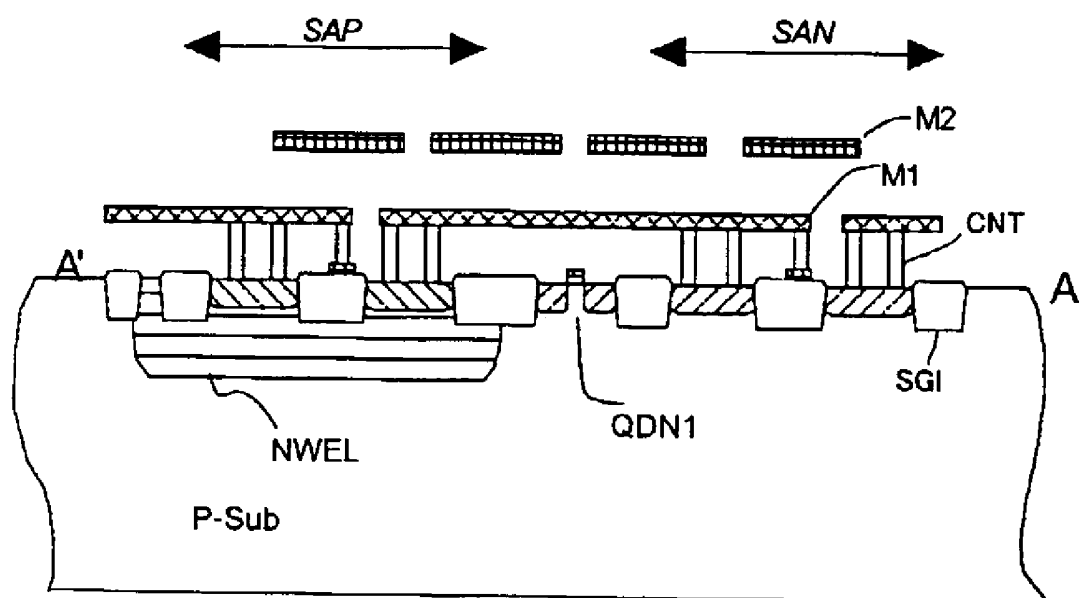
(a)



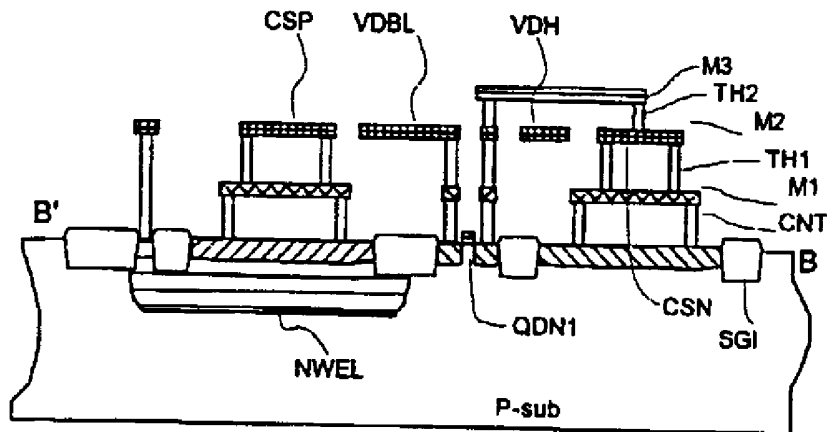
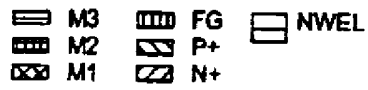
(b)

第 13 圖

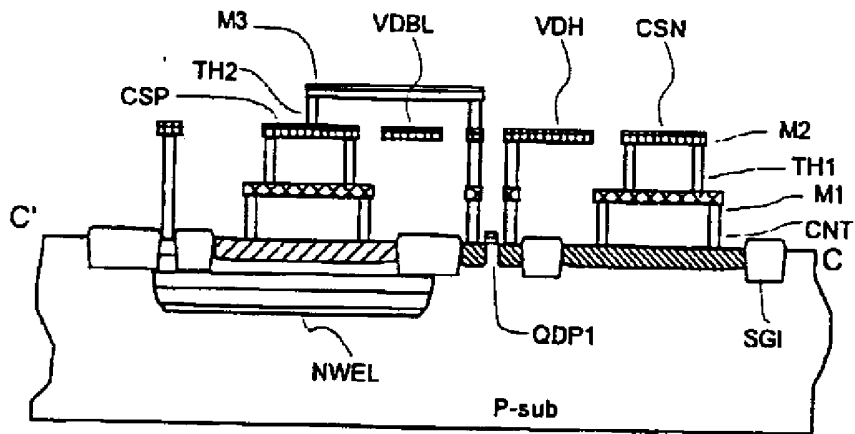
-  M2
-  M1
-  FG
-  P+
-  N+
-  NWEL



第 14 圖

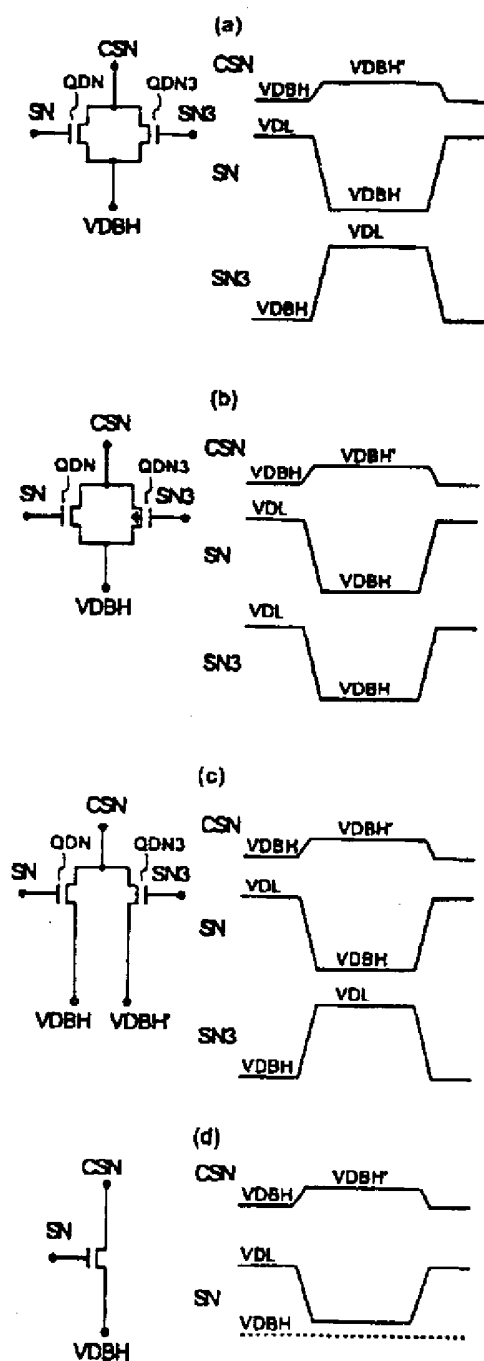


(a)

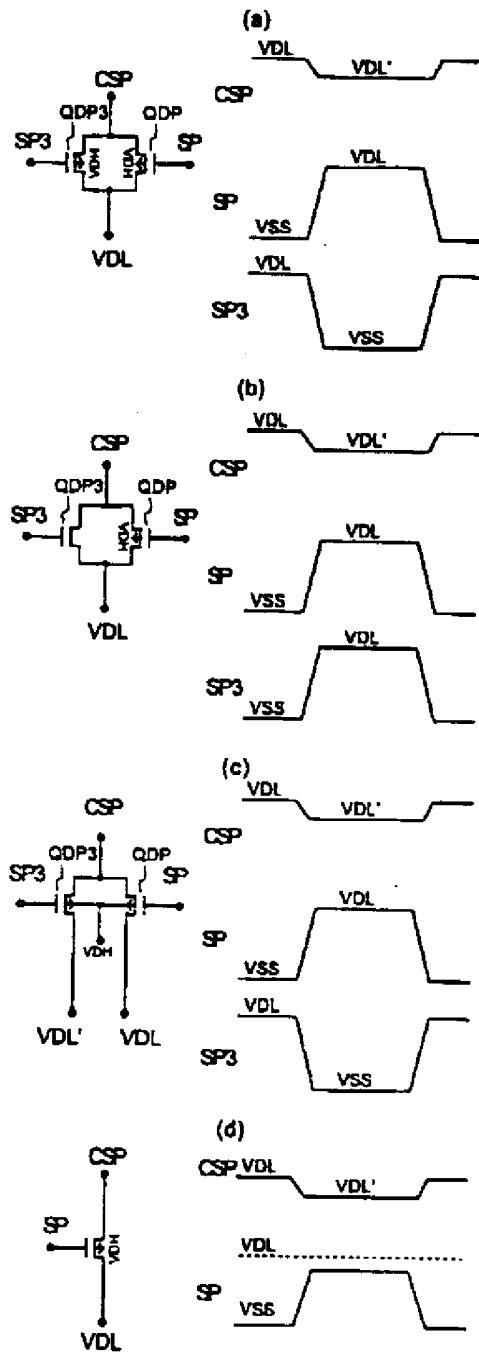


(b)

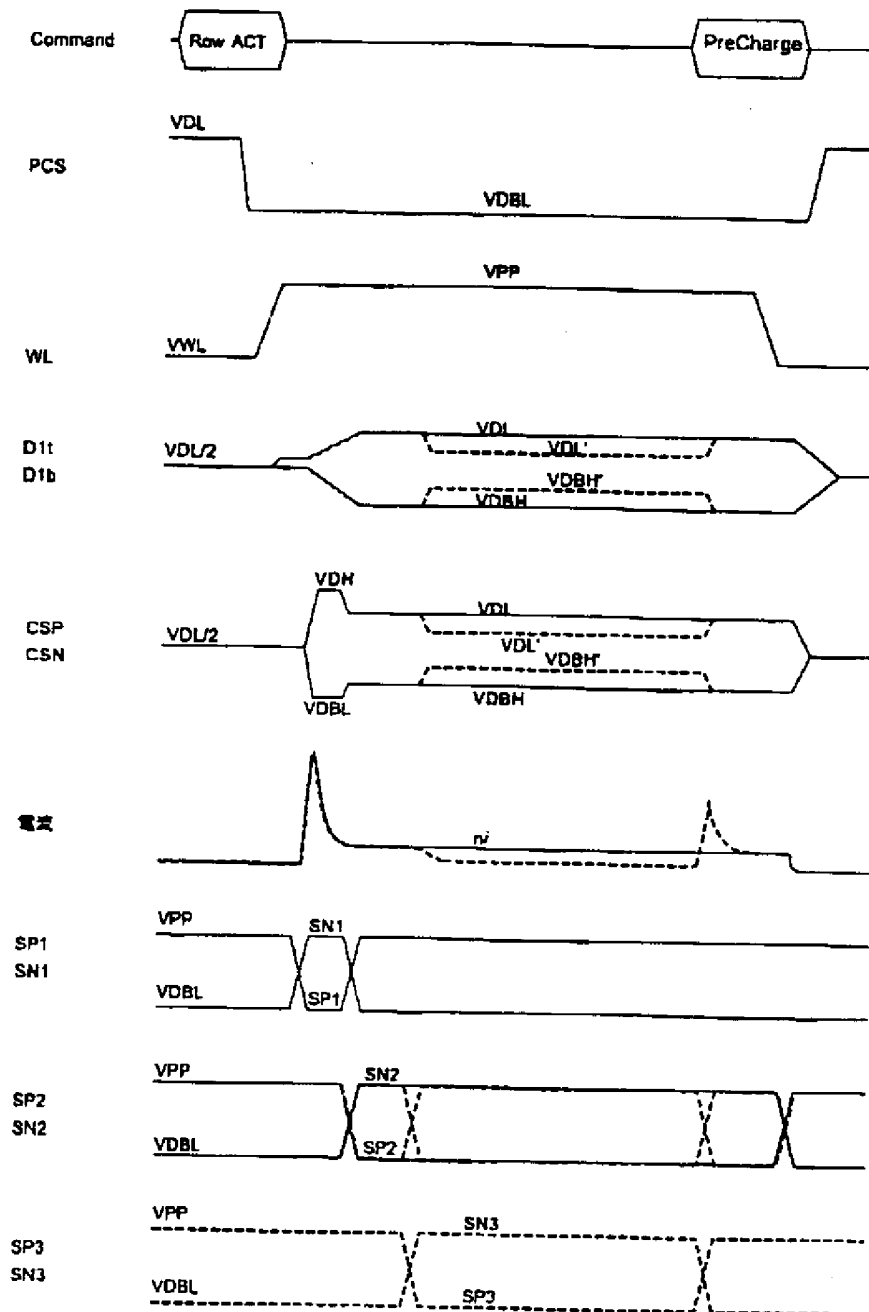
第 16 圖



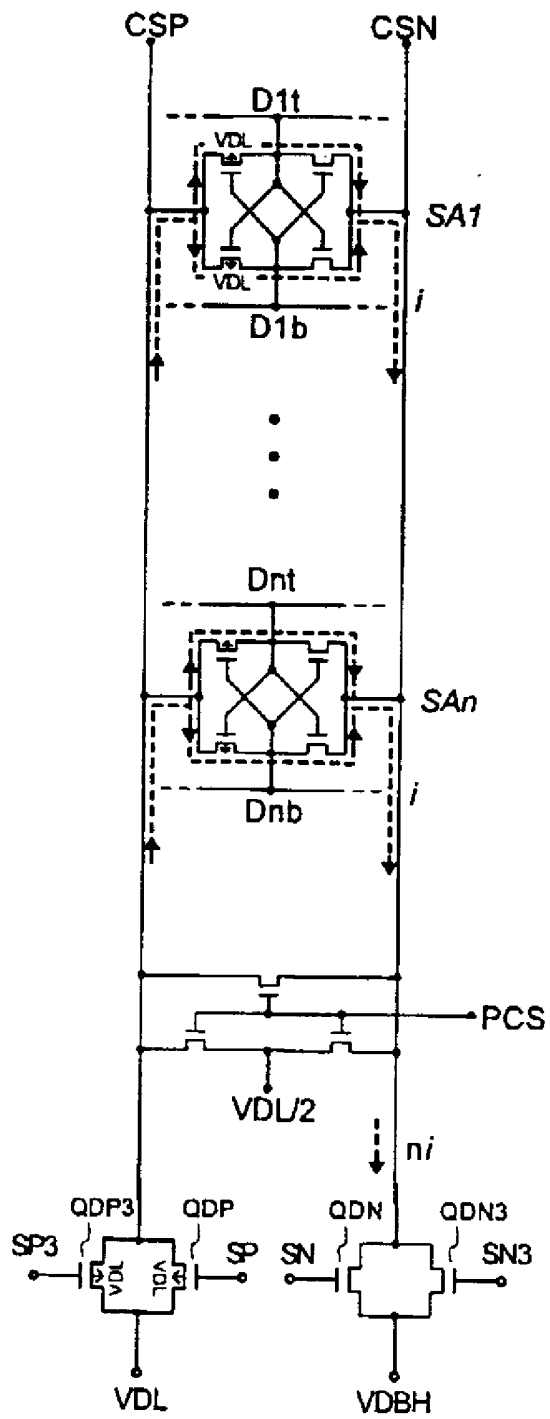
第 17 圖



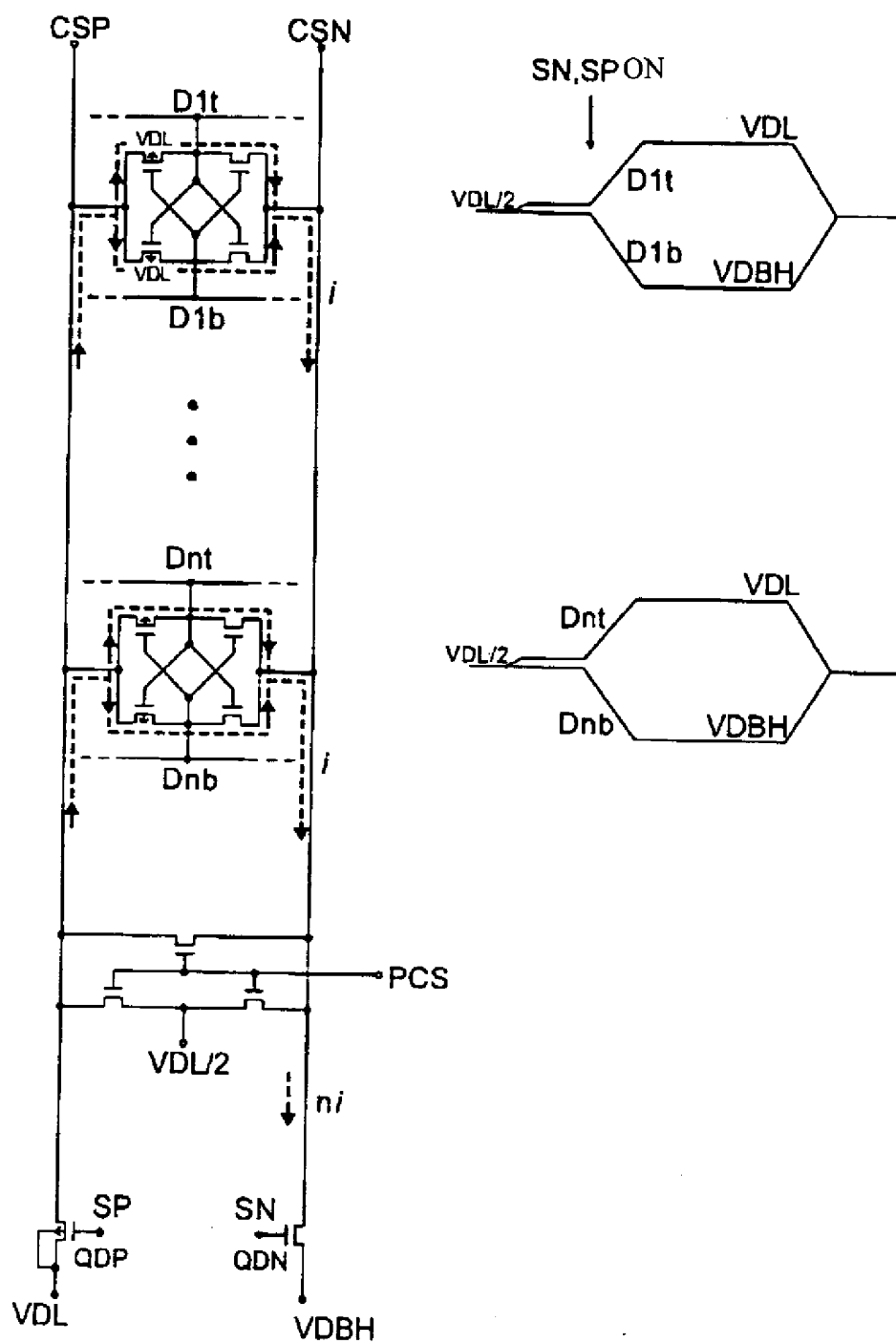
第 18 圖



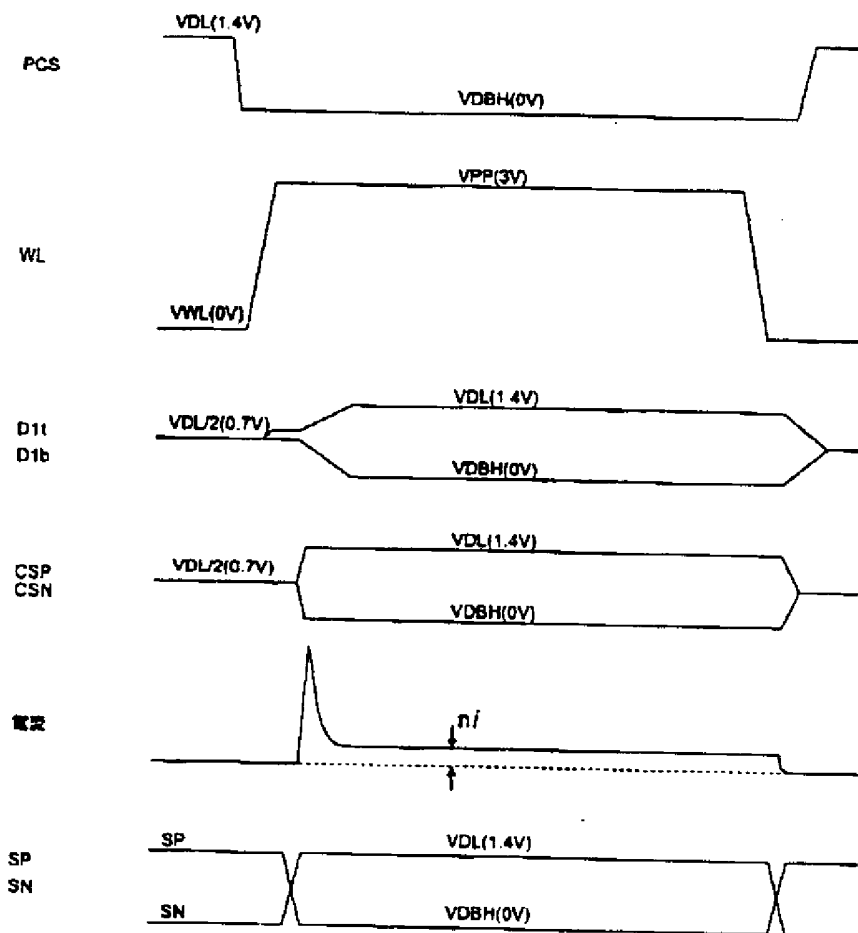
第 19 圖



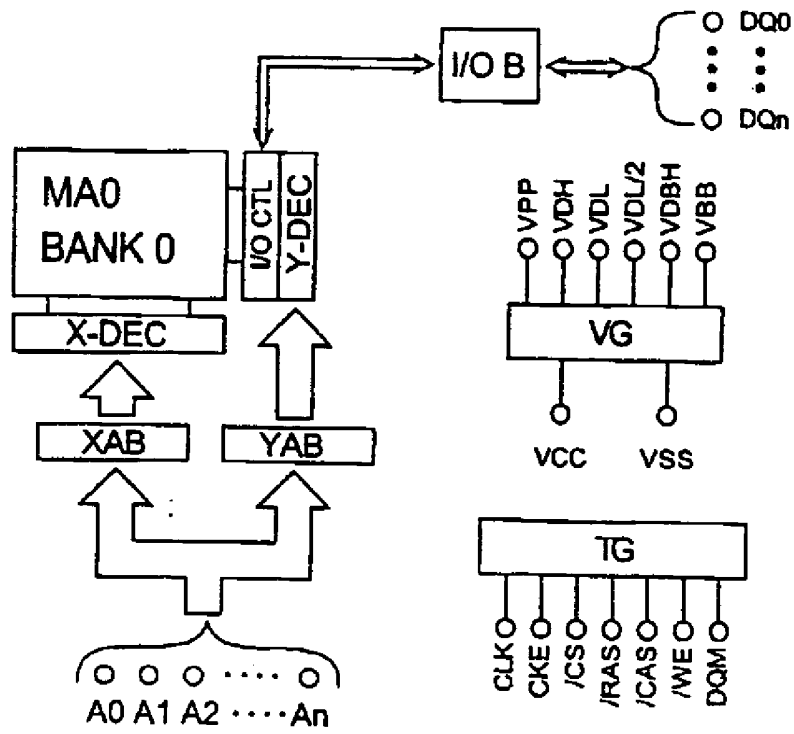
第 20 圖



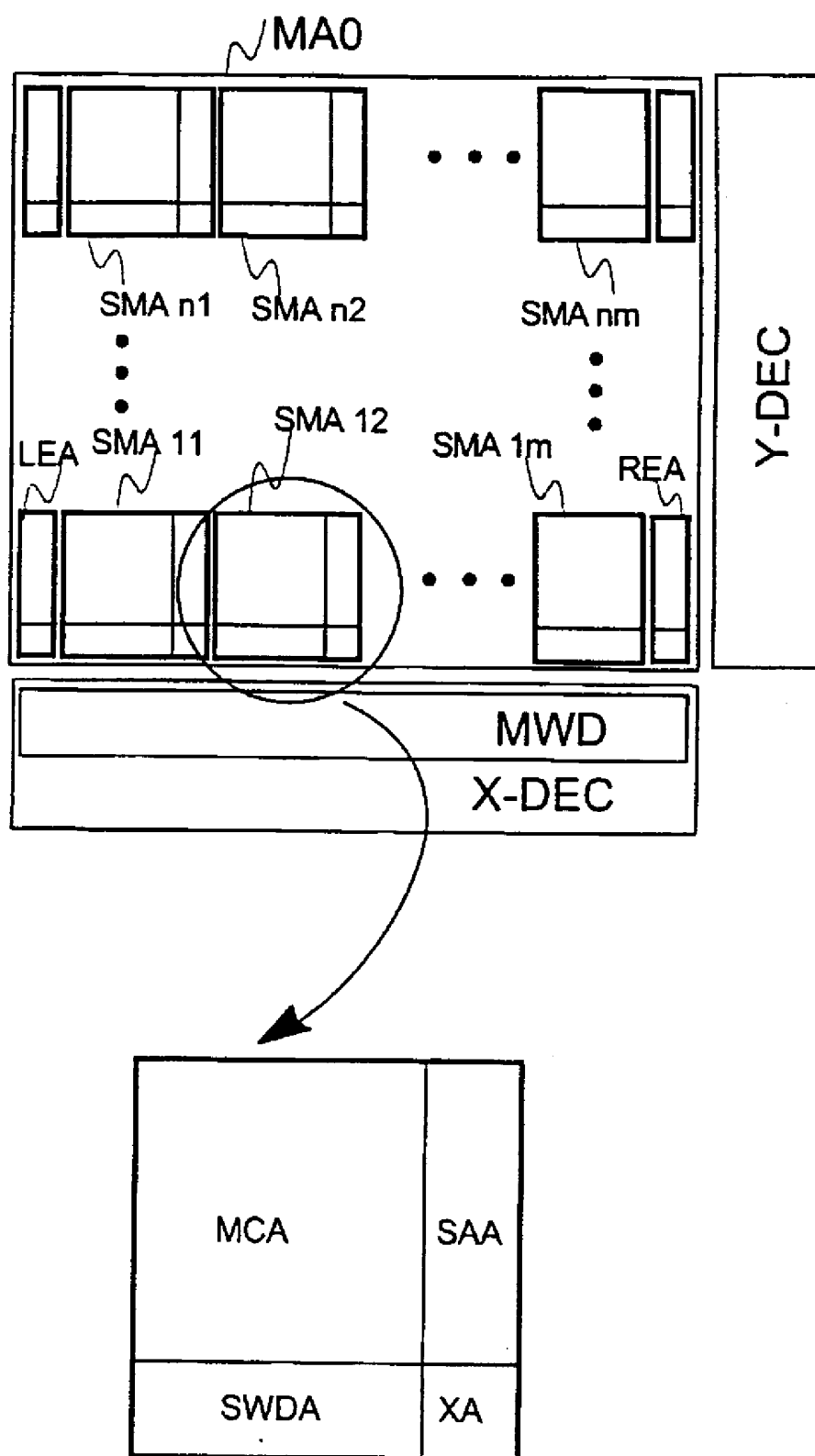
第 21 圖



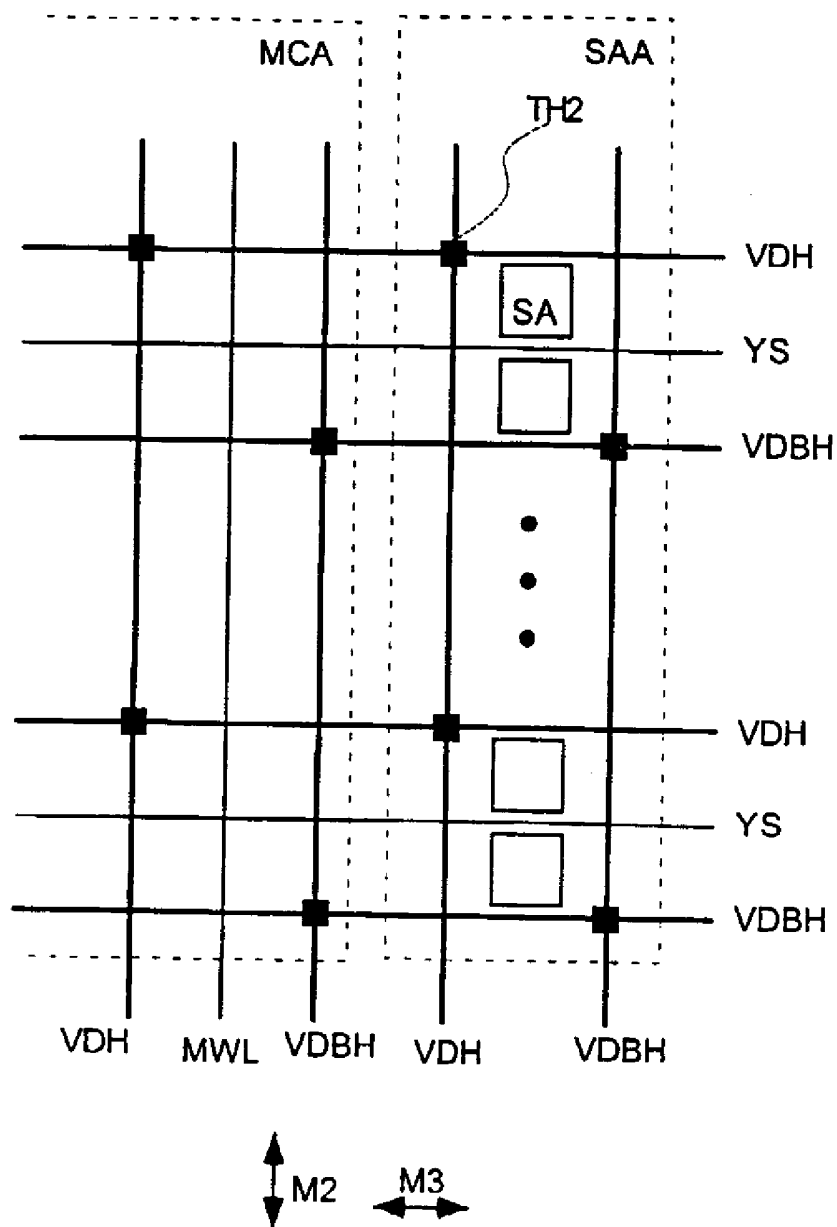
第 22 圖



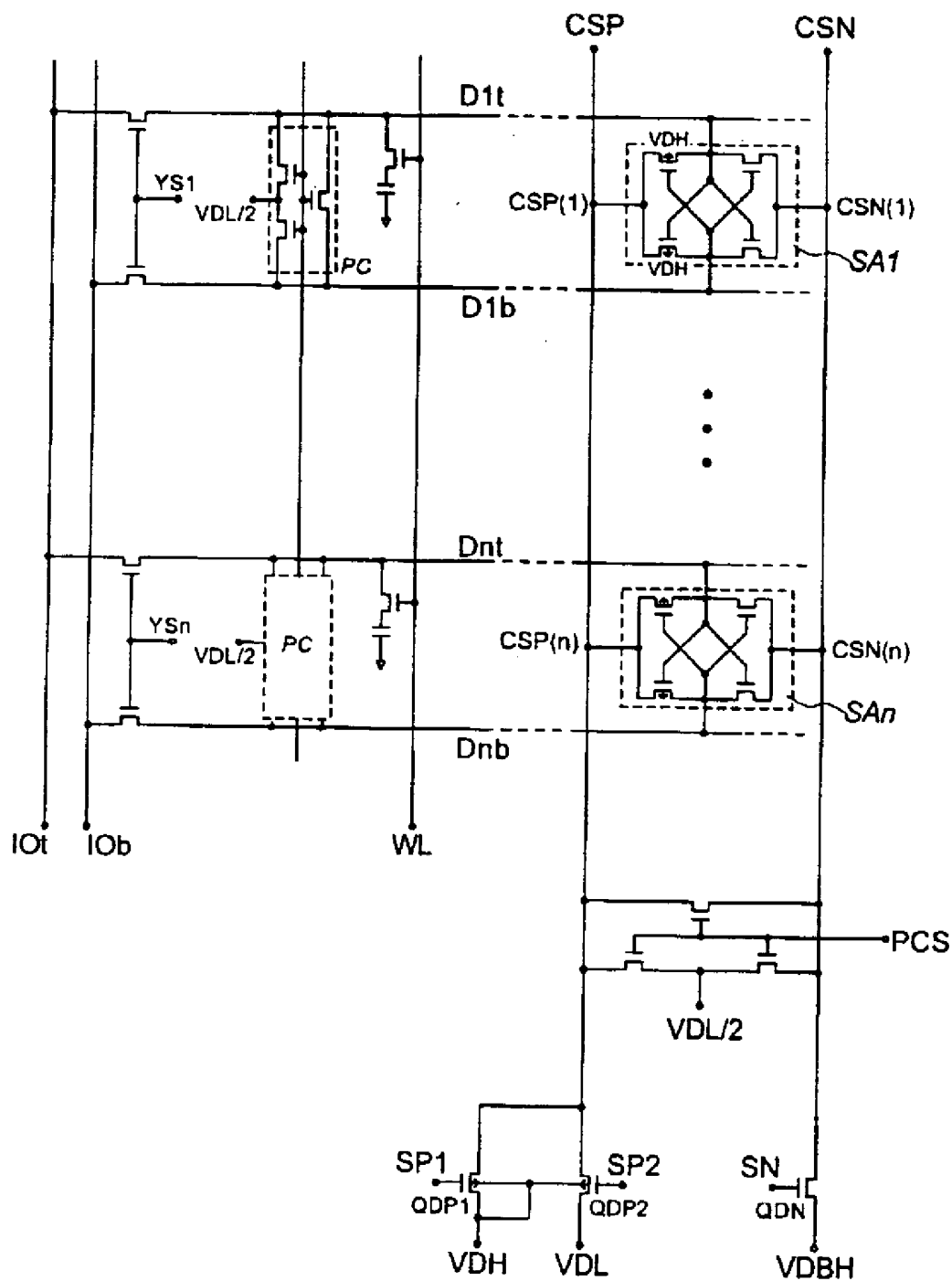
第 23 圖



第 24 圖

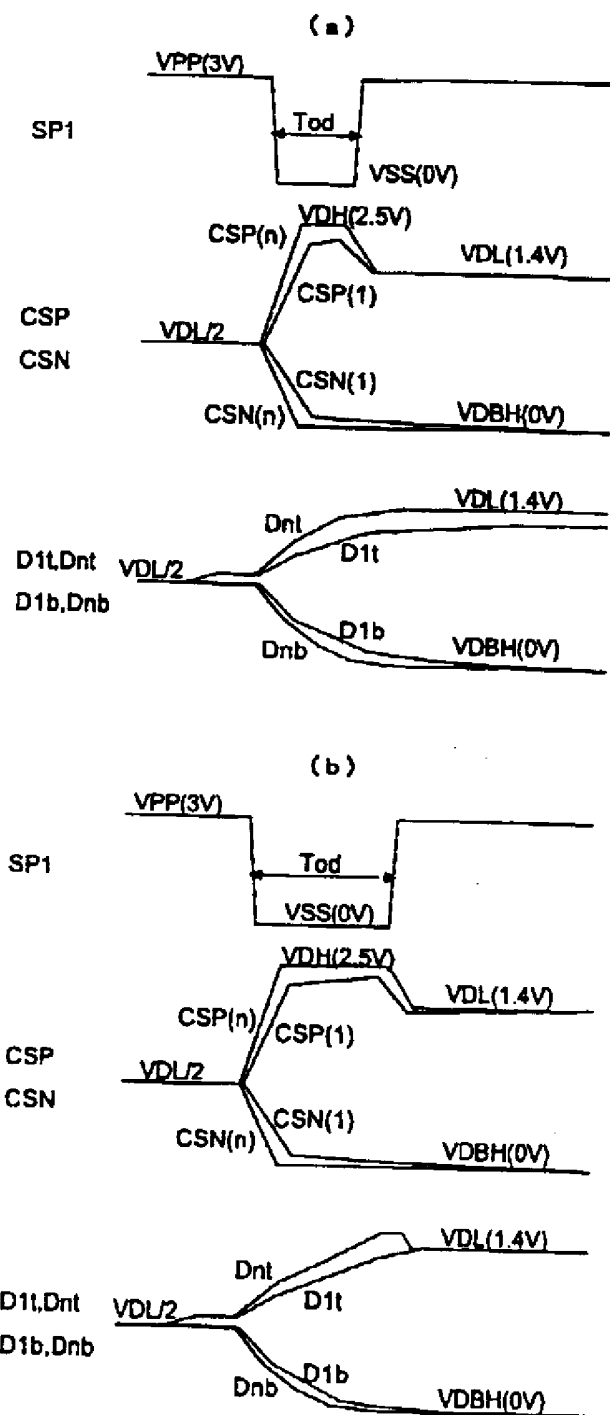


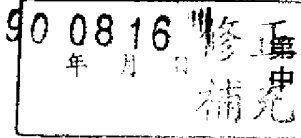
第 25 圖



第 26 圖

圖 26





五、發明說明 (5)

(實施例 1)

圖 1 係動態型記憶體之次記憶體陣列 S M A 之詳細。此實施例，係於放大初期令感測放大器之 P 側與 N 側之源極節點中之單側過驅動之電路。其特徵為，令驅動 P 側共通源極線 C S P 之過驅動用驅動開關 Q D P 1 分散配置於感測放大器領域 S A A。在詳細說明圖 1 之前，以圖 2 2，2 3 首先說明本發明對象之圖 1 電路之記憶體裝置中之全體位置配置。

圖 2 2 係本發明適用之同步型 D R A M (S D R A M) 之全體方塊。各電路方塊，係藉輸入控制信號之時序信號產生電路 T G 所形成內部控制信號之時序動作。輸入 T G 之控制信號包含有，晶片選擇信號 / C S，行位址選通信號 / R A S，列位址選通信號，寫入能動信號 / W E。該控制信號及位址信號之組合稱為指令。時脈能動信號 C K E 係決定時脈信號之有效無效。輸出入掩碼信號 D Q M，係為掩碼由輸出入端 (D Q 0，...，D Q n) 輸出入之資料，而控制資料輸出入緩衝器 I / O 的信號。

S D R A M 中係採用由位址輸出入端 (A 0，A 1，...，A n) 以分時輸入行或列位址之位址多工方式。輸入行位址緩衝器 X A B 之行位址，係於行解碼器 X - D E C 解碼，1 個記憶體陣列 M A 0 中之特定字元線被選擇，對應地，1 字元線分之記憶格設為選擇狀態。之後，當列位址輸入列位址緩衝器 Y A B 時，藉列位址節碼器 Y -

六、申請專利範圍

第88121215號專利申請案

中文申請專利範圍修正本

民國90年8月修正

1. 一種半導體裝置，其特徵為具有：

將由多數記憶格讀出於多數資料線上之信號於對應之上述資料線上放大為第1電壓的多數感測放大器；

將上述多數感測放大器之電源供給節點共接的第1配線；

由上述第1配線之一端供給上述第1電壓的第1開關；

沿上述多數感測放大器設置，用於供給較上述第1電壓大之第2電壓的第2配線；及

於上述第1配線與第2配線間，沿上述多數感測放大器分散配置的第2開關。

2. 如申請專利範圍第1項之半導體裝置，其中上述第2配線係網狀電源配線。

3. 如申請專利範圍第1項之半導體裝置，其中

令上述多數感測放大器能動化時，係令上述第2開關導通特定時間後，令上述第1開關導通。

4. 一種半導體裝置，係具包含多數次記憶體陣列的記憶體陣列之半導體裝置，其特徵在於：

上述多數次記憶體陣列係分別具有：

設於朝第1方向延伸之多數字元線與朝第2方向延伸

(請先閱讀背面之注意事項再填寫本頁)

本

訂

六、申請專利範圍

5. 如申請專利範圍第4項之半導體裝置，其中

令上述記憶格記憶之資訊讀出於對應之上述資料線時，係令上述多數字元線之一被選擇後，使上述多數第1及第2開關設於導通狀態，特定時間經過後令上述多數第1開關設於非導通狀態之同時，令第3開關設於導通狀態。

6. 如申請專利範圍第5項之半導體裝置，其中

上述多數第1開關係分別為第1導電型之第3 MISFET，多數第2開關係分別為第2導電型之第4 MISFET，上述第1導電型為P型，第2導電型為N型，

上述第1電位係高於第3電位，第3電位係高於第2電位。

7. 如申請專利範圍第4項之半導體裝置，其中

上述多數次記憶體陣列係具有：

配置有上述多數字元線、多數資料線及多數記憶格，具共用之1個角的第1邊及第2邊之4角形第1領域；

沿上述第1邊而設，配置有上述多數感測放大器、第1及第2共通源極線、第1及第2電源配線、及多數第1及第2開關的第2領域；

沿上述第2邊而設，配置有用於將對應多數字元線而設之多數字元線驅動電路或上述多數字元線分別連接於上層之多數字元線配線的多數連接部之第3領域；及

設於上述第1領域之上述1個角及上述第2、第3領域所包圍領域，並配置有上述第3開關的第4領域。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

8. 如申請專利範圍第4項之半導體裝置，其中上述多數次記憶體陣列係分別具有：

朝上述第2方向延伸設置，在其交叉點連接第1電源配線，用於供給第1電位的多數第4電源配線；及

朝上述第2方向延伸設置，在其交叉點連接第2電源配線，用於供給第2電位的多數第5電源配線。

9. 如申請專利範圍第8項之半導體裝置，其中

上述多數第4及第5電源配線，係相對於上述多數感測放大器依每一特定數之上述感測放大器設置1條。

10. 如申請專利範圍第4項之半導體裝置，其中

上述多數記憶格係分別為包含1個M I S F E T及1個電容器的動態型記憶格。

11. 一種半導體裝置，係具包含多數次記憶體陣列的記憶體陣列之半導體裝置，其特徵在於：

上述多數次記憶體陣列係分別具有：

設於朝第1方向延伸之多數字元線與朝第2方向延伸之多數資料線之交叉點的多數記憶格；

分別對應上述多數資料線而設置，分別包含有交叉結合之第1導電型之第1 M I S F E T對及第2導電型之第2 M I S F E T對的多數感測放大器；

朝上述第1方向延伸而設，連接上述多數感測放大器之第1 M I S F E T對之源極的第1共通源極線；

朝上述第1方向延伸而設，連接上述多數感測放大器之第2 M I S F E T對之源極的第2共通源極線；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

朝上述第 1 方向延伸，用於供給第 1 電位的第 1 電源配線；

朝上述第 1 方向延伸，用於供給第 2 電位的第 2 電源配線；

用於供給第 3 電位的第 3 電源配線；

用於供給第 4 電位的第 4 電源配線；

相對上述多數感測放大器依特定數之上述感測放大器而設置，設於上述第 1 共通源極線與第 1 電源配線間的多數第 1 開關；

相對上述多數感測放大器依特定數之上述感測放大器而設置，設於上述第 2 共通源極線與第 2 電源配線間的多數第 2 開關；及

設於上述第 1 共通源極線與第 3 電源配線間的第 3 開關；

設於上述第 2 共通源極線與第 4 電源配線間的第 4 開關

上述第 3 及第 4 電位係位於第 1 電位與第 2 電位之間；

由上述記憶格讀出之信號係於對應之上述資料線上，被放大成上述第 3 電位或第 4 電位。

1 2 . 如申請專利範圍第 1 1 項之半導體裝置，其中上述多數次記憶體陣列係具有：

配置有上述多數字元線、多數資料線及多數記憶格，具共用之 1 個角的第 1 邊及第 2 邊之 4 角形第 1 領域；

六、申請專利範圍

沿上述第 1 邊而設，配置有上述多數感測放大器、第 1 及第 2 共通源極線、第 1 及第 2 電源配線、及多數第 1 及第 2 開關的第 2 領域；

沿上述第 2 邊而設，配置有用於將對應多數字元線而設之多數驅動電路或上述多數字元線分別連接於上層之多數字元線配線的多數連接部之第 3 領域；及

設於上述第 1 領域之上述 1 個角及上述第 2、第 3 領域所包圍領域，並配置有上述第 3 及第 4 開關的第 4 領域。

1 3 . 如申請專利範圍第 1 2 項之半導體裝置，其中令上述記憶格記憶之資訊讀出於上述資料線時，係令上述多數字元線之一被選擇後，使上述多數第 1 及第 2 開關設於導通狀態，特定時間經過後令上述多數第 1 及第 2 開關設於非導通狀態之同時，令第 3 及第 4 開關設於導通狀態。

1 4 . 如申請專利範圍第 1 1 項之半導體裝置，其中上述多數第 1 開關係分別為第 1 導電型之第 3 MISFET，多數第 2 開關係分別為第 2 導電型之第 4 MISFET，第 3 開關為第 1 導電型之第 5 MISFET，第 4 開關為第 2 導電型之第 6 MISFET，上述第 1 導電型為 P 型，第 2 導電型為 N 型，

上述第 1 電位係高於第 3 電位，第 3 電位係高於第 4 電位，第 4 電位係高於第 2 電位。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

1 5 . 如申請專利範圍第 1 1 項之半導體裝置，其中
上述第 3 及第 4 電源配線，係與第 1 及第 2 電源配線
並列朝上述第 1 方向延伸設置，

上述第 3 開關，係相對於上述多數感測放大器依每一
特定數設置般分割成多數單位第 3 開關；

上述第 4 開關，係相對於上述多數感測放大器依每一
特定數設置般分割成多數單位第 4 開關。

1 6 . 如申請專利範圍第 1 5 項之半導體裝置，其中
上述多數次記憶體陣列係具有：

配置有上述多數字元線、多數資料線及多數記憶格，
具共用之 1 個角的第 1 邊及第 2 邊之 4 角形第 1 領域；

沿上述第 1 邊而設，配置有上述多數感測放大器、第
1 及第 2 共通源極線、第 1、第 2、第 3 及第 4 電源配線
、及多數第 1 及第 2 開關、及第 3、第 4 開關的第 2 領域
；及

沿上述第 2 邊而設，配置有用於將對應多數字元線而
設之多數驅動電路或上述多數字元線分別連接於上層之多
數字元線配線的多數連接部之第 3 領域。

1 7 . 如申請專利範圍第 1 6 項之半導體裝置，其中

令上述記憶格記憶之資訊讀出於上述資料線時，係令
上述多數字元線之一被選擇後，使上述多數第 1 及第 2 開
關設於導通狀態，特定時間經過後令上述多數第 1 及第 2
開關設於非導通狀態之同時，令第 3 及第 4 開關設於導通
狀態。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

六、申請專利範圍

18. 如申請專利範圍第15項之半導體裝置，其中上述多數第1開關係分別為第1導電型之第3 M I S F E T，多數第2開關係分別為第2導電型之第4 M I S F E T，多數單位第3開關係分別為第1導電型之第5 M I S F E T，多數單位第4開關係分別為第2導電型之第6 M I S F E T，上述第1導電型為P型，第2導電型為N型，

上述第1電位係高於第3電位，第3電位係高於第4電位，第4電位係高於第2電位。

19. 一種半導體裝置，其特徵為具有：

將由多數記憶格讀出於對應之多數資料線的信號放大的多數感測放大器；

為使由第1網狀電源配線供給上述多數感測放大器之放大信號之高（H）位準相關之第1電位而設，且依上述多數感測放大器中之每一特定數而設的多數第1 M I S F E T；及

為使由第2網狀電源配線供給上述多數感測放大器之放大信號之低（L）位準相關之第2電位而設，且依上述多數感測放大器中之每一特定數而設的多數第2 M I S F E T；

上述多數第1及第2 M I S F E T係設為相同導電型之同時，第1及第2 M I S F E T之閘極係連接共通之驅動控制信號線；

上述驅動控制信號線，係傳送用於控制上述多數第1

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

六、申請專利範圍

及第 2 M I S F E T 之導通狀態的控制信號；

上述控制信號之有效位準與無效位準間之電位差之絕對值，係大於上述第 1 電位與上述第 2 電位間之電位差之絕對值。

20. 如申請專利範圍第 19 項之半導體裝置，其中上述多數第 1 及第 2 M I S F E T，係在沿上述多數感測放大器朝一方向延伸之虛擬線上呈交叉配置，

設於上述虛擬線上之上述驅動信號線，係成為上述多數第 1 及第 2 M I S F E T 之閘極。

21. 一種半導體裝置，係具包含多數次記憶體陣列的記憶體陣列之半導體裝置，其特徵在於：

上述多數次記憶體陣列係分別具有：

設於朝第 1 方向延伸之多數字元線與朝第 2 方向延伸之多數資料線之交叉點的多數記憶格；

分別對應上述多數資料線而設置，分別包含有交叉結合之第 1 導電型之第 1 M I S F E T 對及第 2 導電型之第 2 M I S F E T 對的多數感測放大器；

朝上述第 1 方向延伸而設，連接上述多數感測放大器之第 1 M I S F E T 對之源極的第 1 共通源極線；

朝上述第 1 方向延伸而設，連接上述多數感測放大器之第 2 M I S F E T 對之源極的第 2 共通源極線；

朝上述第 1 方向延伸設置，用於供給第 1 電位的第 1 電源配線；

朝上述第 1 方向延伸設置，用於供給第 2 電位的第 2

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

電源配線；

相對上述多數感測放大器依特定數之上述感測放大器而設置，於上述第 1 共通源極線與第 1 電源配線之間源／汲極路徑被連接的上述第 2 導電型之多數第 3

M I S F E T；

相對上述多數感測放大器依特定數之上述感測放大器而設置，於上述第 2 共通源極線與第 2 電源配線之間源／汲極路徑被連接的上述第 2 導電型之多數第 4

M I S F E T；及

朝上述第 1 方向延伸設置之上述多數第 3 及第 4 M I S F E T 之閘極所共接的第 1 驅動控制線；

上述多數感測放大器之上述第 1 M I S F E T 對，係沿朝上述第 1 方向延伸之第 1 虛擬線配置，

上述多數感測放大器之上述第 2 M I S F E T 對，係沿朝上述第 1 方向延伸之第 2 虛擬線配置，

上述多數第 3 及第 4 M I S F E T，係設於上述第 1 及第 2 虛擬線之間之同時，沿朝上述第 1 方向延伸之第 3 虛擬線配置。

22．如申請專利範圍第 21 項之半導體裝置，其中上述多數第 3 及第 4 M I S F E T，係於上述第 3 虛擬線上 1 個個交互配置。

23．如申請專利範圍第 21 項之半導體裝置，其中上述多數次記憶體陣列係分別具有：

配置有上述多數字元線、多數資料線及多數記憶格，

(請先閱讀背面之注意事項再填寫本頁)

本

訂

六、申請專利範圍

具共用之 1 個角的第 1 邊及第 2 邊之 4 角形第 1 領域；

沿上述第 1 邊而設，配置有上述多數感測放大器、第 1 及第 2 共通源極線、第 1 及第 2 電源配線、及多數第 3 及第 4 M I S F E T 的第 2 領域；

沿上述第 2 邊而設，配置有用於將對應多數字元線而設之多數驅動電路或上述多數字元線分別連接於上層之多數字元線配線的多數連接部之第 3 領域；及

設於上述第 1 領域之上述 1 個角及上述第 2、第 3 領域所包圍領域，並配置有上述第 1 及第 2 共通源極線之一端所連接預充電電路的第 4 領域。

24. 如申請專利範圍第 21 項之半導體裝置，其中由對應之記憶格讀出於上述多數資料線上之信號，係被放大成上述第 1 電位或第 2 電位；

令上述多數感測放大器能動化時，於上述第 1 驅動控制線具施加較上述第 1 電位與第 2 電位間電壓大之電壓的期間。

25. 如申請專利範圍第 21 項之半導體裝置，其中上述多數次記憶體陣列係分別令具有：

用於供給第 3 電位的第 3 電源配線；

用於供給第 4 電位的第 4 電源配線；

於上述第 1 共通源極線之一端與第 3 電源配線之間源／汲極路徑被連接的第 5 M I S F E T；及

於上述第 4 共通源極線之一端與第 4 電源配線之間源／汲極路徑被連接的第 6 M I S F E T；

(請先閱讀背面之注意事項再填寫本頁)

取

訂



462056

A8
B8
C8
D8

六、申請專利範圍

上述第 3 電位及第 4 電位，係位於第 1 電位與第 2 電位之間，上述第 1 電位與第 2 電位間之電壓係大於上述第 3 電位與第 4 電位間之電壓；

由上述記憶格讀出之信號係於對應之上述資料線上被放大成上述第 3 電位或第 4 電位。

26. 如申請專利範圍第 25 項之半導體裝置，其中由上述記憶格讀出於對應之上述資料線之信號被放大時，係令上述多數字元線之一被選擇後，使上述多數第 3 及第 4 MISFET 設於導通狀態，特定時間經過後令上述多數第 3 及第 4 MISFET 設於非導通狀態之同時，令上述第 5 及第 6 MISFET 設於導通狀態。

27. 如申請專利範圍第 25 項之半導體裝置，其中上述多數第 3 及第 4 MISFET 設為導通狀態時，於上述第 1 驅動控制線施加有較上述第 1 電位與第 2 電位間電壓大的電壓。

28. 如申請專利範圍第 25 項之半導體裝置，其中另具有升壓電路俾形成升壓電壓施加於上述多數字元線之中被選擇之字元線；

上述多數第 3 及第 4 MISFET 設為導通狀態時，於上述第 1 驅動控制線施加有上述升壓電壓。

29. 如申請專利範圍第 21 項之半導體裝置，其中上述多數次記憶體陣列係分別另具有：

朝上述第 1 方向延伸設置，用於供給第 3 電位的第 3 電源配線；

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

朝上述第 1 方向延伸設置，用於供給第 4 電位的第 4 電源配線；

相對上述多數感測放大器依特定數之上述感測放大器而設置，於上述第 1 共通源極線與第 3 電源配線之間源／汲極路徑被連接的上述第 2 導電型之多數第 5

M I S F E T；及

相對上述多數感測放大器依特定數之上述感測放大器而設置，於上述第 2 共通源極線與第 4 電源配線之間源／汲極路徑被連接的上述第 2 導電型之多數第 6

M I S F E T；

上述第 3 電位及第 4 電位係位於第 1 電位與第 2 電位之間，上述第 1 電位與第 2 電位間之電壓係大於上述第 3 電位與第 4 電位間電壓；

於上述多數資料線上由對應之記憶格讀出之信號係被放大成上述第 3 電位或第 4 電位。

30．如申請專利範圍第 29 項之半導體裝置，其中由上述記憶格讀出於對應之上述資料線之信號被放大時，係令上述多數字元線之一被選擇後，使上述多數第 3 及第 4 M I S F E T 設於導通狀態，特定時間經過後令上述多數第 3 及第 4 M I S F E T 設於非導通狀態之同時，令上述多數第 5 及第 6 M I S F E T 設於導通狀態。

31．如申請專利範圍第 29 項之半導體裝置，其中上述多數第 3 及第 4 M I S F E T 設為導通狀態時，於上述第 1 驅動控制線施加有較上述第 1 電位與第 2 電位

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

上述第 1 及第 2 驅動裝置係具有第 1 動作模式及第 2 動作模式；

上述第 1 驅動裝置，於上述第 1 動作模式時係令上述第 1 電位及第 1 共通源極線間以第 1 阻抗連接，於上述第 2 動作模式時係令上述第 1 電位及第 1 共通源極線間以大於上述第 1 阻抗之第 2 阻抗連接；

上述第 2 驅動裝置，於上述第 1 動作模式時係令上述第 2 電位及第 2 共通源極線間以第 3 阻抗連接，於上述第 2 動作模式時係令上述第 2 電位及第 2 共通源極線間以大於上述第 3 阻抗之第 4 阻抗連接；

在上述多數感測放大器對應之記憶格之信號被拴鎖狀態下，流經上述多數感測放大器之電流，於上述第 2 動作模式時係小於上述第 1 動作模式。

36. 如申請專利範圍第 35 項之半導體裝置，其中另具有：將等於或大於上述第 1 電位的第 1 基板偏壓以上述第 1 及第 2 動作模式供至上述第 1 MISFET 對之反向閘極的裝置；及將等於或小於上述第 2 電位的第 2 基板偏壓以上述第 1 及第 2 動作模式供至上述第 1 MISFET 對之反向閘極的裝置。

37. 如申請專利範圍第 35 項之半導體裝置，其中上述第 1 及第 2 MISFET 對之臨界值電壓，於上述第 2 動作模式時係大於上述第 1 動作模式。

38. 如申請專利範圍第 36 項之半導體裝置，其中上述第 1 及第 2 MISFET 對之臨界值電壓，於上

(請先閱讀背面之注意事項再填寫本頁)

訂