

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
G02F 1/136

(11) 공개번호 특1998-025065
(43) 공개일자 1998년07월06일

| | |
|-------------|--|
| (21) 출원번호 | 특1997-049343 |
| (22) 출원일자 | 1997년09월27일 |
| (30) 우선권 주장 | 8-277486 1996년09월27일 일본(JP) |
| (71) 출원인 | 가부시키가이샤 한도오따이 에네루기 켄큐쇼 야마자키 순페이 |
| (72) 발명자 | 일본국 가나가와켄 아쓰기시 하세 398 야마자키 순페이 |
| | 일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내 |
| | 고야마 준 |
| | 일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내 |
| | 후쿠나가 다케시 |
| | 일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내 |
| (74) 대리인 | 황의만 |

심사청구 : 없음

(54) 전기 광학 장치 및 그의 제조방법

요약

본 발명은 기판 전체 크기를 사용함으로써 넓은 면적 표시가 가능한 전기 광학 장치에 관한 것이다. 액티브 매트릭스 기판은 반사형 전기 광학 장치를 위한 구동 부분의 역할을 한다. 화소 매트릭스 회로 및 논리 회로를 액티브 매트릭스 기판상에 형성한다. 이때, 논리 회로는 화소 매트릭스 회로의 공간을 이용함으로써 배치된다. 화소 매트릭스에 의해 점유된 면적 또는 영상 표시 영역은 논리 회로에 의해 점유되는 면적에 의한 제한되지 않고 확대될 수 있다.

대표도

도 1a

명세서

도면의 간단한 설명

도 1(A)-1(D), 도 2(A)-2(C)는 본 발명에 따른 TFT 제조를 위한 일련의 과정을 나타내는 단면도이다.

도 3은 본 발명에 따른 전기 광학 장치의 투시도이다.

도 4(A) 및 도 4(B)는 반사형 액정 표시의 작동을 나타낸다.

도 5는 본 발명에 따른 전기 광학 장치의 투시도이다.

도 6(A)-6(C)은 본 발명에 따른 또다른 전기 광학 장치의 상부 평면도이다.

도 7(A) 및 도 7(B)은 본 발명에 따른 또다른 전기 광학 장치의 상부 평면도이다.

도 8(A) 및 도 8(B)은 본 발명에 따른 또다른 전기 광학 장치의 단면도이다.

도 9(A) 및 도 9(B)는 본 발명에 따른 또다른 전기 광학 장치의 단면도이다.

도 10(A)-10(F)은 본 발명에 따른 전기 광학 장치를 사용하는 상업적 생산품을 나타낸다.

* 도면의 주요 부분에 대한 부호의 설명*

101 유리 기판 102, 103, 104, 105 활성층 106 게이트 절연막

107, 108, 109, 110 알루미늄 막 패턴 111, 112, 113, 114 양극 산화막

115, 116, 117, 118 양극 산화막 119, 120, 121, 122 게이트 전극

123 레지스터 마스크 124 소스 영역 125 드레인 영역

126, 127 저농도 불순물 영역 128 채널 형성 영역
 145 제 1 층간 절연막 146, 147, 148, 149, 150 접속 배선 151 제 2 층간 절연막
 152, 153, 154, 155 데이터 배선 156 제 3 층간 절연막
 157, 158 블랙 매트릭스 159 제 4 층간 절연막 160, 161 화소 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 박막 반도체를 사용하여 만드는 반도체 장치를 구성하는 구동 회로를 구비한 전기 광학 장치 및 또한 전기 광학 장치와 같은 것의 제조의 방법에 관한 것이다. 특히, 본 발명은 화소 매트릭스 회로 및 논리 회로가 동일 패널상에 직접화된 액티브 매트릭스 전기 광학 장치(A-MEOD)에 관한 것이다.

최근, 액티브 매트릭스 전기 광학 장치에 대한 수요의 증가로 인해, 값싼 기판에 박막 트랜지스터(TFT)를 제조하는 기술이 급속히 발전되었다. 액티브 매트릭스 전기 광학 장치에서, 다수의 화소들은 종횡으로 배열된다. TFT는 각 화소에 배열된다. 각 화소 전극의 전기 전하가 충전되고 방전되는 것은 각 TFT의 스위칭 동작으로 제어된다.

전기 광학 장치는 액정의 광학적 특성을 이용하여 제조되는 액정 표시를 포함하며, 전기루미네선스(electroluminescent) 표시는 ZnS:Mn로 대표되는 전기루미네선스 물질을 사용하고, 전기크로믹(electrochromic) 표시는 전기크로믹 물질의 색상 변화 특성을 이용한다.

이들 전기 광학 장치는 매트릭스가 지정될 수 있는 액티브 장치들이다. 그 해상 표시는 이 액티브 매트릭스 구성을 활용하여 달성할 수 있다. 상기 언급된 것처럼, 액티브 매트릭스 구성의 큰 특징은 화소에 배치된 화소 전극을 온 오프 함으로써 제어되는 전기 광학 장치의 영상 표시 영역 내에서 종횡으로 배열된 화소 전극이 전기 전하를 충전 및 방전하는 것이다.

또다른 액티브 매트릭스의 특징은 화소 TFT를 구동하기 위한 구동 회로가 화소를 제어하기 위해 필요하다는 것이다. 종전의 기술에서, 동일 기판상에 형성된 화소 매트릭스 회로는 액티브 매트릭스 회로를 형성하기 위해 개별적으로 준비된 구동 IC와 연결된다.

그러나, 최근에 구동 회로를 형성하는 다수의 회로 및 화소 매트릭스 회로 주변에 구동 회로(주변 구동기 회로들로 알려진)를 설치하기 위해 동일 기판상에 화소 매트릭스를 형성하는 것이 일반화되고 있다.

근래에는, 시스템-온-패널(SOP) 구조가 형성된 제어 회로(예를 들어, 처리 회로, 메모리 회로, A/D 또는 D/A 변환 회로, 보정 회로, 그리고 펄스 생성 회로) 상에 기판 뿐만 아니라 화소 TFT 구동을 위한 구동 회로(시프트 레지스터 회로 또는 버퍼 회로와 같은)를 포함하는 방법이 주의를 끌고 있다.

전기 광학 장치의 일반적 구성을 액티브 매트릭스 액정 표시를 예로 도 3에 나타냈다. 화소 매트릭스 회로(302)를 유리 기판(301) 상에 형성한다. 이 화소 매트릭스 회로(302)는 집적화된 화소 영역을 구성한다. 화소 매트릭스(302)의 일부는 (303)에 확장하여 나타냈고, 다수의 영역은(여기서는 두 영역) 종횡으로 배열된다. 적어도 한 쌍의 화소 TFT/화소 전극이 각 화소 영역에 배치된다.

데이터 라인에서 데이터 신호를 전송하기 위한 수평한 스캐닝 구동 회로(304)는 시프트 레지스터 회로, 레벨-시프팅 회로, 버퍼 회로 및 샘플링 회로를 포함한다. 레벨-시프팅 회로는 구동 전압을 증폭한다.

시프트 레지스터 회로는 10 V에서 작동하고 버퍼 회로는 16 V에서 작동하는 것으로 가정한다. 이 경우에, 전압을 레벨-시프팅 회로에 의해 다른 값으로 변환하는 것이 필요하다. 때때로, 시프트 레지스터 회로는 디코더 회로와 카운터 회로의 조합으로써 구성될 수 있다. 게이트 라인에서 게이트 신호를 전송하기 위한 수직의 스캐닝 구동 회로(305)는 시프트 레지스터 회로, 레벨-시프팅 회로 및 버퍼 회로를 포함한다.

제어 회로(306)가 앞으로는 도 3에 나타낸 부분에 위치될 것으로 기대되고 있다. 제어 회로(306)는 넓은 면적을 점유하는 처리 장치와 같은 복잡한 논리 회로 또는 메모리 회로를 구성하기 때문에, 전체 점유하는 면적은 증가될 것이다.

상기 설명된 것처럼, 일반적으로 화소 매트릭스 회로(302), 수평 스캐닝 구동 회로(304), 수직 스캐닝 구동 회로(305) 및 제어 회로(306)가 유리 기판(301) 상에 배치된다. 따라서, 주어진 유리 기판 상에 최대 표시 면적을 보호하기 위해서 회로들에 의해 점유된 면적을 화소 매트릭스 회로보다 최소화하는 것이 요구된다.

그러나, 도 3에 나타난 구조를 사용한다면, 주변 구동 회로의 조밀도를 장치의 증가에 제한이 따른다. 다른 유용성이나 장점이 제어 회로에 보강되는 경우에, 화소 매트릭스 회로의 면적이 증가하기는 어렵다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 전기 광학 장치 또는 광학 표시 장치를 제공하고, 표시 영역을 제공하는 화소 매트릭스 회로가 상기 문제를 해결하여 면적이 최소화되고 그로 인해서 기판의 크기를 전체 사용하여 넓은 면적 표시를 달성하는데 있다.

본 발명에 따라서 전기 광학 장치는 동일 기판상에 형성된 화소 매트릭스 회로 및 논리 회로를 포함한다. 화소 매트릭스 회로는 논리 회로가 전체 또는 부분적으로 배치된 영역을 점유한다.

본 발명은 또한 화소 매트릭스 회로 및 그위에 논리 회로를 구비한 액티브 매트릭스 기판을 포함하는 전기 광학 장치를 제공한다. 액정 재료 층은 액티브 매트릭스 기판을 보유한다. 화소 매트릭스 회로는 논리 회로가 전체 또는 부분적으로 배치된 영역을 점유한다.

본 발명의 요점은 반사 모드 또는 방사 모드에서 작동하는 전기 광학 장치에 있다. 이 장치는 화소 전극의 후면에 위치한 화소 영역이 효과적으로 활용되는 것으로 특징화된다. 즉, 도 3에 나타난 것처럼 화소 매트릭스 회로의 외측 프레임에 배치된 논리 회로는 전체적으로 또는 부분적으로 화소 영역을 이용하여 화소 매트릭스 회로를 만든다.

단면도는 논리 회로로 일체화된 화소 매트릭스 회로상에 액티브 매트릭스 구성에 의한 것이다. 이 단면에서, 논리 회로는 전체적으로 또는 부분적으로 화소 매트릭스 회로를 형성하는 화소 TFT와 연결된 화소 전극 아래에 위치한다.

논리 회로는 구동 회로 및/또는 제어 회로를 구성하는 화소 매트릭스 회로와 다른 것을 의미한다. 제어 회로는 전기 광학 장치를 구동하기 위해 필요한 각 정보 처리 회로를 포함하고, 처리 회로, 메모리 회로, A/D 또는 D/A 변환 회로, 보정 회로, 펄스 생성 회로로 대표된다.

전기 광학 장치는 반사 모드(일반적으로, 반사형 액정 표시)에서 동작하기 때문에 광선의 전달이 요구되지 않고, 광학 경로를 보호하기 위해 반사형 액정 표시와는 다르게 투명한 화소 전극을 만들지 않아도 된다. 그러므로, 지금까지는 전달형 액정 표시에 대해서 활용이 불가능했던 화소 전극(상기 설명된 단면에서의 하부)의 후면에 논리 회로를 배치하는데 효과적으로 사용될 수 있다.

상술한 반사 모드에서 반사형 액정 표시 작동은 다음 도 4(A) 및 도 4(B)를 참조하여 간략히 설명한다. 도 4(A)에 액티브 매트릭스 기판(401), 카운터 기판(402) 및 액정 물질 층(403)을 나타냈다. 화소 전극(404)은 액티브 매트릭스 기판(401)의 상부에 형성된다. 필요하다면, 반사판이 형성될 수 있다. 화소 전극(404)은 보호막(405)에 의해 보호된다.

도 4(A)는 TFT의 오프 상태를 나타낸다. 즉, 액정 분자는 그들이 입사 광선의 편광 방향을 바꾸지 않게 하는 방법으로 정위된다. 이 방향하에서, 임의의 편광 방향(이 예에서, 빔 스피리터(splitter)(408)에 의한 반사의 방향)은 편광자(406)에 의해 광선(407)에 전해진다. 광선(407)은 빔 스피리터(408)를 경유하여 액정 물질 층(403)에 들어가게 되고 투과나 반사 광선중 하나는 편광 방향에 의존한다.

상기 상술된 것처럼, 도 4(A)의 상태하에서(즉, TFT가 오프상태), 액정 물질 층(403)상에 입사하는 광선(407)은 편광의 방향이 변하지 않는 것처럼 화소 전극(404)에 의해 반사된다. 그후, 광선이 빔 스피리터(408)에 도달한다. 즉, 화소 전극(404)에 의해 반사된 광선(407)이 입사 광선의 편광 방향과 동일하게 반사된다. 그러므로, 빔 스피리터(408)가 쏘는 광선(407)은 반사되어 관찰자의 시각에 도달하지 않는다.

한편, 도 4(B)는 TFT의 온 상태를 나타낸다. 액정 분자는 편광 광선(409)이 화살 방향을 향하도록 하기 위해 정위된다. 빔 스피리터(408)에 의해 반사된 광선(409)은 액정 물질 층(410)에 의해 편광의 방향으로 변한다. 그후, 광선(409)이 빔 스피리터(408)를 통해 투과되고 관찰자의 시각에 도달한다.

이런 방법에서, 반사 모드에서 전기 광학 장치 작동은 TFT의 온 또는 오프 상태 여부에 따라서 광선이 온 또는 오프된다. 반사형 액정 표시 장치는 전기 광학 장치와 같은 예에서는 전형적이다. 게다가, 전기 광학 장치는 작동 모드에 의해서, ECB(전계 제어 복굴절 효과)모드, PCGH(상전이형 게스트-호스트)모드, OCB 모드, HAN(하이브리드 정열 네마틱)모드, 그리고 PDLC 게스트-호스트 모드(LCD Intelligence August, pp. 51-63, 1993 참조) .

그러나, 본 발명은 액정 물질 층 후방에 반사성 반사판이 배치된다면 어떠한 형태의 작동 모드에서도 사용 가능하다. 게다가, 본 발명은 방사상 모드에서 액티브 매트릭스 전기루미네선스 표시 작동 및 전기크롬 물질의 색상 변화 특성을 이용하는 액티브 매트릭스 전기크롬 표시에 사용될 수 있다. 즉, 본 발명은 전도형 전기 광학 장치를 포함하는 어떠한 종류의 구조에라도 적용될 수 있다.

여기에서 언급된 전기 광학 장치는 소위 표시 패널에 한정되는 것은 아니다. 오히려, 전기 광학 장치는 상업적 생산품을 일체화하는 표시 패널을 사용한다. 전기 광학 장치는 각 장치가 전기적 작동, 광학적 작동, 또는 그의 조합에 의해 그 고유의 기능을 수행하는 것으로 설명된다. 설명을 위해서, 전기 광학 장치는 표시 패널 또는 표시 패널과 같은 것을 사용하는 최종 생산품에 적용될 수 있다.

본 발명은 또한 화소 매트릭스 회로 및 동일 기판상에 형성된 논리 회로 제조법을 제공한다. 이 방법은 논리 회로가 전체적으로 또는 부분적으로 화소 매트릭스 회로에 의해 점유된 영역에 배치되는 것을 특징으로 한다.

본 발명은 또한 또다른 전기 광학 장치 제조방법을 제공한다. 이 방법은 화소 매트릭스 회로 및 동일 기판상에 논리 회로를 구비한 액티브 매트릭스 기판 형성으로 시작한다. 그후, 액정 물질 층을 형성하고 액티브 매트릭스 기판상에 보유한다. 이 방법은 논리 회로가 전체적으로 또는 부분적으로 화소 매트릭스 회로에 의해 점유된 영역에 배치되는 것을 특징으로 한다.

본 발명에 따른 전기 광학 장치를 도 5에 개략적으로 나타냈고, 여기서 화소 매트릭스 회로(502)는 유리 기판(501)상에 논리 회로(503,504)와 일체화된다. 논리 회로는 구동 회로 및 제어 회로를 포함한다. 논리 회로(503,504)는 화소 매트릭스 회로(502)와 겹쳐진다.

이 구성은 다음의 이유 때문에, 통과 후광을 위한 광학적 경로나 개구부를 보호하는 것이 필요한 전달형 전기 광학 장치에서는 달성될 수 없다. 전달형 전기 광학 장치의 화소 매트릭스 회로의 다수의 부분은 개방되어 투과된 광선 양을 감소시키지 않고 화소 매트릭스 회로 속에 논리 회로를 구성하는 것은 불가능하다.

따라서, 본 발명은 광학 경로를 보호할 필요가 없는 반사형 전기 광학 장치에서 구체화될 가능성이 있는 기술을 이라고 할 수 있다. 특히, 논리 회로는 반사 판처럼 작동하는 화소 전극 아래(뒷면 상에)에 형성된다.

도 2(A)에서, 전도성 상호 연결(146-150)은 제 1, 제 2, . . . , 제 n 회로 TFT를 포함하는 회로 TFT를 상호 연결하기 위한 기능을 하고, 따라서 A/D 변환, 메모리 회로, 그 밖의 것을 구성한다. 따라서, 논리 회로가 완성된다.

데이터 라인(152-155)은 제 1 및 제 2 화소 TFT에 속하고 벗어나는 데이터 신호를 수용하기 위해 제공된다. 데이터 라인(153) 및 (155)는 화소 전극(160,161)을 위한 적출 전극이라 할 수 있다. 이들 화소 전극(160,161)의 표면은 그들이 입사 광선을 반사하기 위한 반사판처럼 작용하는 것처럼 반사성을 유지한다. 필요하다면 거울 기능을 하는 반사막은 화소 전극(160,161) 위에 형성될 수 있다.

따라서 상술된 구조는 논리 회로(503,504)가 도 5에 나타난 것처럼, 화소 매트릭스 회로(502)를 형성하는 화소 영역에서 일체된다.

본 발명의 다른 목적 및 특징은 다음 설명에 있다.

발명의 구성 및 작용

실시예 1

본 발명을 따른 구조를 갖춘 액티브 매트릭스 기판을 제조하기 위한 차후 공정은 도 1(A)-1(D) 및 도 2(A)-2(D)를 참조하여 설명한다. 본 실시예는 본 발명의 일례로 대표되고 이하 주어진 수치와 같은 공정 조건은 제조자에 의해 특별히 정해질 수도 있다.

먼저, 절연면을 갖춘 기판(101)을 준비한다. 본 실시예에서, 규소 산화막 상에 유리 기판이 기판(101)으로써 사용된다. 유리 기판 대신에, 석영 기판이 사용될 수 있다.

그후, (도시되지 않은) 비정질 규소막이 500 Å 두께로 형성된다. 비정질 규소막은 적절한 결정화 기술로 결정성 규소막으로 변환다. 결정화는 열처리 또는 레이저 처리 또는 두 방법으로 실행된다. 열처리가 실시될 경우, 유리나 석영 기판의 최대 처리 온도를 고려하여 결정화 온도를 결정해야 한다.

결정성 규소막(도시되지 않음)을 얻은 후, 활성층(102-105)의 성을 형성하기 위한 패턴화를 한다. 활성층(102)의 성은 제 1 화소 TFT를 형성하는 반면, 활성층(105)의 성은 제 2 화소 TFT를 형성한다.

제 1 내지 제 N 회로 TFT가(중재 회로 TFT는 도시되지 않음) 모두 P채널 TFT인 제 1 및 제 2 화소 TFT 사이에 배치된다. 활성층(103)의 성은 제 1 회로 TFT를 형성하는 반면에, 활성층(104)의 성은 제 N 회로 TFT를 형성한다. 본 실시예에서, 제 1 회로 TFT는 N채널형인 반면에, 제 N 회로 TFT는 P채널형이다.

회로 TFT의 숫자나 N은 논리 회로의 구성에 따라서 변형된다. 특히, 다수의 화소 TFT가 유리 기판(101) 상에 중첩으로 배열된다. 회로 TFT는 이들 화소 TFT 사이에 논리 회로를 형성한다.

물론, 제 1 회로 TFT가 항상 제 N 회로 TFT인 구조와 동일한 것은 아니다. 본 실시예의 설명에서, 구조상 기본적으로 동일한 것으로 가정한다. 분명하게, 구조는 채널 길이 및 오프셋 영역의 존재 유무와 같은 논리 회로 파라미터에 의해 변화된다.

활성층(102-105)의 성 형성 후에, 게이트 절연막(106)을 1200 Å 두께로 증착한다. 이 게이트 절연막(106)은 플라즈마 CVD 또는 LPCVD 방법으로 산화 규소로부터 형성될 수 있다. 물론, 열 산화가 또한 이용될 수 있다.

그후, 알루미늄을 주성분으로 하는 패턴화된 층(107-110)을 게이트 절연막(106) 상에 형성한다. 본 실시예에서, 패턴화된 층(107-110)은 4000 Å 두께의 알루미늄 막으로 구성되고 0.2 중량%의 스칸듐을 함유한다. 스칸듐은 알루미늄 막상에 힐록이나 휘스커의 생성을 방지하는데 효과적이다.

패턴화된 층(107-110)은, 후에 형성된 게이트 전극/상호 연결을 위한 포토타이프를 제공한다. 이 패턴화된 층의 물질은 알루미늄 뿐만 아니라 탄탈, 니오븀, 몰리브덴 또는 다른 금속성 물질일 수 있다. 게다가, 패턴화된 층은 전도성이 있는 결정성 규소막 또는 다중규소막일 수 있다.

이 방법으로, 도 1(A)의 상태가 얻어진다. 레지스터 마스크(도시되지 않음)를 패턴화된 알루미늄 층(107-110)상에 놓는다. 그후, 양극 산화가 전해질로 주석산 3% 수용액을 이용하여 실행된다. 그 결과, 다공성 양극 산화막(111-114)이 형성된다. 본 실시예에서, 전류는 2 내지 3 mA까지 증가된다. 전압은 8 V까지 증가된다. 양극 산화막은 0.7μm의 두께로 성장한다.

이때에, 양극 산화 반응은 레지스터 마스크(도시되지 않음)가 패턴화된 알루미늄 층(107-110)의 상부에 남기 때문에 재반응을 방지하기 위해서 기판과 평행하게 처리한다.

강한 스트립핑 용액으로 레지스터 마스크를 제거한 후에, 조밀하고 견고한 1000 Å 두께의 양극 산화막(115-118) 형성을 위해 양극 산화가 다시 실시된다. 사용된 전해질은 PH 6.92에 가까운 수용성 암모니아로 3% 주석산을 함유한 에틸렌 글리콜 용액을 중화함으로써 준비한다. 막은 5 내지 6 mA로 증가된 전류로 처리된다. 전압이 100 V까지 증가된다.

전해질이 다공성 양극 산화막(111-114), 양극 산화막(115-118) 속으로 침투되기 때문에, 도 1(B)에 나타난 형태가 된다. 동시에, 제 1, 제 2 화소 TFT 및 제 1, 제 N 회로 TFT의 동작을 제어하기 위한 게이트 전극(119-122)을 설명한다.(도1(B)).

양극 산화막(115-118)은 조밀하고 견고하기 때문에 게이트 전극(119-122)을 차후 공정 단계 동안 보호하고, 차후 공정 단계 동안 생성되는 열에 대항하여 이들 게이트 전극을 보호한다.

도 1(B)에 나타난 상태가 얻어진 후, 게이트 절연막(106)이 마스크로써, 게이트 전극(119-122) 및 다공성 양극 산화막(111-114)을 이용하여 자기 정렬된 건식 에칭 공정에 의해 선택적으로 식각된다. 그 결과, 게이트 절연막(106)이 게이트 전극 및 다공성 양극 산화막 하부 뒤쪽에만 남게 된다.

그후에, 다공성 양극 산화막(111-114)이 제거된다. P채널 TFT(즉, 제 1, 제 2 화소 TFT 및 제 N 회로

TFT)가 되는 이들 영역은 레지스터 마스크(123)로 피복 된다.

그후, 활성층(103)의 섬에 N형을 부여하기 위해 P(인) 이온을 이온 주입 기술로 약 80 KV의 높은 가속 전압으로 이 층 속으로 주입한다. 가속 전압이 높기 때문에, 각 P 이온은 남아 있는 게이트 절연막(106)을 가로질러 활성층(103)의 섬 속으로 주입된다.

그런 후에, 제 2 이온 주입이 약 10 KV의 감소된 가속 전압에서 실행된다. 가속 전압이 낮기 때문에, P 이온이 게이트 절연막(106)에 남아 있는 부분 아래까지 주입되지 못한다.

제 2 P 이온 주입은 제 1 회로 TFT에 소스 영역(124) 및 드레인 영역(125)을 형성한다. 게이트 절연막(106)을 통해 P이온이 주입된 이들 영역은 소스/드레인 영역(124,125)보다 저도핑 영역(126,127)이 된다. 특히, 드레인 영역(125)에 인접하게 형성된 저도핑 영역(127)은 저도핑 드레인(LDD) 영역으로 알려졌고 차단 전류 및 누설 전류를 억제하는데 효과적이다.

P 이온이 주입되지 않은 진성 또는 대체로 진성 채널 형성 영역(128)은 게이트 전극(120) 바로 아래에 형성된다. 엄밀히, 양극 산화막(116) 바로 아래에 위치한 채널 형성 영역(128)의 양끝은 전압이 인가되지 않는 오프셋 영역으로써 작용한다.

이 방법으로 도 1(C)에 나타난 상태가 얻어진다. 레지스터 마스크(123)가 제거되고, 그후에 N 채널 TFT가 되는 영역은 레지스터 마스크(129)로 피복 된다. 붕소(B) 이온이 P형을 부과하기 위해 활성층(102,105)의 섬 속으로 주입된다.

N채널 TFT의 경우에 동일한 방법으로, 제 1 이온 주입은 빠르게 가속되는 전압에서 효과적이고, 제 2 이온 주입은 느리게 가속되는 전압에서 행해진다. B 이온 주입의 결과로, 제 1 및 제 2 화소 TFT를 위한 소스 영역(130,131), 드레인 영역(132,133), 저도핑 영역(134-137) 및 채널 형성 영역(138,139)이 형성된다. 또한, 제 N 회로 TFT를 위한 소스 영역(140), 드레인 영역(141), 저도핑 영역(142,143) 및 채널 형성 영역(144)이 형성된다.

이들 공정 단계의 결과로, N 및 P 채널 TFT는 도 1(D)에 나타난 배열에서 개별적으로 형성된다. 본 실시예가 거의 본 발명의 예를 대표하기 때문에, N 및 P 채널 TFT는 앞서 말한 것으로부터 다른 방법으로써 제조될 수 있다.

그후, 활성층에 주입된 도펀트는 열처리, 레이저 처리 또는 둘 다에 의해 활성화된다. 활성화와 동시에 이온 주입으로 발생된 활성층의 결정성 결함이 제거된다.

레지스터 마스크(129) 제거 후에, 5000 Å 두께의 제 1 층간 절연막(145)이 형성된다. 이 층간 절연막(145)은 산화 규소막, 질화 규소막 또는 그의 적층막으로 구성될 수 있다.

제 1 층간 절연막(145)의 형성에 이어 콘택 홀이 형성되고, 회로 TFT를 위한 전도성 상호 연결(146-150)이 형성된다. 이들 전도성 상호 연결(146-150)은 회로 TFT를 상호 연결하는 기능을 한다. 제 1 내지 제 N 회로 TFT는 논리 회로를 구성하기 위해 상호 연결된다. 이 상태에서 제 1 내지 제 N 회로 TFT가 완성된다.

이 방법으로, 도 2(A)에 나타난 상태가 유도된다. 그후, 제 2 층간 절연막(151)이 광선을 전달하는 유기성 수지 물질인 폴리이미드로부터 1 μm의 두께로 형성된다. 폴리이미드는 방적 기술에 의해 두꺼운 막으로 쉽게 형성될 수 있다. 또한 폴리이미드는 월등한 평탄화를 갖고 있다. 게다가, 그의 상대 유전 상수가 작기 때문에 기생 캐패시턴스를 감소시킬 수 있다.

그후, 제 1 및 제 2 화소 TFT와 연결된 데이터 라인(152,155)이 형성된다. 소스 영역(130,131)과 연결된 데이터 라인(152,154)은 구동 회로로부터 데이터 신호를 전달하고 드레인 영역(132,133)과 연결된 데이터 라인(153,155)은 TFT와 화소 전극(나중에 형성된)을 연결하기 위한 관의 기능을 한다.

데이터 라인(152-155) 형성 후에, 제 3 층간 절연막(156)이 5000 Å 두께로 형성된다. 본 실시예에서, 제 3 층간 절연막(156)은 또한 폴리이미드로 구성된다. (도 2(B)).

그 후에, 광선을 흡수하는 기능을 하는 물질을 사용하여 블랙 매트릭스(157,158)가 형성된다. 본 실시예에서, 블랙 다이 또는 피그먼트가 분산된 수지 물질을 사용한다. 티타늄 질화물 또는 그와 같은 것이 사용될 수 있다. 수지 물질은 아크릴을 기초로한 물질, 폴리이미드, 폴리이미드아미드 및 폴리아미드로부터 선택될 수 있다.

블랙 매트릭스(157,158) 형성 후에, 제 4 층간 절연막(159)이 폴리이미드로부터 블랙 매트릭스 상에 3000 Å 두께로 형성된다. 제 4 층간 절연막은 또한 산화 규소 또는 질화 규소와 같은 실리사이드로 구성될 수 있다.

제 4 층간 절연막(159) 상에 화소 전극 또는 반사판은 광선이 정확하게 반사되기에 충분한 편광된 표면에 형성되어야 한다는 것을 인식해야 한다. 그러므로, 제 4 층간 절연막(159)이 충분히 평탄화 될 수 있다는 것이 중요하다.

그후, 화소 전극(160,161)이 제 4 층간 절연막(159) 상에 형성된다. 화소 전극(160,161)은 금속성 물질로 구성될 수 있다. 전체 표면에 걸쳐 일정한 전계를 형성하기 위해서, 물질은 주로 저 저항성의 알루미늄으로 구성하는 것이 바람직하다. 또한, 입사 광선을 효과적으로 반사하기 위해서, 화소 전극(160,161)의 표면은 반사성인 것으로 구성하는 것이 바람직하다.

도 2(C)에 나타난 것처럼 블랙 매트릭스(157,158)는 화소 전극(160,161) 사이의 갭을 채우기 위해 패턴화된다. 도 2(C)에 나타난 것처럼, 제 1 내지 제 N 회로 TFT는 화소 전극(160) 아래에 배열되어 논리 회로가 형성된다.

정상적으로, 보호막이 화소 전극(160,161) 위에 약화됨으로부터 방지하기 위해 형성된다. 화소 전극(160,161)이 반사판으로 작용할 수 없는 경우에, 분리 막 금속이 반사판으로써 형성될 수 있다.

이 방법으로, 도 2(C)에 나타난 것 같은 액티브 매트릭스 기판이 지금까지 상술된 방법으로 제조된다. 본 실시예에서, 트랜지스터는 평면형 트랜지스터이다. 본 발명은 또한 스테거형 및 역스테거형과 같은 TFT의 다른 구조에 쉽게 적용될 수 있다.

액티브 매트릭스 액정 표시는 본 실시예에서 제조된 액티브 매트릭스 기판 및 카운터 기판 사이에 액정 물질을 삽입함으로써 구성될 수 있다. 전기루미네선스 물질이 광-방사 층으로 액정 물질 층 대신에 삽입될 수 있는 경우에, 액티브 매트릭스 전기루미네선스 표시가 제조될 수 있다. 전기 크롬 착색제, 다이를 함유한 용액 또는 전해질이 삽입되는 경우에, 액티브 매트릭스 EC 표시가 제조될 수 있다.

예를 들어서, 이색성 다이가 첨가된 호스트 액정 물질을 사용하여 게스트-호스트 액정 표시가 제조될 수 있다. 게스트-호스트 형 사이에서, PCGH(상 변화 게스트-호스트) 형은 편광자가 필요치 않고 따라서 고명도 및 밝은 영상을 달성한다.

게스트-호스트 형 외에, ECB(전계 제어 복굴절 효과) 모드 및 PDLC(폴리머 분산 액정) 모드가 사용될 수 있다. 이들 장치의 형태는 색상 필터나 편광자도 필요 없고 그 결과 광선 손실이 반사형 액정 표시에서 사라진다는 것이 장점이다. PDLC 모드의 경우에, 액정 패널은 액티브 매트릭스 기판만을 사용하여 구성될 수 있다.

전기 광학 장치가 본 발명에 따라 구성되는 경우에, 액티브 매트릭스 기판 및 카운터 기판은 유리 또는 석영으로 구성되는 것이 바람직하다. 규소 웨이퍼 또는 그와 같은 것이 액티브 매트릭스 기판에 사용되는 경우에, 완성된 전기 광학 장치는 스트레스 때문에 변형될 수 있다. 최악의 경우에, 장치가 손상될 수 있다.

본 발명의 가장 큰 특징은 회로 TFT가 도 2(C)에 나타난 것처럼, 화소 전극(160,161)아래 형성된다는 것이다. 이 구성은 광선이 전달되는 전달형 전기 광학 장치에 의해 달성되는 것은 불가능하다.

특히, 화소 전극 아래 영역은 전달형 전기 광학 장치를 위한 광학 경로 형성을 위해 비어야 하지만, 본 발명에서 전기 광학 장치가 반사 및 방사형인 경우에 제어 회로를 포함하는 구동 회로 및 논리 회로는 화소 전극 아래 이들 영역에서 꼭 채워질 수 있다.

따라서, 본 발명에서 화소 매트릭스 회로의 주변 영역에 위치되는 구동 회로 및 제어 회로는 화소 매트릭스 회로가 배치되는 영역에서 일체화될 수 있다. 그러므로 영상이 표시되는 화소 매트릭스 회로를 유리 기판의 크기를 전체 이용하여 확장될 수 있다.

최근에, 전달형 전기 광학 장치는 천공비가 점차로 증가되고 있다. 이는 논리 회로가 본 발명에 따라 채워질 수 있는 빈 영역이 증가된다는 것을 의미한다. 이 경향은 반도체 장치 크기가 급격히 감소함에 따라 더욱 두드러질 것이다. 그러므로 본 발명의 중요성 더욱 증가될 것으로 기대된다.

본 발명의 기본적 구조로부터 알 수 있듯이, 어떠한 장치라도 전기 광학 장치를 설계자 또는 제조자의 요구에 따라 만들 수 있다. 즉, 발명의 개념은 논리 회로는 화소 매트릭스 회로가 배치되는 영역에 있다는 데 있다. 설계자는 논리 회로가 어떻게 배열되느냐를 결정할 수 있다.

본 발명에 따라 제조된 전기 광학 장치의 구성은 유리기판(501) 및 화소 매트릭스 회로(502)를 나타낸 화소 매트릭스 회로(502)의 일부가 확대된 경우에, 논리 회로(503,504)는 화소 영역에서 일체화되는 것을 알 수 있다. 이 구성은 실시예에서 대표되는 화소 영역에서 일체화되는 두 개의 논리 회로(503,504)를 포함한다. 한 기능상 회로는 전도성 상호 연결에 의해서 다른 화소 영역과 연결을 만들어 다수의 화소 영역 위에 제조될 수 있다.

논리 회로(504)를 확대하여, 회로(505) 구성을 관찰할 수 있다. 예를 들어서, 회로(505)의 왼쪽 부분은 CMOS 회로인 반면 오른쪽 부분은 NAND(또는 NOR) 회로이다.

논리 회로는 지금까지 상술된 구조에 의해 화소 매트릭스 회로 속에 형성될 수 있다. 즉, 화소 매트릭스 회로(502)는 도 5에 나타난 것처럼, 유리 기판(501)의 크기를 전체 활용함으로 구성될 수 있다.

본 발명이 적용된 반사형 전기 광학 장치에서, 화소 매트릭스 회로는 실제로는 영상 표시 영역을 형성한다. 그러므로, 큰 면적 표시는 논리 회로가 위치한 위치 상에 부과된 제한 없이 달성될 수 있다.

실시예 2

본 실시예에서, 본 발명에 따른 회로 설계의 장점을 설명한다. 본 발명은 화소 매트릭스 회로 및 논리 회로가 유리 또는 석영의 기판상에 동일 영역에 위치되는 것으로 특징화된다.

도 6(A)은 본 발명을 따른 장치를 나타낸다. 이 장치는 실시예 1의 다음 공정에 의해 형성된 구동 회로(602) 및 제어 회로(603) 상에 유리기판(601)을 지닌다. 엄밀히, 구동 회로는 영역(602)에 배치될 수 있고, 제어 회로는 영역(603)에 배치될 수 있다. 구동 회로(602), 제어 회로(603) 등은 논리 회로를 구성한다. 이 논리 회로 및 화소 회로(604)는 동일 영역에 배열된다. 특히, 화소 매트릭스 회로(604)를 형성하는 화소 TFT 및 회로 TFT는 동일 층에 형성된다. 화소 전극은 회로 TFT를 덮는 화소 TFT와 연결된다(도 2(C)). 그러므로, 도 6(A)에서 화소 매트릭스 회로(604)를 덮는 논리 회로의 영역은 실선으로 표시된다. 도 6(A)에 나타난 것처럼 상기로부터 본 액티브 매트릭스 회로는 단지 화소 회로 전극을 본 것이고; 기초가 되는 논리 회로는 도시되지 않았다.

도 6(A)의 경우에, 수직적 스캐닝 구동 회로(T형 구동 회로(602)의 수직 부분)는 화소 매트릭스 회로(604)의 중심에 배치된다. 스캐닝 신호의 방법에는 제한이 없고 일반적인 방법이 사용될 수 있다. 기판의 왼쪽 부분의 게이트 신호 전달 시스템은 오른쪽 부분의 게이트 신호 전달 시스템과 다를 수 있다. 왼쪽과 오른쪽 부분은 예를 들어서 수직 스캐닝 구동 회로의 반대쪽에 위치한다.

도 6(B)은 본 발명을 따른 장치를 나타낸다. 구동 회로(605)는 유리 기판(601)의 끝에 위치된다. 제어 회로(606-608)는 중심이 채워지지 않은 공간에 배열된다. 제어 신호는 그 구성이 복잡하기 때문에 상대적으로 큰 면적이 요구된다. 그러므로, 도 6(B)의 구조는 제어 구조(606-608)를 설계하는 자유도가 증가

되고 생산에 좋은 결과를 생기게 한다.

도 6(B)에서 제어 회로(606,607,608)는 세 개의 분리 영역에 배열되고 기능에 따른 간단한 블록으로 분할되는 것을 나타낸다. 이들 제어 회로는 다른 블록으로 분할하는 것이 항상 요구되는 것은 아니다.

도 6(B)의 예에서, 구동 회로(605)는 화소 매트릭스 회로(604)에서 일체화된다. 대신에 구동 회로(605)만이 화소 매트릭스 회로(604) 바깥쪽에 위치될 수 있다. 이는 제어 회로(606-608)를 설계하는 자유도를 증가시킨다.

도 6(C)은 본 발명을 따른 장치를 나타낸다. 구동 회로(609)는 교차된 형태이다. 기판의 표면은 네 영역으로 분할된다. 제어 회로(610-613)는 각각 이들 네 영역에 배열된다.

도 6(C)의 구성은 구동의 방법에는 제한이 없다. 네 영역은 유니트로 구동될 수 있다. 또한 네 영역은 분리 시스템에 의해 구동될 수 있다. 일부의 경우에, 영상의 네 개의 다른 프레임이 단일 기판상에 표시될 수 있다.

실시예 3

본 실시예는 화소 영역의 효과적 사용에서 일례로 대표되는 것을 실행한다. 화소 전극을 배열하는 방법을 다음 상세히 설명한다.

도 7(A)에서, 데이터 라인(701-704)은 평행하게 배열된다. 게이트 라인(705-707)은 서로 평행하게 배열되고 직각으로 데이터 라인(701-704)과 교차한다. 화소 TFT는 게이트 라인(705) 및 데이터 라인(701-704)의 교차점과 연결된다. 유사하게, 화소 TFT는 게이트 라인(706,707) 및 데이터 라인(801-704)과 연결된다.

도 7(A)에 나타난 구조에서, 화소 TFT 및 화소 전극(실선으로 표시된 (708,709))의 두 구성은 예를 들어서, 게이트 라인(705,706) 및 데이터 라인(702,703)에 의해 둘러싸인 한 화소 영역에 배열된다. 이 구조는 화소 TFT 및 화소 전극의 구성이 한 화소 영역에 배열되는 종래의 기술 구조와 비교되는 이종의 화소 영역의 면적을 가능케 한다. 특히, 논리 회로(710)(교차된 영역)가 화소 영역에 일체화된 경우, 논리 회로는 일부 위치에서 데이터 라인을 교차하여 금속 라인에서의 파손이 감소된다.

도 7(B)에서 데이터 라인(711-714)은 평행하게 배열된다. 게이트 라인(715-718)은 서로 평행하게 배열되고 데이터 라인(711-714)은 수직적으로 교차한다. 화소 TFT는 게이트 라인(715) 및 데이터 라인(711-714)의 교차점과 연결된다. 유사하게 화소 TFT는 게이트 라인(716-718) 및 데이터 라인(711-714)의 교차점과 연결된다.

도 7(B)에서 화소 TFT 및 화소 전극(실선으로 표시된 (719-722))의 네 구성은 예를 들어서, 도 7(A)의 구성과는 다르게 게이트 라인(716,717) 및 데이터 라인(712,713)에 의해 둘러싸인 한 화소 영역에 배열된다. 도 7(B)의 이런 구조는 한 화소 영역의 면적이 더 확대되는 것을 가능케 한다. 영역이 약 4배가 넓은 종래의 기술 장치가 보호될 수 있다. 이 구조에서, 논리 회로(723)는 감소된 영역에서 게이트 라인 및 데이터 라인과 교차된다. 결과적으로, 전기 광학 장치는 높은 수율로 제조될 수 있다.

실시예 4

본 실시예에서, 본 발명을 따라 제조된 전기 광학 장치의 제 1 실시예와 다른 구조가 주어진다. 이 구조는 다음 사항을 제외하면, 도 2(C)에 나타난 제 1 실시예의 구조와 유사하다. 그러므로, 도 8(A) 및 도 8(B)을 참조하여, 참조 부호를 사용하여 설명한다.

도 8(A)에 나타난 구조는 이중 게이트 구조의 화소 TFT를 포함한다. 즉, 두 개의 게이트 전극이 활성층 상에 형성된다. 화소 TFT의 동작 부진을 방지하기 위한 것이 필요하다.

두 개의 게이트 전극(801,802)은 결정성 규소막을 형성한다. 이들 게이트 전극(801,802), 소스 영역(803), 저농도 영역(804,807) 및 드레인 영역(808)은 이온 주입에 의해 형성될 수 있다. 특히, 드레인 영역의 한쪽에 배치된 저농도 영역(805,807)은 LDD(저농도 드레인)영역으로 알려졌고 차단 전류 및 누설 전류를 낮추는데 효과적이다.

도 8(B)을 참조하여, 화소 TFT 및 화소 전극의 두 구성은 인접한 데이터 라인(809,810) 사이에 삽입된다. 이 구조는 도 7(A)에 나타난 구조와 동일하다. 도 8(B)에 나타난 데이터 라인(809,810) 및 화소 전극(811,812)은 도 7(A)에 나타난 각각의 데이터 라인(702,703) 및 화소 전극(708,709)과 대응한다.

도 8(B)에 나타난 구조의 또다른 특징은, 화소 TFT 및 회로 TFT가 살리사이드(salicide) 구조를 갖춘다는 것이다. 예를 들어서, CMOS 회로(인버터 회로) (813)은 두 개의 회로 TFT에 의해 형성된다. 이 회로(813)에서 텅스텐 살리사이드층(814-816)은 소스 영역, 드레인 영역 및 오믹 콘택을 용이하게 하는 게이트 전극 위에 형성된다.

살리사이드 구조는 형성 방법이 잘 알려져있고 이하 설명하지 않는다. 본 실시예에서, 촉벽(817)을 사용하여 살리사이드 구조를 형성한다. 텅스텐 뿐만 아니라, 티타늄, 몰리베덴, 코발트 및 백금이 살리사이드 구조를 위해 살리사이드 물질로 사용될 수 있다.

실시예 5

본 실시예에서는 도 9(A) 및 도 9(B)를 참조로 하여 주어진 블랙 매트릭스 구조의 특별 기능을 설명한다. 이 구조는 도 2(C)에 관련하여 설명된 제 1 실시예의 구조와 거의 동일하고 도 9(A) 및 도 9(B)를 참조로 하여, 참조 부호를 사용하여 필요한 부분만을 설명한다.

도 9(A)에서, 블랙 매트릭스(901)는 티타늄 질화물로 구성된다. 티타늄 질화물은 미세한 표면 반사를 나타내기 때문에, 티타늄 질화물은 블랙 매트릭스 및 전도성 물질의 기능을 한다. 블랙 매트릭스(901)는 화소 전극(902)과 겹치게 놓인다. 보조 캐패시터는 블랙 매트릭스 및 각 화소 전극 사이에 형성된다. 절연층(903) 또는 네 개의 층간 절연막은 블랙 매트릭스(901)와 화소 전극(902)의 층 사이에 위치한다.

절연층(903)은 폴리이미드, 산화 규소 또는 질화 규소와 같은 유기성 수지 물질로 구성될 수 있다.

본 실시예의 구조에서, 각 화소 영역에 인접한 면적은 보조 캐패시터스로 사용될 수 있으므로, 충분한 캐패시터스가 얻어질 수 있다. 따라서, 네 개의 층간 절연막(903)의 물질 및 두께는 평탄화 효과가 강조되도록 정해지는 곳에서 선택되어야 한다.

도 9(B)에서, 블랙 매트릭스(906)는 화소 전극(904,905) 사이의 기판과 평행하게 생성될 수 있는 측면 전계를 억제시키고 그로 인해서, 액정 물질에서의 방향에서 디스클리네이션(disclination) 라인, 또는 교란을 방지한다. 이런 목적을 위해서, 액정 물질보다 큰 반사 절연 상수를 갖춘 물질이 화소 전극(904,905)의 끝을 덮기 위해 사용된다. 그 결과로, 화소 전극에 의해 생성된 전계 효과는 높은 상대 절연 상수를 갖춘 액정 물질에 집중되고, 따라서 화소 전극 사이에 측면 전계의 생성을 억압한다.

본 발명에 사용된 액정 물질은 3.5 내지 10 사이에 있는 상대 절연 상수를 갖고 등방성 절연체를 나타낸다. 전계가 액정물질에 가해질 때, 상대 유전 상수는 약 10이다. 명암(contrast)에서, 블랙 매트릭스(906)를 형성하는 유기성 수지 물질의 상대 유전 상수는 근사적으로 3.0에서 3.5이다. 따라서, 본 실시예에서의 요구를 만족한다.

충분한 막 두께를 얻을 수 없다면(즉, 광선을 차단하기가 불충분하다면), 트렌치를 블랙 매트릭스(906)를 형성하기 전에 제 3 층간 절연막(907)에 형성할 수 있다. 특히, 제 3 층간 절연막(907)은 마스크로써 화소 전극(904,905)을 사용하는 자기 정렬 기술로 식각된다. 블랙 매트릭스(906)는 트렌치에 매몰되고 따라서 광선을 차단하기에 충분하게 된다.

도 2(C)에 나타난 제 4 층간 절연막(159)은 생략될 수 있고 따라서 층간 절연막의 숫자가 하나 감소될 수 있다. 이는 공정 단계를 간략화하고 결국 생산 수율이 향상된다.

실시예 6

본 실시예는 본 발명을 활용하는 전기 광학 장치(또는 영상 표시 장치)를 일체화하는 완성된 전기 광학 장치의 일부 예를 나타낸다. 영상 표시 장치는 요구 사항에 따라 직접형 또는 투사형으로써 설계될 수 있다.

완성된 전기 광학 장치의 예로 TV 카메라, 헤드가 설치된 표시기, 자동차 운행 시스템, 정면 영사 시스템, 후면 영사 시스템, 비디오 카메라 및 퍼스널 컴퓨터를 포함한다. 이들 상업적 생산품의 일부 예를 도 10(A)-10(F)을 참조하여 설명한다.

도 10(A)을 참조로, TV 카메라를 나타냈다. 이 카메라의 본체는 부호 2001로 나타냈다. 이 TV 카메라는 본체(2001), 카메라 섹션(2002), 표시 장치(2003) 및 작동 스위치(2004)를 포함한다. 표시 장치(2003)는 파인더로 사용된다.

다음 도 10(B)을 참조로, 부호가 2101로 표시된 본체 헤드가 설치된 표시기를 나타낸다. 이 표시기는 본체(2101) 뿐만 아니라, 상대적으로 작은 두 개의 표시 장치(2101,2103)를 포함한다.

다음 도 10(C)을 참조로, 자동차 운행 시스템을 나타냈다. 이 시스템의 본체는 부호 2201로 나타냈다. 본체(2201)는 표시 장치(2202) 및 작동 스위치(2203)를 포함한다. 게다가 운행 시스템은 안테나(2204)를 더 포함한다. 표시 장치(2201)는 모니터로 사용된다. 해상도는 주 목적이 지도를 표시하기 위한 것이기 때문에 상대적으로 넓은 범위의 값에서 선택된다.

다음 도 10(D)을 참조로, 본 실시예에서 디지털 셀 방식의 시스템인 휴대용 통신 장치를 나타냈다. 이 장치는 본체(2301), 수신기(2302), 송화기(2303), 표시 장치(2304), 작동 버튼(2305)을 구비한다. 안테나(2306)가 본체에 부착된다. 표시 장치(2304)는 이동하는 영상을 표시할 수 있는 TV 폰으로 기능하도록 요구될 것을 기대된다.

다음 도 10(E)을 참조로, 비디오 카메라를 나타냈다. 이 카메라의 본체는 부호 2401로 나타냈다. 이 본체는 표시 장치(2402), 수신기(2403), 동작 스위치(2404) 및 테이프 홀더(2405)를 포함한다. 기록되고 표시 장치 상에 표시된 영상은 렌즈(2403)를 통해 실시간을 기초로 볼 수 있다. 그러므로 사용자는 영상을 보는 동안 영상을 찍을 수 있다.

도 10(F)을 참조로, 본체가 (2501)로 표시된 정면 영사형 시스템을 나타냈다. 본체(2501)는 광원(2502), 표시 장치(2503) 및 빔 스프리터 및 편광자를 갖춘 광학 장치(2504)를 포함한다. 정면 영사 시스템은 회의에서의 발표 및 학술 및 과학적인 모임에서의 공개를 위한 대형 화면에 사용되는 스크린(2505)을 갖춘다. 그러므로, 표시 장치(2503)는 높은 해상력을 갖춰야 한다.

발명의 효과

본 발명은 후방 영사 시스템, 움직이는 컴퓨터 시스템 및 다루기 쉬운 단말기와 같은 다양한 휴대용 통신기에 응용될 수 있다. 이런 방법으로 본 발명은 광대한 응용에 사용될 수 있고 각 응용에서 다양한 표시 매체에 사용될 수 있다.

화소 매트릭스 회로 및 논리 회로가 본 발명의 실행으로 동일 영역에서 서로 겹쳐지도록 배열되는 것이 가능하다. 즉, 논리 회로에 의해 점유되는 면적에 제한이 없다. 그러므로, 넓은 영상 표시 영역 또는 화소 매트릭스 회로가 유리 기판의 크기를 전체 활용하게 만듦으로 보호될 수 있다. 이는 전기 광학 장치 설계시 자유도를 증가시킨다. 그러므로 전기 광학 장치는 다소 높은 수행력을 이룰 수 있다.

(57) 청구의 범위

청구항 1

기판에 형성된 화소 매트릭스 회로 및 이것의 점유 영역; 및

상기 기판 상에 형성되고, 상기 화소 매트릭스 회로가 점유하는 상기 영역에 전체적으로 또는 부분적으로 배치된 논리 회로를 포함하는 전기 광학 장치.

청구항 2

제 1 항에 있어서, 상기 논리 회로가 전체적으로 또는 부분적으로, 상기 화소 매트릭스 회로를 형성하는 화소 TFT와 연결된 화소 전극 아래에 위치하는 것을 특징으로 하는 전기 광학 장치.

청구항 3

제 1 항에 있어서, 상기 논리 회로가 구동 회로 및/또는 제어 회로를 포함하는 것을 특징으로 하는 전기 광학 장치.

청구항 4

제 3 항에 있어서, 상기 제어 회로가 상기 전기 광학 장치의 구동을 담당하고 처리 회로, 메모리 회로, A/D 또는 D/A 변환 회로, 보정 회로 및 펄스 생성 회로로 이루어지는 각각의 정보 처리 회로를 포함하는 것을 특징으로 하는 전기 광학 장치.

청구항 5

액티브 매트릭스 기판에 형성된 화소 매트릭스 회로 및 이것의 점유 영역;

상기 액티브 매트릭스 기판에 형성되고 상기 화소 매트릭스 회로에 의해 점유된 상기 영역에 전체적으로 또는 부분적으로 배치된 논리 회로; 및

상기 액티브 매트릭스 기판에 보유된 액정 물질 층을 포함하는 것을 특징으로 하는 전기 광학 장치.

청구항 6

제 5 항에 있어서, 상기 논리 회로가, 상기 화소 매트릭스 회로를 형성하는 화소 TFT와 연결된 화소 전극 아래 전체적으로 또는 부분적으로 위치하는 것을 특징으로 하는 전기 광학 장치.

청구항 7

제 5 항에 있어서, 상기 논리 회로가 구동 회로 및/또는 제어 회로를 포함하는 것을 특징으로 하는 전기 광학 장치.

청구항 8

제 5 항에 있어서, 상기 액정 물질 층이 상기 액티브 매트릭스 기판 및 카운터 기판 사이에 존재하는 것을 특징으로 하는 전기 광학 장치.

청구항 9

제 5 항에 있어서, 상기 액정 물질층을 투과한 광선을 반사시키기 위한 반사용 박막을 더 포함하는 것을 특징으로 하는 전기 광학 장치.

청구항 10

동일 기판상에 화소 매트릭스 회로 및 논리 회로를 구비한 전기 광학 장치의 제조방법에 있어서,

영역을 점유하도록 상기 화소 매트릭스 회로를 형성하는 단계;

상기 화소 매트릭스 회로에 의해 점유된 상기 영역에 상기 논리 회로가 전체적으로 또는 부분적으로 배치하기 위해 상기 논리 회로를 형성하는 단계를 포함하는 것을 특징으로 하는 전기 광학 장치의 제조방법.

청구항 11

제 10 항에 있어서, 상기 논리 회로가, 상기 화소 매트릭스 회로를 형성하는 화소 TFT와 연결된 화소 전극 아래 전체적으로 또는 부분적으로 위치하는 것을 특징으로 하는 전기 광학 장치의 제조방법.

청구항 12

제 10 항에 있어서, 상기 논리 회로가 구동 회로 및/또는 제어 회로를 포함하는 것을 특징으로 하는 전기 광학 장치의 제조방법.

청구항 13

제 12 항에 있어서, 상기 논리 회로가, 상기 전기 광학 장치의 구동을 담당하고 처리 회로, 메모리 회로, A/D 또는 D/A 변환 회로, 보정 회로 및 펄스 발생 회로로 이루어지는 각각의 정보 처리 회로를 포함하는 것을 특징으로 하는 전기 광학 장치의 제조방법.

청구항 14

전기 광학 장치의 제조방법으로서,

액티브 매트릭스 기판상에 영역을 점유하도록 화소 매트릭스 회로를 형성하는 단계;

상기 화소 매트릭스 회로에 의해 점유된 상기 영역에 상기 논리 회로가 전체적으로 또는 부분적으로 배치되도록 상기 액티브 매트릭스 기판상에 논리 회로를 형성하는 단계; 및

상기 액티브 매트릭스 기판상에 액정 물질층을 보유시키는 단계를 포함하는 전기 광학 장치의 제조방법.

청구항 15

제 14 항에 있어서, 상기 논리 회로가, 상기 화소 매트릭스 회로를 형성하는 화소 TFT와 연결된 화소 전극 아래에 전체적으로 또는 부분적으로 위치하는 것을 특징으로 하는 전기 광학 장치 제조방법.

청구항 16

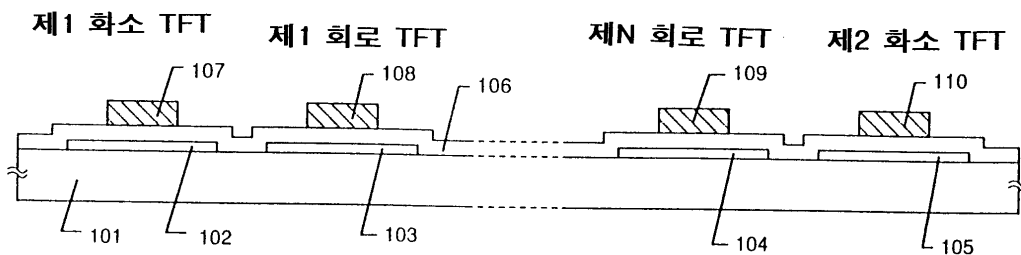
제 14 항에 있어서, 상기 논리 회로가 구동 회로 및/또는 제어 회로를 포함하는 것을 특징으로 하는 전기 광학 장치 제조방법.

청구항 17

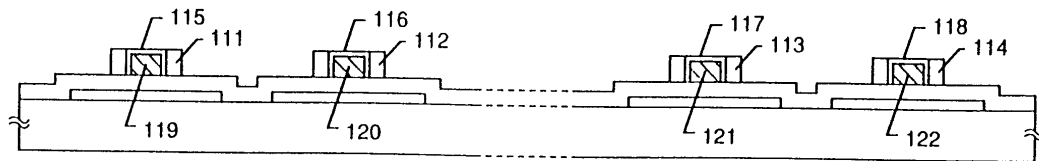
제 16 항에 있어서, 상기 제어 회로가, 상기 전기 광학 장치의 구동을 담당하고 처리 회로, 메모리 회로, A/D 또는 D/A 변환 회로, 보정 회로 및 펄스 발생 회로로 이루어지는 각각의 정보 처리 회로를 포함하는 것을 특징으로 하는 전기 광학 장치의 제조방법.

도면

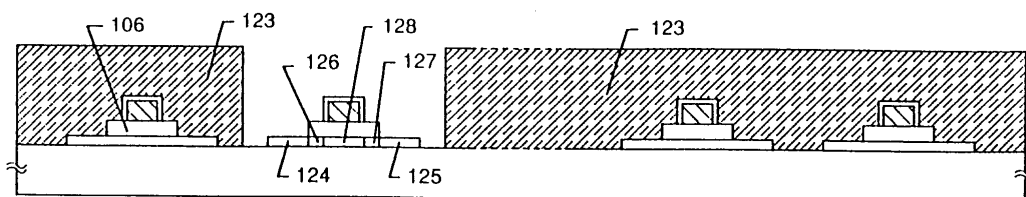
도면 1a



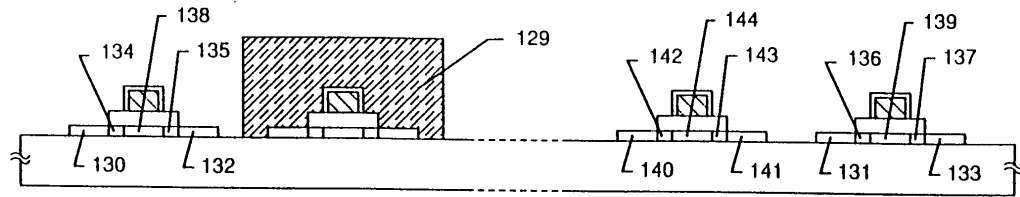
도면 1b



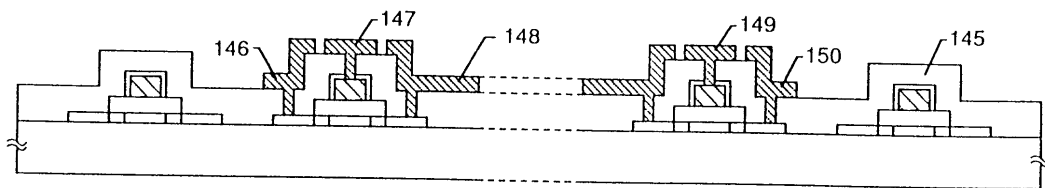
도면 1c



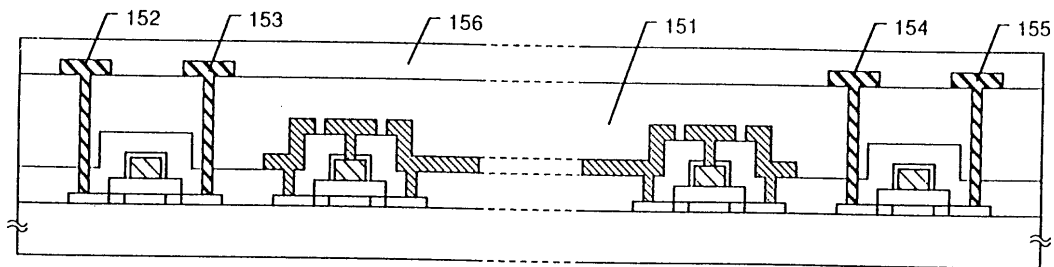
도면1d



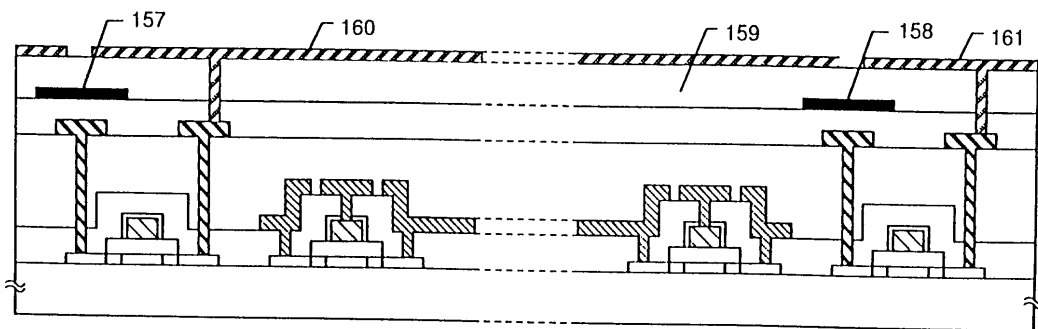
도면2a



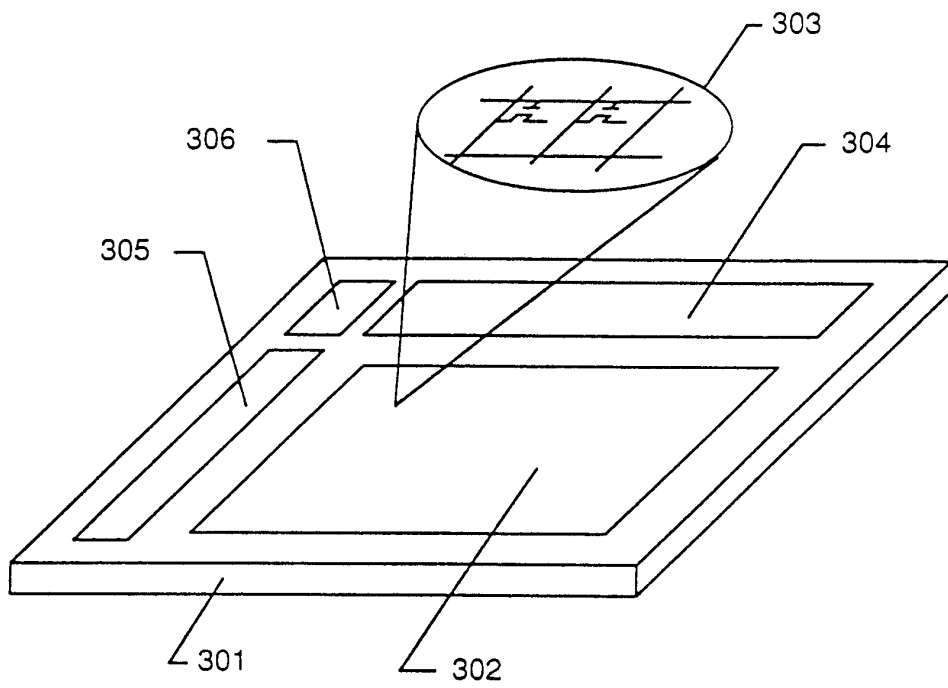
도면2b



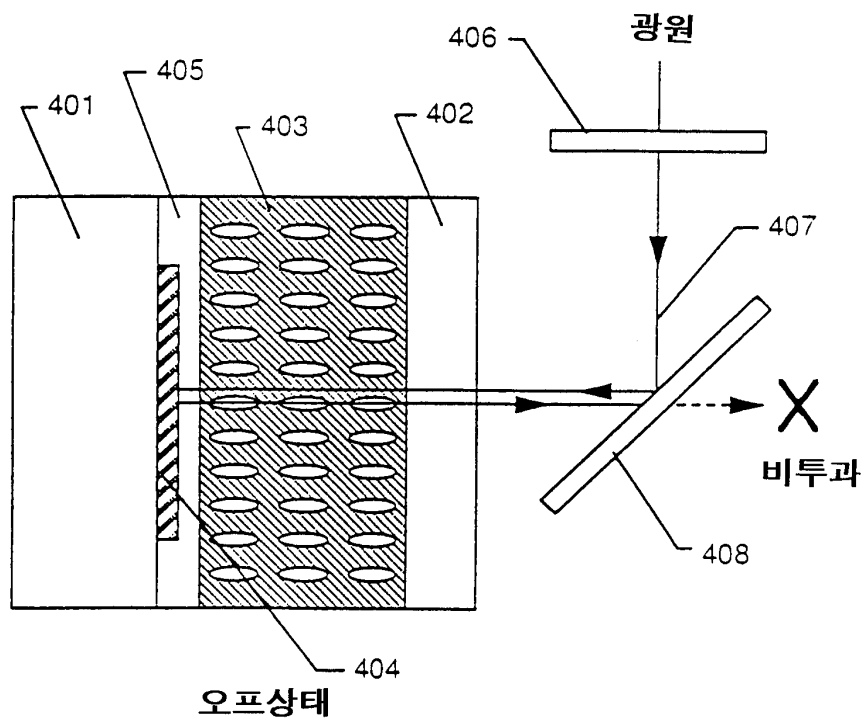
도면2c



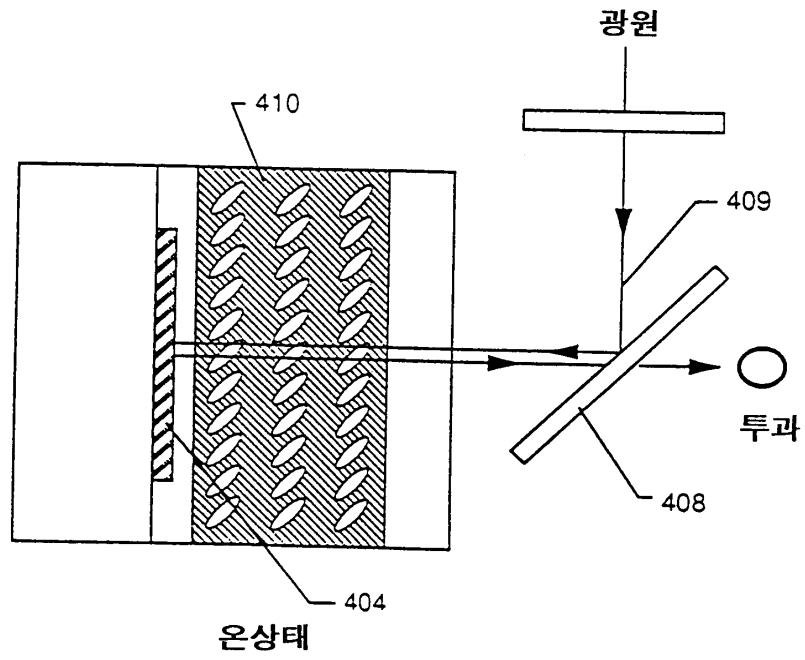
도면3



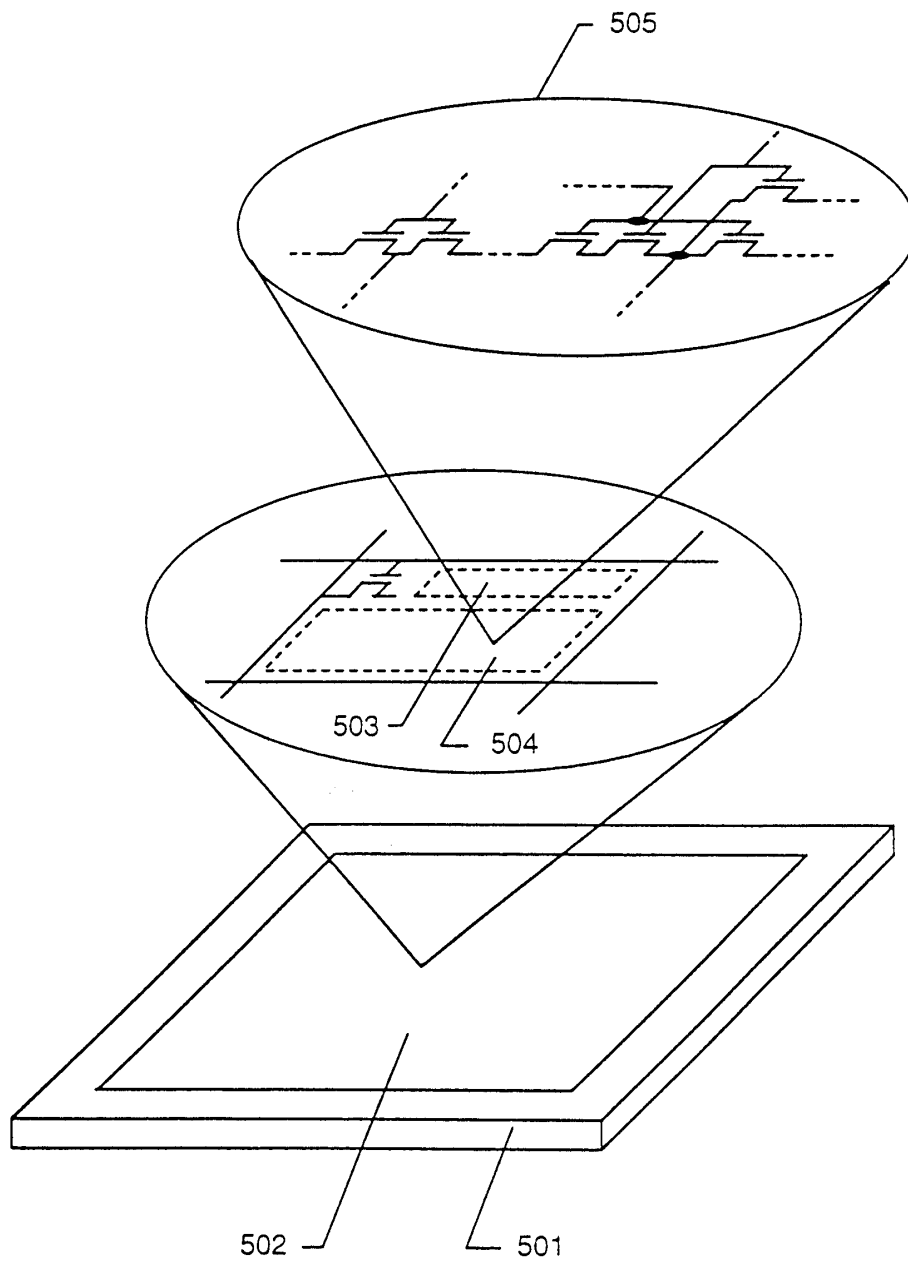
도면4a



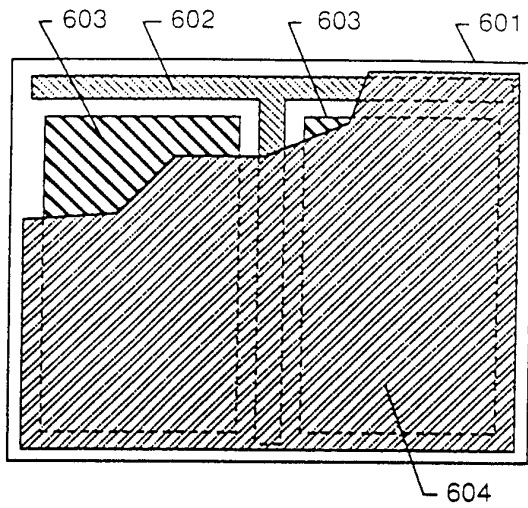
도면4b



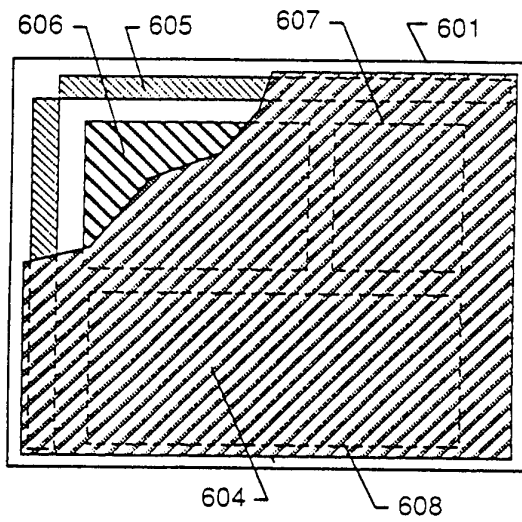
도면5



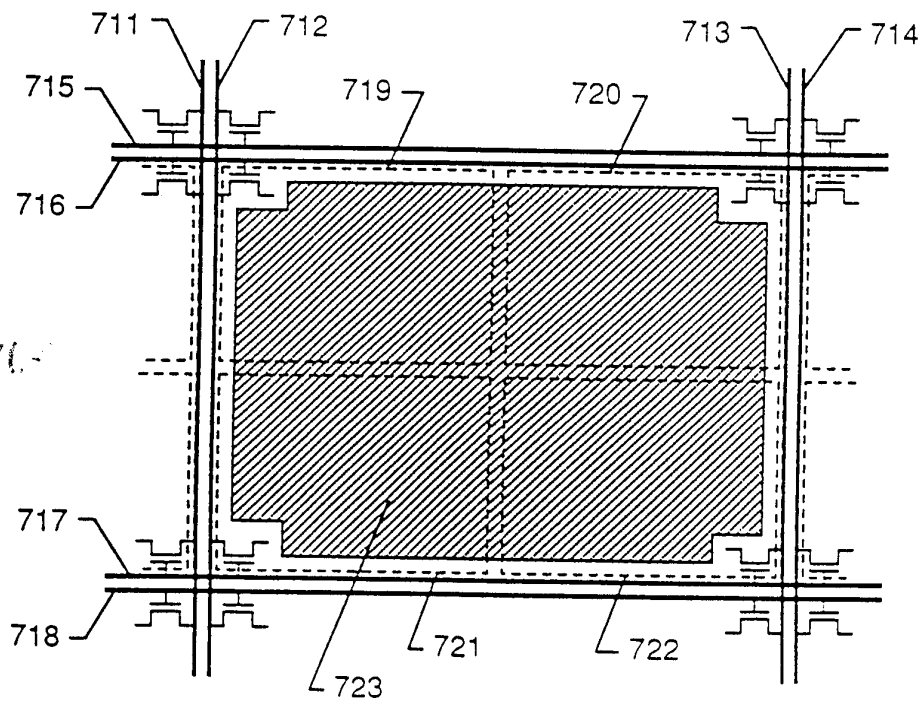
도면6a



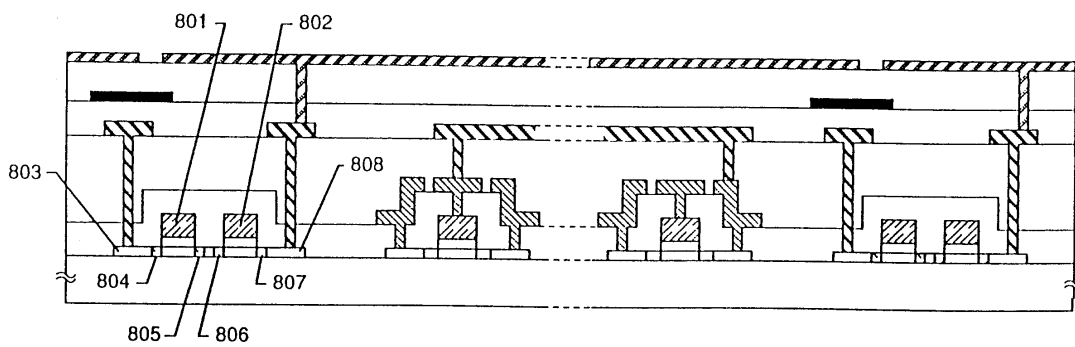
도면6b



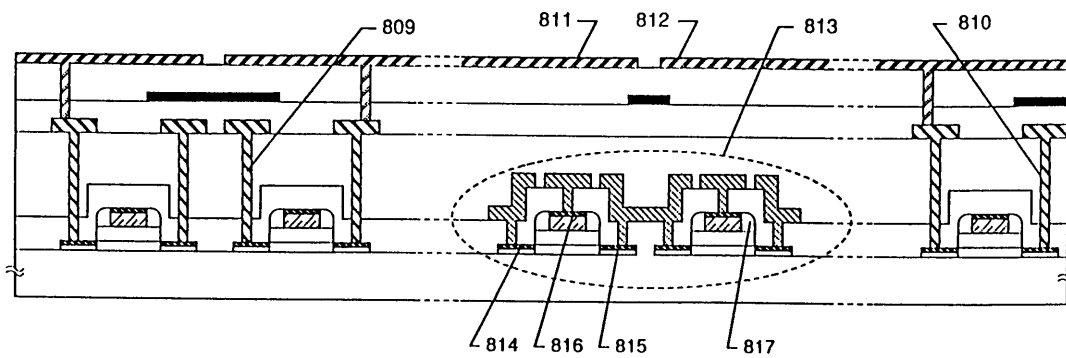
도면7b



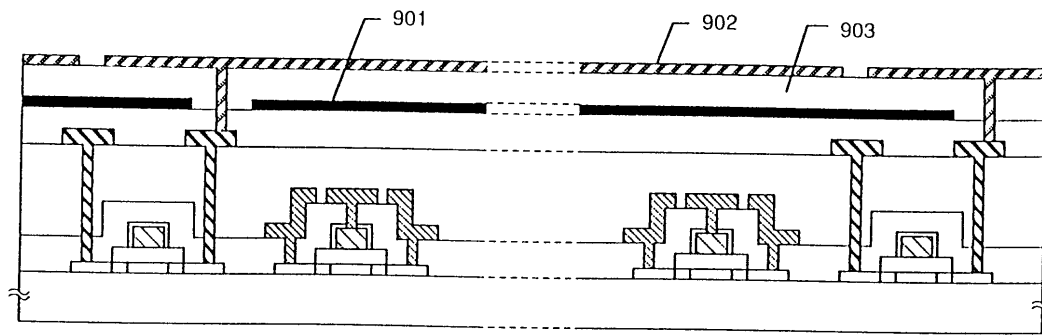
도면8a



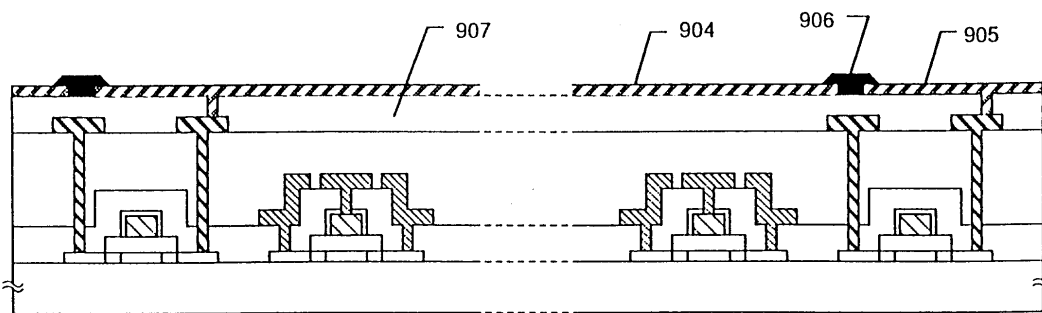
도면8b



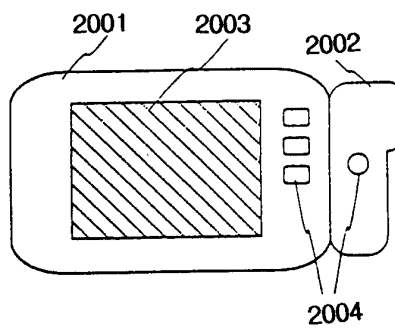
도면 9a



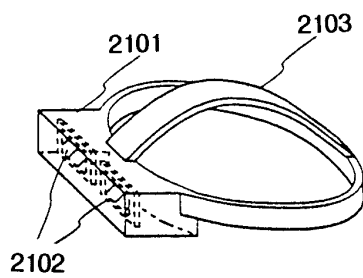
도면 9b



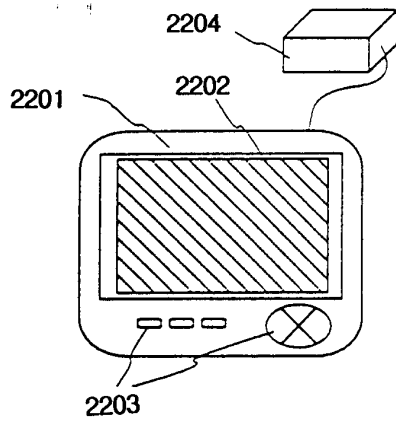
도면 10a



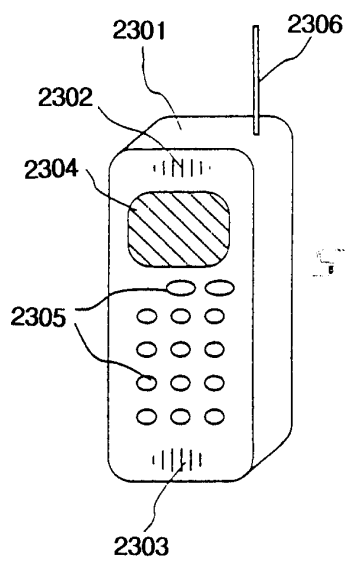
도면 10b



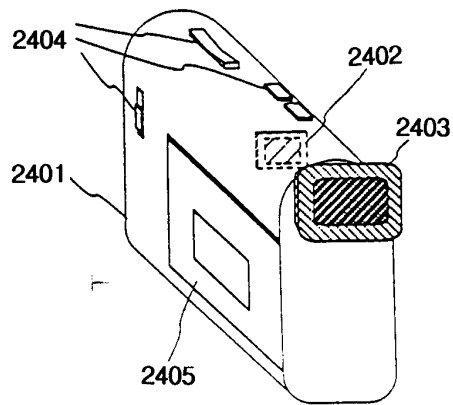
도면 10c



도면 10d



도면 10e



도면 10f

