(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 699 30 361 T2** 2006.12.07

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 1 018 805 B1**
(21) Deutsches Aktenzeichen: **699 30 361.3**
(96) Europäisches Aktenzeichen: **99 310 576.6**
(96) Europäischer Anmeldetag: **24.12.1999**
(97) Erstveröffentlichung durch das EPA: **12.07.2000**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **15.03.2006**
(47) Veröffentlichungstag im Patentblatt: **07.12.2006**

(51) Int Cl.[8]: ***H03K 5/15*** (2006.01)
H03K 5/135 (2006.01)
G06F 1/10 (2006.01)

(30) Unionspriorität:

115215 P	**08.01.1999**	**US**
368464	**04.08.1999**	**US**

(84) Benannte Vertragsstaaten:
DE, FR, GB, IT, NL

(73) Patentinhaber:
Altera Corp., San Jose, Calif., US

(74) Vertreter:
TER MEER STEINMEISTER & Partner GbR Patentanwälte, 81679 München

(72) Erfinder:
Sung, Chiakang, San Jose, CA 95134, US; Wang, Bonnie I., San Jose, CA 95134, US; Cliff, Richard G., San Jose, CA 95134, US

(54) Bezeichnung: **LVDS-Interface mit einer Phasenregelschleife für eine programmierbare logische Vorrichtung**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

Hintergrund der Erfindung

[0001] Diese Erfindung betrifft eine LVDS-Schnittstelle, die eine Phasenverriegelungsschleifen-Schaltung zur Verwendung in einer programmierbaren logischen Vorrichtung aufweist. Insbesondere betrifft diese Erfindung eine LVDS-Schnittstelle mit einer Phasenverriegelungsschleifen-Schaltung zur Steuerung des Verschiebens von Daten bei hohen Geschwindigkeiten.

[0002] Programmierbare Logikvorrichtungen sind gut bekannt. Im allgemeinen weist eine programmierbare Logikvorrichtung eine Vielzahl von im wesentlichen identischen Logikelementen auf, wobei jedes davon programmiert werden kann, um eine bestimmte logische Funktion auszuführen. Die Logikelemente haben Zugang zu einer programmierbaren Verbindungsstruktur, die einem Benutzer ermöglicht, die verschiedenen Logikelemente in fast jeder gewünschten Konfiguration untereinander zu verbinden. Schließlich sieht die Verbindungsstruktur auch einen Zugang zu einer Vielzahl von Eingangs/Ausgangs-("I/O")-Pins vor, wobei die Verbindungen der Pins zu der Verbindungsstruktur auch programmierbar sind.

[0003] Früher wurden programmierbare Logikvorrichtungen des gerade beschriebenen Typs nahezu ausschließlich mittels Transistor/Transistor-Logik ("TTL") realisiert, in der ein logisches "Hoch"-Signal nominell bei 5 Volt lag, während ein logisches "Niedrig"-Signal nominell auf Massepotential oder 0 Volt lag. Vor nicht allzu langer Zeit jedoch sind andere logische Standards in den allgemeinen Gebrauch gekommen, wobei einige von diesen verschiedene Signalgebungsschemata verwenden, wie beispielsweise LVTTL (Niederspannungs-TTL), PCI (Peripheriegeräte-Schnittstelle), SSTL (serielle stichleitungsbeendete Logik, die verschiedene Varianten aufweist), TGL (Gunning-Übertragungs-Logik) oder GTL+, HSTL (Hochgeschwindigkeits-Übertragungs-Logik, die verschiedene Varianten aufweist), LVDS (Niederspannungs-Differenz-Signalgebung) und andere. Einige von diesen Signalgebungsschemata, und insbesondere LVDS, benötigen Hochfrequenz-Taktsignale mit genauen Phasenbeziehungen für einen korrekten Betrieb.

[0004] Es ist bekannt, eine Phasenverriegelungsschleifen-Schaltung bei programmierbaren Logikvorrichtungen einzusetzen, um zu helfen, einen "Versatz" und übermäßige Verzögerung in den sich auf der Vorrichtung ausbreitenden Taktsignalen entgegenzuwirken (siehe beispielsweise Jefferson, US-Patent 5,699,020 und Reddy et al., US-Patent 5,847,617). Beispielsweise kann eine Phasenverriegelungsschleifen-Schaltung verwendet werden, um ein Taktsignal zu erzeugen, das zeitlich einem an die programmierbare Logikvorrichtung angelegten Taktsignal vorauseilt. Das vorauseilende Taktsignal wird in Abschnitte der Vorrichtung propagiert, die relativ entfernt von dem angelegten Taktsignal sind, so dass die Ausbreitungsverzögerung des vorauseilenden Taktsignals dieses wieder mit dem angelegten Taktsignal in Gleichtakt bringt, wenn es entfernte Abschnitte der Vorrichtung erreicht. Auf diesem Wege erhalten alle Abschnitte der Vorrichtung ein synchrones Taktsignal und der Taktsignal-"Versatz" (verschiedene Beträge von Verzögerung in verschiedenen Abschnitten der Vorrichtung) wird reduziert.

[0005] Eine LVDS-Eingangsschnittstelle und eine LVDS-Ausgangsschnittstelle mit einem Seriell-zu-Parallel-Wandler bzw. einem Parallel-zu-Seriell-Wandler sind aus der Druckschrift EP-A-0 778 517 bekannt. Phasenverriegelungsschleifen-Schaltungen werden zur Erzeugung von Taktsignalen eingesetzt.

[0006] Während jedoch Phasenverriegelungsschleifen genaue Quellen von Taktsignalen sind, sind sie im allgemeinen bezüglich der Frequenzen beschränkt, die sie liefern können, sowohl bezüglich der Einstellbarkeit und bezüglich des Absolutbereichs der Frequenzen, die erzeugt werden können. Dies hat die Geschwindigkeit von LVDS-Schnittstellen begrenzt.

[0007] Es wäre wünschenswert, in der Lage zu sein, eine LVDS-Schnittstelle für eine programmierbare Logikvorrichtung zu schaffen, wobei die Schnittstelle eine Phasenverriegelungsschleifen-Schaltung zur genauen Eingangs/Ausgangs-Taktung umfasst.

ZUSAMMENFASSUNG DER ERFINDUNG

[0008] Die Erfindung wird durch die beigefügten Ansprüche festgelegt.

[0009] In den Ausführungsbeispielen der Erfindung ermöglichen Eingangs- und Ausgangs-Phasenverriegelungsschleifen-Schaltungen einen Hochgeschwindigkeits-LVDS-Betrieb durch Bereitstellen von genauen, synchronisierten Taktsignalen, was es ermöglicht, eine ausgewählte Anzahl von Bits zwischen einer Schieberegisterkette und einer Anzahl von parallelen Registern zu takten. Selbstverständlich muss der Takt, der die Taktung der Daten seriell in die Schieberegister oder aus diesen steuert, ein exaktes Vielfaches des Takts sein, der die Taktung der Daten im Parallelmodus in die Schieberegister oder aus diesen steuert. Wenn der serielle Takt zu langsam läuft, werden nicht die gesamten seriellen Daten vor der nächsten parallelen Übertragung von Daten in die Schieberegister oder aus diesen heraus getaktet. In ähnlicher Weise wird, wenn der serielle Takt zu schnell läuft, das System versuchen, mehr Daten als

erhältlich in die Schieberegister oder aus diesen heraus zu takten, bevor die nächste parallele Übertragung stattfindet. Auf der Eingangsseite wird das System versuchen, mehr Daten in die Schieberegister zu takten, bevor das System bereit ist, diese in die programmierbare Logikvorrichtung parallel zu übertragen, mit dem Ergebnis, dass einige der Daten schon aus den Schieberegistern zu früh ausgetaktet werden und verloren gehen. In ähnlicher Weise, auf der Ausgangsseite, kann das System versuchen, die Daten von den Schieberegistern auszutakten, um eine serielle Ausgabe der programmierbaren Logikvorrichtung zu schaffen, noch bevor die Daten parallel von der programmierbaren Logikvorrichtung zu den Schieberegistern übertragen wurden, mit dem Ergebnis, dass der Ausgangsdatenstrom Lücken oder fehlerhafte Daten enthält.

[0010] Ausführungsbeispiele der Erfindung vermeiden diese Schwierigkeiten durch die Schaffung von spezialisierten, zweckbestimmten Hochgeschwindigkeits-Phasenverriegelungsschleifen-basierten Taktgebern, speziell für die Verwendung mit Hochgeschwindigkeits-LVDS-Schnittstellen. Die Taktsignale werden an einer anderen Stelle der Vorrichtung in dem Umfang bereitgestellt, wie sie in Verbindung mit der Verwendung der LVDS-Daten benötigt werden, die Taktgeber sind jedoch nicht für die allgemeine Verwendung vorgesehen. Andere Phasenverriegelungsschleifen-basierte Taktgeber sind vorgesehen, die für die allgemeine Verwendung gedacht sind. Solch andere Taktgeber sind einstellbar und in der US 6,483,886, veröffentlicht am 19.11.2002, beschrieben. Im Gegensatz zu diesen Taktgebern sind die Taktgeber gemäß der Ausführungsbeispiele der Erfindung im Hinblick auf Genauigkeit hergestellt, ohne anpassbare Komponenten, vorausgesetzt, dass diese Ungenauigkeiten hervorrufen können, wie unten beschrieben wird.

[0011] Eine Phasenverriegelungsschleifen-basierte Taktschaltung gemäß einem Ausführungsbeispiel der Erfindung ist vorzugsweise mit einem programmierbaren oder ladefähigen "Teile durch W"-Rückkopplungsskalierungszähler in ihrer Rückkopplungsschleife versehen. Dies ermöglicht der Taktschaltung, zwei Taktausgänge -- einen ersten Ausgang bei niedriger Frequenz und einen zweiten Ausgang bei höherer Frequenz, gleich dem W-fachen der niedrigen Frequenz, wobei die zwei Taktausgänge in Phasenverriegelungsbeziehung stehen, entweder mit oder ohne einer vorbestimmten Phasenverschiebung ungleich Null vorzusehen, wie unten beschrieben wird. Wenn W die Anzahl von Datenbits ist, die parallel übertragen werden (d. h. die "Wort"-Größe), ermöglicht dies einem gesamten Wort seriell in einen Eingangs- oder aus einer Ausgangsschieberegisterkette unter der Steuerung der Hochgeschwindigkeitstaktung präzise in der Zeit getaktet zu werden, die benötigt wird, das Wort parallel zwischen der Logik der programmierbaren Logikvorrichtung und der Schieberegisterkette zu übertragen, wobei der Verlust von Daten verhindert wird, der resultieren kann, wenn die Takte im wesentlichen nicht perfekt synchronisiert wurden.

Kurze Beschreibung der Zeichnungen

[0012] Die obigen und andere Aufgaben und Vorteile der Erfindung werden bei Betrachtung der folgenden ausführlichen Beschreibung offensichtlich, in Verbindung mit den beigefügten Zeichnungen, in denen gleiche Bezugszeichen durchgehend für gleiche Teile verwendet werde, und wobei:

[0013] Fig. 1 ein schematisches Diagramm eines bevorzugten Ausführungsbeispiels einer programmierbaren Logikvorrichtung ist, die die LVDS-Schnittstelle dieser Erfindung aufweist;

[0014] Fig. 2 ein ausführlicheres schematisches Schaltbild der programmierbaren Logikvorrichtung von Fig. 1 ist, die die Phasenverriegelungsschleifen-Schaltung der LVDS-Schnittstelle zeigt;

[0015] Fig. 2A eine vergrößerte Ansicht eines anderen bevorzugten Ausführungsbeispiels eines Abschnitts der programmierbaren Logikvorrichtung von Fig. 1 und Fig. 2 ist;

[0016] Fig. 3 ein schematisches Schaubild eines bevorzugten Ausführungsbeispiels der LVDS-Eingangsschaltung dieser Erfindung ist;

[0017] Fig. 4 ein schematisches Schaubild eines bevorzugten Ausführungsbeispiels der LVDS-Ausgangsschaltung dieser Erfindung ist; und

[0018] Fig. 5 ein vereinfachtes Blockschaubild eines veranschaulichten Systems ist, das eine programmierbare Logikvorrichtung mit einer LVDS-Schnittstelle gemäß der vorliegenden Erfindung verwendet.

Ausführliche Beschreibung der Erfindung

[0019] Fig. 1 zeigt einen schematischen Überblick der programmierbaren Logikvorrichtung **10**, die ein bevorzugtes Ausführungsbeispiel der Erfindung einschließt. Die Vorrichtung **10** umfasst Leistungs-Bus-Segmente **11**, die die Versorgung mit verschiedenen Versorgungsspannungen der verschiedenen Gruppen von Eingabe/Ausgabe-Schnittstellen in verschiedenen Teilen der Vorrichtung **10** ermöglichen, wie ausführlicher in der US 6,300,790 bzw. US 6,483,886, die am 09.10.2001 bzw. 19.11.2002 veröffentlicht wurden, erklärt ist. Wie ausführlicher in diesen Druckschriften erklärt, unterstützen die Schnittstellen **12**, **13** LVDS (Niederspannungs-Differenzsignalgebungs)-Eingänge, während die Schnittstellen

14, **15** LVDS-Ausgänge unterstützen. Andere Schnittstellen (nicht gezeigt) können andere Signalgebungsschemata unterstützen.

[0020] Wie in Fig. 1 gesehen werden kann, umfasst die Vorrichtung **10** vorzugsweise eine Vielzahl von Phasenverriegelungsschleifen ("PLL")-Schaltungen. PLL-Schaltungen **18**, **19**, **100**, **101** (gekennzeichnet als PLL0, PLL1, PLL2, PLL3) werden vorzugsweise für Niedergeschwindigkeits-LVDS-Anwendungen sowie für die allgemeine Verwendung durch die Vorrichtung **10** vorgesehen. Die PLL-Schaltungen **18** bzw. **19** bzw. **100** bzw. **101** können vorzugsweise Frequenzen zwischen etwa 1 MHz und etwa 400 MHz vorsehen, basierend auf den LVDS-Eingangstakten bei den Pins **20** und **21** bzw. **22** und **23** bzw. **24** und **25** bzw. **26** und **27**. Wie ausführlicher unten beschrieben, können die Pins **20**, **22**, **24**, **26** auch Standard-Eingangstakte empfangen und alle Takteingänge können ihre entsprechenden PLLs bei **28**, **29**, **200**, **201** umgehen.

[0021] Die PLLs **18** und **100** sind in schematischer Form in Fig. 2 gezeigt und umfassen alle üblichen PLL-Schaltungselemente, einschließlich eines Phasen/Frequenz-Detektors **234**, einer Ladungspumpe **235**, eines Tiefpassfilters **236** und eines spannungsgesteuerten Eingangsoszillators **237**, dessen Ausgang in eine traditionelle PLL der PLL-Ausgang ist und auch in den Phasen/Frequenz-Detektor **234** zurückgeleitet wird.

[0022] In dem bekannten PLL-Betrieb empfängt der Phasen/Frequenz-Detektor **234** das Eingangstaktsignal von einem Eingangsanschluss **238** und das Rückkopplungstaktsignal von dem VCO **237** und erzeugt "Hoch"- oder "Runter"-Ausgangssignalpulse, die an die Ladungspumpe **235** abhängig davon angelegt werden, ob die Phase des Eingangstaktsignals der Phase des Rückkopplungstaktsignals voraus- oder hinterhereilt. Die Breite des "Hoch"- oder "Runter"-Signalpulses wird typischerweise durch den Phasen/Frequenz-Detektor **234** gesteuert, um proportional zu der Phasendifferenz zwischen dem Eingang und den Rückkopplungstaktsignalen zu sein. Die Ladungspumpe **235** schafft eine Übertragungsfunktion der "Hoch"- und "Runter"-Signale zu einer Ausgangssignalspannung bei einem Pegel zwischen V_{cc} (die Leistungsversorgungsspannung von Vorrichtung **10**) und Masse. Die "Hoch"- und "Runter"-Signale schalten eine interne Stromquelle, um eine Ladung zu liefern, um die Ladungspumpen-Ausgangssignalspannung nach oben oder nach unten während jedes Taktzyklus zu bewegen.

[0023] Das Ausgangssignal der Ladungspumpe **235** wird an den Tiefpassfilter **236** angelegt, der das Signal für das Anlegen als ein Steuersignal an den zugehörigen spannungsgesteuerten Oszillator ("VCO") **237** glättet. Zusammenfassend, wenn die Phase des Eingangstaktsignals der Phase des Rückkopplungstaktsignals vorauseilt, wird ein "Hoch"-Signal durch den Phasen/Frequenz-Detektor **234** erzeugt. Dies resultiert in einem Anstieg in der Frequenz des Rückkopplungstaktsignals. Auf der anderen Seite, wenn die Phase des Eingangstaktsignals der Phase des Rückkopplungstaktsignals hinterhereilt, erzeugt der Phasen/Frequenzdetektor **234** ein "Runter"-Signal, welches einen Abfall in der Frequenz des Rückkopplungstaktsignals verursacht.

[0024] In der PLL-Schaltung **18**, **100** weist der VCO **237** vorzugsweise siebzehn Abgriffe s_1, ..., s_{17} auf, wobei jeder davon als Ausgang der PLL **18**, **100** oder der Rückkopplung zu dem Phasen/Frequenz-Detektor **234** verwendet werden kann. Die Signalabgriffe sind vorzugsweise bezüglich der Phase voneinander durch einen im wesentlichen gleichmäßigen Betrag getrennt, wie ausführlicher in der US 6,483,886, die am 19.11.2002 veröffentlicht wurde, beschrieben ist. Jeder der siebzehn Abgriffe speist vorzugsweise einen Ausgangsmultiplexer **242** sowie einen Rückkopplungsmultiplexer **243**, so dass jeder Abgriff zur Ausgabe ausgewählt und jeder Abgriff zur Rückkopplung ausgewählt werden kann.

[0025] Eine Standard-PLL-Funktionalität wird erreicht durch das Anzapfen des Abgriffs s_{17} sowohl für Rückkopplungs- als auch für Ausgabezwecke. In Übereinstimmung mit der oben erwähnten US 6,483,886 kann jedoch jeder der Abgriffe s_1, ..., s_{17} als Ausgang ausgewählt werden und jeder der Abgriffe s_1, ..., s_{17} kann für das Zurückleiten in den Phasen/Frequenz-Detektor **234** ausgewählt werden. Wenn der für den Ausgang ausgewählte Abgriff ein Abgriff mit niedrigerer Zahl als der für die Rückkopplung ausgewählte Abgriff ist, liegt die Ausgangsphase vor der Eingangsphase um eine Phasenverzögerungseinheit mehr als die Anzahl der Abgriffe zwischen den ausgewählten Abgriffen. In ähnlicher Weise, wenn der für die Rückkopplung ausgewählte Abgriff ein Abgriff mit niedrigerer Zahl als der für den Ausgang ausgewählte Abgriff ist, liegt die Ausgangsphase hinter der Eingangsphase eine Phasenverzögerungseinheit mehr als die Anzahl der Abgriffe zwischen den ausgewählten Abgriffen. Praktisch ist für eine maximale Phaseneinstellbarkeit vorzugsweise immer s_1 einer der ausgewählten Abgriffe.

[0026] Die PLL-Schaltung **18**, **100** umfasst vorzugsweise auch die drei programmierbaren Skalierungs-Zähler **239**, **240**, **241**. Der Vorskalierungs-Zähler **239** ist vorzugsweise programmierbar oder ladbar, mit einer ganzen Zahl N, durch die die Frequenz eines beliebigen Eingangssignals und letztlich eines beliebigen Ausgangssignals geteilt wird. Der Rückkopplungs-Skalierungszähler **240** ist vorzugsweise mit einer ganzen Zahl M ladbar, durch die die Frequenz des Rückkopplungssignals von dem Multiplexer **243** an den Phasen/Frequenz-Detektor **234** ge-

teilt wird, resultierend in einer Multiplikation des Ausgangssignals mit M. Der Nachskalierungs-Zähler **241** ist vorzugsweise mit einer ganzen Zahl K ladbar, durch die die Frequenz des Ausgangssignals geteilt wird.

[0027] Somit ist an einem Ausgang **301** ein Ausgangssignal vorgesehen, dessen Frequenz gleich der Frequenz des Eingangssignals bei **238** multipliziert mit M/(NK) ist. Zusätzlich ist bei einem anderen Ausgang **302**, der den Nachskalierungs-Zähler **241** umgeht, ein Ausgangssignal vorgesehen, dessen Frequenz gleich der Frequenz des Eingangssignals bei **238** multipliziert mit M/N ist. Obwohl der Effekt des Vorsehens eines Umgehungsausgangs **302** der gleiche wie des Setzens von K = 1 ist (tatsächlich können die Zähler **239**, **240** auch durch Ersetzen von N = 1 oder M – 1 "umgangen" werden), ermöglicht der Ausgang **302** die Option, Ausgänge mit zwei verschiedenen Frequenzen zu haben. Jeder Ausgang **301**, **302** weist die gleiche Phasenbeziehung zu dem Eingangssignal auf, welches durch das Anzapfen durch Multiplexer **242**, **243** durch die Abgriffe der VCO **237** bestimmt wird, wie oben erläutert wurde.

[0028] Ein LVDS-Ausgangstakt CLK0 wird bei den Pins **20** und **21** empfangen, gespeist durch den Differenzverstärker **202**, um ein Taktsignal bei **203** zu erzeugen, das durch den Multiplexer **204** für den Eingang zu PLL0 **18** ausgewählt ist, welches den Multiplexer **205** speist. Ein Taktsignal **203** wird auch direkt in den Multiplexer **205** durch die Umgehung **28** geleitet. Somit, wie durch die Programmierung des Multiplexers **205** bestimmt, kann das Taktsignal **203** direkt zu einem Chip-weiten Taktleiter G0 geleitet werden, oder es kann zuerst durch die PLL0 **18** verändert (d. h. seine Frequenz und/oder Phase kann wie oben beschrieben verändert werden) und dann zu dem Leiter G0 geleitet werden, während der Umgehungsausgang **302** zu dem Chip-weiten Taktleiter G1 geleitet wird. Der Pin **20** kann auch für ein Nicht-LVDS, Einzel-Eingangstaktsignal verwendet werden, in diesem Fall wird der Pin **20** direkt durch den Multiplexer **204** ausgewählt und direkt zu dem Leiter G0 weitergeleitet.

[0029] In ähnlicher Weise kann der LVDS-Eingangstakt CLK2 bei den Pins **24**, **25** durch den Differenzverstärker **212** geleitet werden, um ein Taktsignal bei **213** zu erzeugen, das durch den Multiplexer **214** für den Eingang zu PLL2 **100** ausgewählt wird, welches den Multiplexer **215** speist. Das Taktsignal **213** wird auch direkt zu dem Multiplexer **215** durch eine Umgehung **200** geleitet. Somit, wie durch die Programmierung des Multiplexers **215** festgelegt, kann das Taktsignal **213** direkt zu der Chip-weiten Taktleitung G2 geleitet werden, oder es kann zuerst durch die PLL2 **100** verändert (d. h., seine Frequenz und/oder Phase kann wie oben beschrieben verändert werden) und dann zu dem Leiter G2 geleitet werden, während der Umgehungsausgang **302** zu dem Chip-weiten Taktleiter G3 geleitet wird. Der Pin **24** kann auch für ein Nicht-LVDS, Einzel-Eingangstaktsignal, verwendet werden, in diesem Fall wird der Pin **24** direkt durch den Multiplexer **214** ausgewählt und direkt zu dem Leiter G2 geleitet.

[0030] PLL1 **19** und PLL3 **101** sind ähnlich zu der PLL0 **18** und der PLL2 **100** und arbeiten, wie beschrieben, in Verbindung mit der PLL0 **18** und der PLL2 **100**, außer dass die Multiplexer **220**, **221** vorgesehen sind, eine nutzerangepasste Nutzer-veränderte Rückkopplung FB0 bzw. FB1 zu ermöglichen, anstatt der Rückkopplung von der VCO. Zusätzlich gestatten die Multiplexer **222**, **223** den nach-skalierten Ausgang **301** oder den Umgehungsausgang **302** als externer Taktausgang OUT0 oder OUT1 vorzusehen.

[0031] Häufig können die Ausgangstakte OUT0 und OUT1 durch den Nutzer manipuliert und bei FB0 oder FB1 zurückgeleitet werden, um die Nutzer-veränderte Rückkopplung für PLL1 **19** oder PLL3 **101** vorzusehen. Beispielsweise kann der Nutzer eine Verzögerung **224**, **225** in dem Ausgangstakt (OUT0 oder OUT1) vor dem Zurückleiten des verzögerten Ausgangstakts bei FB0 oder FB1 einfügen. Insbesondere kann die Verzögerung **224**, **225** die Taktnetzwerkverzögerung der gesamten gedruckten Leiterplatte sein, auf welche die programmierbare Logikvorrichtung **10** montiert ist. Auf diesem Wege kann der Nutzer die PLL1 **19** oder PLL3 **101** verwenden, um die Taktnetzwerkverzögerung oder den Versatz nicht nur innerhalb der programmierbaren logischen Vorrichtung **10** zu kompensieren, sondern auch außerhalb der Vorrichtung **10** auf der gedruckten Leiterplatte. Der Nutzer muss zwar die Möglichkeit der Multiplikation der PLL-Frequenz mit dem Rückkopplungs-Skalierungszähler **240** aufgeben, aber er gewinnt den Vorteil der Kompensation für die Verzögerung außerhalb der Vorrichtung **10**.

[0032] Die Ausgabetakte bei den Pins **226** und **227** (OUT0) oder **228** und **229** (OUT1) können LVDS-Differenzsignale sein, in welchem Fall beide Leitungen **226**, **227** oder **228**, **229** verwendet werden, oder gewöhnliche Signalgebung, in welchem Fall nur die Leitung **226** oder **228** verwendet wird. Wenn die Ausgangstakte LVDS-Signale sind, dann sind die Rückkopplungssignale von den Verzögerungen **224**, **225**, die bei den Pins **230** und **231** (FB0) oder **232** und **233** (FB1) zurückgeleitet werden, ebenso LVDS-Signale. In ähnlicher Weise sind dann, wenn die Ausgangstakte keine LVDS-Signale sind, die Rückkopplungssignale von den Verzögerungen **224**, **225** normale Signale und nur der Pin **230** oder **232** wird verwendet, um die Rückkopplungssignale zu empfangen.

[0033] Phasenverriegelungsschleifen-Schaltungen

16, **17** (gekennzeichnet als PLL4 und PLL5) sind spezialisierte PLL-Schaltungen in Übereinstimmung mit der vorliegenden Erfindung, ausgelegt für die Verwendung in Hochgeschwindigkeits-LVDS-Anwendungen.

[0034] Die PLL-Schaltungen **16**, **17** sind ähnlich zu den PLL-Schaltungen **18**, **19** mit einem Phasen/Frequenz-Detektor **234**, einer Ladungspumpe **235**, einem Tiefpassfilter **236'** und einem VCO **237'**, mit einer Rückkopplung zu dem Phasen/Frequenz-Detektor **234**. Zusätzlich weist jede PLL-Schaltung **16**, **17** einen ladbaren Rückkopplungs-Skalierungszähler **244** ähnlich zu dem Zähler **240** auf, jedoch ist er ladbar mit einer ganzen Zahl W (statt der ganzen Zahl M), dessen Zweck im folgenden offensichtlich wird.

[0035] Die PLL-Schaltungen **16**, **17** sind optimiert für einen Betrieb bei sehr hohen Frequenzen, bis zu ungefähr zumindest 622 MHz, was den Betrieb von Hochgeschwindigkeits-LVDS-Schnittstellen ermöglicht, wie unten beschrieben, unter Reduzierung des mit den PLL-Schaltungen **18**, **19**, **100**, **101** verbundenen Mehraufwands. Beispielsweise eliminiert die Beseitigung der Vorskalierungs-(teile-durch-N) und der Nachskalierungs-(teile-durch-K)-Zähler den Mehraufwand und erlaubt höhere Geschwindigkeiten. Zusätzlich kann der Rückkopplungs-Skalierungszähler **244** (multipliziere-mit-W) mit bis zu W_{max} = 8 geladen werden, im Gegensatz zu M_{max} = 256 in dem Fall des Rückkopplungs-Skalierungszählers **240**. Die Beschränkung des Maximalwerts von W, der einen höheren Geschwindigkeitsbetrieb ermöglicht, ist möglich, da normalerweise in der Hochgeschwindigkeits-LVDS-Datenübertragung (unten beschrieben) die maximale "Wort"-Länge 8 ist. Zusätzlich wird der Tiefpassfilter **236'** für eine schnelle Antwortzeit durch Reduzierung der Größe des Kondensators in dem Filter **236'** um etwa 50 % im Vergleich zu den Kondensatoren in dem Filter **236** modifiziert. Darüber hinaus, anders als die PLL-Schaltungen **18**, **19**, **100**, **101** weisen die PLL-Schaltungen **16**, **17** nicht den Mehraufwand von Multiplexern **242**, **243** auf (die in den äußeren Schaltungen verwendet werden, um die relative Phase durch die Auswahl von verschiedenen Abgriffen vom VCO **237** anzupassen), und der VCO **237'** weist nur 5 Stufen auf, im Gegensatz zu 17 Stufen wie im VCO **237**, was weiter die PLL-Arbeitsleistung verbessert. Schließlich müssen die PLL-Schaltungen **16**, **17** nur das lokale LVDS-Taktnetzwerk, repräsentiert durch L4, L5, treiben, anstatt ein Chip-weites Taktnetzwerk. Dies reduziert sowohl Verzögerungen als auch das Laden, die beide die Geschwindigkeit begrenzen.

[0036] Obwohl es keine programmierbare Auswahl des Phasenunterschieds zwischen den Eingangs- und den Ausgangstakten der PLL-Schaltungen **16**, **17** gibt, wie dies in den PLL-Schaltungen **18**, **19**, **100**, **101** der Fall ist, wo Multiplexer **242**, **243** eine Auswahl von bestimmten VCO-Abgriffen ermöglichen, kann ein vorbestimmter Phasenunterschied zum Zeitpunkt der Herstellung ausgewählt werden.

[0037] Die mit W multiplizierten Taktausgänge **245** werden zu den lokalen Taktleitungen L4 bzw. L5 geleitet. Die niedrigeren Geschwindigkeitstaktausgänge **246** sind lokal zugänglich, wie bei **41**, **31** in den Fig. 4 und Fig. 3 gesehen werden kann, und sie werden auch zu den globalen Taktleitungen G0 bzw. G2 geleitet, obwohl die globalen Takte G0, G2 mit den lokalen Takten **41**, **31** außer Phase sind. Dies liegt daran, dass die PLL-Schaltungen **16**, **17**, die eingestellt werden können, um lediglich eine Verzögerung bei einer bestimmten Zeit zu kompensieren, eingestellt werden, um die Verzögerungen in den lokalen LVDS-Taktnetzwerken L4, L5 anstatt die Verzögerung des globalen Taktnetzwerks einzustellen.

[0038] Die Fig. 2A zeigt jedoch ein bevorzugtes Ausführungsbeispiel einer anderen PLL-Schaltung **617**, die wie die PLL-Schaltung **17** ist, außer dass sie modifiziert wurde, um zwei Verzögerungen zur gleichen Zeit zu kompensieren. Wie die PLL-Schaltung **17** weist die PLL-Schaltung **617** einen Eingang **631**, der einen Phasen/Frequenz-Detektor **634** speist (ähnlich zu dem Phasen/Frequenz-Detektor **234**), der wiederum eine Ladungspumpe **635** (ähnlich zu der Ladungspumpe **235**) speist, einen Tiefpassfilter **636** (ähnlich zu dem Tiefpassfilter **236**) und einen VCO **637** (ähnlich zu dem VCO **237**) auf. Der Ausgang des VCO **637** wird zu dem Phasen/Frequenz-Detektor **634** bei **600** durch einen Rückkopplungs-Skalierungszähler **644** (ähnlich zu dem Rückkopplungs-Skalierungszähler **244**) zurückgeleitet. Wenn die PLL-Schaltung **617** für die Kompensation der Verzögerung des globalen Netzwerks vorgesehen ist, wird auch eine globale Kompensationsschaltung **601** in der Rückkopplungsschleife vorgesehen, eingeschaltet oder ausgeschaltet durch die Multiplexer **602**, **603**, die eine globale Kompensation bei dem Ausgang **604** vorsehen.

[0039] Wenn die globale Kompensationsschaltung **601** verwendet wird, eilt der Ausgang **605** des VCO **637** dem Eingang **631** durch die globale Verzögerung voraus. Um eine lokale Kompensation zu schaffen, wird ein Puffer **606** bei dem Ausgang **605** eingesetzt, um eine Verzögerung zu schaffen, die gleich dem Unterschied zwischen globaler Verzögerung und lokaler Verzögerung ist, so dass der Ausgang **607** korrekt bezüglich der lokalen Verzögerung abgeglichen ist. Wenn der Benutzer die Verzögerung **601** einschaltet, ist eine globale Kompensation bei **604** verfügbar, während eine lokale Kompensation bei **607** verfügbar ist. Wenn die Verzögerung **601** nicht eingeschaltet ist, ist eine lokale Kompensation bei **605** abgreifbar. Wahlweise (nicht gezeigt) können die Multiplexer **602**, **603** weggelassen werden, so dass die globale Kompensation immer bei **604** vorgesehen und die lo-

kale Kompensation immer bei **607** vorgesehen ist und der Benutzer kann einfach ignorieren, welcher Ausgang auch immer nicht gebraucht wird.

[0040] Die obige Erläuterung nimmt an, dass der Rückkopplungs-Skalierungszähler **644** eine vernachlässigbare Verzögerung aufweist.

[0041] Alternativ kann diese Verzögerung mit in dem Puffer **606** vorgesehene Kompensation einbezogen werden. Wenn die Verzögerung des Rückkopplungs-Skalierungszählers **644** signifikant genug ist, eine Kompensation in dem Puffer **606** für den Fall, wenn die globale Kompensation **601** in Verwendung ist, vorzusehen, dann sollte sie kompensiert werden, auch wenn die globale Kompensation **601** nicht verwendet wird. Daher können anstatt eines einzelnen Puffers **606** zwei verschiedene Puffer (nicht gezeigt) vorgesehen werden -- einer, um nur die Verzögerung des Zählers **644** zu kompensieren und eine, der eine Verzögerung vorsieht, die gleich dem Unterschied zwischen der globalen und lokalen Verzögerungen wie oben ist (korrigiert für die Verzögerung des Zählers **644**), mit dem richtigen Puffer, der programmierbar auswählbar (nicht gezeigt) ist, abhängig davon, ob oder ob nicht die globale Kompensation **601** verwendet wird.

[0042] Es soll angemerkt werden, dass während die PLL-Schaltung **617** als Modifikation der PLL-Schaltung **17** dargestellt ist, können die gleichen Modifikationen an jeder PLL-Schaltung der programmierbaren Logikvorrichtung **10** vorgenommen werden, um eine Kompensation für zwei verschiedene Verzögerungen zu ermöglichen.

[0043] Ein bevorzugtes Ausführungsbeispiel der LVDS-Eingangsschnittstelle **30** ist in Fig. 3 gezeigt. Die Schnittstelle **30** ist vorzugsweise für eine maximale Wortlänge von 8 konzipiert, wobei eine 8-Bit-Schieberegisterkette **32** vorzugsweise Daten in einem seriellen Eingangsdatenstrom bei **33** von einem LVDS-Eingangstreiber **34** empfängt, der wiederum vorzugsweise Eingangsdaten von Eingängen **35** und **36** empfängt. Die Schnittstelle **30** kann jedoch auch mit einer Schieberegisterkette einer unterschiedlichen Länge konzipiert sein, um eine unterschiedliche maximale Wortlänge aufzunehmen. Die Schieberegisterkette **32** ist vorzugsweise bei **37** durch einen "multipliziert-mit-W"-Takt L5 getaktet, der von der PLL5 **17** ausgegeben wird. Die PLL5 **17** empfängt vorzugsweise ein Eingangstaktsignal bei **31** von der CLK2, das vorzugsweise als ein LVDS-Takt bei den Pins **24** und **25** eingegeben wird. Aus Gründen, die unten klar werden, bedeutet das Vorsehen einer 8-Bit-Schieberegisterkette, dass W eine ganze Zahl bis zu 8 sein kann.

[0044] Jedes Register in der Schieberegisterkette **32** weist vorzugsweise einen Ausgang auf, der mit einem der acht parallelen Register **38** verbunden ist. Jedes Register **38** weist wiederum vorzugsweise einen Registerausgang **39** auf, der durch einen entsprechenden Treiber **300** auf einen Signalleiter **303** der programmierbaren Logikvorrichtung **10** umgesetzt wird. Die Eintragung der Daten in die Registerausgänge **39** der Register **38** wird vorzugsweise durch einen nicht vervielfachten Takt **246**, der von der PLL5 **17** ausgegeben wird, gesteuert.

[0045] In einem Zyklus des Takts **246** durchläuft der Takt **37** W Zyklen. Somit werden in diesem einen Zyklus des Takts **246** W Bits in einem seriellen Eingangsdatenstrom in die Schieberegisterkette **32** getaktet, zu der Zeit, zu der der Takt **246** einen anderen Zyklus durchläuft, werden die Daten in der Schieberegisterkette **32** parallel in die Ausgänge der Register **38** eingetragen, von wo sie parallel auf die Leiter **303** getrieben werden. Es ist klar, dass dann, wenn W größer als 8 wäre, das System versuchen würde, in einem Zyklus des Takts **246** mehr Bits auf die Schieberegisterkette **32** zu takten, als es Register in der Kette gibt, was bedeutet, dass Daten verloren gehen würden. W kann weniger als 8 sein, aber weil die Schnittstelle **30** mit 8 Schieberegistern gebildet ist, bedeutet das, dass das System Bits ignorieren muss, die in der Schieberegisterkette von dem vorherigen Zyklus übrig bleiben. Dies kann durch die Programmierung der programmierbaren Logikvorrichtung **10** dahingehend erreicht werden, die Daten in diesen Registern **38** nicht zu verwenden, die den "übrig gebliebenen" Daten in den Schieberegistern **32** entsprechen. Beispielsweise, wenn W gleich 5 ist, kann die Vorrichtung **10** dahingehend programmiert werden, die letzten drei Register **38** nicht zu verwenden.

[0046] Ein bevorzugtes Ausführungsbeispiel der LVDS-Ausgangsschnittstelle **40** ist in Fig. 4 gezeigt. Die Schnittstelle **40** ist vorzugsweise für eine maximale Wortlänge von 8 konzipiert, wobei eine 8-Bit-Schieberegisterkette **42** vorzugsweise Daten in einen seriellen Ausgangsdatenstrom bei **43** zu einem LVDS-Ausgangstreiber **44** ausgibt, der wiederum vorzugsweise Daten bei den Anschlüssen **45** und **46** ausgibt. Die Schnittstelle **40** kann jedoch auch mit einer Schieberegisterkette einer verschiedenen Länge konzipiert sein, um eine verschiedene Maximalwortlänge aufzunehmen.

[0047] Die Schieberegisterkette **42** ist vorzugsweise bei **47** durch einen "multipliziert-mit-W" Takt L4 getaktet, der von der PLL4 **16** ausgegeben wird. Die PLL4 **16** empfängt ein Eingangstaktsignal bei **41** von der CLK0, die vorzugsweise als ein LVDS-Takt auf die Pins **20** und **21** eingegeben wird. Wie in dem Fall der Eingangsschnittstelle **30** bedeutet das Vorsehen einer 8-Bit-Schieberegisterkette in der Ausgangsschnittstelle **40**, dass W eine ganze Zahl bis zu 8 sein kann.

[0048] Jedes Register in der Schieberegisterkette **42** weist vorzugsweise einen Eingang zu einem Registerausgang **49** von einem der acht parallelen Register **48** auf. Jedes Register **48** weist auch vorzugsweise einen Eingang **400** auf, der durch Daten auf den Leitern **401** der programmierbaren Logikvorrichtung **10** getrieben wird, wie im folgenden beschrieben wird. Der Wahrwert oder das Komplementäre, abhängig von der Benutzerprogrammierung, der Daten auf jedem zugehörigen Leiter **401** werden vorzugsweise durch den zugehörigen Multiplexer **402** ausgewählt. Jeder Multiplexer **402** treibt vorzugsweise einen Demultiplexer **403**, der auf einem Ausgang **404** vorzugsweise einen Registereingang **400** treibt. (Jeder Demultiplexer **403** weist vorzugsweise auch einen Ausgang **405** auf, der ausgewählt werden kann, um eine andere Schaltung auf der programmierbaren Logikvorrichtung **10** zu treiben.) Die Eintragung von Daten in die Registerausgänge **49** der Register **48** wird durch den nicht vervielfachten Taktausgang **246** von der PLL4 **16** gesteuert.

[0049] In einem Zyklus des Takts **246** durchläuft der Takt **47** W Zyklen. Somit werden in einem Zyklus des Takts **246** W Bits aus der Schieberegisterkette **42** in einem seriellen Ausgangsdatenstrom ausgetaktet, zu der Zeit, zu der der Takt **246** einen anderen Zyklus durchläuft, werden die Daten auf den Eingängen **400** der Register **48** in die Ausgänge **49** eingetragen, die mit den Eingängen der Schieberegister in der Schieberegisterkette **42** verbunden sind, so dass die Daten parallel zu dem nächsten Ausgangszyklus übertragen werden. Es ist klar, dass dann, wenn W größer als 8 wäre, das System versuchen würde, in einem Zyklus des Takts **246** mehr Bits aus der Schieberegisterkette **42** auszutakten als es Register in der Kette gibt, resultierend in Lücken in dem ausgegebenen seriellen Datenstrom. In dem Fall der Ausgangsschnittstelle **40** gibt es, anders als bei der Eingangsschnittstelle **30**, vorzugsweise keine "übrig gebliebenen" Bits in der Schieberegisterkette **42**, wenn W kleiner als 8 ist, da das System vorzugsweise durch Benutzerprogrammierung eingerichtet ist, nur W Bits in die Register **48** zu laden, so dass nur W Schieberegister in der Schieberegisterkette **42** Daten empfangen, wobei alle von diesen in einem Zyklus ausgetaktet werden würden. Wenn der Benutzer irrtümlicherweise die Vorrichtung **10** programmieren würde, in mehr als W Register **48** Daten zu laden, würden diese Daten zu den Schieberegistern **42** übertragen werden, jedoch nicht aus den Schieberegistern **42** ausgetaktet werden, da nur W Bits ausgetaktet werden würden. Die übrig gebliebenen Bits würden dann überschrieben, wenn die nächsten W Bits parallel in die Schieberegister **42** übertragen werden.

[0050] Schließlich, im Falle der Ausgangsschnittstelle **40**, wird ein nicht vervielfachter Takt **246** bei einem Multiplexer **222** abgreifbar gemacht, als eine Möglichkeit für den Ausgangstakt OUT0 auf den Pins **226** und **227**. Dies ermöglicht einem Benutzer, den Takt **246** zur Synchronisation des LVDS-Empfängers zu verwenden, zu dem der LVDS-Ausgangsdatenstrom (Anschlüsse **45**, **46**) der Vorrichtung **10** gesendet wird, mit dem Takt, der verwendet wurde, um den Datenstrom zu erzeugen. Es gibt keinen Grund, das gleiche mit dem internen Takt der Eingangsschnittstelle **30** zu tun, da es keinerlei Verwendung für ihn außerhalb der Schnittstelle **30** geben würde. Deshalb sind die Taktnetzwerke L4, L5 unabhängig und brauchen nicht in Phase zu sein.

[0051] In einem bevorzugten Ausführungsbeispiel ist W = 7 und die nicht vervielfachte Taktrate ist 66 MHz, so dass die vervielfachte Taktrate 462 MHz ist. In einem anderen bevorzugten Ausführungsbeispiel ist W = 8 und die nicht vervielfachte Taktrate ist 77,75 MHz, so dass die vervielfachte Taktrate gleich 622 MHz ist. Diese Ausführungsbeispiele entsprechen dem publizierten Standard für das LVDS-Signalgebungsprotokoll.

[0052] Gemäß einem anderen Aspekt der vorliegenden Erfindung kommt, wie in Fig. 2 gesehen werden kann, kommt der Takteingang **41** für die PLL-Schaltung **16** bei der PLL-Schaltung **16** über den Multiplexer **247** an, was die Auswahl als Takteingang **41** nicht nur des LVDS-Eingangstakts auf den Pins **20** und **21**, sondern auch von irgendeinem der globalen Takte G1, G2 und G3 ermöglicht. Dies ermöglicht der PLL-Schaltung **16** durch die programmierbare Steuerung des Benutzers (a) mit anderen PLLs kaskadiert zu sein, (b) direkt durch einen externen Takt (Pins **20**, **21**) getrieben zu werden oder (c) durch einen externen Takt von einem der Pins **22** und **23**, **24** und **25** oder **26** und **27** über Umgehungsleiter **29**, **200**, **201**, Multiplexer **215** (oder sein Äquivalent) und einen der globalen Taktleiter (diese Option ermöglicht allen Taktpins, die PLL-Schaltung **16** ohne Kaskadierung zu treiben) getrieben zu werden. Die gleiche Funktionalität kann auch für jede oder alle der PLL-Schaltungen der Vorrichtung **10** (nicht gezeigt) bereitgestellt werden. Dies ermöglicht eine größere Benutzerflexibilität.

[0053] Fig. 5 zeigt eine programmierbare Logikvorrichtung **10**, die programmierbare I/O-Schaltungen **20** oder **40** einschließt, die gemäß dieser Erfindung in einem Datenprozessierungssystem **500** konfiguriert sind. Das Datenverarbeitungssystem **500** kann eine oder mehrere der folgenden Komponenten umfassen: einen Prozessor **501**; einen Speicher **502**; eine I/O-Schaltung **503**; und Periphervorrichtungen **504**. Diese Komponenten sind miteinander durch einen Systembus **505** gekoppelt und auf einer Leiterplatte **506** angesiedelt, die in einem Endverbrauchersystem **507** enthalten ist.

[0054] Das System **500** kann in einer breiten Vielfalt von Anwendungen verwendet werden, wie beispiels-

weise Rechnernetzwerken, Datennetzwerken, Geräteausstattung, Videoverarbeitung, digitale Signalverarbeitung oder jeder anderen Anwendung, wo der Vorteil einer Verwendung von programmierbarer oder wiederprogrammierbarer Logik wünschenswert ist. Die programmierbare Logikvorrichtung **10** kann verwendet werden, um eine Vielzahl von verschiedenen Logikfunktionen auszuführen. Beispielsweise kann die programmierbare Logikvorrichtung **10** konfiguriert werden als ein Prozessor oder eine Steuerung, die in Zusammenarbeit mit dem Prozessor **501** arbeitet. Die programmierbare Logikvorrichtung **10** kann auch als Entscheider für einen Entscheidungszugriff zu einer gemeinsam benutzten Quelle in dem System **500** verwendet werden. In noch einem anderen Beispiel kann die programmierbare Logikvorrichtung **10** als Schnittstelle zwischen dem Prozessor **501** und einer anderen Komponente in dem System **500** konfiguriert sein. Es soll angemerkt werden, dass das System **500** nur beispielhaft ist und dass der wahre Umfang und Geist der Erfindung durch die folgenden Ansprüche festgelegt ist.

[0055] Verschiedene Techniken können verwendet werden, um programmierbare Logikvorrichtungen **10** zu implementieren, die die LVDS-Schnittstelle **30**, **40** gemäß dieser Erfindung einsetzen, sowie die verschiedenen Komponenten der LVDS-Schnittstelle. Darüber hinaus ist diese Erfindung anwendbar sowohl auf nur einmal programmierbare als auch wiederprogrammierbare Vorrichtungen.

[0056] Somit kann gesehen werden, dass eine LVDS-Schnittstelle für eine programmierbare Logikvorrichtung geschaffen wurde, wobei die Schnittstelle eine Phasenverriegelungsschleifen-Schaltung zur genauen Eingangs/Ausgangs-Taktung umfasst. Der Fachmann wird verstehen, dass die vorliegende Erfindung auch durch andere als die beschriebenen Ausführungsbeispiele ausgeführt werden kann, die lediglich zum Zweck der Veranschaulichung und nicht zur Beschränkung vorgestellt wurden, und die vorliegende Erfindung ist nur durch die folgenden Ansprüche beschränkt.

Patentansprüche

1. LVDS-Eingangsschnittstelle (**30**) für eine programmierbare Logikvorrichtung (**10**), wobei die programmierbare Logikvorrichtung mehrere Signalleiter (**303**) besitzt, wobei die LVDS-Eingangsschnittstelle umfasst:
ein Paar Eingangsanschlüsse (**35**, **36**), die ein Eingangs-LVDS-Signal annehmen;
einen differentiellen LVDS-Eingangstreiber (**34**), der das Eingangs-LVDS-Signal in ein Datensignal (**33**), das einen seriellen Strom von Eingangsdatenbits enthält, umsetzt,
eine erste Anzahl von Eingangsschieberegistern (**32**), wobei die erste Anzahl von Eingangsschieberegistern einen Eingangsschieberegister-Eingang besitzt, der den seriellen Strom von Eingangsdatenbits (**33**) annimmt, wobei jedes der Eingangsschieberegister einen Eingangsschieberegister-Ausgang besitzt;
eine Anzahl von zweiten Eingangsregistern (**38**), die gleich der ersten Anzahl von Eingangsschieberegistern (**32**) ist, wobei jedes Register der Anzahl von zweiten Eingangsregistern einen Eingang, der mit einem der Eingangsschieberegister-Ausgänge (**32**) gekoppelt ist, und einen Registerausgang (**39**), der mit einem der Signalleiter (**303**) gekoppelt ist, besitzt; und
eine Eingangs-Phasenverriegelungsschleifen-Schaltung (**17**), die ein erstes (**245**, **37**) und ein zweites (**246**) Eingangstaktsignal mit einer ersten bzw. einer zweiten Eingangstaktrate erzeugt, wobei die Schaltung (**17**) eine Eingangsrückkopplungsschleife besitzt, die einen Eingangs-Rückkopplungsskalierungszähler (**244**) enthält, der ein Rückkopplungssignal durch einen ersten Faktor (W) teilt, um so ein frequenzgeteiltes Rückkopplungssignal zu erzeugen, wobei das Rückkopplungssignal das erste Eingangstaktsignal (**245**, **37**) mit der ersten Eingangstaktrate bereitstellt und das frequenzgeteilte Rückkopplungssignal das zweite Eingangstaktsignal (**246**) mit der zweiten Eingangstaktrate bereitstellt, wobei die erste Eingangstaktrate ein erstes Vielfaches (W) der zweiten Eingangstaktrate ist und wobei das erste Vielfache (W) gleich dem ersten Faktor und eine ganze Zahl ist, die höchstens gleich der ersten Anzahl von Eingangsschieberegistern (**32**) ist; wobei:
das erste Eingangstaktsignal (**37**) das Verschieben des seriellen Stroms von Eingangsdatenbits (**33**) in die Eingangsschieberegister (**32**) steuert; und
das zweite Eingangstaktsignal (**246**) die Eintragung der Eingangsdatenbits von den Eingängen der zweiten Eingangsregister (**38**) in die Ausgänge (**39**) der zweiten Eingangsregister steuert; wodurch:
in jedem Zyklus des zweiten Eingangstaktsignals (**246**):
eine vorhandene Menge der ersten Anzahl von Eingangsdatenbits, die vorher durch die Eingangsschieberegister-Ausgänge an die Eingänge der zweiten Eingangsregister (**38**) angelegt wurden, in die Ausgänge (**39**) der zweiten Eingangsregister eingetragen wird, um auf den Signalleitern (**303**) geleitet zu werden; und
das erste Eingangstaktsignal (**37**) durch die erste Mehrzahl von Zyklen läuft, wobei eine neue Menge der ersten Mehrzahl von Eingangsdatenbits (**33**) in die Eingangsschieberegister (**32**) getaktet wird, wodurch sie zu den Eingängen der zweiten Eingangsregister (**38**) geleitet werden.

2. LVDS-Schnittstelle nach Anspruch 1, bei der die erste Taktrate bis zu wenigstens etwa 622 MHz beträgt.

3. LVDS-Schnittstelle nach Anspruch 2, bei der

die erste Taktrate etwa 462 MHz beträgt.

4. LVDS-Schnittstelle nach Anspruch 3, bei der die erste Anzahl 7 ist und die zweite Taktrate etwa 66 MHz beträgt.

5. LVDS-Schnittstelle nach Anspruch 2, bei der die erste Taktrate etwa 622 MHz beträgt.

6. LVDS-Schnittstelle nach Anspruch 5, bei der die erste Anzahl 8 ist und die zweite Taktrate etwa 77,75 MHz beträgt.

7. LVDS-Eingangsschnittstelle (**30**) nach einem der Ansprüche 1–6, bei der die Eingangs-Phasenverriegelungsschleifen-Schaltung (**17**) umfasst:
einen Eingangstakt-Eingangsanschluss, der ein Eingangstakt-Eingangssignal (**31**), das eine Eingangstakt-Eingangsfrequenz besitzt, annimmt;
einen Eingangsphasen-/-frequenzdetektor (**234**), der einen Signaleingang, der mit dem Eingangstakt-Eingangsanschluss verbunden ist, einen Eingangsphasen-Erfassungseingang und einen Eingangssignal-Ausgang besitzt;
eine Eingangs-Ladungspumpe (**235**), die einen Eingangspumpen-Eingang, der mit dem Eingangssignal-Ausgang des Eingangsphasen-/-frequenzdetektors (**234**) verbunden ist, und einen Eingangspumpen-Ausgang besitzt;
ein Eingangs-Tiefpassfilter (**236'**), das einen Eingangsfilter-Eingang, der mit dem Eingangspumpen-Ausgang verbunden ist, und einen Eingangsfilter-Ausgang besitzt;
einen spannungsgesteuerten Eingangsoszillator (**237'**), der einen Eingangsoszillator-Eingang, der mit dem Eingangsfilter-Ausgang verbunden ist, und einen Eingangsoszillator-Ausgang (**245**), der ein Eingangstakt-Ausgang der Eingangs-Phasenverriegelunsschleife ist, besitzt und das erste Eingangstaktsignal (**245**, **37**) bereitstellt;
wobei die Eingangs-Rückkopplungsschleife das frequenzgeteilte Rückkopplungssignal zu dem Eingangs-Phasenerfassungs-Eingang (**234**) zurückleitet, wobei der Eingangs-Rückkopplungsskalierungszähler (**244**) mit dem ersten Vielfachen (W) geladen wird und bewirkt, dass der Eingangsoszillator-Ausgang (**245**) eine Eingangstakt-Ausgangsfrequenz besitzt, die gleich der Eingangstakt-Eingangsfrequenz, multipliziert mit dem ersten Vielfachen (W), ist; und
einen ersten Umgehungsausgang von der Eingangs-Rückkopplungsschleife am Auslass des Eingangs-Rückkopplungsskalierungszählers (**244**), um das zweite Eingangstaktsignal (**246**) bereitzustellen, wobei das zweite Eingangstaktsignal in einer phasenverriegelten Beziehung zu dem ersten Eingangstaktsignal (**245**) steht, jedoch eine Frequenz besitzt, die gleich der Eingangsfrequenz ist.

8. LVDS-Eingangsschnittstelle (**30**) nach einem der Ansprüche 1 bis 7, bei der das erste Vielfache (W) gleich der ersten Anzahl von Eingangsschieberegistern (**32**) ist.

9. LVDS-Ausgangsschnittstelle (**40**) für eine programmierbare Logikvorrichtung (**10**), wobei die programmierbare Logikvorrichtung mehrere Signalleiter besitzt, wobei die LVDS-Ausgangsschnittstelle umfasst:
eine zweite Anzahl erster Ausgangsregister (**48**), wobei jedes Register der zweiten Anzahl erster Ausgangsregister einen Eingang (**400**), der mit einem der Signalleiter (**401**) gekoppelt ist, und einen Registerausgang (**49**) besitzt;
eine Anzahl von Ausgangsschieberegistern (**42**), die gleich der zweiten Anzahl von ersten Ausgangsregistern (**48**) ist, wobei jedes Ausgangsschieberegister (**42**) der zweiten Anzahl von Ausgangsschieberegistern einen Eingang, der mit einem der Registerausgänge (**49**) des Ausgangsregisters gekoppelt ist, besitzt, wobei die zweite Anzahl von Ausgangsschieberegistern (**42**) einen Ausgangsschieberegister-Ausgang (**43**) besitzt, um einen seriellen Strom von Ausgangsdatenbits bereitzustellen;
eine Ausgangs-Phasenverriegelungsschleifen-Schaltung (**16**), die ein erstes (**246**) und ein zweites (**245**, **47**) Ausgangstaktsignal erzeugt, die eine erste bzw. eine zweite Ausgangstaktrate besitzen, wobei die Schaltung (**16**) eine Ausgangs-Rückkopplungsschleife besitzt, die einen Ausgangs-Rückkopplungsskalierungszähler (**244**) enthält, der ein Rückkopplungssignal durch einen zweiten Faktor (W) teilt, um so ein frequenzgeteiltes Rückkopplungssignal zu erzeugen, wobei das Rückkopplungssignal das zweite Ausgangstaktsignal (**245**, **47**) mit der zweiten Ausgangstaktrate erzeugt und das frequenzgeteilte Rückkopplungssignal das erste Ausgangstaktsignal (**246**) mit der ersten Ausgangstaktrate erzeugt, wobei die zweite Ausgangstaktrate ein zweites Vielfaches (W) der ersten Ausgangstaktrate ist, wobei das zweite Vielfache (W) gleich dem zweiten Faktor und eine ganze Zahl ist, die höchstens gleich der zweiten Anzahl von ersten Ausgangsregistern (**48**) ist;
einen differentiellen LVDS-Ausgangstreiber (**44**), der den seriellen Strom von Ausgangsdatenbits (**43**) in ein Ausgangs-LVDS-Signal umsetzt; und
ein Paar Ausgangsanschlüsse (**45**, **46**), die das Ausgangs-LVDS-Signal bereitstellen; wobei:
das erste Ausgangstaktsignal (**246**) die Eintragung der Ausgangsdatenbits von den Eingängen der ersten Ausgangsregister (**48**) in die Registerausgänge (**49**) des Ausgangsregisters steuert, wodurch sie zu den Eingängen der Ausgangsschieberegister (**42**) geleitet werden; und
das zweite Ausgangstaktsignal (**47**) das Verschieben der Ausgangsdatenbits aus den Ausgangsschieberegistern (**42**) als den seriellen Strom von Ausgangsdatenbits (**43**) steuert; wodurch:
in jedem Zyklus des ersten Ausgangstaktsignals (**246**);
das zweite Ausgangstaktsignal (**47**) durch die zweite

Mehrzahl von Zyklen läuft und eine Menge der zweiten Mehrzahl von Ausgangsdatenbits aus den Ausgangsschieberegistern (**42**) als den seriellen Strom von Ausgangsdatenbits (**43**) taktet; und
eine vorhandene Menge der zweiten Mehrzahl von Ausgangsdatenbits, die vorher durch die Signalleiter (**401**) in die ersten Ausgangsregister (**48**) geleitet wurden, in die eingetragenen Ausgänge (**49**) der ersten Ausgangsregister (**48**) eingetragen wird, wodurch sie zu den Ausgangsschieberegistern (**42**) geleitet werden, während eine neue Menge der zweiten Mehrzahl von Ausgangsdatenbits in die Eingänge der ersten Ausgangsregister (**48**) durch die Signalleiter (**401**) geleitet wird.

10. LVDS-Schnittstelle nach Anspruch 9, bei der die zweite Taktrate bis zu wenigstens etwa 622 MHz beträgt.

11. LVDS-Schnittstelle nach Anspruch 10, bei der die zweite Taktrate etwa 462 MHz beträgt.

12. LVDS-Schnittstelle nach Anspruch 11, bei der die zweite Anzahl (W) gleich 7 ist und die erste Taktrate etwa 66 MHz beträgt.

13. LVDS-Schnittstelle nach Anspruch 10, bei der die zweite Taktrate etwa 622 MHz beträgt.

14. LVDS-Schnittstelle nach Anspruch 13, bei der die zweite Anzahl (W) gleich 8 ist und die erste Taktrate etwa 77,75 MHz beträgt.

15. LVDS-Ausgangsschnittstelle (**40**) nach einem der Ansprüche 9–14, bei der die Ausgangs-Phasenverriegelungsschleifen-Schaltung (**16**) umfasst:
einen Ausgangstakt-Eingangsanschluss, der ein Ausgangstakt-Eingangssignal (**41**), das eine Ausgangstakt-Eingangsfrequenz besitzt, annimmt;
einen Ausgangsphasen-/-frequenzdetektor (**234**), der einen Ausgangssignal-Eingang, der mit dem Ausgangstakt-Eingangsanschluss verbunden ist, einen Ausgangsphasen-Erfassungseingang und einen Ausgangssignal-Ausgang besitzt;
eine Ausgangs-Ladungspumpe (**235**), die einen Ausgangspumpen-Eingang, der mit dem Signalausgang des Ausgangsphasen-/-frequenzdetektors (**234**) verbunden ist, und einen Ausgangspumpen-Ausgang besitzt;
ein Ausgangs-Tiefpassfilter (**236'**), das einen Ausgangsfilter-Eingang, der mit dem Ausgangspumpen-Ausgang verbunden ist, und einen Ausgangsfilter-Ausgang besitzt;
einen spannungesteuerten Ausgangsoszillator (**237'**), der einen Ausgangsoszillator-Eingang, der mit dem Ausgangsfilter-Ausgang verbunden ist, und einen Ausgangsoszillator-Ausgang (**245**), der ein Ausgangstakt-Ausgang der Ausgangs-Phasenverriegelungsschleife ist und das zweite Ausgangstaktsignal (**245**, **47**) bereitstellt, besitzt;
wobei die zweite Rückkopplungsschleife das frequenzgeteilte Rückkopplungssignal zu dem Ausgangsphasen-Erfassungseingang (**234**) zurückleitet,
wobei der Ausgangs-Rückkopplungsskalierungszähler (**244**) mit dem zweiten Vielfachen (W) geladen wird und bewirkt, dass der Ausgangsoszillator-Ausgang (**245**) eine Ausgangstakt-Ausgangsfrequenz besitzt, die gleich der Ausgangstakt-Eingangsfrequenz, multipliziert mit dem zweiten Vielfachen (W), ist; und
einen Ausgangsumgehungs-Ausgang von der Ausgangs-Rückkopplungsschleife hinter dem Ausgangs-Rückkopplungsskalierungszähler (**244**), der das erste Ausgangstaktsignal (**246**) bereitstellt, wobei das erste Ausgangstaktsignal (**246**) der Ausgangs-Phasenverriegelungsschleife in einer phasenverriegelten Beziehung zu dem zweiten Ausgangstaktsignal (**245**) der Ausgangs-Phasenverriegelungsschleife steht, jedoch eine Frequenz besitzt, die gleich der Ausgangstakt-Eingangsfrequenz ist.

16. LVDS-Ausgangsschnittstelle (**40**) nach einem der Ansprüche 9 bis 15, bei der das zweite Vielfache (W) gleich der zweiten Anzahl von ersten Ausgangsregistern (**48**) ist.

17. Programmierbare Logikvorrichtung (**10**), die umfasst:
mehrere programmierbare Logikbereiche;
mehrere Leiter zum Leiten von Signalen zu, von und zwischen (**303**) den mehreren programmierbaren Logikbereichen; und
eine LVDS-Eingangsschnittstelle (**30**) nach einem der Ansprüche 1 bis 8.

18. Programmierbare Logikvorrichtung (**10**) nach Anspruch 17, die ferner eine LVDS-Ausgangsschnittstelle (**40**) nach einem der Ansprüche 9 bis 16 umfasst.

19. Programmierbare Logikvorrichtung (**10**), die umfasst:
mehrere programmierbare Logikbereiche;
mehrere Leiter zum Leiten von Signalen zu, von und zwischen (**401**) den mehreren programmierbaren Logikbereichen; und
eine LVDS-Ausgangsschnittstelle (**40**) nach einem der Ansprüche 9 bis 16.

20. Digitales Verarbeitungssystem (**500**), das umfasst:
eine Verarbeitungsschaltungsanordnung (**501**);
einen Speicher (**502**), der mit der Verarbeitungsschaltungsanordnung (**501**) gekoppelt ist; und
eine programmierbare Logikvorrichtung (**10**) nach einem der Ansprüche 17 bis 19, die mit der Verarbeitungsschaltungsanordnung (**501**) und mit dem Speicher (**502**) gekoppelt ist.

21. Gedruckte Leiterplatte (**506**), auf der eine

programmierbare Logikvorrichtung (**10**) nach einem der Ansprüche 17 bis 19 montiert ist.

22. Gedruckte Leiterplatte (**506**) nach Anspruch 21, die ferner umfasst:
einen Speicher (**502**) , der auf der gedruckten Leiterplatte (**506**) montiert und mit der programmierbaren Logikvorrichtung (**10**) gekoppelt ist.

23. Gedruckte Leiterplatte (**506**) nach Anspruch 21, die ferner umfasst:
eine Verarbeitungsschaltungsanordnung (**501**), die auf der gedruckten Leiterplatte (**506**) montiert und mit der programmierbaren Logikvorrichtung (**10**) gekoppelt ist.

Es folgen 6 Blatt Zeichnungen

Anhängende Zeichnungen

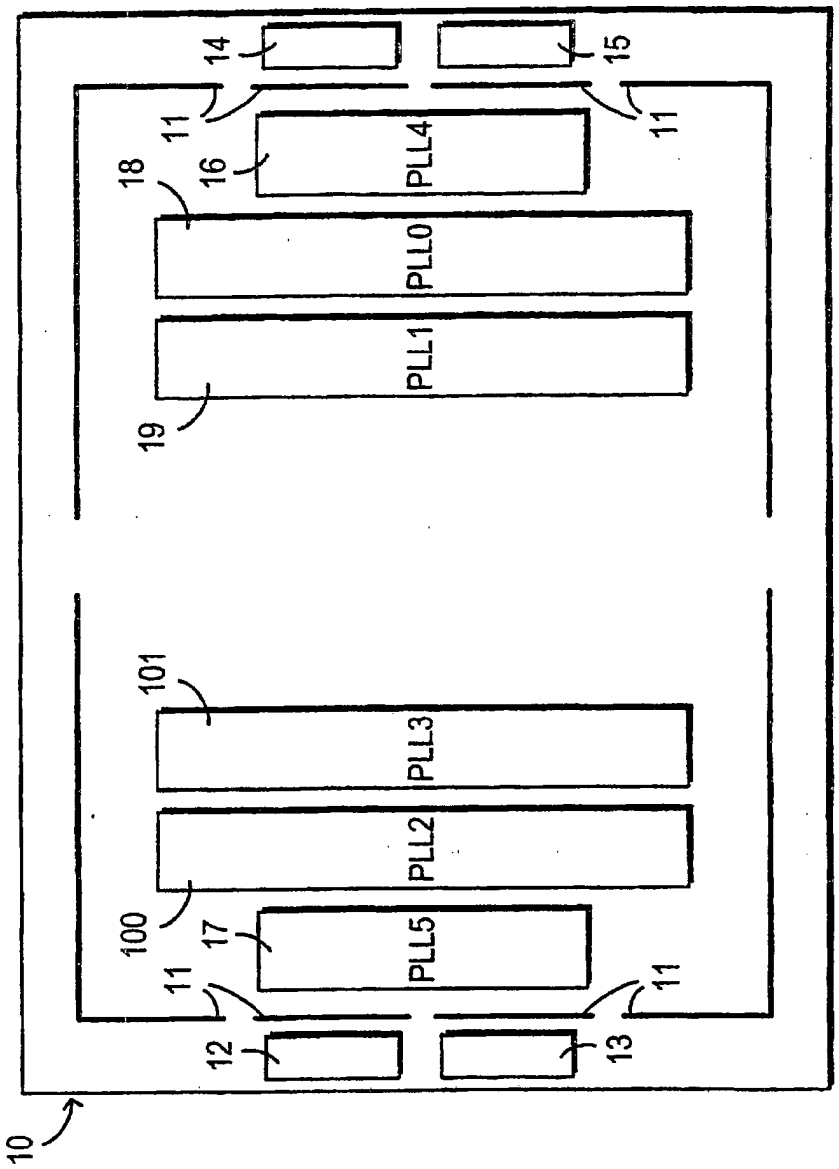


FIG. 1

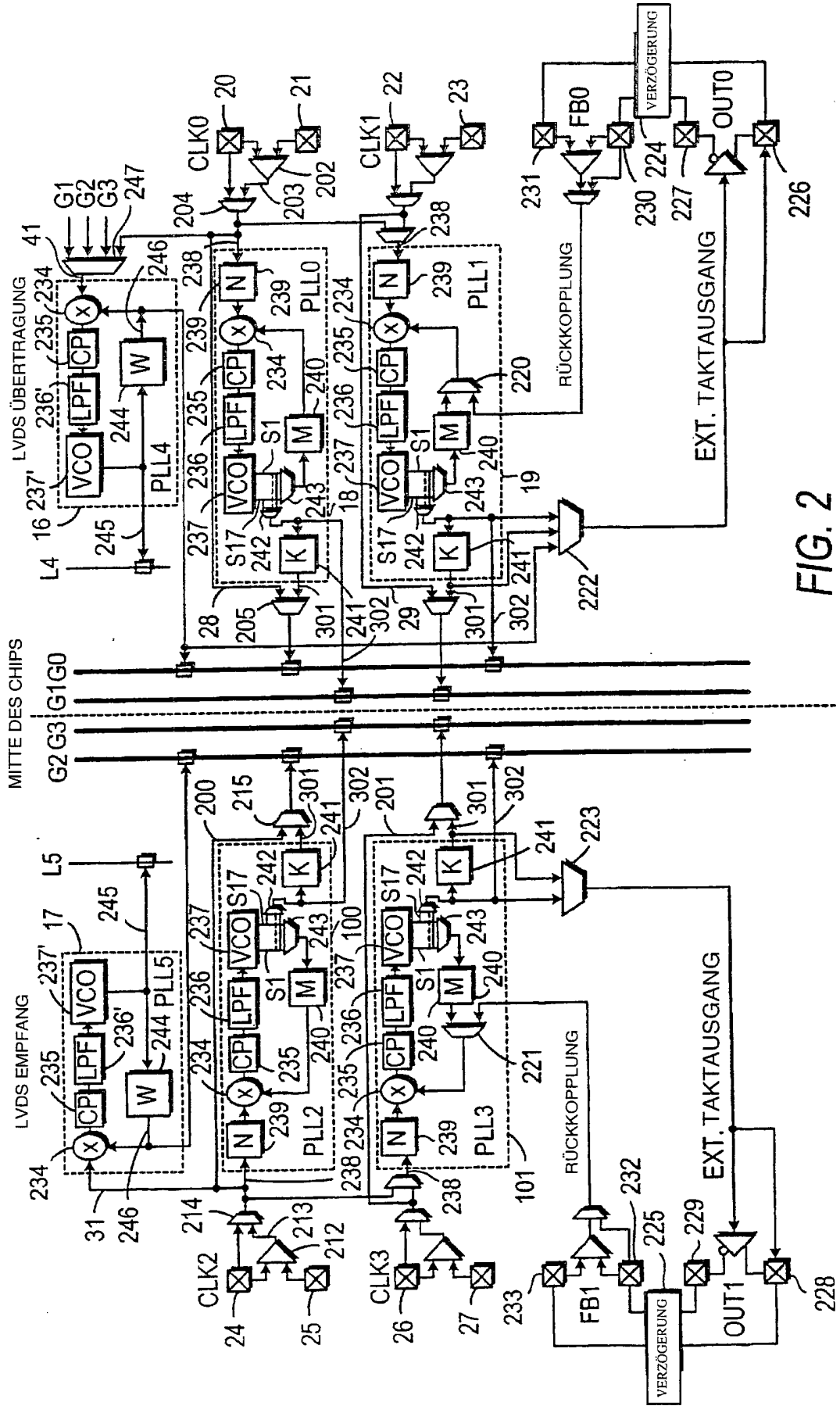

LVDS ÜBERTRAGUNG
LVDS EMPFANG
MITTE DES CHIPS
PLL0
PLL1
PLL2
PLL3
PLL4
PLL5
RÜCKKOPPLUNG
EXT. TAKTAUSGANG
VERZÖGERUNG
CLK0
CLK1
CLK2
CLK3
FB0
FB1
OUT0
OUT1
VCO
LPF
CP
W
N
M
K
S17
S1

FIG. 2

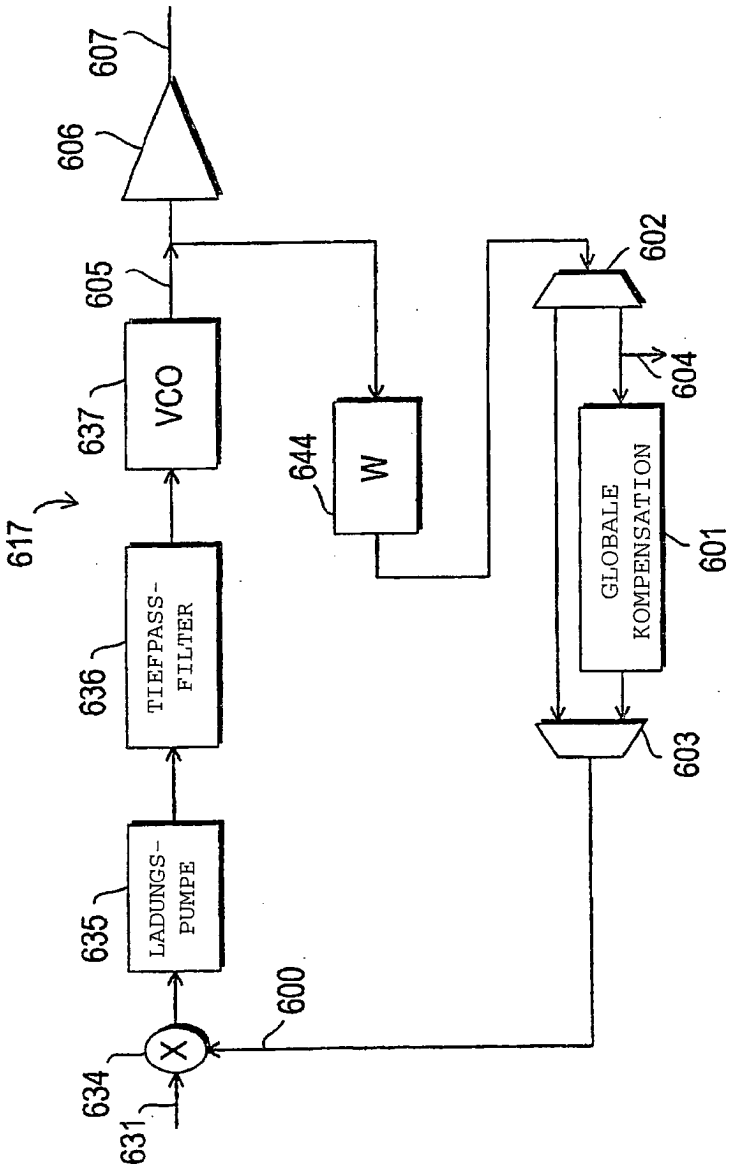

607
606
605
637
VCO
644
W
602
604
617
636
TIEFPASS-
FILTER
GLOBALE
KOMPENSATION
601
635
LADUNGS-
PUMPE
603
600
634
631

FIG. 2A

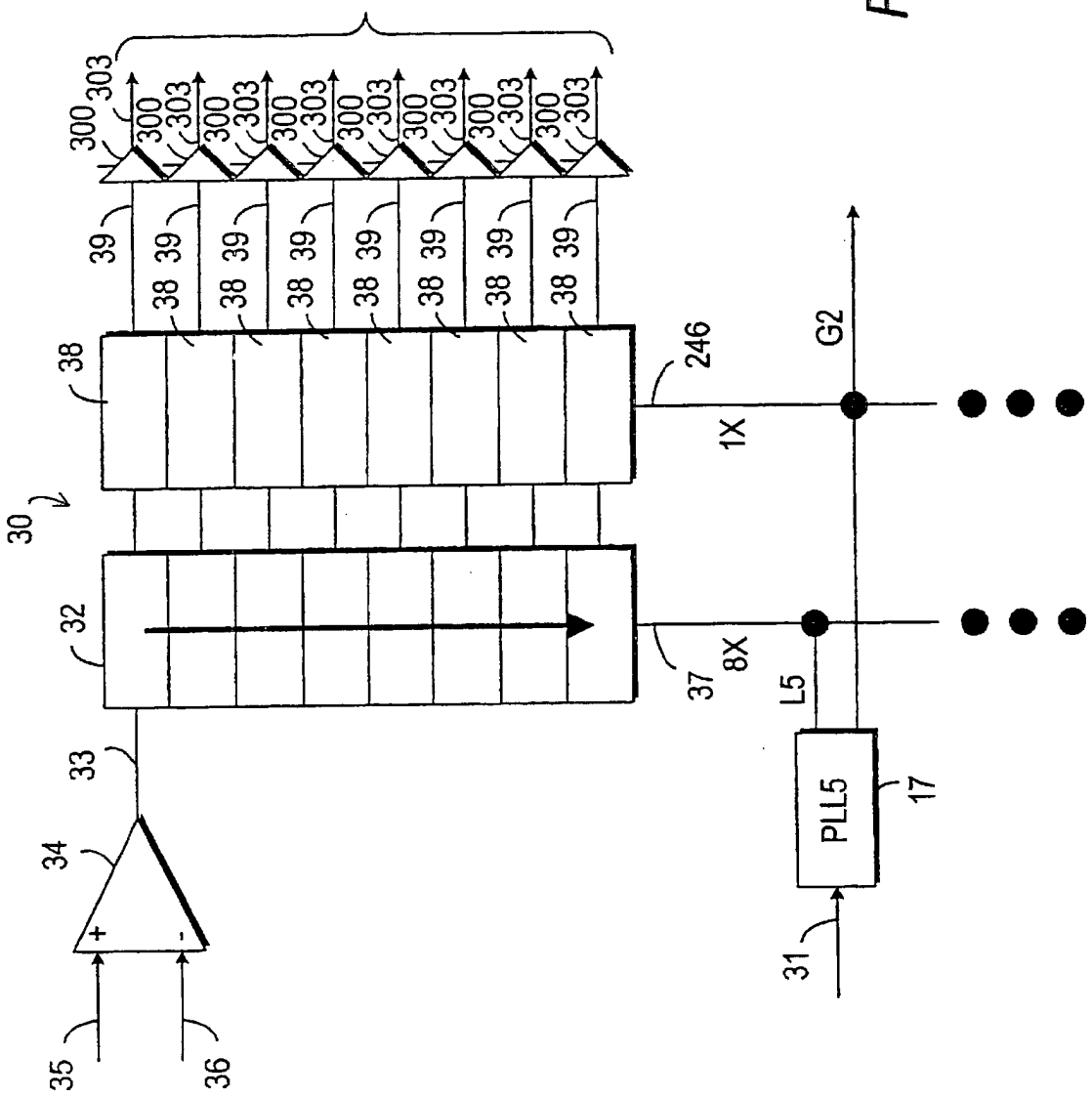


FIG. 3

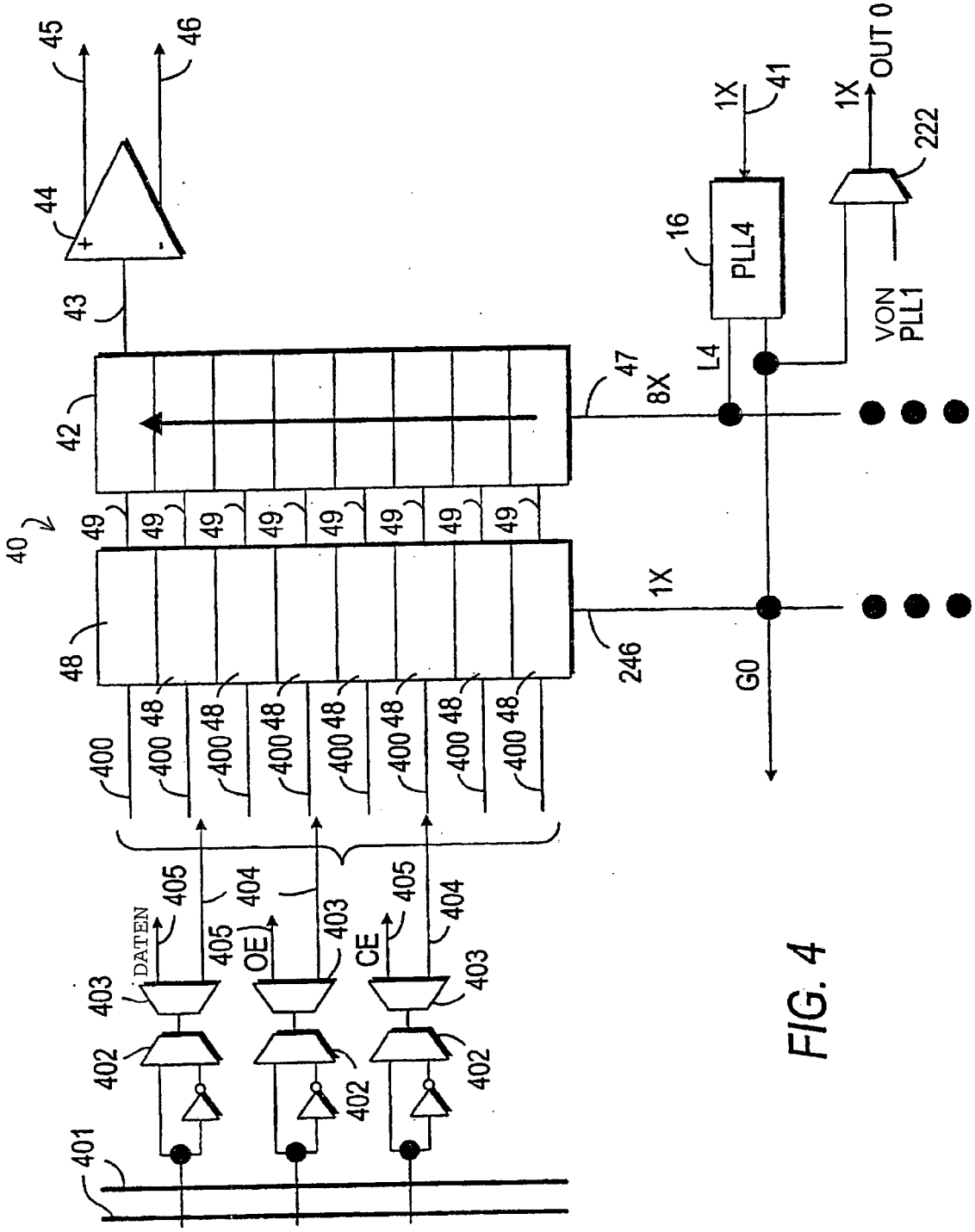

45
46
44
43
42
47
8X
49
40
48
1X
246
400
405
404
403
402
401
DATEN
OE
CE
L4
G0
16
PLL4
41
1X
OUT 0
222
VON
PLL1

FIG. 4

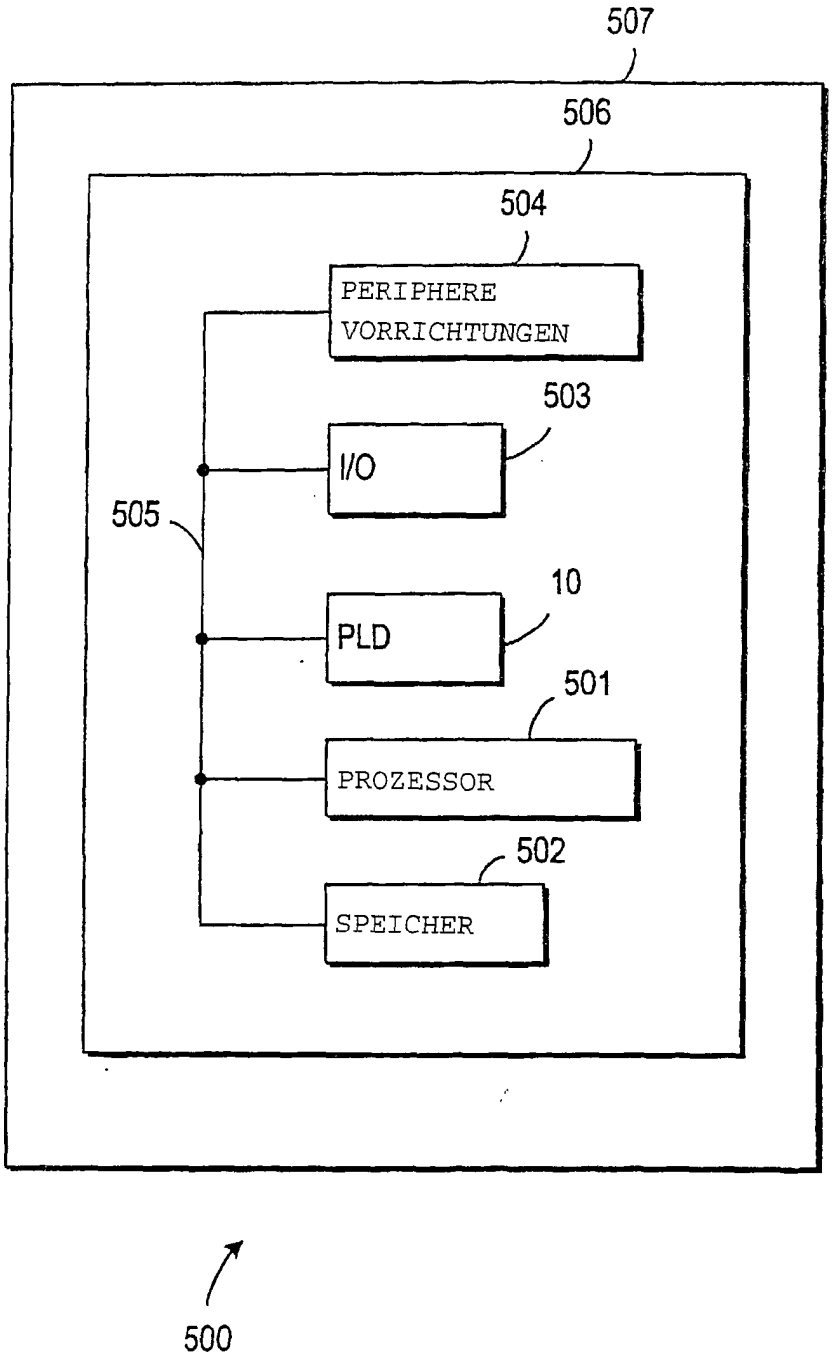

507
506
504
PERIPHERE VORRICHTUNGEN
503
I/O
505
10
PLD
501
PROZESSOR
502
SPEICHER
500

FIG. 5