

申請日期：89.9.13

案號：89118761

類別：G09G

3,28

(以上各欄由本局填註)

發明專利說明書

482991

一、發明名稱	中文	用於電漿顯示面板之省電型驅動電路
	英文	
二、發明人	姓名 (中文)	1. 黃日鋒 2. 黃以民 3. 楊孫成
	姓名 (英文)	1. JIH FON Huaney 2. Huang Yi-min 3. Yang Sun-Chen
	國籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 竹北市新光街86巷2號6樓 2. 台北市文山區木柵路四段35之2號4樓 3. 台北縣汐止市汐萬路二段122巷38弄12號
三、申請人	姓名 (名稱) (中文)	1. 達碁科技股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹市科學工業園區力行路23號
	代表人 姓名 (中文)	1. 李焜耀
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

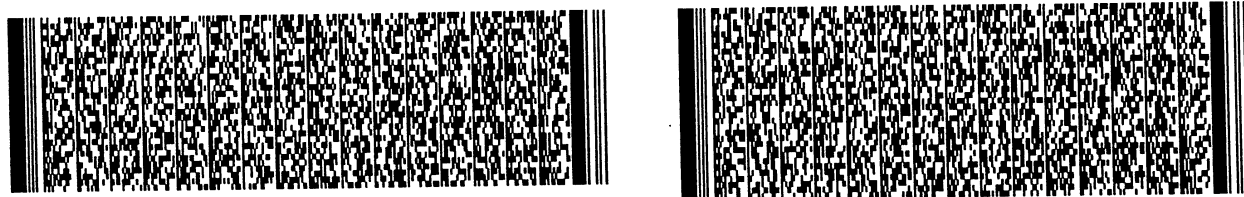
本發明係有關於一種電漿顯示面板(Plasma Display Panel，以下簡稱PDP)技術，特別是有關於具有省電功能之PDP驅動電路。

PDP主要是利用電極放電累積電荷的方式進行顯示，由於具有大螢幕、高容量以及能夠顯示全彩(full-color)影像，是未來最具潛力的平面顯示器。

第1圖表示一般PDP中單元(cell)結構的側視剖面圖，其中此PDP係採用三電極架構(triple-electrode type)。如圖所示，PDP主要是由兩塊玻璃基板1和7所組成，在玻璃基板1和7之間的空腔(cavity)則填入惰性氣體，如Ne、Xe。在玻璃基板1上設置了兩個電極，包括維持電極X和維持電極Yi，兩者彼此平行。在維持電極X和維持電極Yi上則被覆一層介電層3以及保護膜(protective film)5。另外，在玻璃基板7上則設置位址電極(address electrodes)Ai，其與維持電極X和維持電極Yi的延伸方向上呈彼此垂直的關係。。每個單元的四周以分隔牆(partition wall)8加以隔離。介於分隔牆8間有螢光材料9，用來在放電過程中發光。

第2圖表示一般PDP所構成之電漿顯示器的方塊圖。如圖所示，PDP 100是由彼此平行的維持電極Y1~Yn以及維持電極X，以及橫跨其上之位址電極A1~Am所驅動。10表示PDP 100中的顯示單元，每個顯示單元10之間則是由分隔牆8加以隔離。

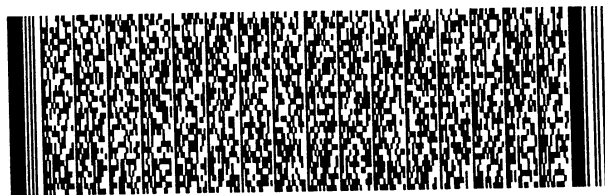
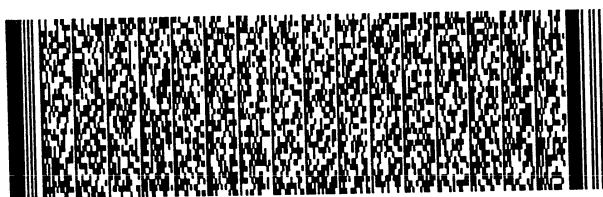
電漿顯示器中除了包括PDP 100之外，尚包括控制電



五、發明說明 (2)

路(control circuit)110、Y掃描驅動器(Y scan driver)112、X共同驅動器(X common driver)114以及位址驅動器(address driver)116。控制電路110可以根據外部所提供之時脈信號CLOCK、視訊資料信號DATA、垂直同步信號VSYNC以及水平同步信號HSYNC，產生各驅動器所需要之時序資訊。其中時脈信號CLOCK表示資料傳輸時脈，視訊資料信號DATA表示顯示資料，垂直同步信號VSYNC和水平同步信號HSYNC則是用以定義單一畫框(frame)和單一掃描線(scanning line)之時序。控制電路110主要是用來產生各將顯示資料和時脈，送到對應的驅動器內，藉以使其產生驅動各電極所需要的信號。

第3圖表示習知技術驅動PDP顯示一畫框(frame)之動作示意圖。一般每個畫框係區分成數個次圖場(sub-field)，例如在第3圖中每個畫框便區分為八個次圖場SF1~SF8，每個次圖場是用來在全部掃描線上顯示對應的灰階位準(gray scale)，例如欲顯示256位階灰階時(對應於8位元)，便可以使用八個次圖場分別處理。每個次圖場則由三個操作期間所組成，分別為重置期間(reset period)R1~R8、寫入期間(address period)A1~A8以及維持時間(sustain period)S1~S8。重置期間是用來清除前一次圖場顯示時所殘餘之電荷。寫入期間則是透過位址放電(address discharge)在需要顯示之單元中(即呈on狀態)累積壁電荷。維持期間則是用來維持已經累積的壁電荷，以便維持顯示狀態。其中，重置期間R1~R8和維持期



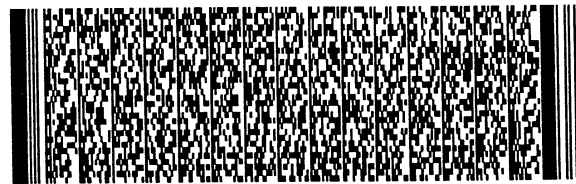
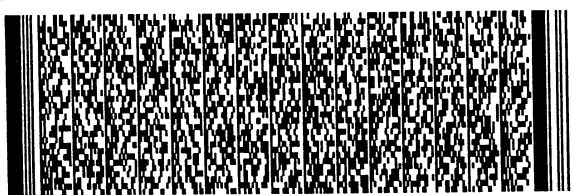
五、發明說明 (3)

間S1~S8是同時處理PDP上的全部顯示單元，而寫入期間A1~A8則是依序對於維持電極Y1~Yn上的各顯示單元進行寫入動作。

第4圖表示在第3圖中單一次圖場(以SF1為例)上維持電極X和Yi之控制信號的時序圖。當完成所有掃描線上的重置動作後，開始進入寫入期間。在寫入期間(亦即A1)，由X共同驅動器114在維持電極X上送出電壓Vs。而對於對應各維持電極Y1、Y2、Y3、...、Yn的掃描線，依序透過位址驅動器116送入包含顯示資料的定址脈波(address pulses)AP到各位址電極A1、A2、...、Am上。於是，對應於待顯示資料的顯示單元10中則會發生短暫地放電，並且在對應的顯示單元10內累積壁電荷。在完成所有掃描線的處理後，"待顯示資料"可以透過累積的壁電荷形式，儲存於對應的顯示單元10上。

當寫入期間結束後，則開始進行維持期間(亦即S1)。在維持期間，Y掃描驅動器112和X共同驅動器114會輪流對所有的維持電極Yi以及共同的維持電極X送出維持脈波(sustain pulses)。如第4圖所示，首先對於所有的維持電極Yi送出電壓值為Vs的維持脈波Ysus，接著對於維持電極X送出電壓值為Vs的維持脈波Xsus。上述動作會在此次圖場內的維持期間重複執行。雖然上述動作會同時牽涉到所有的顯示單元10上，但是只有在寫入期間曾透過定址放電產生壁電荷的顯示單元10才會在維持期間內持續發光。

根據以上可知，X共同驅動器114在維持期間中會週期

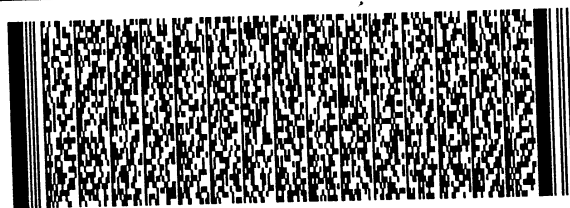
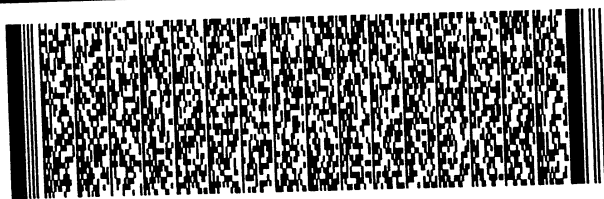


五、發明說明 (4)

性地產生維持脈波 X_{sus} ，一般維持脈波 X_{sus} 係為高頻且高電壓的信號，因此在電力消耗上相當可觀，目前已有許多針對此部分驅動電路所設計的省電架構。第5圖表示習知技術中一般所採用之PDP驅動電路省電架構的電路圖，主要為第2圖中X共同驅動器114的電路部分。如第5圖所示， C_p 表示PDP 100中顯示單元10所對應的等效電容，其另一端則是連接Y掃描驅動器112。X共同驅動器114中則包含MOS電晶體T1、T2、T3、T4、電感61以及電容C3。其中，C3是做為儲存及釋放能量的元件，電晶體T3、T4則是用來選擇性開啟做為提昇或下拉維持電極X上的電壓。以下簡述其動作。

當維持電極X上的電壓從0V變化為 V_s 時(亦即維持脈波 X_{sus} 上昇邊緣)，電容C3的電壓則維持在 $V_s/2$ ，線圈61上的電壓則為0V。此時，電晶體T3會被導通，而電容C3上的電壓 $V_s/2$ 則被送至線圈61的一側，這會造成線圈61上出現電流，並且讓線圈61另一側上的維持電極X電壓上昇。由於線圈61的反向電動勢(counter electromotive force)，理論上維持電極X的電壓(亦即線圈61的另一側)可以被上昇至 V_s 。但是實務上由於損耗的關係，此電壓並不會上昇到 V_s 。因此，如果維持電極X的電壓略低於 V_s 時，便可以導通電晶體T1而讓維持電極X的電壓提昇至 V_s 。如此維持電極X的電壓突然提昇至 V_s 會有電磁干擾(electromagnetic interference)的問題。

另一方面，當維持電極X上的電壓從 V_s 變化為0V(亦即



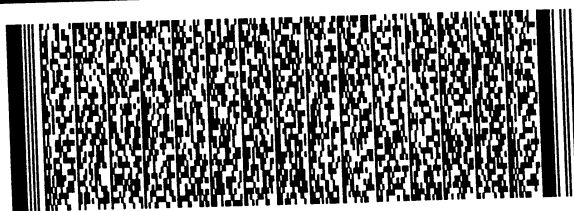
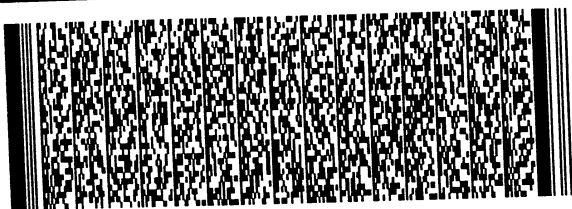
五、發明說明 (5)

維持脈波 X_{sus} 的下降邊緣)，此時線圈61上的電壓為 V_s 。此時電晶體T4會被導通，而電容C3上的電壓 $V_s/2$ 則被送至線圈61的一側，這會造成線圈61上出現反向電流，並且讓線圈61另一側上的維持電極X電壓下降至0V。但是實務上由於損耗的關係，此維持電極X電壓並不會降低0V。因此，如果維持電極X的電壓略高於0V時，便可以導通電晶體T2而讓維持電極X的電壓實際下降至0V。如此維持電極X的電壓突然下降至0V亦會有電磁干擾的問題。

除了上述之省電架構外，在美國專利5,438,290以及5,828,353除了針對上述省電架構的部分缺失加以改良外，主要亦是利用電容做為能量釋放及儲存的裝置，藉以節省在反覆驅動維持電極X時所消耗的電力。

有鑑於此，本發明的主要目的，在於提供一種新的省電型驅動電路，可以適用於電漿顯示面板中之驅動器中，能夠利用不同於習知技術省電架構的方式儲存及釋放能量，達到所需要之省電目的。並且電晶體是在零電壓切換，而不會有上述電磁干擾的問題。

根據上述之目的，本發明提出一種省電型驅動電路，可以在維持期間內，將電漿顯示面板上的維持電極X在一驅動電位(V_s)和一參考電位(0V)之間來回驅動。維持電極X耦接於顯示單元所對應的等效電容。此省電型驅動電路包括一第一電壓源，用以提供上述驅動電位；一第二電壓源，用以提供低於此驅動電位的第一電位並且用來儲存電能；一第一通道，其包括一第一電感元件並且耦接於上述

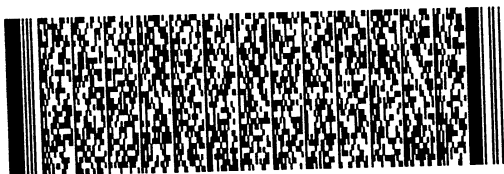


五、發明說明 (6)

第一電壓源和上述電極之間，用以在上述電極由上述參考電位上昇至上述驅動電位之期間內，由上述第一電壓源提供電能至上述電極；一第二通道，其包括一第二電感元件並且耦接於上述第二電壓源和上述電極之間，用以在上述電極由上述驅動電位下降至上述參考電位之期間內，由上述電極提供電能並且儲存於上述第二電壓源；一第一開關元件，耦接於上述第一電壓源和上述電極之間，用以在上述電極由上述參考電位上昇至上述驅動電位時，耦接上述第一電壓源至上述電極；以及一第二開關元件，耦接於上述參考電位和上述電極之間，用以在上述電極由上述驅動電位下降至上述參考電位時，耦接上述電極至上述參考電位。在第一通道中更可以包括一用以控制其導通狀態之第三開關元件，第二通道中更可以包括一用以控制其導通狀態之第四開關元件。

另外，上述之第一開關元件亦可以利用耦接於第一電壓源和電極之間的第一單向導通元件加以取代，用以控制充電方向；上述第二開關元件亦可以利用耦接於參考電位和電極之間的第二單向導通元件加以取代，用以控制其放電方向。

另外，上述第一通道和上述第二通道也可以共享一共有通道部分，只需要單一電感元件便可以取代原有個別使用的電感元件。另外，此共有通道部分尚包括一電流方向控制裝置，可以設定於第一通道的導通方向和第二通道的導通方向。



五、發明說明 (7)

圖式之簡單說明：

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

第1圖表示一般PDP中顯示單元(cell)結構的側視剖面圖。

第2圖表示一般由PDP所構成之電漿顯示器的方塊圖。

第3圖表示習知PDP驅動技術中顯示一畫框(frame)之動作示意圖。

第4圖表示在第3圖中單一次圖場(以SF1為例)上維持電極X和Yi上之控制信號的時序圖。

第5圖表示習知技術中所採用之PDP驅動電路省電架構的電路圖。

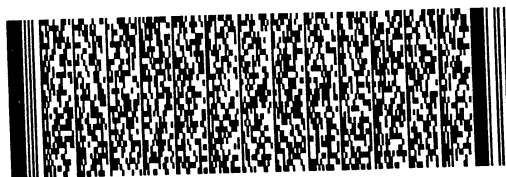
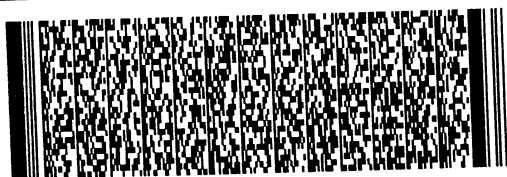
第6A圖表示本發明第一實施例中X共同驅動器省電架構的電路圖，第6B圖表示第6A圖中各控制信號的波形圖。

第7A圖表示本發明第二實施例中X共同驅動器省電架構的電路圖，第7B圖表示第7A圖中各控制信號的波形圖。

第8A圖表示本發明第三實施例中X共同驅動器省電架構的電路圖，第8B圖表示第8A圖中各控制信號的波形圖。

符號說明：

1、7~玻璃基板；3~介電層；5~保護層；8~分隔牆；9~螢光材料；Ai~位址電極；X、Yi~維持電極；10~顯示單



五、發明說明 (8)

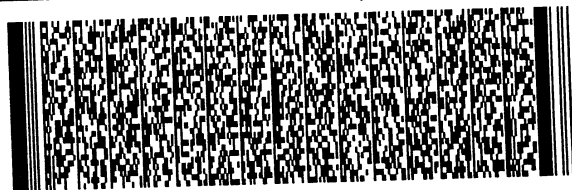
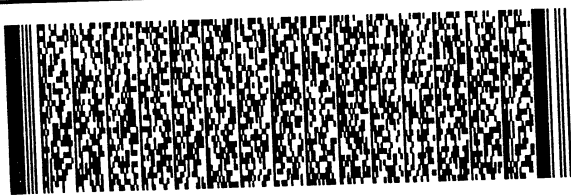
元；100~電漿顯示面板；110~控制電路；112~Y掃描驅動器；114~X共同驅動器；116~位址驅動器；T1-T4~電晶體；Cp~顯示單元之等效電容；C3~儲存電容；61~電感；L1-L3~電感元件；D1-D5~二極體；V1、V2~電壓源；Q1-Q5~MOS電晶體；CQ1-CQ9~控制信號。

實施例：

第一實施例

第6A圖表示本實施例中X共同驅動器省電架構的電路圖。在第6A圖中，符號X表示維持電極X，符號Yi表示維持電極Yi，符號Cp所表示的等效電容則對應於PDP中的顯示單元結構。如圖所示，X共同驅動器中設有電壓源V1和電壓源V2，其中電壓源V2提供Vs電壓，而電壓源V1所提供之電壓係低於 $(1/2)*Vs$ ，另外在本實施例中，電壓源V1尚具有回收電能之作用。如此因為電感L1，L2中電流方向無法瞬間改變，故能確保(a)透過CHG路徑充電時，電極X確實能充電至參考電位Vs使Q3導通，(b)透過DIC路徑放電時，電極X確實能放電至參考電位GND使Q4導通。

X共同驅動器將維持電極X從0V(接地電位)提昇至Vs或是從Vs下拉至0V的動作，主要是透過第6A圖中所示的第一通道CHG以及第二通道DIC負責。其中，第一通道CHG是用來控制從電壓源V2釋放電能至維持電極X的充電路徑，其包括受控於控制信號CQ1的MOS電晶體Q1、二極體D1以及電

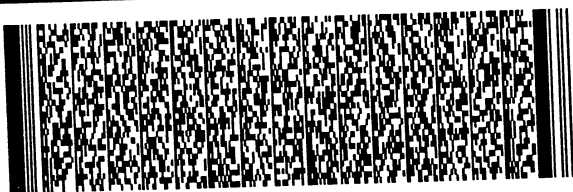


五、發明說明 (9)

感L1。另外，第二通道DIC則是用來控制從維持電極X回收電能並且儲存於電壓源V1的回收路徑，其包括受控於控制信號CQ2的MOS電晶體Q2、二極體D2以及電感L2。

首先說明第一通道CHG中各元件的作用。電感L1類似於習知技術第5圖中之電感61的作用，用來提昇維持電極X的電壓至 V_s 。二極體D1則是用來確保其充電電流的方向性。MOS電晶體Q1則是由控制信號CQ1所控制，藉以控制第一通道CHG的導通時間。當第一通道CHG導通，維持電極X的電壓逐漸上升至 V_s 時，MOS電晶體Q3內含的體二極體(body diode)導通，如此維持電極X的電壓被箝制在 V_s ，此時再用控制信號CQ3導通MOS電晶體Q3，所以MOS電晶體Q3是在零電壓切換(zero-voltage switching)，而不會有如第5圖習知技術中電壓突然切換造成電磁干擾的問題。

接著說明第二通道DIC中各元件的作用。同樣的，電感L2作用類似於第5圖中電感61在回收電能的動作，用以將維持電極X的電壓下拉至0V。二極體D2則是用來確保其回收電能時的方向性，亦即將電能從維持電極X回收至電壓源V1的電流方向。MOS電晶體Q2則是由控制信號CQ2所控制，藉以控制第二通道的導通時間。當第二通道DIC導通，維持電極X透過第二通道DIC釋放電能回收到電壓源V1，維持電極X的電壓逐漸下降至0V(接地電位)時，MOS電晶體Q4內含的體二極體導通，如此維持電極X的電壓被箝制在0V，此時再用控制信號CQ4導通MOS電晶體Q4，所以MOS電晶體Q4亦是在零電壓切換，而不會有如第5圖習知技



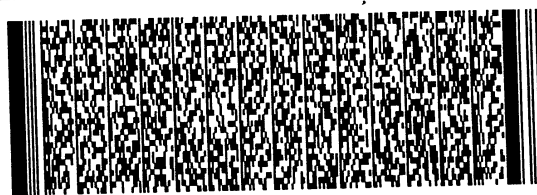
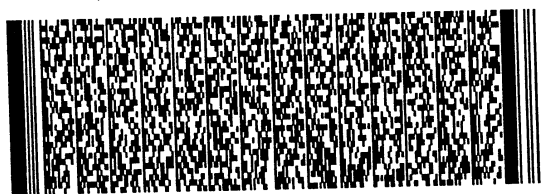
五、發明說明 (10)

術中電壓突然切換造成電磁干擾的問題。

在第6A圖中，主要是利用控制MOS電晶體Q1、Q2、Q3和Q4的控制信號CQ1、CQ2、CQ3和CQ4，來達到驅動維持電極X的目的。第6B圖表示第6A圖中控制信號CQ1、CQ2、CQ3和CQ4，以及對應之維持電極X上電壓的波形圖。如圖所示，首先在時間t1之前，維持電極X上的電壓為0V。在時間t1，由控制信號CQ1導通MOS電晶體Q1，此時第一通道CHG則呈導通狀態。因此，透過第一通道CHG將維持電極X的電壓由0V上升至 V_s 。MOS電晶體Q3內含的體二極體導通，如此維持電極X的電壓被箝制在 V_s 。在時間t2時，由控制信號CQ3導通MOS電晶體Q3，讓電壓源V2直接對維持電極X進行充電，藉此將維持電極X的電壓維持在 V_s 。

接著在時間t3，由控制信號CQ2導通MOS電晶體Q2，如此將維持電極X的電壓從 V_s 下拉至0V。MOS電晶體Q4內含的體二極體導通，如此維持電極X的電壓被箝制在0V。接著在時間t4，控制信號CQ4導通MOS電晶體Q4，因此維持電極X上的電壓維持在0V。

因此，透過上述控制信號CQ1、CQ2、CQ3、CQ4來回啟動各通道，可以讓維持電極X上的電壓反覆地在 V_s 以及0V之間驅動，達到X共同驅動器的輸出要求。另外，藉由調整第一通道CHG以及第二通道DIC的參數，也可以調整維持電極X上電壓的上昇時間和下降時間。另外，電能可以透過回收的動作來反覆利用，因此也可以達到省電的目的。



五、發明說明 (11)

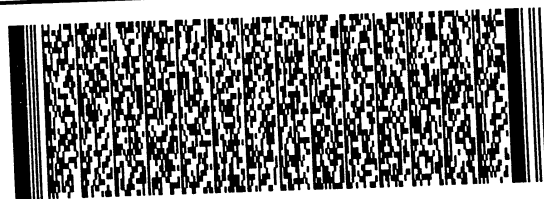
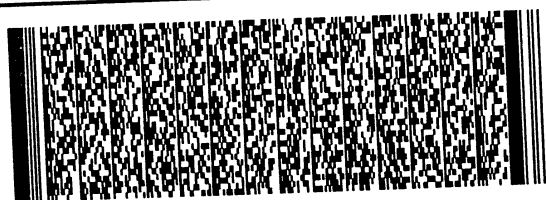
第二實施例

在第一實施例中，主要是利用四個分別受控於不同控制信號的MOS電晶體(Q1、Q2、Q3、Q4)來達到驅動維持電極X的目的。而在本實施例中，則是利用兩個二極體來取代第一實施例中的MOS電晶體Q3以及Q4。

第7A圖表示本實施例中X共同驅動器省電架構的電路圖。第7A圖主要在於利用二極體D3和D4取代第一實施例第6A圖中的MOS電晶體Q3和Q4，其中二極體D3的陽極和陰極分別連接到維持電極X以及電壓源V2，二極體D4的陽極和陰極分別連接到接地電位以及維持電極X。

由於二極體D3和D4不需要控制信號加以控制，因此在第7A圖中只有用來控制MOS電晶體Q1的控制信號CQ5以及用來控制MOS電晶體Q2的控制信號CQ6。第7B圖表示第7A圖中控制信號CQ5和CQ6的波形圖。如圖所示，控制信號CQ5主要是用來控制維持電極X由0V上昇至Vs的驅動工作，控制信號CQ6主要是用來控制維持電極X由Vs下降至0V的驅動工作。

在時間t5，由控制信號CQ5導通MOS電晶體Q1，使得第一通道CHG呈導通狀態。因此，電壓源V2便透過第一通道CHG釋放電能至維持電極X，而維持電極X的電壓則逐步上昇至Vs，此時二極體D3導通，如此維持電極X的電壓被箝制在電壓源V2的電壓Vs，因此亦不會有如第5圖習知技術中電壓突然切換造成電磁干擾的問題。接著在時間t6，則由控制信號CQ6導通MOS電晶體Q2，使得第二通道DIC呈導



五、發明說明 (12)

通狀態。因此，維持電極X便透過第二通道DIC回收電能至電壓源V1，而維持電極X的電壓則逐步下降至0V，此時二極體D4導通，如此維持電極X的電壓被箝制在0V。如此反覆地控制第一通道CHG以及第二通道DIC的導通狀態，便可以將維持電極X的電壓反覆地在 V_s 以及0V之間驅動，達到X共同驅動器的輸出要求。由於電能可以透過回收的動作來反覆利用，因此也可以達到省電的目的。另外，由於利用二極體來取代原來的MOS電晶體，因此也可以額外達到降低電晶體數量的目的。實際上，第一實施例中的NMOS電晶體Q3和Q4也可以與本實施例中的二極體D3和D4並聯使用，達到相同的效果。

第三實施例

在第一實施例中，主要是透過獨立設置的第一通道CHG以及第二通道DIC，分別進行電能饋送以及電能回收的動作。在本實施例中，則是讓第一通道CHG以及第二通道DIC共享部分的共同通道部分，特別是利用單一電感來取代原來第一通道CHG的電感L1以及第二通道DIC的電感L2，藉以減少元件的數量。

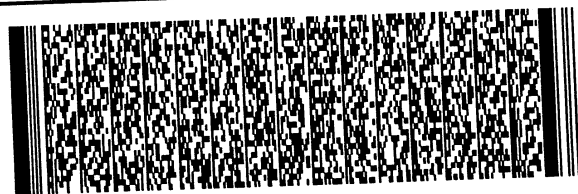
第8A圖表示本實施例中X共同驅動器省電架構的電路圖。如圖所示，其與第一實施例和第二實施例的主要不同之處在於第一通道CHG和第二通道DIC共享一共有通道部分COM。此共有通道部分COM包括電感L3以及由MOS電晶體Q5和二極體D5所構成的電流方向控制裝置。換言之，本實施



五、發明說明 (13)

例中利用單一電感L3來取代在第一實施例和第二實施例的電感L1和L2。電流方向控制裝置中的MOS電晶體Q5係受控於控制信號CQ9，而二極體D5則是順著第一通道CHG的電流方向而設置。二極體D5及MOS電晶體Q5分別用來對應於第一通道CHG和第二通道DIC的導通方向。當MOS電晶體Q5呈關閉狀態時，MOS電晶體Q1、二極體D5和電感L3便構成第一通道CHG；當MOS電晶體Q5呈導通狀態時，電感L3、MOS電晶體Q5和MOS電晶體Q2便構成第二通道DIC。

第8B圖表示第8A圖中控制信號CQ7、CQ8、CQ9的波形圖，其中控制信號CQ7和CQ8分別用來控制MOS電晶體Q1和Q2。必須說明的是，其中控制信號CQ8和CQ9係為同步關係。如圖所示，在時間t7，由控制信號CQ7導通MOS電晶體Q1，同時MOS電晶體Q5則呈關閉狀態，使得第一通道CHG呈導通狀態。因此，電壓源V2便透過第一通道CHG釋放電能至維持電極X，而維持電極X的電壓則逐步上升至 V_s ，此時二極體D3導通，如此維持電極X的電壓被箝制在電壓源V2的電壓 V_s ，因此亦不會有如第5圖習知技術中電壓突然切換造成電磁干擾的問題。接著在時間t8，則由控制信號CQ8導通MOS電晶體Q2，並且由控制信號CQ9導通MOS電晶體Q5，使得第二通道DIC呈導通狀態。因此，維持電極X便透過第二通道DIC回收電能至電壓源V1，而維持電極X的電壓則逐步下降至0V，此時二極體D4導通，如此維持電極X的電壓被箝制在0V。如此反覆地控制第一通道CHG以及第二通道DIC的導通狀態，便可以將維持電極X的電壓反覆地在



五、發明說明 (14)

V_S 以及 $0V$ 之間驅動，達到 X 共同驅動器的輸出要求。由於電能可以透過回收的動作來反覆利用，因此也可以達到省電的目的。另外，共同通道部分 COM 也可以降低電路的元件數量。必須說明的是，第8A圖的電路中雖然是採用二極體 $D3$ 、 $D4$ ，然而也可以利用類似第6A圖電路中的 MOS 電晶體 $Q3$ 、 $Q4$ 或是兩者並聯來構成本實施例之省電型驅動電路。

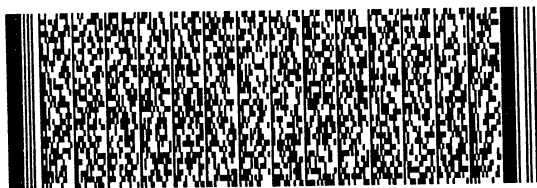
本發明雖以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



四、中文發明摘要 (發明之名稱：用於電漿顯示面板之省電型驅動電路)

一種用於電漿顯示面板之省電型驅動電路，可以在維持期間內，驅動電漿顯示面板上的維持電極。此省電型驅動電路包括可以用來儲存電能的電壓源，用於將維持電極提昇至高電位的第一通道、用於將維持電極下拉至接地電位的第二通道以及其他輔助電路。當第一通道導通時，可以透過電壓源釋放電能至維持電極，而當第二通道導通時，則可以將維持電極上的電能回收到電壓源，藉此讓維持電極在高電位和接地電位之間驅動。其中第一通道和第二通道也可以共享部分之共同通道部分。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種省電型驅動電路，用以驅動一平面顯示面板上之一電極在一驅動電位和一參考電位之間變動，上述參考電位低於上述驅動電位，且該電極係耦接於一等效電容，其驅動電路包括：

一第一電壓源，用以提供上述驅動電位；

一第二電壓源，用以提供一第一電位並且用以儲存電能，上述第一電位低於上述驅動電位的二分之一；

一第一通道，其包括一第一電感元件並且耦接於上述第一電壓源和上述電極之間，當該第一通道導通時，上述第一電壓源提供電能，透過該第一電感元件將電能儲存於上述等效電容，且使上述電極由上述參考電位上昇至上述驅動電位；

一第二通道，其包括一第二電感元件並且耦接於上述第二電壓源和上述電極之間，當該第二通道導通時，上述等效電容提供電能，透過該第二電感元件將電能傳至第二電壓源，且使上述電極由上述驅動電位下降至上述參考電位；

一第一開關元件，耦接於上述第一電壓源和上述電極之間，當上述電極由上述參考電位上昇至上述驅動電位時，該第一開關元件導通，用以電耦接上述第一電壓源和上述電極；以及

一第二開關元件，耦接於上述參考電位和上述電極之間，當上述電極由上述驅動電位下降至上述參考電位時，該第二開關元件導通，用以電耦接上述參考電位和上述電



六、申請專利範圍

極。

2. 如申請專利範圍第1項所述之省電型驅動電路，其中上述第一開關元件和上述第二開關元件係為MOS電晶體。

3. 如申請專利範圍第1項所述之省電型驅動電路，其中上述第一通道包括一第三開關元件，用以控制上述第一通道之導通狀態；上述第二通道包括一第四開關元件，用以控制上述第二通道之導通狀態。

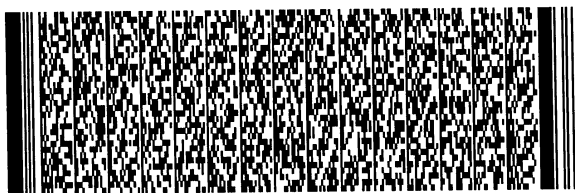
4. 如申請專利範圍第3項所述之省電型驅動電路，其中上述第一開關元件、上述第二開關元件、上述第三開關元件以及上述第四開關元件係為MOS電晶體。

5. 如申請專利範圍第3項所述之省電型驅動電路，其中上述第一通道尚包含一第一單向導通元件，用以確保上述第一通道之電流方向；上述第二通道尚包含一第二單向導通元件，用以確保上述第二通道之電流方向。

6. 如申請專利範圍第5項所述之省電型驅動電路，其中上述第一單向導通元件和上述第二單向導通元件係為二極體。

7. 如申請專利範圍第3項所述之省電型驅動電路，其中上述第一開關元件、上述第二開關元件、上述第三開關元件以及上述第四開關元件分別受控於控制信號，其導通順序依序為上述第三開關元件、上述第一開關元件、上述第四開關元件以及上述第二開關元件。

8. 一種省電型驅動電路，用以驅動一平面顯示面板上



六、申請專利範圍

之一電極在一驅動電位和一參考電位之間變動，上述參考電位低於上述驅動電位，且該電極係耦接於一等效電容，其驅動電路包括：

一第一電壓源，用以提供上述驅動電位；

一第二電壓源，用以提供一第一電位並且用以儲存電能，上述第一電位低於上述驅動電位的二分之一；

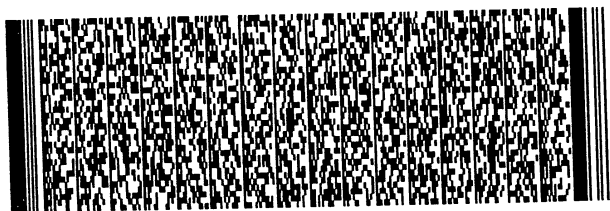
一第一通道，其包括一第一電感元件並且耦接於上述第一電壓源和上述電極之間，當該第一通道導通時，上述第一電壓源提供電能，透過該第一電感元件將電能儲存於上述等效電容，且使上述電極由上述參考電位上昇至上述驅動電位；

一第二通道，其包括一第二電感元件並且耦接於上述第二電壓源和上述電極之間，當該第二通道導通時，上述等效電容提供電能，透過該第二電感元件將電能傳至第二電壓源，且使上述電極由上述驅動電位下降至上述參考電位；

一第一單向導通元件，耦接於上述第一電壓源和上述電極之間，用以單向導通從上述電極至上述第一電壓源之方向；以及

一第二單向導通元件，耦接於上述參考電位和上述電極之間，用以單向導通從上述參考電位至上述電極之方向。

9. 如申請專利範圍第8項所述之省電型驅動電路，其中上述第一單向導通元件和上述第二單向導通元件係為二



六、申請專利範圍

極體。

10. 如申請專利範圍第8項所述之省電型驅動電路，其中上述第一通道包括一第一開關元件，用以控制上述第一通道之導通狀態；上述第二通道包括一第二開關元件，用以控制上述第二通道之導通狀態。

11. 如申請專利範圍第10項所述之省電型驅動電路，其中上述第一開關元件和上述第二開關元件係為MOS電晶體。

12. 如申請專利範圍第8項所述之省電型驅動電路，其中上述第一通道尚包含一第三單向導通元件，用以確保上述第一通道之電流方向；上述第二通道尚包含一第四單向導通元件，用以確保上述第二通道之電流方向。

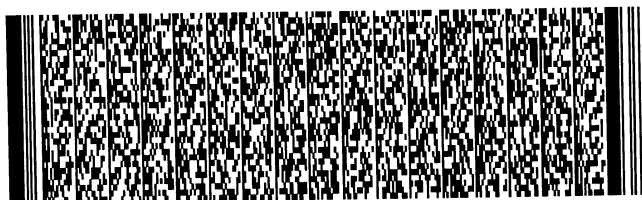
13. 如申請專利範圍第12項所述之省電型驅動電路，其中上述第一單向導通元件、上述第二單向導通元件、上述第三單向導通元件以及上述第四單向導通元件係為二極體。

14. 一種省電型驅動電路，用以驅動一平面顯示面板上之一電極在一驅動電位和一參考電位之間變動，上述參考電位低於上述驅動電位，且該電極係耦接於一等效電容，其驅動電路包括：

一第一電壓源，用以提供上述驅動電位；

一第二電壓源，用以提供一第一電位並且用以儲存電能，上述第一電位低於上述驅動電位的二分之一；

一第一通道，耦接於上述第一電壓源和上述電極之



六、申請專利範圍

間，當該第一通道導通時，上述第一電壓源提供電能，透過該第一通道將電能儲存於上述等效電容，且使上述電極由上述參考電位上昇至上述驅動電位；

一第二通道，耦接於上述第二電壓源和上述電極之間，當該第二通道導通時，上述等效電容提供電能，透過該第二通道將電能傳至上述第二電壓源，且使上述電極由上述驅動電位下降至上述參考電位，

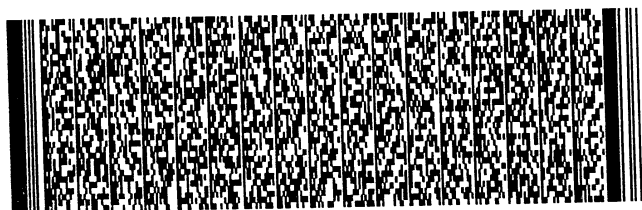
其中上述第一通道和上述第二通道共享一共有通道部分，上述共有通道部分具有一電感元件以及一電流方向控制裝置，上述電流方向控制裝置用以設定於第一導通方向和第二導通方向，分別對應於上述第一通道和上述第二通道；

一第一單向導通元件，耦接於上述第一電壓源和上述電極之間，用以單向導通從上述電極至上述第一電壓源之方向；以及

一第二單向導通元件，耦接於上述參考電位和上述電極之間，用以單向導通從上述參考電位至上述電極之方向。

15. 如申請專利範圍第14項所述之省電型驅動電路，其中上述第一通道具有獨立於上述共有通道部分之第一開關元件，用以控制上述第一通道之導通狀態；上述第二通道具有獨立於上述共有通道部分之第二開關元件，用以控制上述第二通道之導通狀態。

16. 如申請專利範圍第15項所述之省電型驅動電路，



六、申請專利範圍

其中上述電流方向控制裝置尚包括：

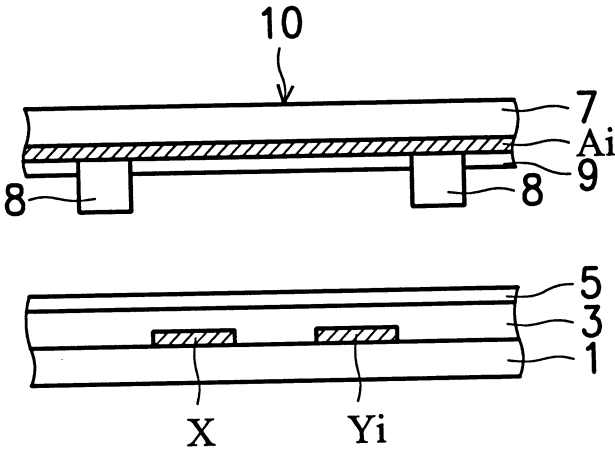
一 第三單向導通元件，其導通方向係對應於上述第一通道；以及

一 第三開關元件，並聯於上述第三單向導通元件並且其開關狀態同步於上述第二開關元件。

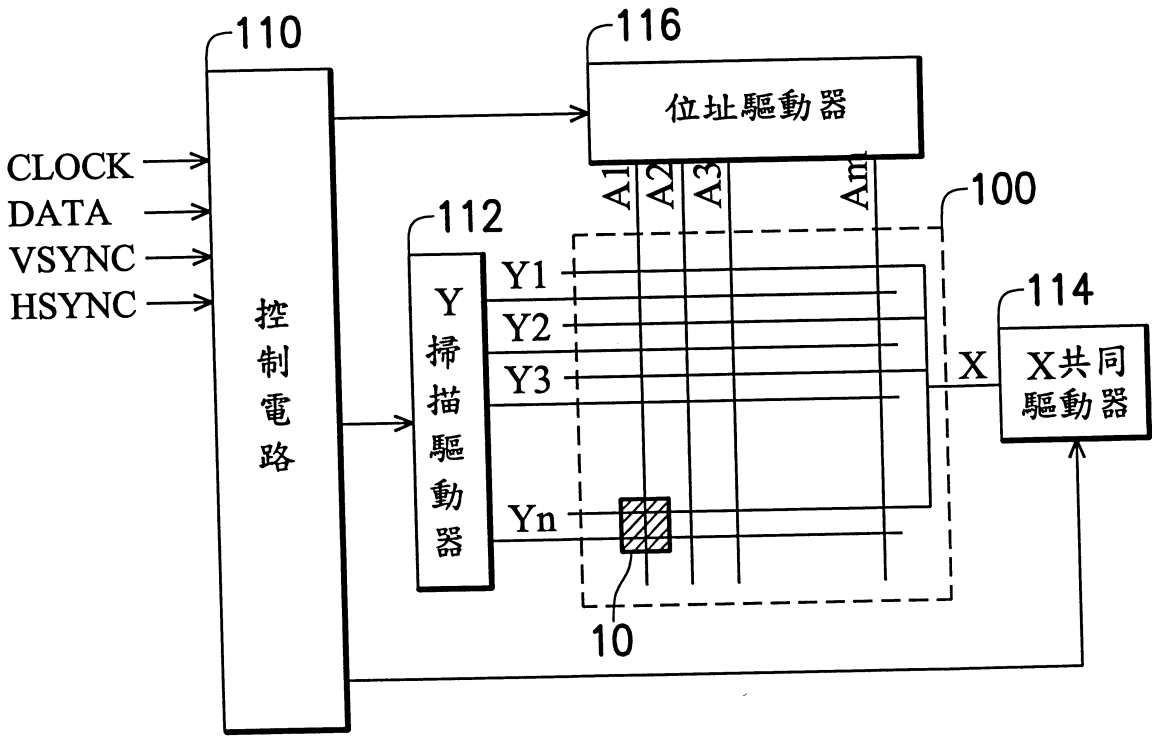
17. 如申請專利範圍第16項所述之省電型驅動電路，其中上述第一單向導通元件、上述第二單向導通元件以及上述第三單向導通元件係為二極體。

18. 如申請專利範圍第16項所述之省電型驅動電路，其中上述第一開關元件、上述第二開關元件以及上述第三開關元件係為MOS電晶體。

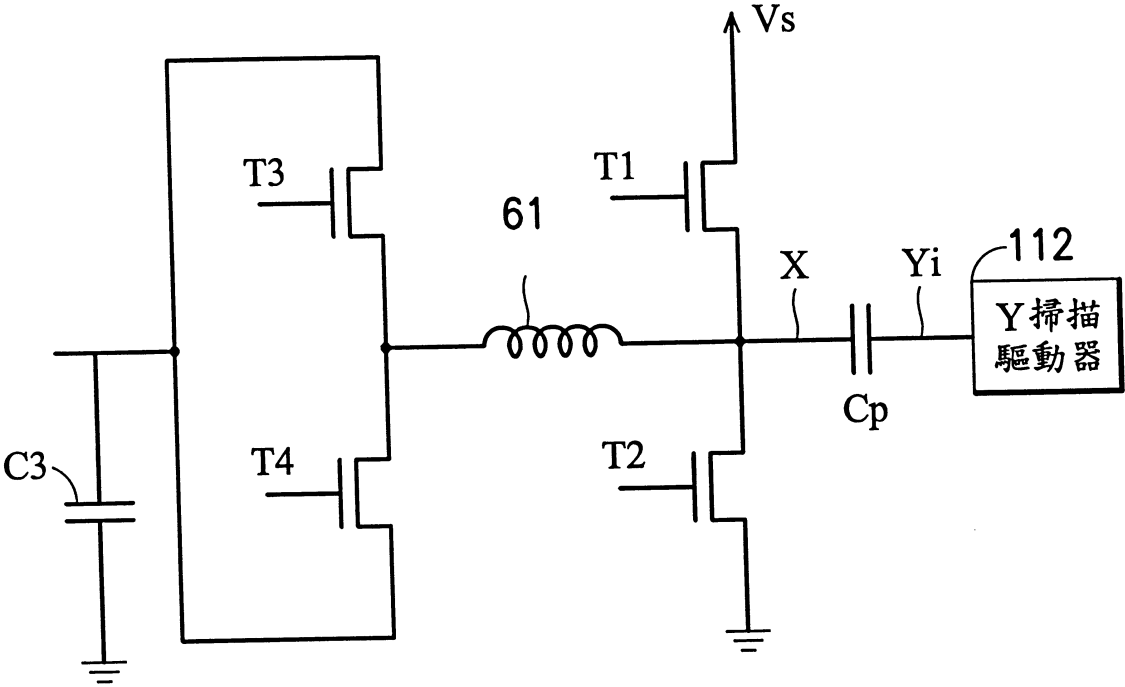




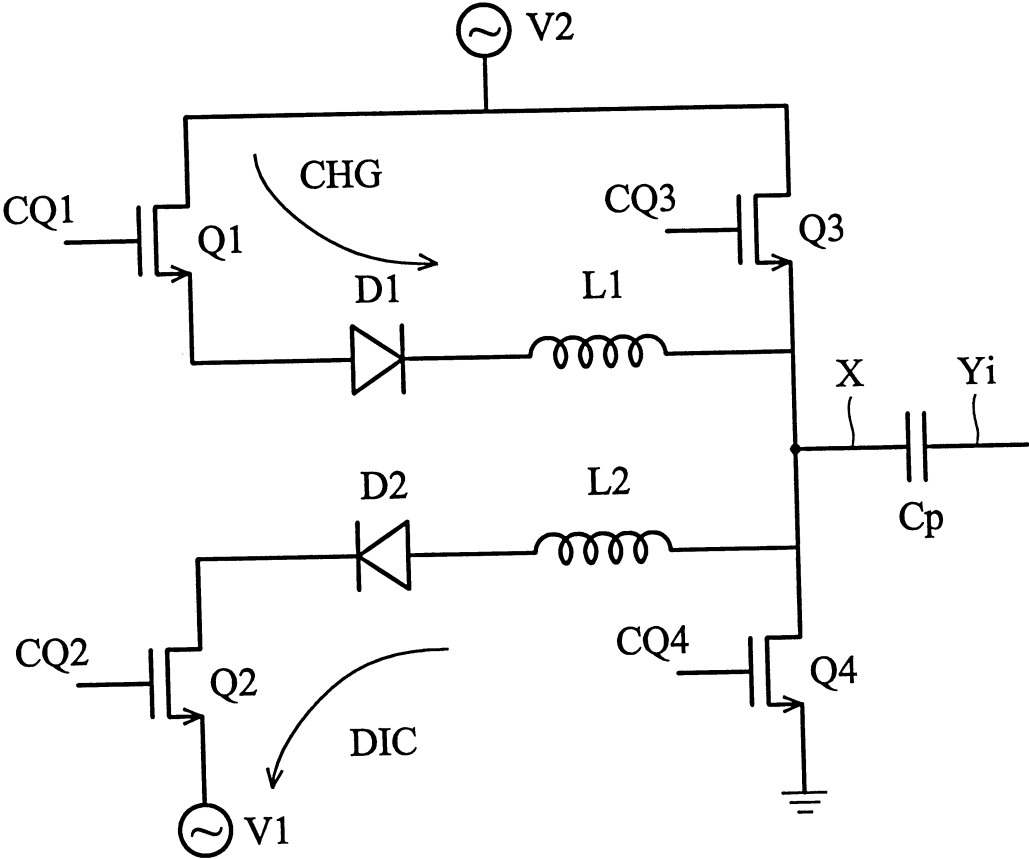
第 1 圖



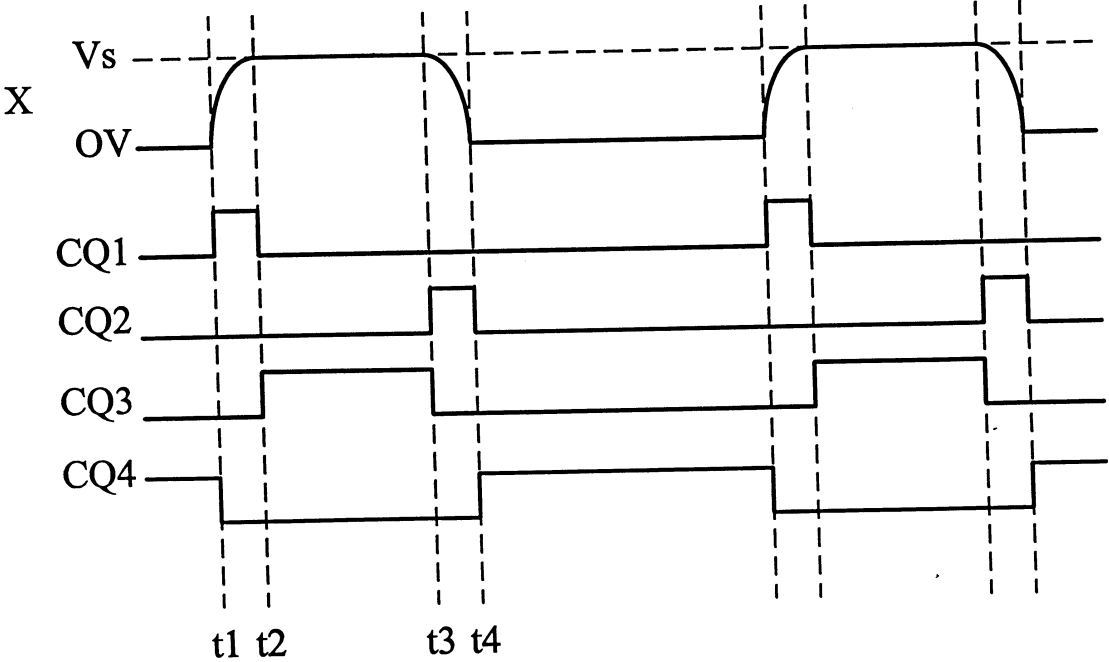
第 2 圖



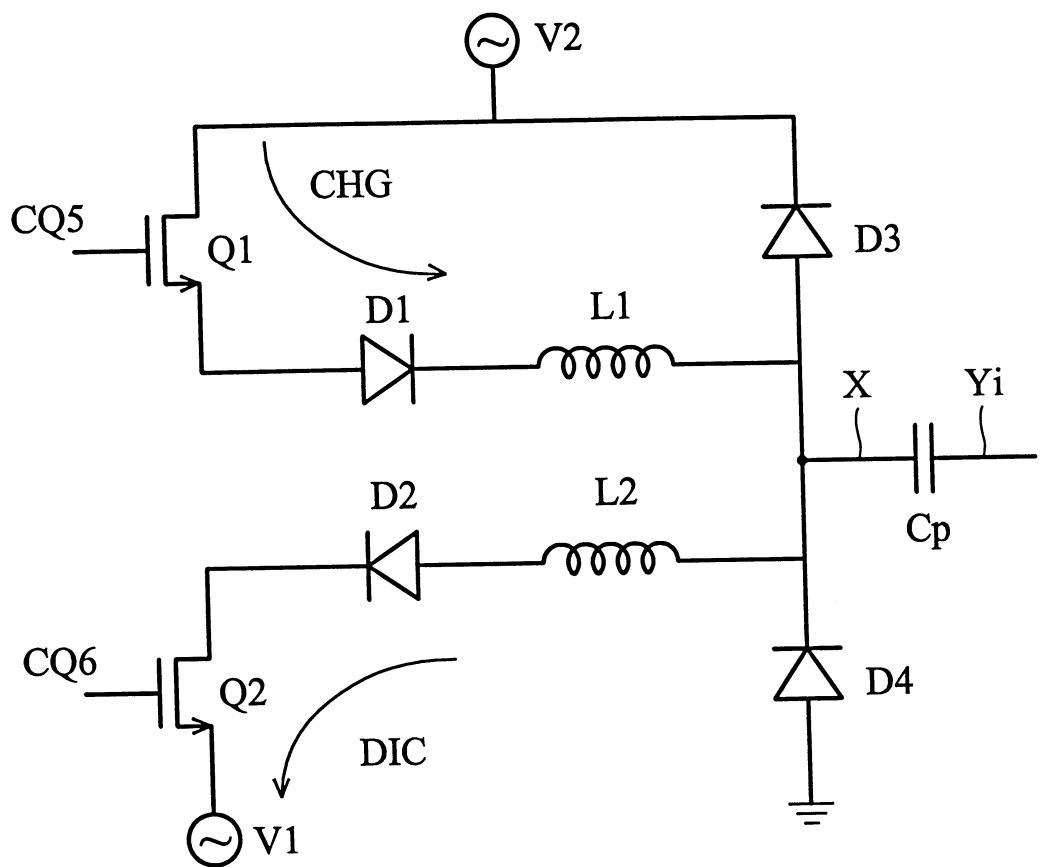
第 5 圖



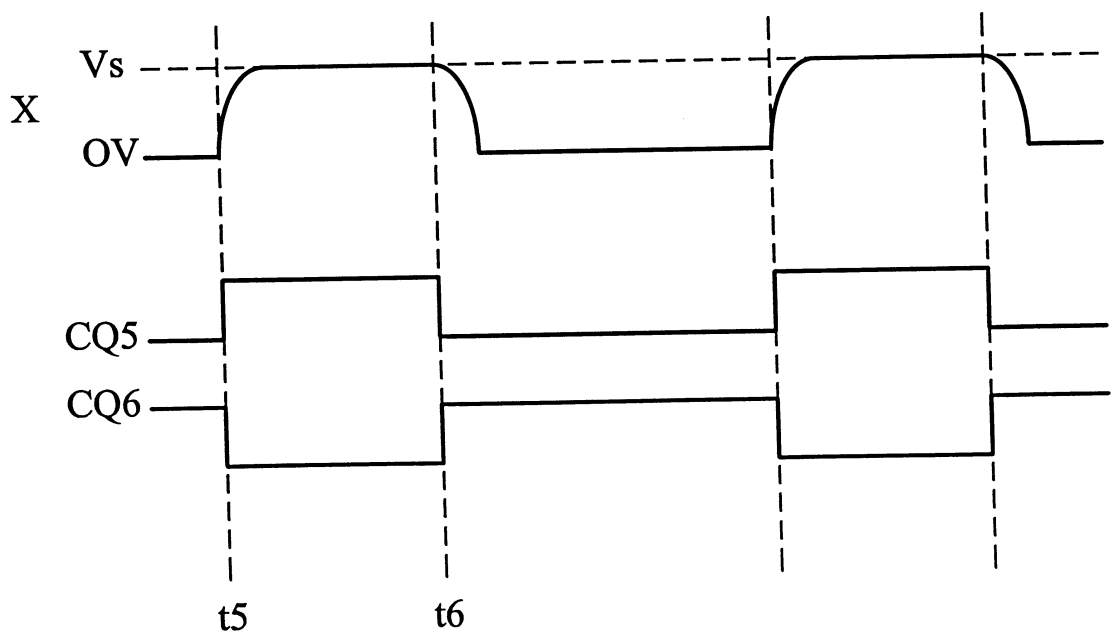
第 6A 圖



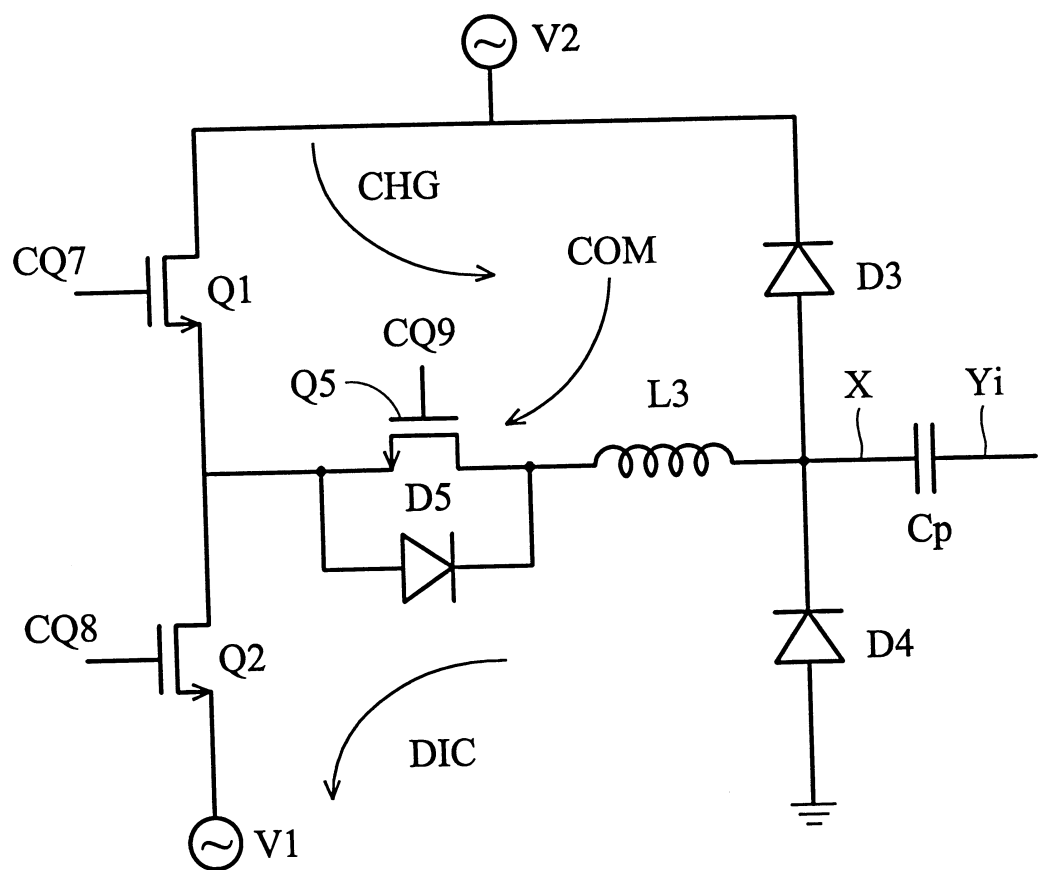
第 6B 圖



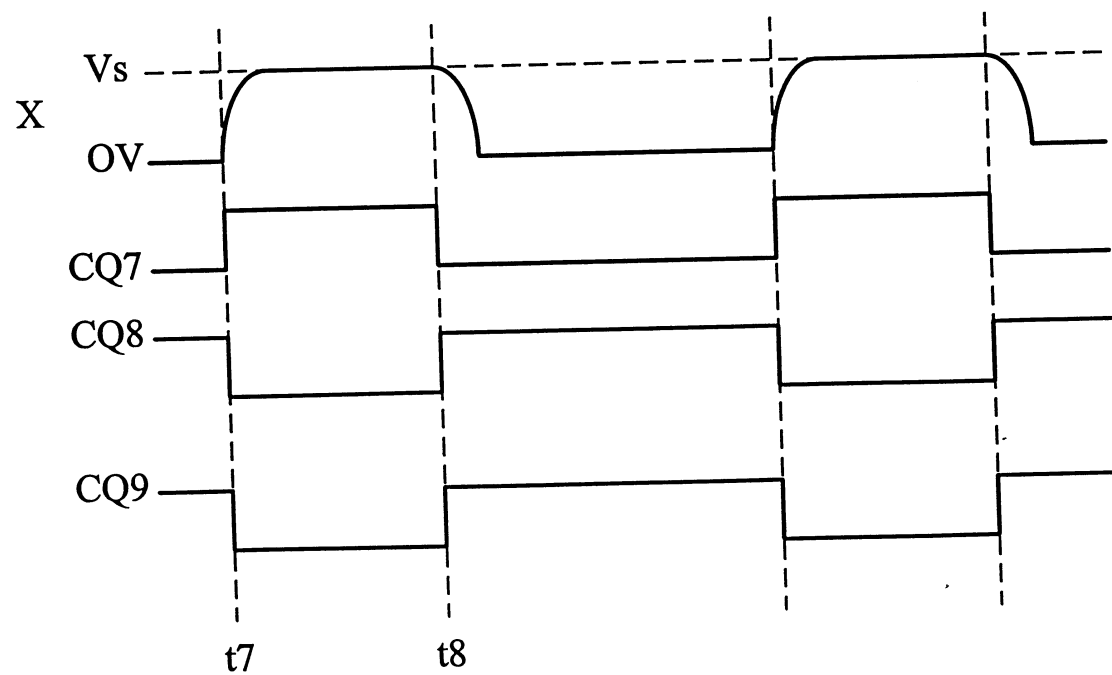
第7A圖



第7B圖



第8A圖



第8B圖