

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7679169号
(P7679169)

(45)発行日 令和7年5月19日(2025.5.19)

(24)登録日 令和7年5月9日(2025.5.9)

(51)国際特許分類	F I		
H 1 0 F 39/18 (2025.01)	H 1 0 F 39/18	F	
H 0 4 N 25/70 (2023.01)	H 0 4 N 25/70		
H 1 0 F 30/225 (2025.01)	H 1 0 F 30/225		
H 1 0 F 39/12 (2025.01)	H 1 0 F 39/12	D	
請求項の数 17 (全23頁)			

(21)出願番号	特願2019-146308(P2019-146308)	(73)特許権者	000001007
(22)出願日	令和1年8月8日(2019.8.8)		キャノン株式会社
(65)公開番号	特開2021-27277(P2021-27277A)		東京都大田区下丸子3丁目30番2号
(43)公開日	令和3年2月22日(2021.2.22)	(74)代理人	100126240
審査請求日	令和4年8月5日(2022.8.5)		弁理士 阿部 琢磨
審判番号	不服2024-2508(P2024-2508/J1)	(74)代理人	100223941
審判請求日	令和6年2月13日(2024.2.13)		弁理士 高橋 佳子
		(74)代理人	100159695
			弁理士 中辻 七朗
		(74)代理人	100172476
			弁理士 富田 一史
		(74)代理人	100126974
			弁理士 大朋 靖尚
		(72)発明者	岩田 旬史
			東京都大田区下丸子3丁目30番2号キ
			最終頁に続く

(54)【発明の名称】 光電変換装置、光電変換システム

(57)【特許請求の範囲】

【請求項1】

光電変換装置であって、

アバランシェダイオードを備えた第1半導体層と、第1多層配線層とを有する第1チップと、

前記アバランシェダイオードからの出力に基づく信号を処理する信号処理部を備えた第2半導体層と、第2多層配線層とを有する第2チップと、を備え、

前記第1チップと、前記第2チップは積層され接合されており、

前記第1チップは、第1接合部を有し、

前記第2チップは、前記第1接合部と接触する第2接合部を有し、

前記アバランシェダイオードには、第1電圧と第2電圧が供給され、

前記信号処理部には、第3電圧が供給され、

前記第1電圧と前記第3電圧の電位差は、前記第2電圧と前記第3電圧の電位差よりも大きく、

前記第1チップおよび前記第2チップの外部から前記第1電圧が供給される第1電極が、前記第1多層配線層に設けられており、

前記第1チップおよび前記第2チップの外部から前記第2電圧が供給される第2電極が、前記第1多層配線層のうちの前記第1電極が設けられる配線層と同じ配線層に設けられており、

前記第1電圧は、前記第1チップと前記第2チップとの接合面に印加されず、

前記第 1 電極は、前記第 2 半導体層と電氣的に接続されていないことを特徴とする光電変換装置。

【請求項 2】

前記第 1 電圧は負電圧であることを特徴とする請求項 1 に記載の光電変換装置。

【請求項 3】

前記第 1 電圧と前記第 2 電圧の電位差は前記アバランシェダイオードの降伏電圧よりも大きいことを特徴とする請求項 1 または 2 に記載の光電変換装置。

【請求項 4】

光電変換装置であって、

アバランシェダイオードを備えた第 1 半導体層を有する第 1 チップと、

前記アバランシェダイオードからの出力に基づく信号を処理する信号処理部を備えた第 2 半導体層を有する第 2 チップと、を備え、

前記第 1 チップと、前記第 2 チップは積層され接合されており、

前記第 1 チップは、第 1 接合部を有し、

前記第 2 チップは、前記第 1 接合部と接触する第 2 接合部を有し、

前記アバランシェダイオードには、負電圧である第 1 電圧と正電圧である第 2 電圧が供給され、

前記第 1 チップおよび前記第 2 チップの外部から前記第 1 電圧が供給される第 1 電極が、前記第 1 半導体層の表面から前記第 1 チップと前記第 2 チップとの接合面までの間に設けられており、

前記第 1 チップおよび前記第 2 チップの外部から前記第 2 電圧が供給される第 2 電極が、前記第 1 半導体層の表面から前記接合面までの間において前記第 1 電極と同じ高さに設けられており、

前記第 1 電圧は、前記接合面に印加されず、

前記第 1 電極は、前記第 2 半導体層と電氣的に接続されていないことを特徴とする光電変換装置。

【請求項 5】

前記第 1 チップが第 1 多層配線層を有し、

前記第 2 チップは第 2 多層配線層を有することを特徴とする請求項 4 に記載の光電変換装置。

【請求項 6】

前記第 1 チップおよび前記第 2 チップの外部から第 3 電圧が供給され、

前記第 1 電圧と前記第 3 電圧の電位差は、前記第 2 電圧と前記第 3 電圧の電位差よりも大きいことを特徴とする請求項 5 に記載の光電変換装置。

【請求項 7】

前記第 1 電圧と前記第 2 電圧の電位差は、前記アバランシェダイオードの降伏電圧よりも大きいことを特徴とする請求項 6 に記載の光電変換装置。

【請求項 8】

前記アバランシェダイオードのアバランシェ増倍を抑制するクエンチ素子は、前記第 2 チップに配されていることを特徴とする請求項 1 から 7 のいずれか 1 項に記載の光電変換装置。

【請求項 9】

前記第 1 チップおよび前記第 2 チップの外部から前記第 3 電圧が供給される第 3 電極が、前記第 1 多層配線層に設けられていることを特徴とする請求項 1 から 3、6、7 のいずれか 1 項に記載の光電変換装置。

【請求項 10】

前記第 3 電圧は、接地電圧であることを特徴とする請求項 1 から 3、6、7、9 のいずれか 1 項に記載の光電変換装置。

【請求項 11】

前記第 1 電極を露出させる第 1 開口の底部は、前記第 1 チップの第 1 面と、前記第 1 面

10

20

30

40

50

とは反対側の前記第 1 チップの第 2 面との間に設けられ、

前記第 2 電極を露出させる第 2 開口の底部は、前記第 1 面と前記第 2 面との間に設けられていることを特徴とする請求項 1 から 10 のいずれか 1 項に記載の光電変換装置。

【請求項 1 2】

前記第 1 開口および前記第 2 開口は、前記第 2 半導体層を貫通して形成されており、

前記第 1 開口および前記第 2 開口には電極が充填されていることを特徴とする請求項 1 に記載の光電変換装置。

【請求項 1 3】

前記電極は、前記第 1 開口の底部で前記第 1 電極と接触しており、かつ、前記第 2 開口の底部で前記第 2 電極と接触していることを特徴とする請求項 1 2 に記載の光電変換装置。

【請求項 1 4】

前記第 1 チップは、第 1 接合部を有し、

前記第 2 チップは、前記第 1 接合部と接触する第 2 接合部を有し、

前記アバランシェダイオードは、前記第 1 接合部と前記第 2 接合部とを介して、前記クエンチ素子と電氣的に接続されており、

平面視において、所定の方向の前記第 1 電極の長さは、前記第 1 接合部の長さよりも大きいことを特徴とする請求項 8 に記載の光電変換装置。

【請求項 1 5】

請求項 1 から 1 4 のいずれか 1 項に記載の光電変換装置と、

前記光電変換装置が出力する信号を処理する信号処理装置と、を有することを特徴とする光電変換システム。

【請求項 1 6】

前記信号処理装置は、前記光電変換装置からの信号に基づき、測距および撮像を行うことを特徴とする請求項 1 5 に記載の光電変換システム。

【請求項 1 7】

請求項 1 から 1 4 のいずれか 1 項に記載の光電変換装置と、

前記光電変換装置からの信号に基づく測距情報から、対象物までの距離情報を取得する距離情報取得手段と、を有する移動体であって、

前記距離情報に基づいて前記移動体を制御する制御手段をさらに有することを特徴とする移動体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光電変換装置および光電変換システムの構造に関する。

【背景技術】

【0002】

アバランシェ（電子なだれ）増倍を利用し、単一光子レベルの微弱光を検出可能な光電変換装置が知られている。特許文献 1 は、複数の画素が配列されたセンサチップと、信号処理を行う回路が形成された回路チップの双方を積層構造で電氣的に接続した光電変換装置が開示されている。この光電変換装置のセンサチップ内の画素には、電荷がアバランシェ増倍を起こすアバランシェダイオードが用いられることが開示されている。

【先行技術文献】

【特許文献】

【0003】

【文献】米国特許出願公開第 2017 / 0186798 号明細書

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 では、積層構造のアバランシェダイオードを駆動する高電圧を供給する際の配線に関する検討がなされておらず、光電変換装置の信頼性の確保が十分ではなかった。

10

20

30

40

50

【課題を解決するための手段】

【 0 0 0 5 】

本発明に係る光電変換装置は、アバランシェダイオードを備えた第 1 半導体層と、第 1 多層配線層とを有する第 1 チップと、前記アバランシェダイオードからの信号を処理する信号処理部を備えた第 2 半導体層と、第 2 多層配線層とを有する第 2 チップと、を備え、前記第 1 チップと、前記第 2 チップは積層されており、前記アバランシェダイオードには、第 1 電圧と第 2 電圧が供給され、

前記信号処理部には、第 3 電圧が供給され、前記第 1 電圧と前記第 3 電圧の電位差は、前記第 2 電圧と前記第 3 電圧の電位差よりも大きく、前記光電変換装置の外部から前記第 1 電圧が供給される第 1 電極が、前記第 1 多層配線層または前記第 2 多層配線層に設けられており、前記第 1 電極は、前記第 2 半導体層と電氣的に接続されていないことを特徴とする。

10

【発明の効果】

【 0 0 0 6 】

本発明に係る光電変換装置によれば、信頼性を確保することのできるアバランシェダイオードを有する光電変換装置を提供することが可能になる。

【図面の簡単な説明】

【 0 0 0 7 】

【図 1】第 1 の実施形態に係る光電変換装置、画素チップ、回路チップの概略図である。

【図 2】第 1 の実施形態に係る画素のブロック図である。

20

【図 3】第 1 の実施形態に係る光電変換装置の断面図である。

【図 4】第 1 の実施形態に係る光電変換装置の平面図である。

【図 5】第 2 の実施形態に係る光電変換装置の断面図である。

【図 6】第 3 の実施形態に係る光電変換装置の断面図である。

【図 7】第 3 の実施形態に係る光電変換装置の平面図である。

【図 8】第 4 の実施形態に係る光電変換装置の断面図である。

【図 9】第 4 の実施形態に係る光電変換装置の平面図である。

【図 10】第 5 の実施形態に係る光電変換装置の断面図である。

【図 11】第 5 の実施形態に係る光電変換装置の平面図である。

【図 12】第 6 の実施形態に係る光電変換装置の断面図である。

30

【図 13】第 7 の実施形態の概略構成を示すブロック図である。

【図 14】第 8 の実施形態の光電変換システムおよび移動体の概略図である。

【図 15】第 8 の実施形態の光電変換システムの動作を示すフロー図である。

【発明を実施するための形態】

【 0 0 0 8 】

本発明に係る実施形態に係る光電変換装置について説明する。各実施形態の共通している符号は同じ部材または同じ機能・効果を奏する部材であるため、説明を省略することがある。また、各実施形態で説明した構成は、その他の実施形態で説明した構成と相互に置換することが可能である。

【 0 0 0 9 】

40

〔第 1 の実施形態〕

図 1 (A) は、本発明の実施形態に係る積層型の光電変換装置の構成を示す図である。光電変換装置 1010 は、センサチップ 11 と、回路チップ 21 の 2 枚のチップが積層され、且つ電氣的に接続されることにより構成される。

【 0 0 1 0 】

センサチップ 11 には、画素領域 12 が配され、回路チップ 21 には、画素領域 12 で検出された信号を処理する回路領域 22 が配される。

【 0 0 1 1 】

図 1 (B) は、センサチップ 11 の配置図である。光を電気信号へ変換する光電変換部 101 を有する画素 100 が二次元状に配列され、画素領域 12 を形成する。画素 100

50

は、典型的には、画像を形成するための画素であるが、TOF (Time of Flight) に用いる場合には、必ずしも画像を形成しなくてもよい。すなわち、画素100は、光が到達した時刻と光量を測定するための画素であってもよい。

【0012】

図1(C)は、回路チップ21の構成図である。図1(B)の光電変換部101で光電変換された電荷を処理する信号処理部102、制御パルス生成部109、水平走査回路部104、信号線107、垂直走査回路部103を有している。

【0013】

図1(B)の光電変換部101と、図1(C)の信号処理部102は、画素毎に設けられた接続配線を介して電氣的に接続される。

10

【0014】

垂直走査回路部103は、制御パルス生成部109から供給された制御パルスを受け、各画素に制御パルスを供給する。垂直走査回路部103にはシフトレジスタやアドレスデコードといった論理回路が用いられる。

【0015】

各画素の光電変換部101から出力された信号は、信号処理部102で処理される。信号処理部102は、カウンタとメモリが設けられており、メモリにはデジタル信号が保持される。

【0016】

水平走査回路部104は、デジタル信号が保持された各画素のメモリから信号を読み出すために、各列を順次選択する制御パルスを信号処理部102に入力する。

20

【0017】

信号線107と信号線105には、選択されている列について、垂直走査回路部103により選択された画素の信号処理部102から信号が出力される。

【0018】

信号線105に出力された信号は、出力回路108を介して、光電変換装置1010の外部の記録部または信号処理部に出力する。

【0019】

図1(B)において、画素領域12における画素100の配列は1次元状に配されていてもよい。また、垂直走査回路部103と水平走査回路部104は、回路領域22を複数の領域に分けて、領域毎に配してもよい。信号処理部102の機能は、必ずしも全ての画素100に1つずつ設けられる必要はなく、例えば、複数の画素100によって1つの信号処理部102が共有され、順次信号処理が行われてもよい。

30

【0020】

図2は、図1(B)及び図1(C)の等価回路を含むブロック図の一例である。図2において、フォトダイオード201を有する光電変換部101は、センサチップ11に設けられており、その他の部材は、回路チップ21に設けられている。

【0021】

フォトダイオード201は、光電変換により入射光に応じた電荷対を生成する。フォトダイオード201のアノードには、電圧 V_L (第1電圧)が供給されている。また、フォトダイオード201のカソードには、アノードに供給される電圧 V_L よりも高い電圧 V_H (第2電圧)が供給される。不図示であるが、電圧 V_H (第2電圧)は、回路チップ21に設けられている回路にも供給される。フォトダイオード201のアノードとカソードには、フォトダイオード201がアバランシェダイオードとなるような逆バイアスの電圧が供給される。このような電圧を供給した状態とすることで、入射光によって生じた電荷がアバランシェ増倍を起こし、アバランシェ電流が発生する。逆バイアスの電圧が供給される場合において、アノードおよびカソードの電位差が降伏電圧より大きいときには、アバランシェダイオードはガイガーモード動作となる。例えば、電圧 V_L (第1電圧)は、 -30 V 、電圧 V_H (第2電圧)は、 1.1 V である。

40

【0022】

50

クエンチ素子 202 は、電圧 V_H を供給する電源とフォトダイオード 201 に接続される。クエンチ素子 202 は、フォトダイオード 201 で生じたアバランシェ電流の変化を電圧信号に置き換える機能を有する。クエンチ素子 202 は、アバランシェ増倍による信号増倍時に負荷回路（クエンチ回路）として機能し、フォトダイオード 201 に供給する電圧を抑制して、アバランシェ増倍を抑制する働きを持つ（クエンチ動作）。センサチップ 11 に設けられているフォトダイオード 201 と、回路チップ 21 に設けられているクエンチ素子 202 は、画素毎に設けられた接続配線を介して電氣的に接続される。

【0023】

信号処理部 102 は、波形整形部 203、カウンタ回路 209、選択回路 206 を有する。本明細書において、信号処理部 102 は、波形整形部 203、カウンタ回路 209、選択回路 206 のいずれかを有していればよい。例えば、カウンタ回路 209 も信号処理部 102 である。

10

【0024】

波形整形部 203 は、光子検出時に得られるフォトダイオード 201 のカソードの電位変化を整形して、パルス信号を出力する。波形整形部 203 としては、例えば、インバータ回路が用いられる。図 2 においては、波形整形部 203 として、インバータを一つ用いた例を示したが、複数のインバータを直列接続した回路を用いてもよいし、波形整形効果があるその他の回路を用いてもよい。

【0025】

カウンタ回路 209 は、波形整形部 203 から出力されたパルス信号をカウントする。カウンタ回路 209 は、例えば N -bit カウンタ（ N ：正の整数）の場合、単一光子によるパルス信号を最大で約 2 の N 乗個までカウントすることが可能である。カウントした信号は、検出した信号として保持される。また、駆動線 207 を介して制御パルス $pRES$ が供給されたとき、カウンタ回路 209 に保持された信号がリセットされる。

20

【0026】

選択回路 206 には、図 1（C）の垂直走査回路部 103 から、図 2 の駆動線 208（図 1（C）では不図示）を介して制御パルス $pSEL$ が供給され、カウンタ回路 209 と信号線 107 との電氣的な接続、非接続を切り替える。選択回路 206 には、例えば、信号を出力するためのバッファ回路などを含む。

【0027】

クエンチ素子 202 とフォトダイオード 201 との間や、光電変換部 101 と信号処理部 102 との間にトランジスタ等のスイッチを配して、電氣的な接続を切り替えてもよい。同様に、光電変換部 101 に供給される電圧 V_H または電圧 V_L の供給をトランジスタ等のスイッチを用いて電氣的に切り替えてもよい。

30

【0028】

複数の画素が行列状に配された画素領域 12 においては、カウンタ回路 209 のカウントを行毎に順次リセットし、カウンタ回路 209 に保持された信号を行毎に順次出力するローリングシャッタ動作によって撮像画像を取得してもよい。あるいは、全画素行のカウンタ回路 209 のカウントを同時にリセットし、カウンタ回路 209 に保持された信号を行毎に順次出力するグローバル電子シャッタ動作によって撮像画像を取得してもよい。グローバル電子シャッタ動作を行う場合には、カウンタ回路 209 のカウントを行う場合と、行わない場合を切り替える手段を設けたほうがよい。切り替える手段とは、例えば前述したスイッチである。

40

【0029】

本実施形態では、カウンタ回路 209 を用いる構成を示した。しかし、カウンタ回路 209 の代わりに、時間・デジタル変換回路（Time to Digital Converter：以下、TDC）、メモリを用いて、パルス検出タイミングを取得する光電変換装置 1010 としてもよい。このとき、波形整形部 203 から出力されたパルス信号の発生タイミングは、TDCによってデジタル信号に変換される。TDCには、パルス信号のタイミングの測定に、図 1（C）の垂直走査回路部 103 から駆動線を介して、制御パル

50

ス p R E F (参照信号) が供給される。T D C は、制御パルス p R E F を基準として、波形整形部 2 0 3 を介して各画素から出力された信号の入力タイミングを相対的な時間としたときの信号をデジタル信号として取得する。

【 0 0 3 0 】

(本実施形態に係る光電変換装置の断面図 : 図 3)

図 3 は、本実施形態の光電変換装置の断面図である。本実施形態は、第 1 チップ 3 0 1 と第 2 チップ 4 0 1 が積層され、電氣的に接続された構造である。

【 0 0 3 1 】

(第 1 チップ 3 0 1 の構成)

第 1 チップ 3 0 1 は、画素領域 5 2 1 が配される。第 2 チップ 4 0 1 には、画素領域 5 2 1 で検出された信号を処理する回路領域 5 3 1 が配される。第 1 チップ 3 0 1、第 2 チップ 4 0 1 は、図 1 (A) のセンサチップ 1 1、回路チップ 2 1 にそれぞれ対応する。

【 0 0 3 2 】

第 1 チップ 3 0 1 は、半導体層 3 1 1 (第 1 半導体層) と配線層 3 1 2 (第 1 配線層) から構成される。第 1 チップ 3 0 1 の光入射面を面 3 1 3 (第 1 面) とし、面 3 1 3 とは反対側の面を面 3 1 4 (第 2 面) として、以下説明を行う。

【 0 0 3 3 】

第 1 チップ 3 0 1 の半導体層 3 1 1 には、第 1 導電型の第 1 半導体領域 3 2 1、第 2 導電型の第 2 半導体領域 3 2 2 が配される。第 1 半導体領域 3 2 1 と第 2 半導体領域 3 2 2 は、P N 接合を形成し、アバランシェダイオード 3 2 4 となる。

【 0 0 3 4 】

ここで、光電変換部で生じる電荷対のうち、信号電荷として用いられる電荷を多数キャリアとする半導体領域を第 1 導電型の半導体領域と呼ぶ。また、信号電荷として用いられない電荷を多数キャリアとする半導体領域を第 2 導電型の半導体領域と呼ぶ。例えば、電子を信号電荷として用いる場合、第 1 導電型の半導体領域は n 型半導体で構成され、第 2 導電型の半導体領域は p 型半導体で構成される。正孔を信号電荷として用いる場合は、その逆である。本実施形態では、電子を信号電荷として用いるものとして説明する。

【 0 0 3 5 】

第 1 半導体領域 3 2 1 の両端部には、電界集中を緩和するための第 1 導電型または第 2 導電型の第 3 半導体領域 3 2 3 が配される。このとき、第 3 半導体領域 3 2 3 の不純物濃度は、第 1 半導体領域 3 2 1 の不純物濃度よりも低くする。例えば、第 1 半導体領域 3 2 1 の不純物濃度が $6.0 \times 10^{18} [\text{atoms} / \text{cm}^3]$ 以上の場合に、第 3 半導体領域 3 2 3 の不純物濃度は $1.0 \times 10^{16} [\text{atoms} / \text{cm}^3]$ 以上、 $1.0 \times 10^{18} [\text{atoms} / \text{cm}^3]$ 以下とする。

【 0 0 3 6 】

第 2 半導体領域 3 2 2 よりも深部の面 3 1 3 側の領域には、第 2 導電型の第 4 半導体領域 3 2 5 が配される。さらに、隣接画素間には、画素間分離領域として第 2 導電型の第 5 半導体領域 3 2 6 を配し、第 4 半導体領域 3 2 5 よりも深部の面 3 1 3 側の領域には、第 2 導電型の第 6 半導体領域 3 2 7 が配される。

【 0 0 3 7 】

ここで、第 4 半導体領域 3 2 5 の不純物濃度よりも、第 5 半導体領域 3 2 6、第 6 半導体領域 3 2 7 の不純物濃度の方が高くなるようにする。これにより、第 4 半導体領域 3 2 5 で光電変換された電荷は、隣接画素へ漏れ込むことなく、アバランシェダイオード 3 2 4 に収集され、アバランシェ増幅することが可能となる。

【 0 0 3 8 】

第 1 チップ 3 0 1 の面 3 1 3 側の界面には、チップ界面で発生する暗電流を抑制するためのピニング膜 3 4 1 が配される。

【 0 0 3 9 】

第 1 チップ 3 0 1 の配線層 3 1 2 には、多層配線層 3 3 1 (第 1 多層配線層) が配される。この多層配線層 3 3 1 は、例えば、アバランシェダイオード 3 2 4 にアノード電位を

10

20

30

40

50

与える配線層や、カソード電位を与える配線層である。アバランシェダイオード 3 2 4 で検出された信号は、多層配線層 3 3 1、接合部 3 3 2（第 1 接合部）を介して、第 2 チップ 4 0 1 へ送られる。

【 0 0 4 0 】

パッド開口 5 0 1（第 1 開口）の底部には、パッド電極 5 1 1（第 1 電極）が設けられている。パッド開口 5 0 1 は、パッド電極 5 1 1 と外部電源とを導通するために、パッド電極 5 1 1 を露出させる開口である。パッド開口 5 0 1 の底部は、第 1 チップ 3 0 1 の面 3 1 3（第 1 面）と面 3 1 4（第 2 面）との間に設けられている。パッド電極 5 1 1（第 1 電極）には、第 1 導電型の第 1 半導体領域 3 2 1 と第 2 導電型の第 2 半導体領域 3 2 2 の接合部にアバランシェ増倍を起こすために必要な電圧が、ワイヤーボンディングを介して印加される。多層配線層 3 3 1 の最上層をパッド電極 5 1 1 とする場合、多層配線層 3 3 1 の最上層をアルミ配線で構成し、それ以外の配線層を銅配線で構成してもよい。

10

【 0 0 4 1 】

トレンチ酸化膜 5 4 1 が、半導体層 3 1 1 に配されている。各種回路や画素を有する半導体チップは、半導体チップの周囲の雰囲気等から侵入する水分やイオンから素子を保護する必要がある。そこで、パッド開口 5 0 1 等から侵入する水分やイオンからの保護をするために、パッド開口 5 0 1 の周辺の半導体層 3 1 1 にトレンチ酸化膜 5 4 1 が配されている。また、後述するパッド開口 5 0 2 および 5 0 3 の周辺の半導体層 3 1 1 にもトレンチ酸化膜 5 4 1 が配されている。防湿性を高めるためには、トレンチ酸化膜に替えて、あるいは、加えて、金属配線を配してもよい。この金属配線により、配線層に侵入する水分やイオンから素子を保護することができる。

20

【 0 0 4 2 】

（第 2 チップ 4 0 1 の構成）

第 2 チップ 4 0 1 は、半導体層 4 1 1（第 2 半導体層）と配線層 4 1 2（第 2 配線層）を有する。第 2 チップ 4 0 1 において、第 1 チップ 3 0 1 側を面 4 1 4（第 3 面）とし、面 4 1 4 とは反対側の面を面 4 1 3（第 4 面）として、以下説明を行う。

【 0 0 4 3 】

第 2 チップ 4 0 1 の半導体層 4 1 1 には、第 1 チップ 3 0 1 から送られてきた信号を処理する回路が配される。具体的には、ウェル領域 4 2 2、ゲート電極 4 2 3、ソース・ドレイン領域 4 2 4 が配され、一つの MOS トランジスタ 4 2 5 を形成する。第 2 チップ 4 0 1 に配する MOS トランジスタ 4 2 5 の一例としては、クエンチ素子が挙げられる。クエンチ素子は、図 2 の素子 2 0 2 に相当し、光電変換された電荷がアバランシェ増倍する際の負荷回路として機能する。アバランシェダイオード 3 2 4 に供給する電圧を抑制して、アバランシェ増倍を抑制するクエンチ動作としての働きを持つ。

30

【 0 0 4 4 】

隣接する MOS トランジスタの間には、素子分離領域 4 2 1 が配される。素子分離領域 4 2 1 は、例えば LOCOS（Local Oxidation of Silicon）、STI（Shallow Trench Isolation）などが挙げられる。

【 0 0 4 5 】

第 2 チップ 4 0 1 の配線層 4 1 2 に配される接合部 4 3 2（第 2 接合部）は、第 1 チップ 3 0 1 の接合部 3 3 2（第 1 接合部）と接触し、第 1 チップ 3 0 1 のアバランシェダイオード 3 2 4 の出力を、第 2 チップ 4 0 1 へ送る役割を有する。この接合部は、銅配線などの金属配線である。

40

【 0 0 4 6 】

第 2 チップ 4 0 1 の配線層 4 1 2 には、多層配線層 4 3 1（第 2 多層配線層）が配される。この多層配線層 4 3 1 は、例えば、第 1 チップ 3 0 1 から送られる信号を第 2 チップ 4 0 1 の処理回路へ伝えるための配線や、第 2 チップ 4 0 1 に搭載する信号処理部 1 0 2 を駆動するための電源配線や接地配線である。

【 0 0 4 7 】

第 2 チップ 4 0 1 の半導体層 4 1 1 には接地領域 4 4 1 が配される。接地領域 4 4 1 へ

50

の接地電位の電圧（接地電圧；第3電圧）の供給は、パッド開口503（第3開口）の底部に配されるパッド電極513（第3電極）を通じて行われる。パッド開口503の底部は、第2チップ401の面414（第3面）と面413（第4面）との間に設けられている。第3電圧は、例えば、0Vである。なお、図3では、パッド電極513（第3電極）から印加される電圧は、接地領域41に供給されているが、必ずしも接地領域411を設けなくてもよい。この場合、パッド電極513（第3電極）から印加される電圧は、直接的に他の回路素子に供給される。

【0048】

また、第2チップ401に配されるMOSトランジスタ425のドレイン電極には、パッド開口502（第2開口）の底部に配されるパッド電極512（第2電極）を通じて、所定の電位が供給される。パッド開口502の底部は、第2チップ401の面414（第3面）と面413（第4面）との間に設けられている。前記のとおり、MOSトランジスタ425は、例えば、アバランシェ増倍による信号増倍時に負荷回路として機能するクエンチ素子である。この場合、所定の電位は、電圧V_H（第2電圧）は、例えば1.1Vである。電圧V_L（第1電圧）は、例えば-30Vであるため、電圧V_L（第1電圧）と電圧V_H（第2電圧）の電位差は、電圧V_H（第2電圧）と接地電位の電圧（第3電圧）の電位差よりも大きい。また、電圧V_L（第1電圧）と接地電位の電圧（第3電圧）の電位差は、電圧V_H（第2電圧）と接地電位の電圧（第3電圧）の電位差よりも大きい。

【0049】

図4（A）は、図3の破線A-A'について、平面視した際の平面図を示している。平面視とは、半導体層311または411の主面に対して垂直な方向（主面の法線方向）から光電変換装置1010を視た際の配置である。平面視した場合に、重なっている部材については、透視可能であるものとする。

【0050】

図4（A）において、画素領域521内には、各画素で発生した信号を第2チップ401に送るための接合部332が二次元状に配列される。すなわち、複数の接合部332は、第1方向550（行方向）と、第1方向550と直交する第2方向560（列方向）の両方にわたって配されている。画素領域521の外側には、複数のパッド電極511、512、513が配される。

【0051】

第2方向560（列方向）において、パッド電極511、512、513のそれぞれの長さは、接合部332の長さよりも大きい。すなわち、複数行（図4（A）では2行）に設けられている接合部332に対応して、1つのパッド電極が設けられている。これは、各パッド電極から供給される電位は、複数行の画素に対して共通に供給するように構成できるからである。また、仮に、1つの行に対応して1つのパッド電極を配置する場合、画素ピッチ毎にパッド電極を配置する必要があるため、微細化に対して不向きだからである。

【0052】

また、図4（A）においては、第1方向550（行方向）においても、パッド電極511、512、513のそれぞれの長さは、接合部332の長さよりも大きい。この結果、パッド電極511、512、513のそれぞれの面積は、接合部332の面積よりも大きくなっている。

【0053】

さらに、図4（A）においては、全行分の接合部332に対して1つのパッド電極を配するのではなく、全行よりも少ない所定の複数行の接合部332に対して1つのパッド電極が配されている。本実施形態では、画素部にアバランシェダイオードを含むため、画素に対して電位を与えるパッド電極には、アバランシェ電流が流れることになる。仮に、全行に対して1つのパッド電極を配するとすると、1つのパッド電極に流せる許容電流量の制約を越えてしまう可能性がある。そのため、全行ではない所定行数の接合部に対して、1つのパッド電極が設けられている。

【0054】

10

20

30

40

50

なお、図4(A)では、第1方向550および第2方向560の両方について、パッド電極の長さを接合部の長さよりも大きくした例を示したが、どちらか一方の方向について長さを大きくするようにして、ピッチを大きくしてもよい。

【0055】

また、図4(A)では、複数行に対して1つのパッド電極を配していたが、複数列に対して1つのパッド電極を配するように構成してもよい。

【0056】

さらに、図4(A)では、画素領域の右側にパッド電極511を集約し、画素領域の左側にパッド電極512と513を集約して配している。他方、図4(B)に示すように、画素領域の右側と左側のそれぞれに、パッド電極511、512、513からなるユニットを配してもよい。各画素のアバランシェ増倍された電荷(電子および正孔)は、例えば、電子がパッド電極512に収集され、正孔がパッド電極511に収集される。例えば、図4(A)において、画素領域の左上の画素から電子と正孔が生じるとすると、電子は左側に配されているパッド電極512にすぐに収集されるが、正孔は右側に配されているパッド電極511に所定の時間経過して収集される。この場合、特に正孔に関しては、右側に配されるパッド電極511に収集されるまでに、画素毎にアバランシェ電荷が積算されるため、電圧降下が生じる原因となる。他方、図4(B)においては、パッド電極511および512が、右側と左側の両方に配されていることから、アバランシェ増倍された電子および正孔の両方が短時間で収集され、上記のような電圧降下が生じにくい。図4(B)に示した配置によれば、シェーディングの発生が抑制できるというメリットがある。

【0057】

第1チップ301に配するアバランシェダイオード324の第1導電型の第1半導体領域321には、パッド電極512から電圧VH(第2電圧)が供給される。この電圧供給には、MOSトランジスタ425、第2チップの多層配線層431、第2チップの接合部432、第1チップの接合部332、第1チップの多層配線層331が介在する。また、第2導電型の第2半導体領域322には、第1チップに配されるパッド電極511、多層配線層331、第2導電型の第5半導体領域326、第2導電型の第4半導体領域325を介して、電圧VL(第1電圧)が供給される。電圧VL(第1電圧)と電圧VH(第2電圧)の電圧差は、第1導電型の第1半導体領域321と第2導電型の第2半導体領域322の接合部にアバランシェ増倍を起こすだけの十分な電界がかかるものとする。必要な電圧差は、例えば、6V以上であり、上記では、31.1Vの例を説明した。

【0058】

ところで、第2チップの回路領域531は、処理回路の集積度を上げるため、駆動電圧の低い微細なトランジスタを配する必要がある。他方、パッド電極511へ印加する電圧VL(第1電圧)は、アバランシェフォトダイオードが設けられている第1チップ301のみに必要な電圧であり、第2チップの回路領域531には供給する必要がない。そこで、本実施形態では、パッド電極511は、第2チップ401の半導体層411と電氣的に接続されていない構成としている。具体的には、パッド電極511と電氣的に接続される配線が、第1チップ301と第2チップ401との接合面の境界を越えない構成とされている。これにより、第2チップの回路領域531の信頼性低下を抑制することができる。

【0059】

また、パッド電極512へ印加する電位は、MOSトランジスタ425に供給される以外にも、第2チップ401に配する各種の処理回路に供給される。処理回路に求められる機能が増加し、第2チップ401に搭載される素子数が増加すると、高速性が課題となりうる。この場合、パッド電極512を第1チップ301に配して、接合部を介して電位を供給するよりも、図3で示すように、パッド電極512を第2チップ401に配して電位を供給する方が好ましい。この構成により、配線による伝搬遅延が低減できるため、第2チップ401に配する各種処理回路を、より高速に動作させることが可能となる。

【0060】

また、第1チップ301に配するパッド電極511は、第1チップ301の多層配線層

３３１の最上層配線と同じ高さの配線層に配する。第２チップ４０１に配するパッド電極５１２、５１３は、第２チップの多層配線層４３１の最上層配線と同じ高さの配線層に配する。なお、本明細書においては、多層配線層３３１、４３１には、接合部３３２、４３２は含まれないものとしている。これにより、第１チップ３０１と第２チップ４０１に配するパッド電極の段差が減少し、パッド開口時のエッチングプロセスを容易することができる。また、この構成によれば、パッド開口部のワイヤーボンディング形成を容易にすることができる。

【００６１】

[第２の実施形態]

図５は、第２の実施形態に係る光電変換装置の断面図である。第１の実施形態との違いは、パッド電極５１２、５１３が第１チップ３０１に配され、接合部３３３、４３３を介して第２チップに電位が供給される点である。第１の実施形態と同じ部材についての説明は省略する。

【００６２】

図３に示すように、第１の実施形態では、パッド開口５０１と、パッド開口５０２、５０３の深さが異なるため、それぞれのパッド開口深さに最適なエッチング条件や、ワイヤーボンディング条件を適用する必要がある。一方、図５に示す第２の実施形態では、パッド電極５１１、５１２、５１３を第１チップ３０１に形成している。すなわち、パッド開口５０１、５０２、５０３の底部は、第１チップ３０１の面３１３（第１面）と面３１４（第２面）との間に設けられている。この構成によれば、第１の実施形態と比較して、パッド開口５０１、５０２、５０３の深さを揃えることが可能となる。そのため、パッド開口形成時のエッチング条件、ワイヤーボンディング条件を、パッド毎に最適化する必要がなくなる。

【００６３】

パッド電極５１１、５１２、５１３は、第１チップ３０１の多層配線層３３１のうち、同じ配線層に設けることが望ましい。具体的には、図５において、パッド電極５１１、５１２、５１３は、多層配線層３３１の最上層に設けられている。これにより、各パッド開口深さが同じになるため、パッド開口を形成する際のエッチング条件や、ワイヤーボンディングを形成する際の条件を同じにすることができ、これらを同一工程で形成することが可能となる。

【００６４】

図５において、パッド電極５１２、５１３と接合部３３３とは、複数のビアプラグによって接続されている。すなわち、１つのパッド電極と１つの接合部とは、複数のビアプラグによって接続されている。同様に、第２チップ４０１に設けられている多層配線層４３１の最上層に設けられている配線と、接合部４３３とは、複数のビアプラグで接続されている。これにより、電気抵抗を低減でき、信号の伝搬遅延を抑制することが可能となる。

【００６５】

ところで、第１の実施形態で説明したとおり、アバランシェダイオード３２４をアバランシェ増倍させる電圧のうち、第１チップのパッド電極５１１には、電圧 V_L （第１電圧）を印加する。この電圧は、第１チップ３０１に設けられる多層配線層３３１で引き回されるため、第２チップ４０１の回路領域５３１には供給されない。すなわち、第２チップ４０１に配する回路領域５３１の信頼性低下を抑制することができる。

【００６６】

なお、図５の破線 AA' を含む平面図は、図３と同等であるため、詳細の説明を省略する。

【００６７】

以上により、第２の実施形態では、第２チップ４０１の回路領域５３１に対する信頼性低下を抑制することができる。また、パッド開口とワイヤーボンディングの形成プロセスの容易化を達成できる。

【００６８】

10

20

30

40

50

〔第3の実施形態〕

図6は、第3の実施形態に係る光電変換装置の断面図である。第1の実施形態との違いは、パッド電極511が第2チップ401に配され、接合部434、334を介して第1チップ301に電位が供給される点である。第1の実施形態と同じ部材についての説明は省略する。

【0069】

第1の実施形態では、パッド開口501と、パッド開口502、503の深さが異なるため、それぞれのパッド開口深さに最適なエッチング条件や、ワイヤーボンディング条件を適用する必要がある。一方、図6に示す第3の実施形態では、パッド電極511、512、513を第2チップ401に形成している。すなわち、パッド開口501、502、503の底部は、第2チップ401の面414（第3面）と面413（第4面）との間に設けられている。この構成によれば、第1の実施形態と比較して、パッド開口501、502、503の深さを揃えることが可能となる。そのため、パッド開口形成時のエッチング条件、ワイヤーボンディング条件を、パッド毎に最適化する必要がなくなる。

【0070】

第1の実施形態で説明したとおり、パッド電極512は第2チップ401に配され、その電位は、MOSトランジスタ425に供給される以外にも、第2チップ401に搭載される各種処理回路に供給される。また、処理回路に求められる機能が増加し、第2チップ401に搭載される素子数が増加すると、高速性が課題となる。この場合、パッド電極512を第1チップ301に配して、接合部を介して電位を供給するよりも、図6に示すように、パッド電極512を第2チップ401に配して電位を供給する方が好ましい。この構成により、配線による伝搬遅延が低減できるため、第2チップ401に配する各種処理回路を、より高速に動作させることが可能となる。

【0071】

また、第3の実施形態では、パッド電極511は、第2チップ401の半導体層411と電気的に接続されていない構成としている。これにより、第2チップの回路領域531の信頼性悪化を回避することができる。

【0072】

図7は、図6の破線AA'について、平面視した際の平面図である。画素領域521内には、各画素で発生した信号を第2チップ401に送るための接合部332が二次元状に配列される。画素領域521の外側には、第2チップに配されるパッド電極511、512、513が配される。第2チップ401に配するパッド電極511に印加する電圧を、第1チップ301の画素領域521に供給するための接合部334が配される。第1方向550と第2方向560の両方向において、接合部334の長さは、接合部332の長さよりも大きい。このため、接合部334の面積は、接合部332の面積よりも大きい。図4(A)(B)に関する説明は、図7にも適用される。

【0073】

以上により、第3の実施形態では、第2チップの回路領域531の信頼性低下を抑制しつつ、第2チップ401に搭載する各種処理回路の高速化を図ることができる。また、パッド開口とワイヤーボンディングの形成プロセスの容易化を達成することができる。

【0074】

〔第4の実施形態〕

図8は、第4の実施形態に係る光電変換装置の断面図である。第1の実施形態との違いは、ワイヤーボンディングではなく、貫通電極(TSV: Through-Silicon Via)を用いている点である。以下、第1の実施形態と同じ部材についての説明は省略する。

【0075】

具体的には、第1の実施形態のパッド開口501の底部に設けられていたワイヤーボンディング配線が、第4の実施形態の貫通電極504に対応している。同様に、パッド開口502の底部のワイヤーボンディング配線が貫通電極505に、パッド開口503の底部

10

20

30

40

50

のワイヤーボンディング配線が貫通電極 5 0 6 に、それぞれ対応する。

【 0 0 7 6 】

第 1 の実施形態のパッド電極 5 1 1 (第 1 電極) が、第 4 の実施形態の電極 5 1 4 (第 1 電極) に対応している。同様に、パッド電極 5 1 3 (第 2 電極) が電極 5 1 6 (第 2 電極) に、パッド電極 5 1 2 (第 3 電極) が電極 5 1 5 に対応している。すなわち、これらの電極は、多層配線層 4 3 1 (第 2 多層配線層) に設けられている電極であって、光電変換装置の外部から電圧が供給される電極である点で共通している。

【 0 0 7 7 】

第 4 の実施形態においては、電極 5 1 4 と外部電源とを導通するために、電極 5 1 4 を露出させるために形成される開口 (第 1 開口) の底部が、第 1 チップ 3 0 1 の面 3 1 3 (第 1 面) と面 3 1 4 (第 2 面) との間に設けられている。この点も、第 1 の実施形態と共通している。同様に、電極 5 1 6 と 5 1 5 を露出させるために形成される開口 (第 2 開口と第 3 開口) の底部は、第 2 チップ 4 0 1 の面 4 1 4 (第 3 面) と面 4 1 3 (第 4 面) との間に設けられている。この点も、第 1 の実施形態と共通している。なお、本願明細書では、開口 (トレンチ) を形成した後に電極を充填した場合であっても、開口が形成されていた箇所について、「開口」と呼称することがある。

【 0 0 7 8 】

第 1 から第 3 の実施形態のように、電極構造をワイヤーボンディング配線にする場合、チップサイズに対してワイヤーを実装するためのスペースが余分に必要になるため、パッケージサイズの小型化が困難である。他方、貫通電極の場合には、バンプ等を介して貫通電極とパッケージ基板を接続するため、チップサイズとパッケージサイズを概ね同等のサイズにすることが可能となる。このため、ワイヤーボンディング配線と比較して、パッケージサイズの小型化が有利である

第 1 の実施形態と同様、貫通電極 5 0 4 に印加される電位は、電極 5 1 4 を介して第 1 チップ 3 0 1 の画素領域 5 2 1 に供給される。また、貫通電極 5 0 5、5 0 6 に印加される電位は、それぞれ電極 5 1 5、5 1 6 を介して、第 2 チップ 4 0 1 の回路領域 5 3 1 に相当する半導体層 4 1 1 に供給される。他方、貫通電極 5 0 4 に印加される電位は、第 2 チップ 4 0 1 の回路領域 5 3 1 には供給されない。そのため、第 1 の実施形態と同様、第 2 チップ 4 0 1 に配する回路領域 5 3 1 の信頼性低下を抑制することができる。また、貫通電極 5 0 5 は、第 2 チップ 4 0 1 に配されるため、第 2 チップ 4 0 1 に配する各種処理回路を、より高速に動作させることが可能となる。

【 0 0 7 9 】

また、第 1 チップ 3 0 1 に配する電極 5 1 4 は、第 1 チップ 3 0 1 の多層配線層 3 3 1 の最上層配線と同じ高さの配線層に配し、第 2 チップ 4 0 1 に配する電極 5 1 5、5 1 6 は、第 2 チップ 4 0 1 の多層配線層 4 3 1 の最上層配線と同じ高さの配線層に配する。

【 0 0 8 0 】

貫通電極は、エッチングによって半導体層 4 1 1 を貫通する開口 (トレンチ) を形成してから、電極材料となる金属を充填することにより形成する。複数の貫通電極に対応するトレンチをエッチングで形成する際、トレンチ深さの段差が少ない方が、プロセス的には簡便である。このため、前記のように、貫通電極と接触する電極を各チップの最上層配線と同じ高さの配線層に配することで、貫通電極の形成プロセスを容易化することができる。

【 0 0 8 1 】

図 9 は、図 8 の破線 A A ' について、平面視した際の平面図である。画素領域 5 2 1 内には、各画素で発生した信号を第 2 チップ 4 0 1 に送るための接合部 3 3 2 が二次元状に配列される。画素領域 5 2 1 の外側には、第 1 チップ 3 0 1 内の電極 5 1 4、第 2 チップ 4 0 1 内の電極 5 1 5、5 1 6 がそれぞれ配される。図 4 (A) (B) に関する説明は、図 9 にも適用される。

【 0 0 8 2 】

以上により、第 4 の実施形態では、パッケージサイズの小型化、第 2 チップ 4 0 1 の回路領域 5 3 1 に対する信頼性低下の抑制、第 2 チップ 4 0 1 に搭載する各種処理回路の高

10

20

30

40

50

速化を達成することができる。

【 0 0 8 3 】

[第 5 の実施形態]

図 1 0 は、第 5 の実施形態の断面図である。第 4 の実施形態との違いは、電極 5 1 5、5 1 6 を第 1 チップ 3 0 1 に配する点である。第 1 の実施形態と同じ部材についての説明は省略する。

【 0 0 8 4 】

第 4 の実施形態では、第 1 チップの電極 5 1 4 と、第 2 チップの電極 5 1 5、5 1 6 が配されている場所が異なるため、トレンチ形成時のエッチング条件や、トレンチに金属を埋め込む際の成膜条件を、各電極の場所に応じて最適化する必要がある。他方、第 5 の実施形態では、貫通電極 5 1 4、5 1 5、5 1 6 を全て第 1 チップに配することで、各電極が設けられている場所に応じてプロセス条件を最適化する必要がなくなり、プロセスを容易化することができる。

【 0 0 8 5 】

また、電極 5 1 4、5 1 5、5 1 6 は、第 1 チップ 3 0 1 の多層配線層 3 3 1 のうち、同じ配線層に設けることが望ましい。具体的には、図 1 0 において、電極 5 1 4、5 1 5、5 1 6 は、多層配線層 3 3 1 の最上層に設けられている。これにより、各貫通電極のトレンチ深さが同じになるため、トレンチを形成する際のエッチング条件や、トレンチに電極材料となる金属を埋め込む際の成膜条件を同じにすることができ、これらを同一工程で形成することが可能となる。

【 0 0 8 6 】

図 1 0 において、電極 5 1 5、5 1 6 と接合部 3 3 5 とは、複数のビアプラグによって接続されている。すなわち、多層配線層に設けられている 1 つの電極と 1 つの接合部とは、複数のビアプラグによって接続されている。同様に、第 2 チップ 4 0 1 に設けられている多層配線層 4 3 1 の最上層に設けられている配線と、接合部 4 3 3 とは、複数のビアプラグで接続されている。これにより、電気抵抗を低減でき、信号の伝搬遅延を抑制することが可能となる。

【 0 0 8 7 】

ところで、第 1 の実施形態で説明したとおり、アバランシェダイオード 3 2 4 をアバランシェ増倍させる電圧のうち、第 1 チップの電極 5 1 4 には、電圧 V_L (第 1 電圧) を印加する。この電圧は、第 1 チップ 3 0 1 に設けられる多層配線層 3 3 1 で引き回されるため、第 2 チップ 4 0 1 の回路領域 5 3 1 には供給されない。すなわち、第 2 チップ 4 0 1 に配する回路領域 5 3 1 の信頼性低下を抑制することができる。

【 0 0 8 8 】

図 1 1 は、図 1 0 の破線 A A ' を含む平面図である。画素領域 5 2 1 内には、各画素で発生した信号を第 2 チップ 4 0 1 に送るための接合部 3 3 2 が二次元状に配列される。画素領域 5 2 1 の外側には、第 1 チップ 3 0 1 内の電極 5 1 4、第 1 チップ 3 0 1 内の電極 5 1 5、5 1 6、及び前記電極の印加電位を第 2 チップへ伝えるための接合部 3 3 5 が配列される。図 4 (A) (B) に関する説明は、図 1 1 にも適用される。

【 0 0 8 9 】

以上により、第 5 の実施形態では、第 2 チップ 4 0 1 の回路領域 5 3 1 に対する信頼性低下の抑制が可能である。また、貫通電極形成プロセスの容易化を達成することができる。

【 0 0 9 0 】

[第 6 の実施形態]

図 1 2 は、第 6 の実施形態に係る光電変換装置の断面図である。第 4 の実施形態との違いは、貫通電極 5 1 4 を第 2 チップ 4 0 1 に配する点である。第 4 の実施形態と同じ部材についての説明は省略する。

【 0 0 9 1 】

第 6 の実施形態では、第 4 の実施形態と比較して、電極 5 1 4、5 1 5、5 1 6 を第 2 チップに配するため、トレンチ形成時のエッチング条件や、トレンチへの金属充填時の成

10

20

30

40

50

膜条件を各電極深さに応じて最適化する必要がなく、プロセスを容易化できる。

【 0 0 9 2 】

電極 5 1 4、5 1 5、5 1 6 が配される深さは、第 2 チップ 4 0 1 内の同じ深さであることが望ましい。これにより、各貫通電極のトレンチ深さが同じになるため、トレンチ形成時のエッチング条件や、トレンチに電極材料となる金属を埋め込む際の成膜条件を同じにすることができる。

【 0 0 9 3 】

また、第 6 の実施形態では、貫通電極 5 0 4 に印加する電位が、接合部 4 3 6、3 3 6 を介して第 1 チップ 3 0 1 に供給されるため、第 2 チップ 4 0 1 の回路領域 5 3 1 に供給されることはない。従って、第 2 チップの回路領域 5 3 1 の信頼性低下を抑制することができる。

10

【 0 0 9 4 】

貫通電極 5 1 5 は第 2 チップ 4 0 1 に配され、その電位は、M O S トランジスタ 4 2 5 に供給される以外にも、第 2 チップ 4 0 1 に搭載される各種処理回路に供給される。処理回路に求められる機能が増加し、第 2 チップ 4 0 1 に搭載される素子数が増加すると、高速性が課題となる。その場合、貫通電極 5 1 5 を第 1 チップ 3 0 1 に配して、接合部を介して電位を供給するよりも、貫通電極 5 1 5 を第 2 チップ 4 0 1 に配して電位を供給する方が、第 2 チップに配する各種処理回路を、より高速に動作させることが可能となる。なお、図 1 2 の破線 A A ' を含む平面図は、図 9 と同等であるため、詳細の説明を省略する。

【 0 0 9 5 】

20

以上により、第 6 の実施形態では、第 2 チップ 4 0 1 の回路領域 5 3 1 に対する信頼性低下の抑制、第 2 チップ 4 0 1 に搭載する各種処理回路の高速化、貫通電極形成プロセスの容易化を達成することができる。

【 0 0 9 6 】

[第 7 の実施形態]

図 1 3 は、本実施形態に係る光電変換システム 1 2 0 0 の構成を示す領域図である。本実施形態の光電変換システム 1 2 0 0 は、光電変換装置 1 2 0 4 を含む。光電変換装置 1 2 0 4 は、上述の実施形態で述べた光電変換装置のいずれかを適用することができる。光電変換システム 1 2 0 0 は例えば、撮像システムとして用いることができる。撮像システムの具体例としては、デジタルスチルカメラ、デジタルカムコーダー、監視カメラ等が挙げられる。図 1 3 では、光電変換システム 1 2 0 0 としてデジタルスチルカメラの例を示している。

30

【 0 0 9 7 】

図 1 3 に示す光電変換システム 1 2 0 0 は、光電変換装置 1 2 0 4、被写体の光学像を光電変換装置 1 2 0 4 に結像させるレンズ 1 2 0 2、レンズ 1 2 0 2 の通過光量を可変にする絞り 1 2 0 3、レンズ 1 2 0 2 を保護するバリア 1 2 0 1 を有する。レンズ 1 2 0 2 および絞り 1 2 0 3 は、光電変換装置 1 2 0 4 に光を集光する光学系である。

【 0 0 9 8 】

光電変換システム 1 2 0 0 は、光電変換装置 1 2 0 4 から出力される出力信号の処理を行う信号処理部 1 2 0 5 を有する。信号処理部 1 2 0 5 は、必要に応じて入力信号に対して各種の補正、圧縮を行って出力する信号処理の動作を行う。光電変換システム 1 2 0 0 は、更に、画像データを一時的に記憶するためのバッファメモリ部 1 2 0 6、外部コンピュータ等と通信するための外部インターフェース部（外部 I / F 部）1 2 0 9 を有する。更に光電変換システム 1 2 0 0 は、撮像データの記録又は読み出しを行うための半導体メモリ等の記録媒体 1 2 1 1、記録媒体 1 2 1 1 に記録または読み出しを行うための記録媒体制御インターフェース部（記録媒体制御 I / F 部）1 2 1 0 を有する。記録媒体 1 2 1 1 は、光電変換システム 1 2 0 0 に内蔵されていてもよく、着脱可能であってもよい。また、記録媒体制御 I / F 部 1 2 1 0 から記録媒体 1 2 1 1 との通信や外部 I / F 部 1 2 0 9 からの通信は無線によってなされてもよい。

40

【 0 0 9 9 】

50

更に光電変換システム 1200 は、各種演算を行うとともにデジタルスチルカメラ全体を制御する全体制御・演算部 1208、光電変換装置 1204 と信号処理部 1205 に各種タイミング信号を出力するタイミング発生部 1207 を有する。ここで、タイミング信号などは外部から入力されてもよく、光電変換システム 1200 は、少なくとも光電変換装置 1204 と、光電変換装置 1204 から出力された出力信号を処理する信号処理部 1205 とを有すればよい。

【0100】

全体制御・演算部 1208 およびタイミング発生部 1207 は、光電変換装置 1204 の制御機能の一部または全部を実施するように構成してもよい。

【0101】

光電変換装置 1204 は、画像用信号を信号処理部 1205 に出力する。信号処理部 1205 は、光電変換装置 1204 から出力される画像用信号に対して所定の信号処理を実施し、画像データを出力する。また、信号処理部 1205 は、画像用信号を用いて、画像を生成する。また、信号処理部 1205 は、光電変換装置 1204 から出力される信号に対して測距演算を行ってもよい。信号処理部 1205 やタイミング発生部 1207 は、光電変換装置に搭載されていてもよい。つまり、信号処理部 1205 やタイミング発生部 1207 は、画素が配されたチップに設けられていてもよい。上述した各実施形態の光電変換装置を用いて撮像システムを構成することにより、より良質の画像が取得可能な撮像システムを実現することができる。

【0102】

[第 8 の実施形態]

本実施形態の光電変換システム及び移動体について、図 14 および図 15 を用いて説明する。図 14 は、本実施形態による光電変換システム及び移動体の構成例を示す概略図である。図 15 は、本実施形態による光電変換システムの動作を示すフロー図である。本実施形態では、光電変換システムとして、車載カメラの一例を示す。

【0103】

図 14 は、車両システムとこれに搭載される撮像を行う光電変換システムの一例を示したものである。光電変換システム 1301 は、光電変換装置 1302、画像前処理部 1315、集積回路 1303、光学系 1314 を含む。光学系 1314 は、光電変換装置 1302 に被写体の光学像を結像する。光電変換装置 1302 は、光学系 1314 により結像された被写体の光学像を電気信号に変換する。光電変換装置 1302 は、上述の各実施形態のいずれかの光電変換装置である。画像前処理部 1315 は、光電変換装置 1302 から出力された信号に対して所定の信号処理を行う。画像前処理部 1315 の機能は、光電変換装置 1302 内に組み込まれていてもよい。光電変換システム 1301 には、光学系 1314、光電変換装置 1302 及び画像前処理部 1315 が、少なくとも 2 組設けられており、各組の画像前処理部 1315 からの出力が集積回路 1303 に入力されるようになっている。

【0104】

集積回路 1303 は、撮像システム用途向けの集積回路であり、メモリ 1305 を含む画像処理部 1304、光学測距部 1306、測距演算部 1307、物体認知部 1308、異常検出部 1309 を含む。画像処理部 1304 は、画像前処理部 1315 の出力信号に対して、現像処理や欠陥補正等の画像処理を行う。メモリ 1305 は、撮像画像の一次記憶、撮像画素の欠陥位置を格納する。光学測距部 1306 は、被写体の合焦や、測距を行う。測距演算部 1307 は、複数の光電変換装置 1302 により取得された複数の画像データから測距情報の算出を行う。物体認知部 1308 は、車、道、標識、人等の被写体の認知を行う。異常検出部 1309 は、光電変換装置 1302 の異常を検出すると、主制御部 1313 に異常を発報する。

【0105】

集積回路 1303 は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよいし、これらの組合せによって実現されて

10

20

30

40

50

もよい。また、FPGA(Field Programmable Gate Array)やASIC(Application Specific Integrated Circuit)等によって実現されてもよいし、これらの組合せによって実現されてもよい。
【0106】

主制御部1313は、光電変換システム1301、車両センサ1310、制御ユニット1320等の動作を統括・制御する。主制御部1313を持たず、光電変換システム1301、車両センサ1310、制御ユニット1320が個別に通信インターフェースを有して、それぞれが通信ネットワークを介して制御信号の送受を行う(例えばCAN規格)方法も取り得る。

【0107】

集積回路1303は、主制御部1313からの制御信号を受け或いは自身の制御部によって、光電変換装置1302へ制御信号や設定値を送信する機能を有する。

【0108】

光電変換システム1301は、車両センサ1310に接続されており、車速、ヨーレート、舵角などの自車両走行状態及び自車外環境や他車・障害物の状態を検出することができる。車両センサ1310は、対象物までの距離情報を取得する距離情報取得手段でもある。また、光電変換システム1301は、自動操舵、自動巡行、衝突防止機能等の種々の運転支援を行う運転支援制御部1311に接続されている。特に、衝突判定機能に関しては、光電変換システム1301や車両センサ1310の検出結果を基に他車・障害物との衝突推定・衝突有無を判定する。これにより、衝突が推定される場合の回避制御、衝突時の安全装置起動を行う。

【0109】

また、光電変換システム1301は、衝突判定部での判定結果に基づいて、ドライバーに警報を発する警報装置1312にも接続されている。例えば、衝突判定部の判定結果として衝突可能性が高い場合、主制御部1313は、ブレーキをかける、アクセルを戻す、エンジン出力を抑制するなどして、衝突を回避、被害を軽減する車両制御を行う。警報装置1312は、音等の警報を鳴らす、カーナビゲーションシステムやメーターパネルなどの表示部画面に警報情報を表示する、シートベルトやステアリングに振動を与えるなどしてユーザに警告を行う。

【0110】

本実施形態では、車両の周囲、例えば前方又は後方を光電変換システム1301で撮影する。図14(b)に、車両前方を光電変換システム1301で撮像する場合の光電変換システム1301の配置例を示す。

【0111】

2つの光電変換装置1302は、車両1300の前方に配される。具体的には、車両1300の進退方位又は外形(例えば車幅)に対する中心線を対称軸に見立て、その対称軸に対して2つの光電変換装置1302が線対称に配されると、車両1300と被写対象物との間の距離情報の取得や衝突可能性の判定を行う上で好ましい。また、光電変換装置1302は、運転者が運転席から車両1300の外の状況を視認する際に運転者の視野を妨げない配置が好ましい。警報装置1312は、運転者の視野に入りやすい配置が好ましい。

【0112】

次に、光電変換システム1301における光電変換装置1302の故障検出動作について、図15を用いて説明する。光電変換装置1302の故障検出動作は、図15に示すステップS1410～S1480に従って実施される。

【0113】

ステップS1410は、光電変換装置1302のスタートアップ時の設定を行うステップである。すなわち、光電変換システム1301の外部(例えば主制御部1313)又は光電変換システム1301の内部から、光電変換装置1302の動作のための設定を送信し、光電変換装置1302の撮像動作及び故障検出動作を開始する。

【0114】

10

20

30

40

50

次いで、ステップ S 1 4 2 0 において、有効画素から画素信号を取得する。また、ステップ S 1 4 3 0 において、故障検出用に設けた故障検出画素からの出力値を取得する。この故障検出画素は、有効画素と同じく光電変換部を備える。この光電変換部には、所定の電圧が書き込まれる。故障検出用画素は、この光電変換部に書き込まれた電圧に対応する信号を出力する。なお、ステップ S 1 4 2 0 とステップ S 1 4 3 0 とは逆でもよい。

【 0 1 1 5 】

次いで、ステップ S 1 4 4 0 において、故障検出画素の出力期待値と、実際の故障検出画素からの出力値との該非判定を行う。ステップ S 1 4 4 0 における該非判定の結果、出力期待値と実際の出力値とが一致している場合は、ステップ S 1 4 5 0 に移行し、撮像動作が正常に行われていると判定し、処理ステップがステップ S 1 4 6 0 へと移行する。ステップ S 1 4 6 0 では、走査行の画素信号をメモリ 1 3 0 5 に送信して一次保存する。そののち、ステップ S 1 4 2 0 に戻り、故障検出動作を継続する。一方、ステップ S 1 4 4 0 における該非判定の結果、出力期待値と実際の出力値とが一致していない場合は、処理ステップはステップ S 1 4 7 0 に移行する。ステップ S 1 4 7 0 において、撮像動作に異常があると判定し、主制御部 1 3 1 3、又は警報装置 1 3 1 2 に警報を発報する。警報装置 1 3 1 2 は、表示部に異常が検出されたことを表示させる。その後、ステップ S 1 4 8 0 において光電変換装置 1 3 0 2 を停止し、光電変換システム 1 3 0 1 の動作を終了する。

【 0 1 1 6 】

なお、本実施形態では、1 行毎にフローチャートをループさせる例を例示したが、複数行毎にフローチャートをループさせてもよいし、1 フレーム毎に故障検出動作を行ってもよい。ステップ S 1 4 7 0 の警報の発報は、無線ネットワークを介して、車両の外部に通知するようにしてもよい。

【 0 1 1 7 】

また、本実施形態では、他の車両と衝突しない制御を説明したが、他の車両に追従して自動運転する制御や、車線からはみ出さないように自動運転する制御などにも適用可能である。さらに、光電変換システム 1 3 0 1 は、自車両等の車両に限らず、例えば、船舶、航空機或いは産業用ロボットなどの移動体（移動装置）に適用することができる。加えて、移動体に限らず、高度道路交通システム（ITS）等、広く物体認識を利用する機器に適用することができる。

【 0 1 1 8 】

本発明は、上記実施形態に限らず種々の変形が可能である。例えば、いずれかの実施形態の一部の構成を他の実施形態に追加した例や、他の実施形態の一部の構成と置換した例も、本発明の実施形態である。

【 0 1 1 9 】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

【 符号の説明 】

【 0 1 2 0 】

3 0 1 第 1 チップ

4 0 1 第 2 チップ

3 2 4 アバランシェダイオード

5 2 1 画素領域

5 3 1 回路領域

5 0 1、5 0 2、5 0 3 パッド開口

5 1 1、5 1 2、5 1 3 パッド電極

10

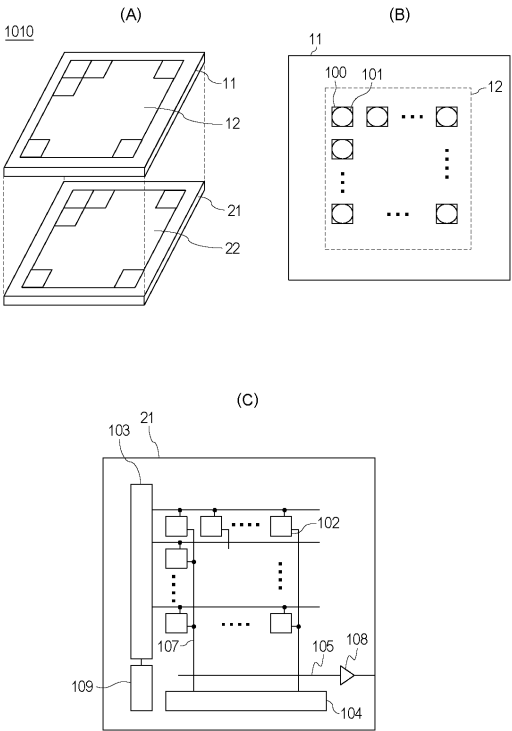
20

30

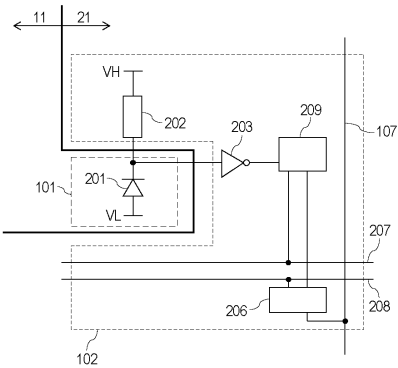
40

50

【図面】
【図 1】



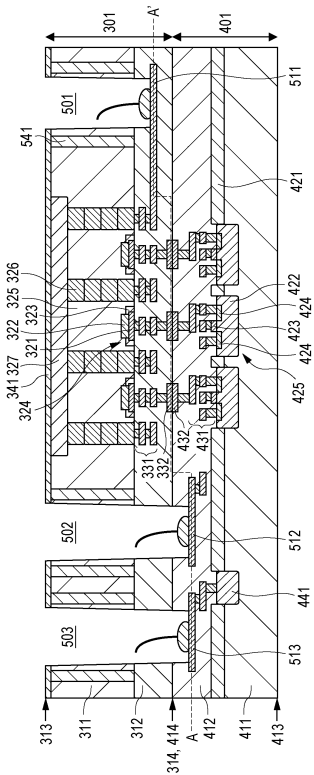
【図 2】



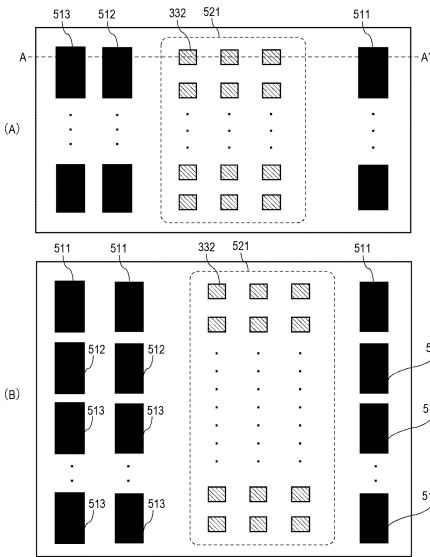
10

20

【図 3】



【図 4】

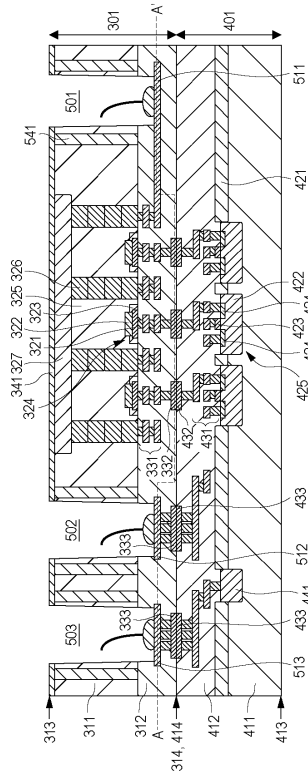


30

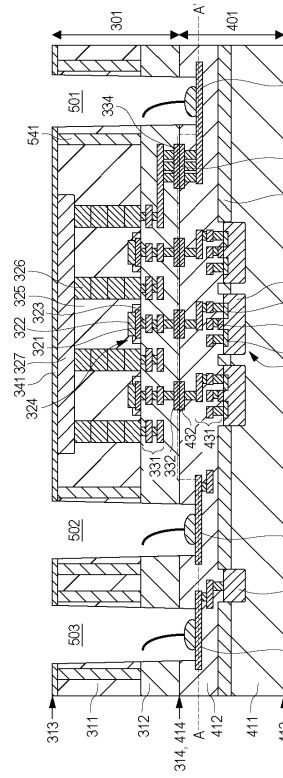
40

50

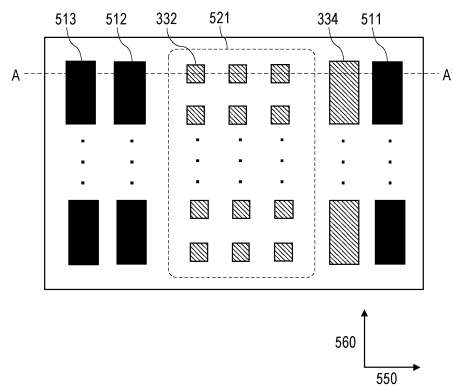
【 図 5 】



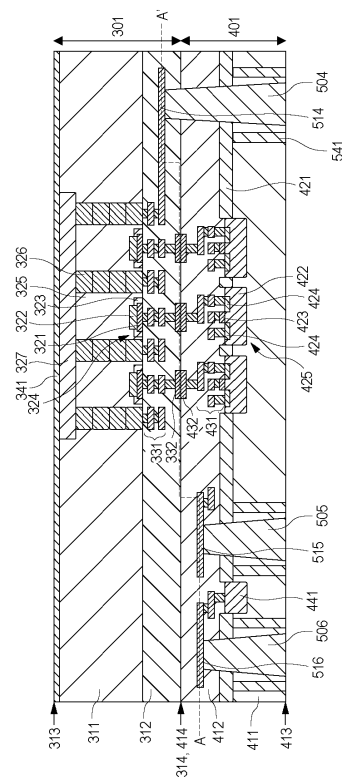
【 図 6 】



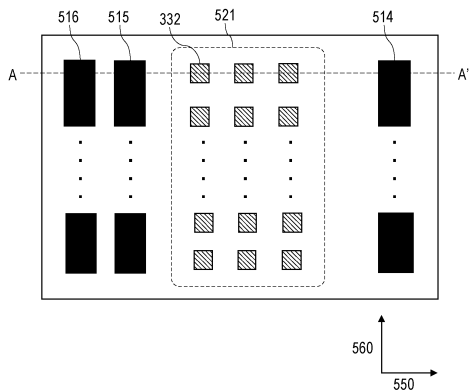
【圖 7】



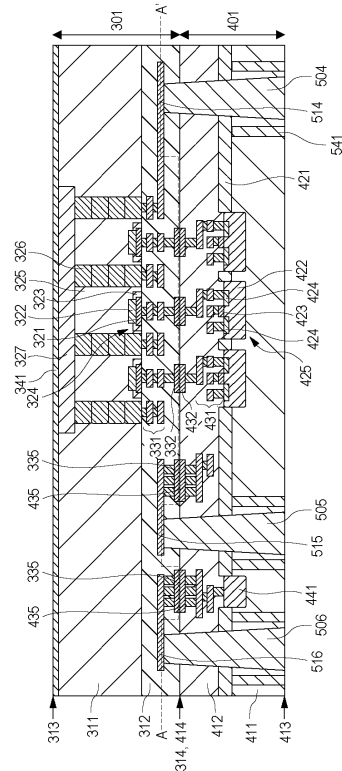
【 図 8 】



【図 9】



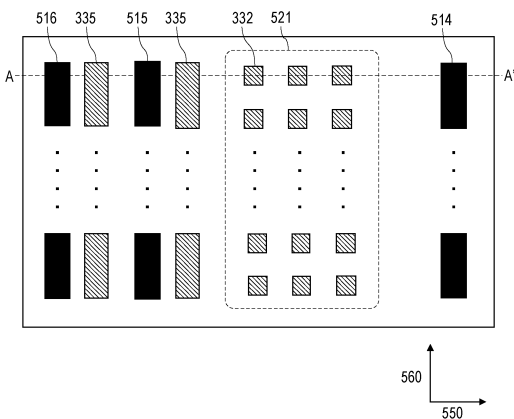
【図 10】



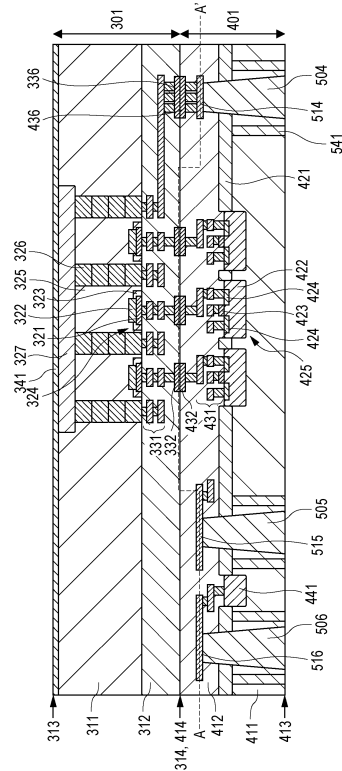
10

20

【図 11】



【図 12】

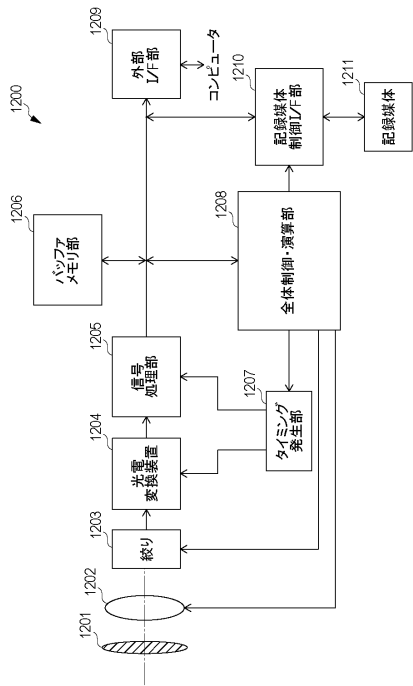


30

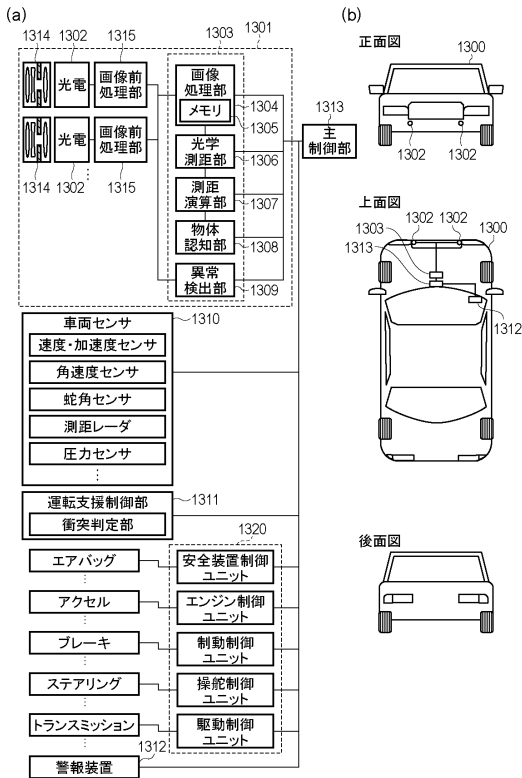
40

50

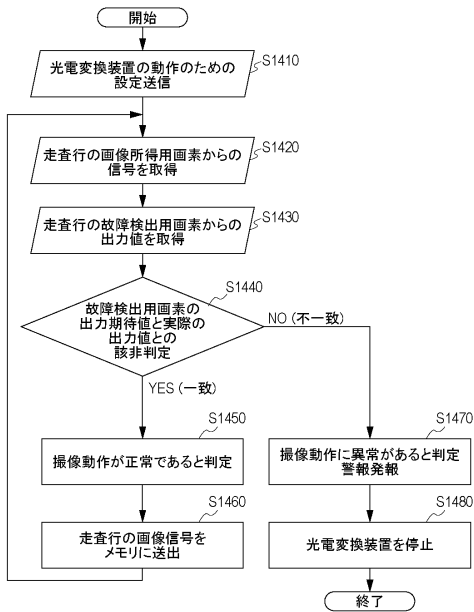
【図 1 3】



【図 1 4】



【図 1 5】



10

20

30

40

50

フロントページの続き

ヤノン株式会社内

合議体

審判長 恩田 春香

審判官 松永 稔

審判官 緑川 隆

(56)参考文献 国際公開第18/186195号(WO, A1)
特開2018-157387号公報(JP, A)
特開2018-81945(JP, A)
米国特許出願公開第2016/0020235(US, A1)
特開2015-029047(JP, A)
(58)調査した分野 (Int.Cl., DB名)
H10F39/18