

[12] 发明专利说明书

[21] ZL 专利号 96110070.2

[45] 授权公告日 2002 年 7 月 10 日

[11] 授权公告号 CN 1087504C

[22] 申请日 1996. 5. 22

[21] 申请号 96110070.2

[30] 优先权

[32] 1995. 5. 22 [33] JP [31] 145178/95

[32] 1995. 5. 22 [33] JP [31] 145179/95

[73] 专利权人 财团法人半导体研究振兴会

地址 日本宫城县

[72] 发明人 西泽润一 本谷薰 伊藤彰

[56] 参考文献

US 5323029 1994. 6. 21 H01L2974

审查员 赵百令

[74] 专利代理机构 中国专利代理(香港)有限公司

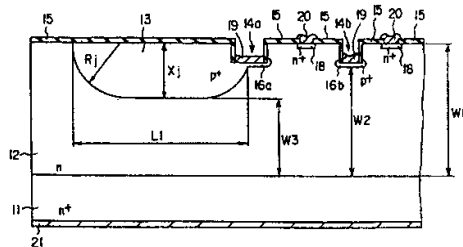
代理人 萧掬昌 傅康

权利要求书 4 页 说明书 14 页 附图页数 13 页

[54] 发明名称 高输出功率的高频静态感应晶体管

[57] 摘要

一种击穿电压高的凹型静态晶体管, 包括: 设置在 n^+ 型漏区的 n 型沟道区, 在沟道槽中的 P^+ 型伸长栅区, 在沟道区形成的和栅区平行的 n^+ 型伸长区, 其中每一个设置在栅区之间, 在沟道区中的围绕栅区的 P^+ 型保护环区。伸长栅区在两边与保护环区耦连, 最外部的伸长栅区在纵向与保护环区分别耦连, 以增加器件的击穿电压。栅和源接触点仅在保护环区彼此相对设置, 以减少栅漏区之间和栅源区之间的寄生电容。



ISSN 1008-4274

权 利 要 求 书

- 1, 一种静态感应晶体管, 它包括,
具有第1导电类型的漏区;
设置在所述漏区上面有所述第1导电类型的沟道区;
许多沟槽, 每一个沟槽形成在所述的沟道区中;
许多源区, 它具有所述的第1导电类型, 每一源区设置在所述沟道区中, 以便被设置在所述的许多槽之间;
许多栅区, 具有第2导电类型, 每一栅区设置在所述槽的底部,
其中, 所述许多栅区和所述许多源区相互平行设置;
保护环区, 具有所述的第2导电类型, 设置在所述沟道区, 围绕所述许多栅区设置所述的保护环区, 使所述许多栅区中的最外边栅区分别与所述保护环区的一边重叠, 所述许多栅区中的每一个在两边和所述保护环区相连。
- 2, 按照权利要求1的静态感应晶体管, 其特征是, 所述保护环的宽度等于或者大于所述许多栅区中的每一栅区与所述漏区之间的距离。
- 3, 按照权利要求1的静态感应晶体管, 其特征是, 在所述沟道区设置具有所述第2导电类型的浮置区, 以便包围所述保护环区。
- 4, 按照权利要求1的静态感应晶体管, 其特征是, 在所述沟道区设置具有所述第1导电类型的半导体区, 以便包围所述保护环区。
- 5, 按照权利要求4的静态感应晶体管, 其特征是, 利用所述的半导体区作为切割区。

6,按照权利要求1的静态感应晶体管,其特征是,在所述沟道区利用绝缘膜,设置具有指状结构的源和栅电极。

7,一种静态感应晶体管包括:

具有第1导电类型的漏区;

在所述漏区上面设置沟道区,它具有所述的第1导电类型;

许多沟槽,其中每一沟槽形成在所述沟道区中,并且具有一底部;

具有所述第1导电类型的许多源区,每一源区设置在所述沟道区上面,以便被设置在所述许多槽之间,其中相互平行地设置所述的许多槽和所述的许多源区;

许多栅区,具有第2导电类型,每一个栅区设置在所述的底部;

设置在所述沟道区的保护环区,具有第2导电类型,设置所述的保护环区,包围所述许多栅区,使所述许多栅区中的最外边栅区,分别与所述保护环区的一边互相重叠,并且,所述许多栅区中的每一个栅区在其两边和所述的许多栅区耦连;

源电极,其中每一个源电极设置在所述许多源区中的相应的一个源区上;

栅电极,其中每一个栅电极设置在所述栅区中的相应一个栅区上;

第1和第2接触点,利用绝缘膜被设置在所述保护环区,并分别与所述源电极和所述栅电极相连。

8,按照权利要求7的静态感应晶体管,其特征是,使所述许多源区中的每一个源区和所述许多栅区中的每一个栅区相互交叉设置。

9,按照权利要求7的静态感应晶体管,其特征是,相互相对设置

所述第1和第2接触点。

10,按照权利要求7的静态感应晶体管,其特征是,所述许多栅区和所述许多源区,相对于连接所述第1和第2接触点的直线是对称的。

11.一种静态感应晶体管包括:

具有第1导电类型的漏区;

设置在所述漏区上面的沟道区,具有所述第1导电类型;

具有第2导电类型的保护环区,所述保护环区设置在所述的沟道区,以便限定由所述保护环区的公共区隔开的第1和第2区;

许多槽,其中每一槽形成在所述第1和第2区中的所述每一区中并且有一个底部;

具有所述第1导电类型的许多源区,每一源区设置在所述第1和第2区中的所述每一区上,以便被设置在所述许多槽之间,其中,所述许多槽和所述许多源区相互平行地设置;

许多栅区,具有第2导电类型,每一个栅区设置在所述的底部;

源电极,其中每一个源电极设置在所述许多源区中的相应一个源区上面;

栅电极,其中每一个栅电极设置在所述许多栅区中的相应一个栅区上面;

第1和第2接触点,利用绝缘膜被设置在所述保护环区上面,并且连到所述源电极上;

第3接触点,利用所述绝缘膜设置在所述保护环区的所述公共部分上面,并连到所述栅电极。

12,按照权利要求11的静态感应晶体管,其特征是,所述第1,第

2和第3接触点排成一直线(对准)。

13,按照权利要求11的静态感应晶体管,其特征是,所述许多源区和所述许多栅区与所述保护环区的一边相互垂直。

14,按照权利要求11的静态感应晶体管、其特征是,所述第1和第2区相对于所述保护环区的公共部分是对称的。

高输出功率的高频静态感应晶体管

本发明涉及静态感应晶体管(SIT),特别涉及高输出功率的高频凹栅型或侧栅型静态感应晶体管。

参看图20叙述现有技术的SIT。图20(A)表示表面栅型SIT,它包括,作为漏区的 n^+ 衬底101,设置在衬底101上面作为沟道区的外延层102,在 n 型外延层102表面上形成的 n^+ 源区103和 p^+ 栅区104。按照这种表面栅结构,通过减少栅电阻以便改善高频特性。已提供在大约1GHz工作的表面栅型SIT。由于设置扩散深度为 $2-3\mu m$ 或更深的 P^+ 栅区104,则当 n 型外延层102的厚度是 $20\mu m$ 时,可能获得200-300V的击穿电压,同样,当 n 型外延层102的厚度是 $6\mu m$ 时,可以获得600V的击穿电压。

已经提出如图20(B)和图20(C)所示的凹栅型和侧栅型SIT作为进一步改善高频特性的结构。在凹栅型SIT中,在 n 型外延层102中形成槽105。在槽105的底上形成 P^+ 栅区106。在侧栅型SIT中在槽107的两个拐角形成 P^+ 栅区108,槽107是在 n 外延层102中形成的。因为这两种SIT和表面栅型SIT相比,减少了栅-源间的电容量 C_{gs} 和栅-漏间的电容量 C_{gd} ,所以功率增益几乎上升到UHF频段的上限。在凹栅型SIT的情况,外延层102的厚度是大约 $6-10\mu m$,在1-3GHz的功率增益是7-10db,并且器件可能在几GHz的最大振荡频率 f_{max} 下工作,增益变成1(0 dB)。

为提高高频特性,要减少栅-源电容 C_{gs} 和栅-漏电容 C_{gd} 。为减少 C_{gd} ,可以把 P^+ 栅区106的扩散深度 X_j 作浅。由于 C_{gd} 随栅区和漏区之间的距离增大而相反地增加,可把 n 外延层102作厚,以便减少 C_{gd} 。但是,如果把 n 外延层102作厚,则由于电子从源区到漏区引的传输时间影响,结果减少增益。因此, C_{gd} 和 f_{max} 对 n 外延层102的厚度有一折衷关系。

为了增加栅-漏间的击穿电压 BV_{gd} ,可以增加 X_j 。但是,可减少栅区和漏区之间的距离来增加 C_{gd} 。也就是说, BV_{gd} 和 C_{gd} 与 P^+ 栅区106扩散厚度 X_j 有一折衷关系。如上所述,高频特性与击穿电压有很大关系。 BV_{gd} 是栅漏区之间 P - n 结的反向击穿电压,由此,确定适于漏区的最大电压(击穿电压)。

实际的凹栅型SIT的 BV_{gd} 比由平面结确定的理论击穿电压要低。给栅和漏区之间的 P - n 结加电压,直到击穿,然后用红外线辐射显微镜观察SIT的表面。发现在 P^+ 栅区106的最外缘部分的温度升高,因此,在最外面部分产生的球面形或圆柱形的结区的击穿电压降低而不是在栅和漏区之间的平面结区(获得理论击穿电压的部分)击穿电压降低。

因为SIT的输出功率与漏电压和漏电流成比例的增加,为了实现高频大输出功率的器件,采用由栅漏区之间的厚度确定的理论击穿电压,但不降低高频特性,进行最佳设计。但是,实际的 BV_{gd} 要低于理论击穿电压,因此,为了提供高频大输出功率的凹栅型SIT,应使 BV_{gd} 增大到算出的理论击穿电压。对于侧栅型SIT要进行同样的处理。

其次,参照附图21(A)简略叙述SIT中的栅和源极结构。在用虚

线包围区中(元件区120),平行地设置 P^+ 栅区和 n^+ 源区,栅极108和源极109分别设置在 P^+ 栅区和 n^+ 源区上。铝(Al)栅接触点110和铝(Al)源接触点111形成在最外面的元件区120上。栅接触点110和每一栅电极108之间的连接区112用右上斜线表示,源接触点111和每一源极109之间的连接部分用左下斜线表示。如图21(B)所示,在外延层102上面形成氧化膜114,在氧化膜114上面设置栅接触点110。同样,虽然没有表示,在氧化膜114上面,也形成源接触点111。上述接触点结构中,在栅和漏区之间的击穿电压虽然决定于每个Al接触点下面氧化层的厚度和质量,但是它是大约200-300V。

并且,由一个元件区域构成SIT。因为,漏电流与整个源长成比例,所以通过增加元件区120的面积可增加整个源长,实现源电流的增加。但是,当增加元件区120的面积时,会增加源和栅区的电阻和电感;特别在微波波段使用SIT,电阻和电感大大地影响器件的运作条件。因此,对于增加元件区的面积受到一定限制。

本发明的一个目的是提供一种凹栅或侧栅型SIT,它有高击穿电压的栅-漏结,并且改善了高频特性。

本发明另一个目的是提供具有大输出功率特性的高频凹栅或侧栅型SIT。

本发明又一个目的是提供一种凹栅或侧栅型SIT,能减少栅-漏和栅-源寄生电容。

本发明再一个目的是提供一种凹栅或侧栅型SIT,它允许通过大电流和减少电感。

利用下述结构,可以实现本发明的目的和优点。

按照本发明的一个方案提供一个凹栅或侧栅型静态感应晶体

管,它包括,第1导电类型的漏区,设置在漏区上面的具有第1导电类型的沟道区,许多槽每一个槽都形成在沟道区中,第1导电类型的许多源区,每一个都设置在沟道区中,以便被设置在各槽之间,第2导电类型的许多栅区,每一个都设置在各槽的底部,相互平行设置的栅区和源区,第2导电类型的设置在沟道区中的保护环,以便围绕栅区。在这样的结构中,保护环设置成使最外面栅区在纵向方向分别与保护环的一侧重叠,并且,每一栅区在其两边和保护环相耦连。

按照本发明的另一方案,仅在保护环区设置栅和源电极以便相互对置。

在本申请所附权利要求中,将叙述本发明新颖和有区别的特征。参考附图的以下叙述,可以更好的理解本发明本身和发明的目的和优点。

图1(A)是简略表示本发明SIT第1实施例的平面图;

图1(B)是由圆包围的图1(A)部分的部分扩大的视图;

图2是图1(B)沿线II-II'剖开的剖视图;

图3是表示宽度 L_1 和栅区及漏区之间击穿电压之间关系的曲线图;

图4是表示SITS功率增益的频率特性的曲线图;

图5是简略表示按照本发明的SIT第2实施例的剖视图;

图6是简略表示按照本发明SIT第3实施例的剖视图;

图7到图12是表示按本发明制造SIT工艺的剖视图;

图13是简略表示按本发明的SIT第4实施例的平面图;

图14是图13沿线IVX-IVX'剖开的剖视图;

图15(A)是图13沿线XVA-XVA'剖开的剖视图;

图15(B)是图13沿XVB-XVB'剖开的剖视图;

图16(A)是当接触点延伸到沟道区表面的剖分剖视图;

图16(B)是当接触点延伸到浮置区的部分剖视图;

图17是SIT的剖视图,其有作为切割区的 n^+ 区;

图18是简略表示按照本发明具有两个元件区第5实施例的平面图;

图19是简略表示具有4个元件区的SIT平面图;

图20(A)到(C)是简略表示公知SITS的剖视图;

图21(A)是简略表示公知SIT的平面图;

图21(B)是图21(A)沿XXI-XXI'剖开的剖视图。

下面,参照附图,叙述本发明的实施例。

首先,叙述本发明第1实施例。

如图1(A)所示,凹栅型SIT包括许多伸长的 P^+ 栅区16(包含16a和16b),许多伸长的 n^+ 源区18,围绕 P^+ 栅区16(由虚线包围的部分)象带子一样的 P^+ 保护环区13。如此设置 P^+ 栅区16和 n^+ 源区18,使其基本上和 P^+ 保护环区13的长边相互垂直,并且与保护环区13的短边相互平行。

如图1(B)所示,设置在最外(最左)边的 P^+ 栅区16a在纵方向和 P^+ 保护环区13相连,设置在 n^+ 源区18之间的每一个 P^+ 栅区16b在一边缘或末端和 P^+ 保护环区13相连。把 P^+ 保护环区13的拐角弄圆,以便减轻电场强度。并且,为防止栅-源击穿电压 BV_{gs} 降低,要求设置的每个 n^+ 源区18满足 $L_2 \geq W_{gs}$ 。在图中, L_1 表示 P^+ 保护环区13的宽度, L_2 表示 n^+ 源区18的边缘和 P^+ 保护环区13之间的距离, W_{gs} 表示 n^+ 源区18和 P^+ 栅区16之间的距离。

下面,参照图2更详细地叙述凹栅型SIT,其中图2是沿图1(B)线II-II'剖开的剖视图。凹栅型SIT包括 n^+ 漏区(n^+ 衬底)11, n 外延层12,它是设置在 n^+ 漏区11上面的高阻沟道区,槽14a和14b形成在 n 外延层12,经缘膜15形成在 n 外延层12上, P^+ 栅区16a和16b形成在槽14a和14b的底部, P^+ 保护环区13形成在 n 延层12中,以便和 P^+ 栅区16a的外围部分相连,设置在 n 外延层12的 n^+ 源区18,分别设置在 P^+ 栅区16和 n^+ 源区18的栅电极19和源电极20,设置在 n^+ 漏区11上面的漏电极21。可以利用 SiO_2 膜, SiN 膜,PSG膜或这些复合膜作为绝缘膜15。

在图2中, W_1 表示 n 外延层12的厚度, W_2 表示 P^+ 栅区16和 n^+ 漏区11之间的距离, W_3 表示 P^+ 保护环区13和 n^+ 漏区11之间的距离, X_j 表示 P^+ 保护环区13的扩散深度, R_j 表示 P^+ 保护环区13的曲率半径, R 是大约 X_j 的80%。

例如,假定 W_1 是 $9\mu m$,槽14的深度是 $1-1.5\mu m$, P^+ 栅区16的扩散深度是大约 $0.5\mu m$ 。对于常规器件,没有 P^+ 保护环区, BV_{gd} 是大约50-60V。相反,对于本发明的器件,设置 P^+ 保护环区13,它的 L_1 为8-13 μm , X_j 大约为 $2\mu m$,则 BV_{gd} 变成120-140V;是常规器件的有关参数数值的两倍以上。

在上述结构中,认为 n^+ 漏区11和 n 外延层12之间的过渡区厚度 W_2 是大约 $7\mu m$ 。在此情况,由 p^+ 栅区16的平面结区确定的理论击穿电压是大约156V。按照本发明具有 P^+ 保护环13的结构能提供接近理论击穿电压90%的数值。

其次,叙述 P^+ 保护环区13的宽度 L_1 。在SIT中设置 P^+ 保护环区13,则在 P^+ 保护环13和 n^+ 漏区11之间产生寄生电容 C_{gd}' ,除非 C_g

与P⁺栅区16和n⁺漏区11之间电容C_{gd}充分的小,否则会降低高频特性,由此而减少功率增益。所以必须减少C_{gd}'。并要尽可能的减少L₁。但是,如果L₁太短,因为由设置在P⁺保护环区13 外围的柱形结区决定击穿电压因而降低击穿电压BV_{gd}。因此需要通过考虑L₁和BV_{gd}之间关系,来确定P⁺保护环区13的宽度L₁。

保护环区13的杂质浓度可以等于或小于P⁺栅区16a和16b 的杂质浓度。如果保护环区13的杂质浓度小于P⁺栅区16a、16b 的杂质浓度,则耗尽层延伸到P⁺保护环区13,并进一步增加击穿电压和减少寄生电容。

虽然,在图1(A)中没有表示栅和源接触点,但是,和许多伸长的P⁺栅区16的一个边缘相连的栅接触点,以及和许多伸长的n⁺源区1的一个边缘相连的源接触点,是利用绝缘膜而被设置在有P⁺ 保护环区13的n外延层12上面,这样使它们彼此相对。

图3表示SIT中P⁺保护环宽度L₁和栅-漏击穿电压BV_{gd}之间的关系,该SIT具有W₁为9μm,槽14深为1-1.5μm,规定P⁺栅16 扩散深度为大约0.5μm,X_j为2μm。按照图3,当L₁是大约8μm以上时,则BV_{gd}达到饱和。当L₁是8μm以上时,耗尽层延伸到漏区11,并且超过由P⁺栅区16到n⁺漏区11的距离W₂(大约7-7.5μm),由此,降低表面电场强度。这意味着在器件中由P⁺栅区16 的平面结部分确定击穿电压BV_{gd}。因此,为获得预定击穿电压和同时减少寄生电容C_{gd}'要求P⁺保护环13的宽度L₁几乎等于或稍大于W₂。

图4表示功率增益和频率之间的关系,它是通过测量凹栅型SIT的S参数算出的,SIT具有并联的100个伸长的源区(每个源长120nμm,总源长1.2cm)。具有L₁规定为大的8μm的本发明SIT和没有保护环

结构的常规SIT比较如下所示。偏置条件如下所示: (本发明的SIT有P⁺保护环,具有大的BV_{gs},V_{ds}是为50V,是常规SIT的两倍)

偏置条件	Vds (V)	Id (mA)	Vgs (V)
本发明SIT	50	50	-3.17
常规SIT	25	50	-4.45

如图4所示,对于最稳定的增益而言,由于C_{gs}',本发明SIT中减少增益0.5db。但是,对于最有用的增益,本发明的SIT的功率增益几乎与常规SIT的功率增益相等,在某些频率还大于常规SIT的功率增益,这是因为除了C_{gs}和C_{gs}'外,还受电感的影响。按照本发明的SIT击穿电压可能增加到常规SIT击穿电压的2倍以上,而不降低频率特性。这意味着,SIT的许可的直流(DC)输入可能被加倍,因此,和具有相同源长的SIT比较,使本发明输出功率加倍。

其次,参看图5,叙述本发明的第2实施例。用相同标号表示与图2类似的部分。P⁺浮置区22具有类似于P⁺保护环区13的杂质浓度,P⁺保护环区13形成在n外延层12中,使P⁺浮置区22环绕P⁺保护环区13。可以2倍或3倍的设置P⁺浮置区22,以便获得较高的击穿电压。

图6表示本发明的第3实施例;其中,在P⁺保护环区13的周围设置n⁺区23。它防止从保护环区13延伸的耗尽层过度的延伸、并且

被用作沿线A-A'的切割区。当按照n⁺区23,把晶片切成小块时,可能防止不想产生和增加的漏电流。最好,n⁺区23的扩散深度,至少是比P⁺保护环区13深,并且可以达到n⁺漏区11。P⁺浮置区22可以设置在保护环区13的周围,在其周围可以提供n⁺区23。

参照图7到图12,叙述本发明的一种制造SIT的方法,它表示沿图1(B) II-II'线剖开的剖视图。

首先,制备作为漏区的n⁺衬底11,其是(100)或(111)平面,杂质浓度大约为 1×10^{18} 到 $1 \times 10^{19} \text{cm}^{-3}$,下文将其称为n⁺漏区。利用SiCl₄和H₂,通过汽相生长方法,在n⁺漏区11上面、生长高阻n-型外延层12。n外延层12的杂质浓度是 $1 \times 10^{13} \text{cm}^{-3}$ 或更小或 1×10^{13} 到 $1 \times 10^{15} \text{cm}^{-3}$ 。为了获得恰好夹断特性,邻接衬底11的n外延层1下部的杂质浓度是 $1 \times 10^{13} \text{cm}^{-3}$,从其表面向下2-3 μm 的n外延层上部杂质浓度是 5×10^{14} 到 $1 \times 10^{15} \text{cm}^{-3}$ 。按照设计,n外延层12具有均匀或非均匀杂质浓度分布。利用SiO₂等(未表示)作为掩模(图7通过离子注入等方法,在n外延层12中形成P⁺保护环区13,其杂质浓度为 1×10^{17} 到 $1 \times 10^{20} \text{cm}^{-3}$ 。

其次,利用SiO₂膜(未表示)作为掩模,通过RIE(反应离子腐蚀)方法,在n外延层12中,形成许多作为凹栅的伸长槽14a和14b。形成最外边槽14a,在纵向部分地重叠P⁺保护环区13,形成槽14b,在两边(未表示)重叠P⁺保护环区13。槽14a和14b分别是2 μm 和1 μm 宽,1-1.5 μm 深。槽14a和槽14b间隔3-7 μm ,RIE利用SF₆和O₂气混合等离子体(图8)。

然后,通过在水蒸气中氧化n外延层12,形成绝缘膜15,例如厚度为大约0.5-1 μm 的厚氧化膜。RIE利用CF₄或CF₄和CHF₃混合气体

选择地腐蚀绝缘膜15,以从槽14a和槽14b底部暴露出n外延层12。接着,对露出的槽14a和14b的底部进行硼扩散和离子注入,以便提供P⁺栅区16a和16b,其杂质浓度为 1×10^{18} 到 $1 \times 10^{20} \text{cm}^{-3}$,在此工艺中,P⁺栅区16a和P⁺保护环区13相连。同样,在两边(未表示)把P⁺栅区16b和P⁺保护环区13相连。P⁺栅区16的扩散深度大约是 $0.5 \mu\text{m}$ (图9)。

其次,在衬底表面形成光致抗蚀剂等材料的掩模图形,利用RIE等方法,选择地除去绝缘膜15,以便露出n型外延层12(图10)。把磷或砷离子注入到延伸的n外延层12,以便在其中提供n⁺源区18。此后,除去掩模图形17。如果把SiO₂等作为掩模图形17,也可以通过扩散多晶硅层所含的n-型杂质形成n⁺源区18,(图11),以后,分别在P⁺栅区16,n⁺源区18,n⁺漏区11形成栅电极19,源电极20,和漏电极21,(图12)。

其次,参照附图13-17,叙述本发明第4实施例。

如图13所示,凹栅型SIT包括许多伸长的P⁺栅区37(包括37a和37b),许多伸长的源区39,矩形P⁺保护环区33,它包围P⁺栅区37(在图中由虚线包围),位于P⁺保护环区33外围的P⁺浮置区34,栅电极布线层40设置在P⁺栅区37上面,并在P⁺保护环区33上面相互连接,源电极布线层41设置在n⁺源区39上面,在P⁺保护环区33上面互连,栅接点(焊点)43与栅电极布线层40相连,源接触点(焊点)44与源电极布线层41相连。在这种情况下,栅和源接触点43和44被设置在P⁺保护环区33。

由图13显而易见,栅电极布线层40由左斜线表示,源电极布线层41由右斜线表示。例如,利用掺硼多晶硅作为栅和源电极布线层

40和41,利用如Al或Al-Si金属作栅和源接点43和44。

平行地交替设置 P^+ 栅区37和 n^+ 源区39。设置在最外边的 P^+ 栅区37a在纵向被连到 P^+ 保护环区33,夹在 n^+ 源区39之间的每一 P^+ 栅区37b在两边与 P^+ 保护环33相连。把 P^+ 保护环区33的拐角弄圆,以便降低电场强度,设置 P^+ 栅区37和 n^+ 源区39与 P^+ 保护环区33的相对两长边相互垂直,并与栅和源接点43及44的中心线相互对称。栅和源电极布线线层40和41具有指状电极结构。

参照图14叙述凹栅型SIT的剖面,它是沿图13线IVX-IVX'剖开的剖视图。凹栅型SIT包括 n^+ 漏区(n^+ 衬底)31,设置在 n^+ 漏区31上面的高阻沟道区中的 n 外延层32,在 n 外延层32中形成的槽35a和35b在 n 外延层32上形成绝缘膜36,从槽35a和35b的底部在 n 外延层32上形成 P^+ 栅区37a和37b,在 n 外延层32中形成 P^+ 保护环区33,以便在纵向使其和 P^+ 栅区37的外围部分相连,在 n 外延层32中形成 P^+ 浮置区34,在 n 外延层32上设置源区39,在 P^+ 栅区37和 n^+ 源区39上分别淀积栅和源电极布线层40和41,在 n^+ 漏区31上面设置漏电极42。把 SiO_2 膜, SiN 膜,PSG膜,聚酰胺膜,或这些复合膜用作绝缘膜36。

如图15(A)所示, P^+ 栅区37b和 P^+ 保护区33相互连接。每一栅电极布线层40被设置在 P^+ 栅区37b,并通过绝缘膜36延伸到 P^+ 保护环区33,栅接触点43被设置在 P^+ 保护环区33上面的栅电极布线层40上面。如图15(B)所示,设置在 n^+ 源区39上的每一源电极布线层41,通过绝缘膜36延伸到 P^+ 保护环区33,源接点44形成在 P^+ 保护环区33上面的源电极布线41上面。

如上所述,把栅和源接点43和44只淀积在 P^+ 保护环33上。如图16A所示,如果栅电极接点43'延伸到 P^+ 保护环区33和 P^+ 浮置区34之

间的部分,则在圆部分A降低击穿电压。如图16(B)所示,如果接点43"达到或者超过P⁺浮置区34,则减少栅-漏击穿电压 BV_{gd} ,并增加栅-漏电容 C_{gd} ,因此,减少高频区的功率增益。此外,产生包括P⁺保护环区33,n外延层32和P⁺浮置区34的寄生MOS晶体管。因此,如果栅漏击穿电压 BV_{gd} ,例如是大约600V,它随时间减少到大约300V。因此,需要只在P⁺保护环区33上面设置栅和源接触点43。

而且,因为P⁺栅区37a最外围部分,沿纵向和P⁺保护区33相连,由P⁺栅区37的平面结部分确定栅漏击穿电压 BV_{gd} ,可使 BV_{gd} 增强到几乎是理论击穿电压。但是,如果栅源接触点43和44位于P⁺保护环区33的最外边,如上所述,将降低击穿电压。因此,如想使SIT 击穿电压变高,则要设置P⁺保护环区33,并且把栅和源接触点43和44 只设置在P⁺保护环区33上面。

例如,当外延层32是35-55 μ m厚,槽35是1-1.5 μ m深,相互间距离是7-10 μ m,P⁺保护环区33在掩模层是30-50 μ m宽,P⁺保护环区3的扩散深度是大约5 μ m,则凹栅型SIT具有大约300-600V的栅-漏击穿电压 BV_{gd} ,在10MHZ时具有功率增益20-25db,在100MHZ 时具有功率增益10-15db。

并且,如图17所示,可以在P⁺浮置区34的外围设置n⁺区45。当沿线B-B'切割晶片时,可能防止产生和增加漏电流。最好,至少使n⁺区扩散深度比P⁺保护环区33的深度更深。

其次,叙述本发明第5实施例。

图18表示SIT,它包括并联的两个单元5a和50b,每个单元有栅和源等,与图13所示相同。图18中单元50a和50b的细节与图13中的情况相同,并且被省略,连续设置P⁺保护环区33,以便限定矩形单元

50a和50b,在单元50a和50b之间形成与栅区两边相连的P⁺保护环区331。

单元50a的源接点44a和单元50b的源电极接点44b,几乎设置在P⁺保护环区33两外部长边的中心。和单元50a及50b的栅区相连的栅接触点43与源接触点44a和44b排在一直线上(对准),并且被设置在共公的P⁺保护环区331上面。如图18所示,在每个单元中,P⁺栅区和n⁺源区与P⁺保护环区33的相对长边相互垂直,并相对于栅和源接触点43,44a,44b的中心线是对称的。对于设置栅和源接触点43,44a,44b的P⁺保护环区33的面积和他的其它部分相比是被增加了

图19表示包括4个并联单元50a-50d的SIT。在这种情况下,如图18所示,设置一矩形P⁺保护环区33,以便限定单元50a到50d。只在P⁺保护环区33上面交替地设置源接触点44和栅接触点43。

于是,在具有公共部分的P⁺栅保护区33上面设置栅和源接触点43和44,则容易并联大量单元50。考虑电流容量和电阻等,在每个保护环区可以设置两个或更多的接触点。在接触点下面的P⁺保护环区33具有要求的结构。由于沟道具有高阻,则在单元内容易被吸收(digestion)。

当把SIT用在比HF频段更高的VHF或UHF时,不能忽略源和栅电感的影响。但是,包括并联几个小面积单元50的器件,和仅有一个大面积单元的器件结构相比,它可以减少不希望的电感。而且那样的器件可能一致的运作。

利用与图7-12所示类似的工艺,可能制造第4和第5实施例所示的器件。

虽然,已经叙述了凹栅型SIT,但是类似的叙述也适用于侧栅型

SIT。本发明不仅适用于由Si制作的SIT,而且适用于由GaAs, InP等制作的化合物半导体(制作的器件),这是不必说的。

按照本发明,在凹栅或侧栅型SIT中,在栅区的周围,设置保护环区,由此,显著地增加栅漏结击穿电压。对于本发明的SIT,和常规的SIT相比,可以使在漏和源之间加的电压变成两倍以上,而不降低高频特性,并且提供有高输出功率的SIT。设置P⁺保护环区,以便与P⁺栅区最外边部分耦连,并且仅在P⁺保护环区设置栅和源接触点由此,可以改善击穿电压和提供具有优良高频特性的SIT。并且,容易提供并联的小面积单元,由此,增加整个源长度和减少电感。

本领域技术人员应进一步了解,前面的说明是公开器件的优选实施例,本发明可以进行各种变化和修改,但均不脱离本发明的精神实质和范围。

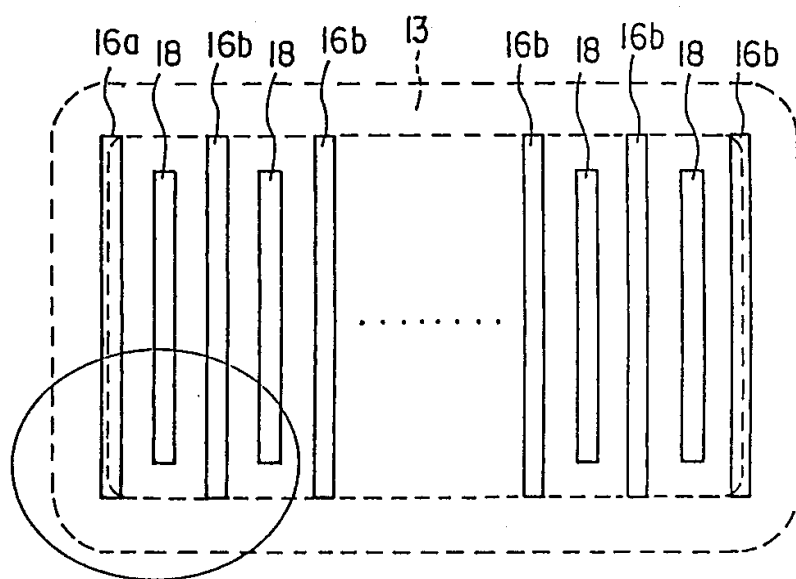


图 1A

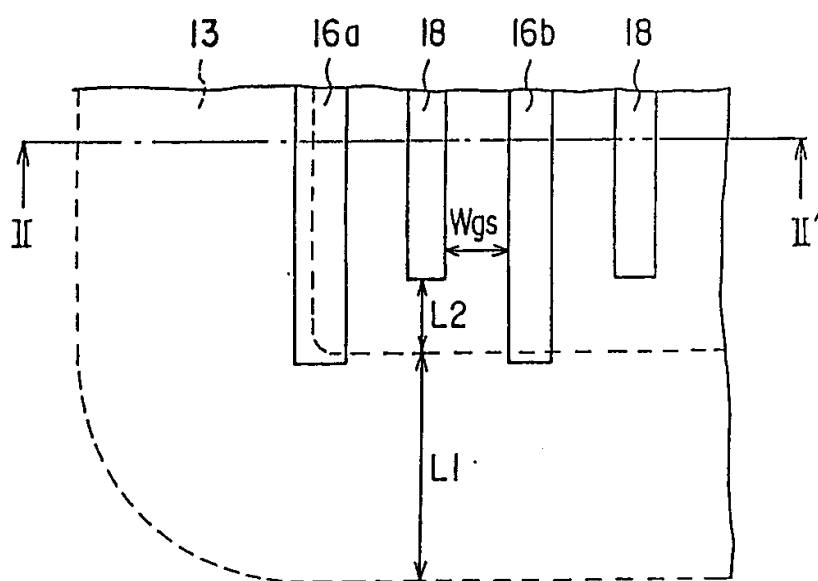


图 1B

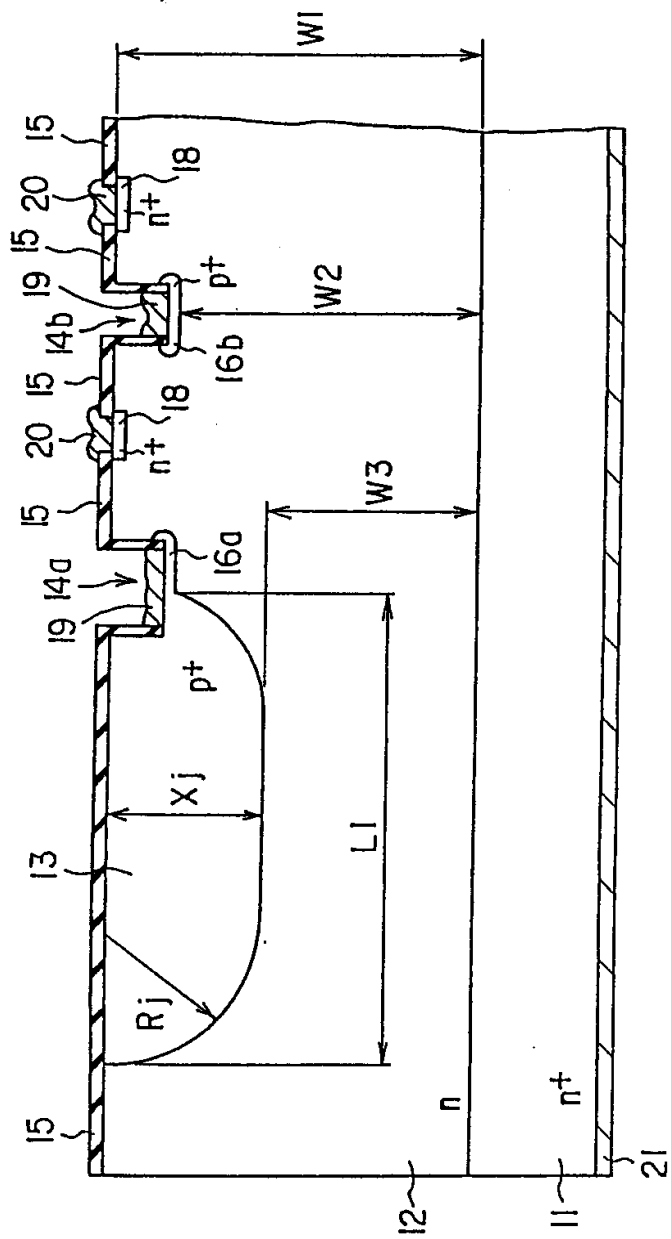


图 2

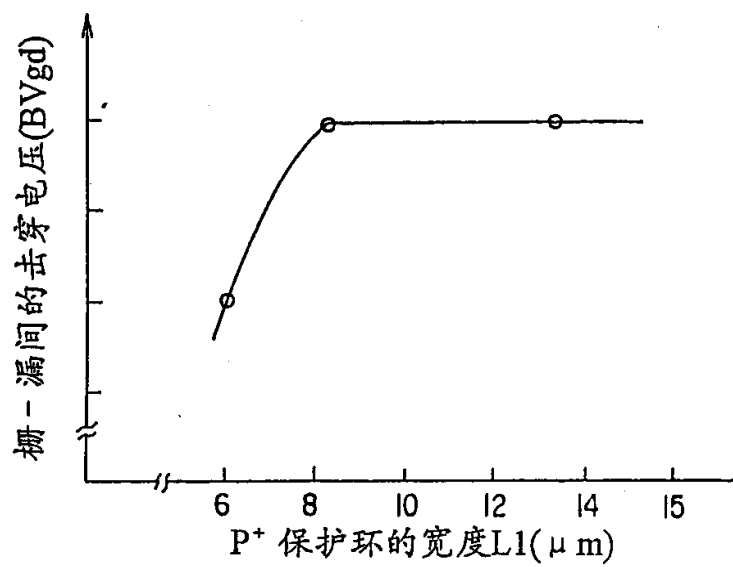


图 3

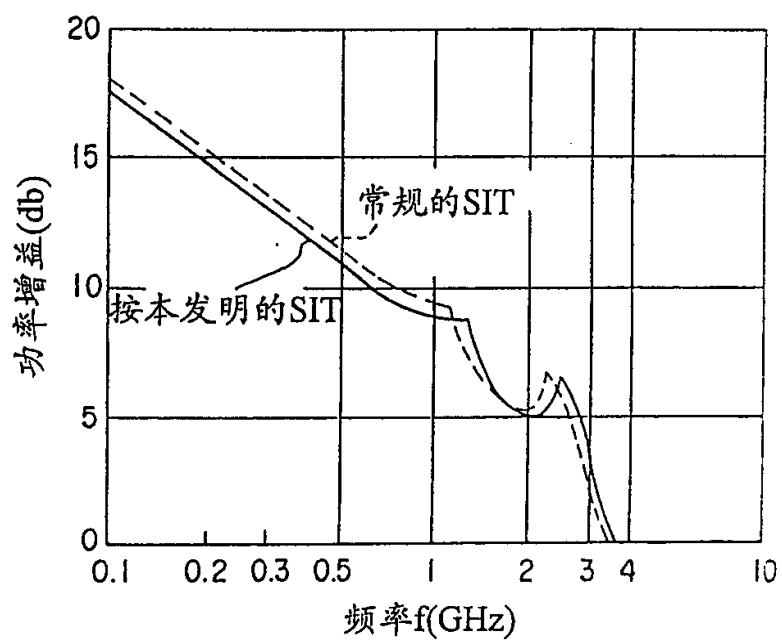


图 4

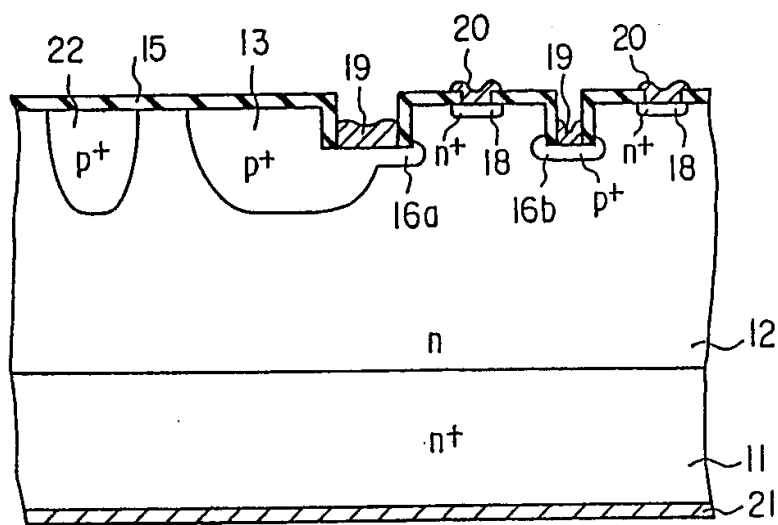


图 5

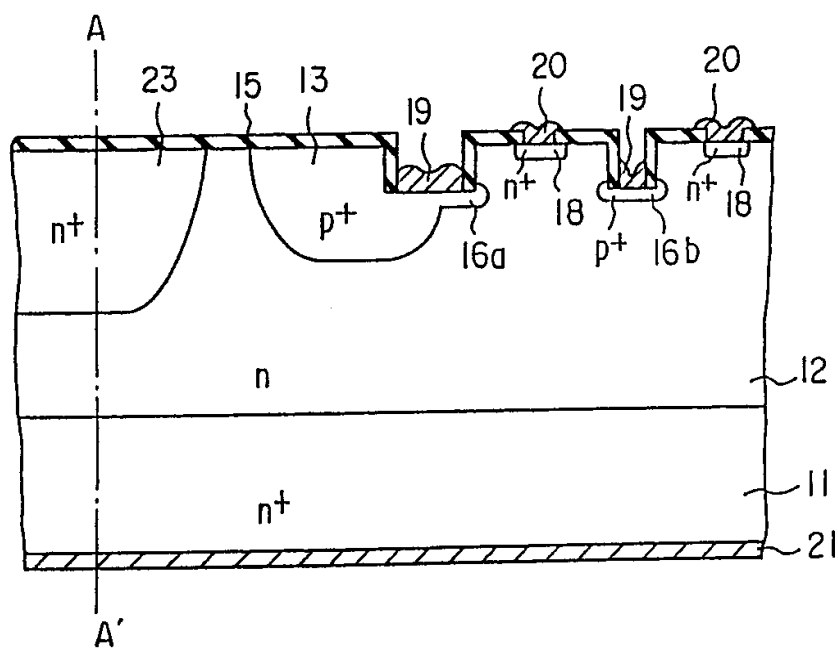


图 6
4

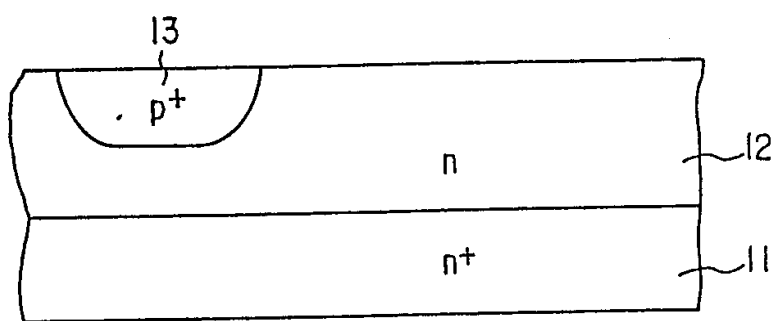


图 7

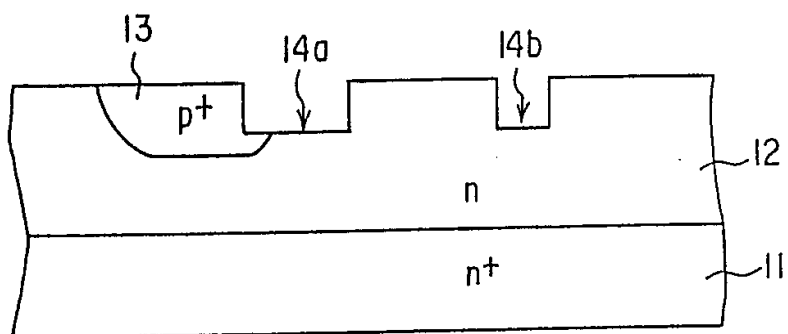


图 8

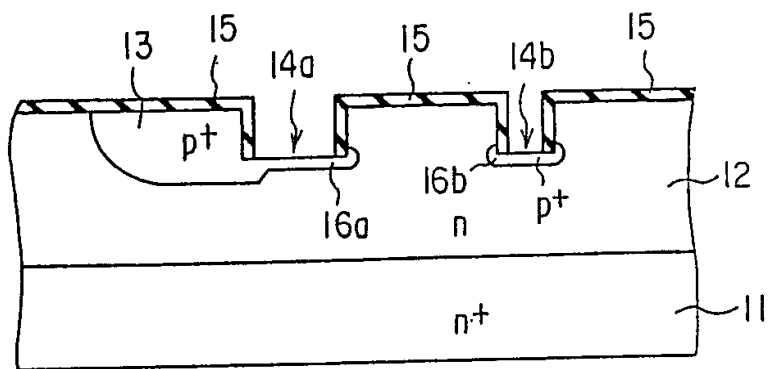


图 9
5

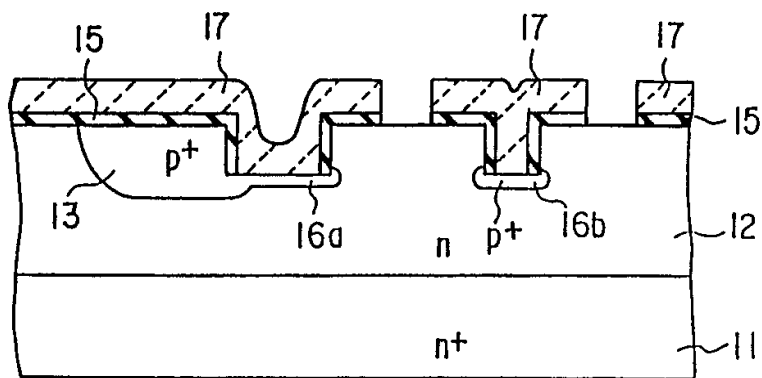


图 10

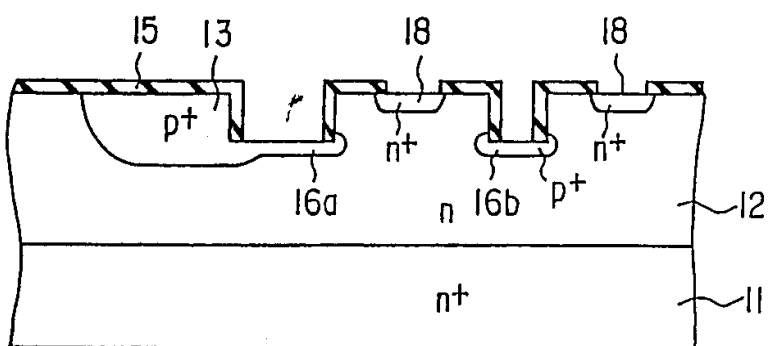


图 11

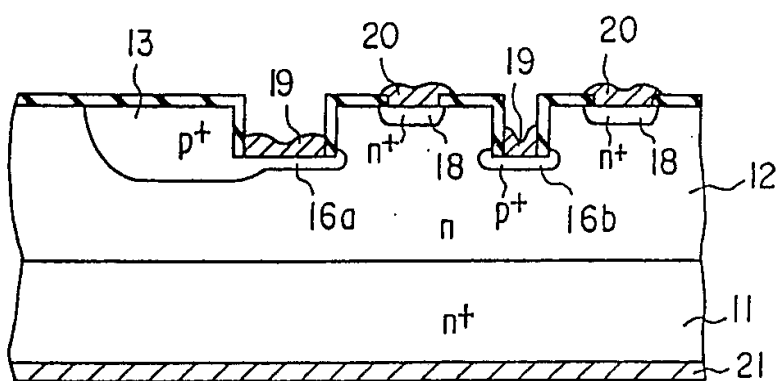


图 12

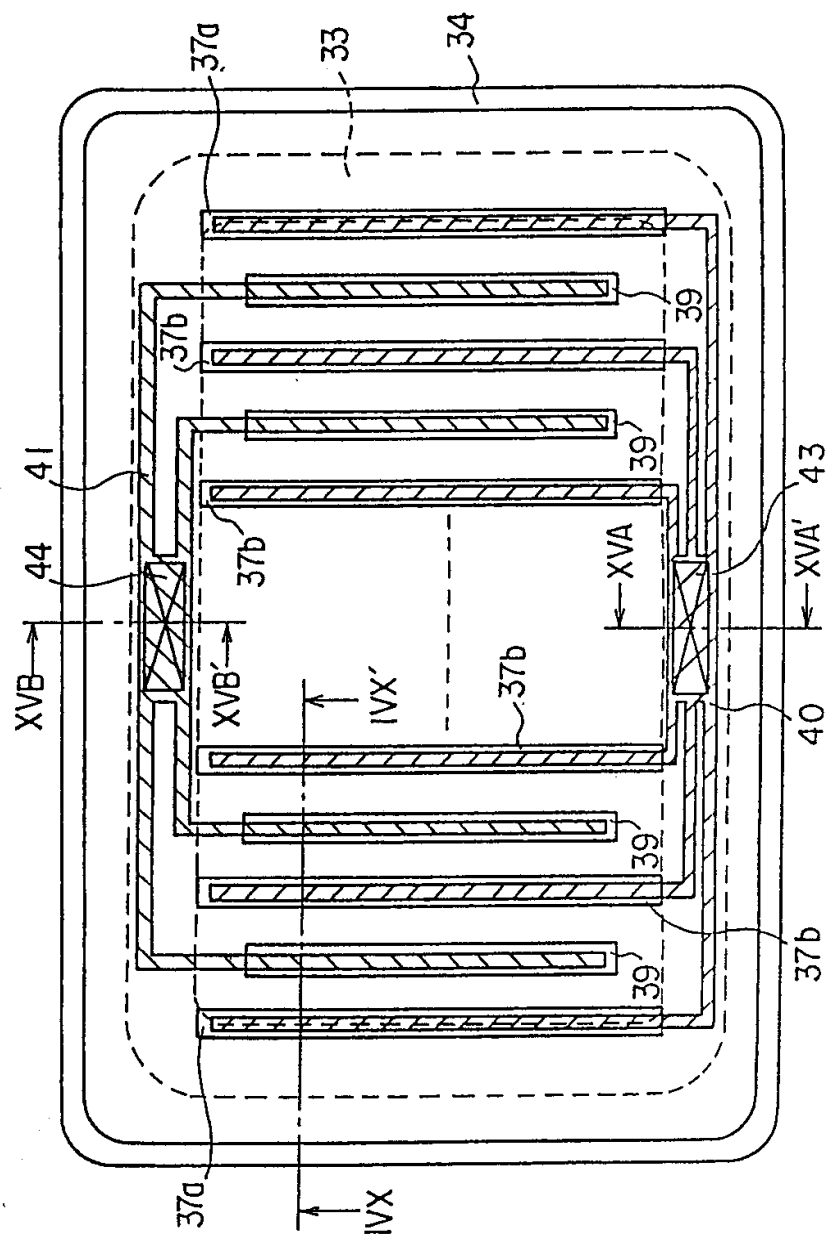


图 13

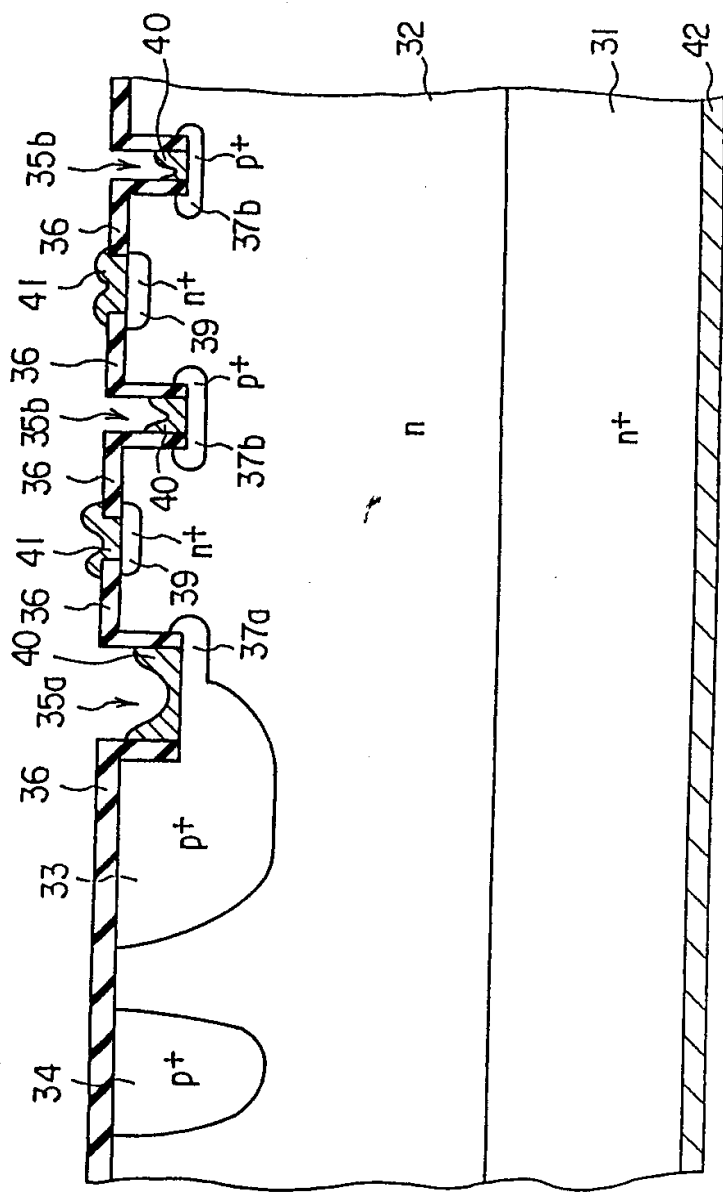


图 14

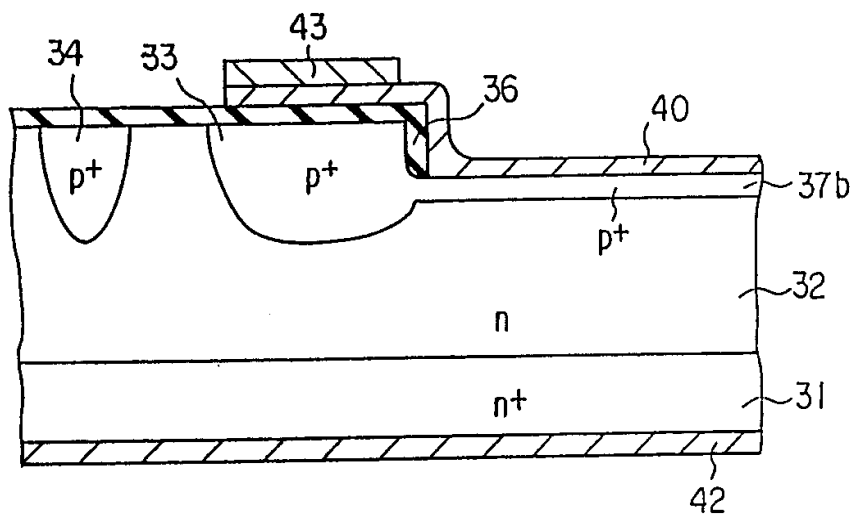


图 15A

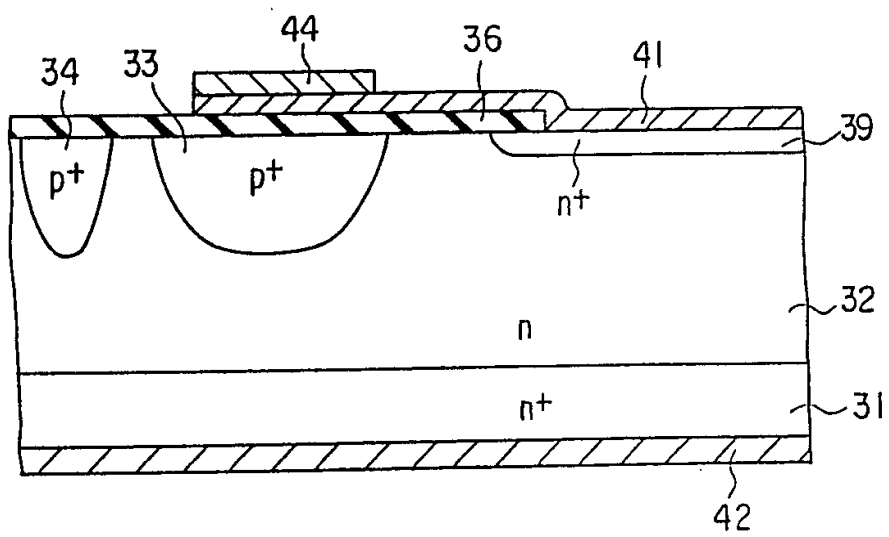


图 15B

图 16A

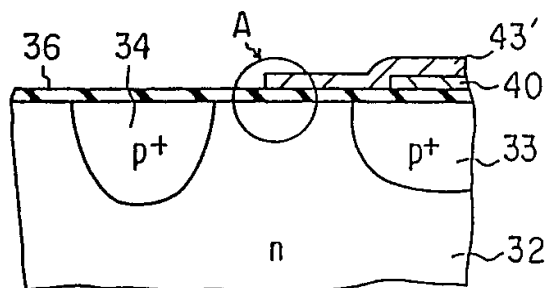


图 16B

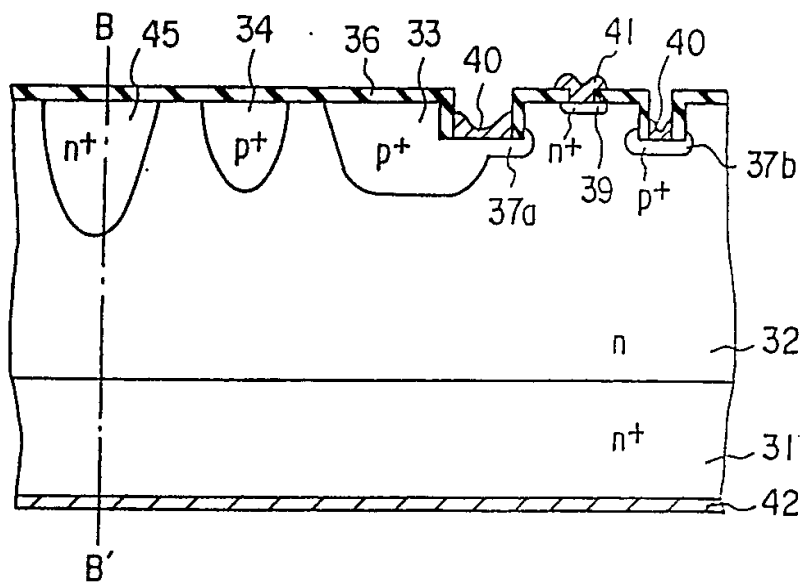
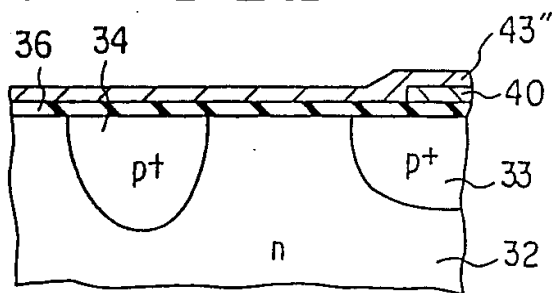


图 17

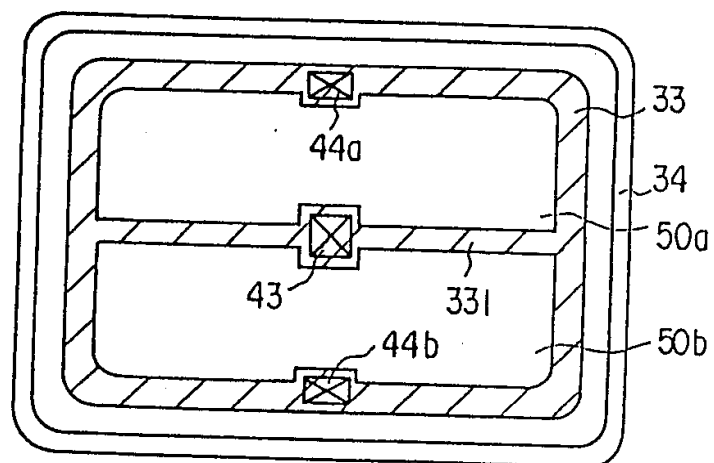


图 18

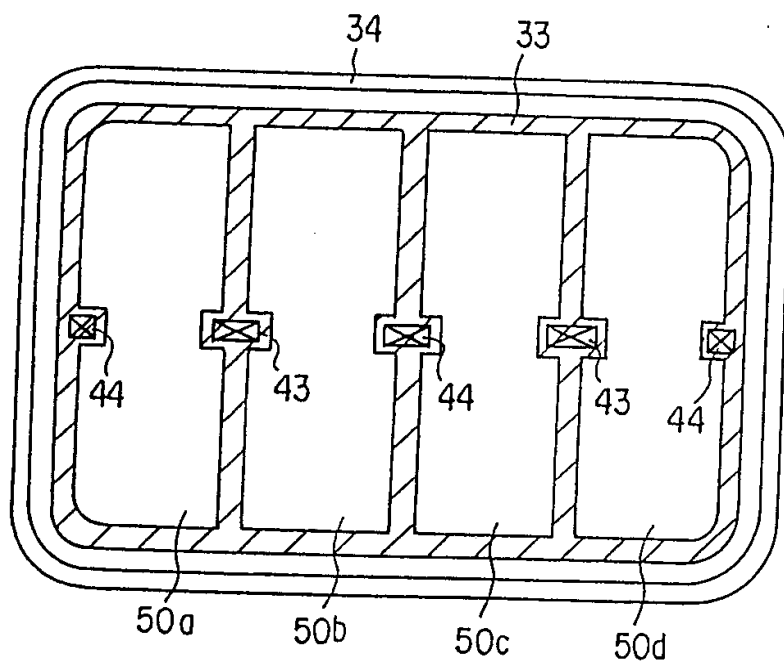


图 19

图 20A

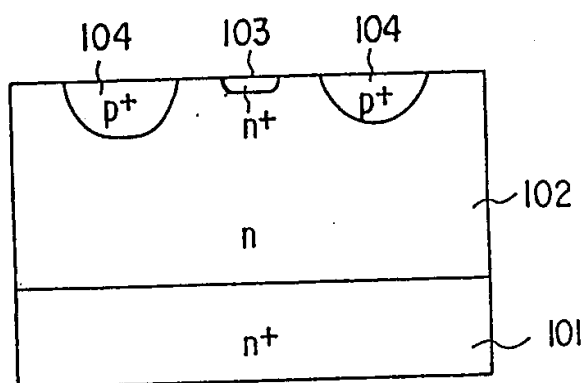


图 20B

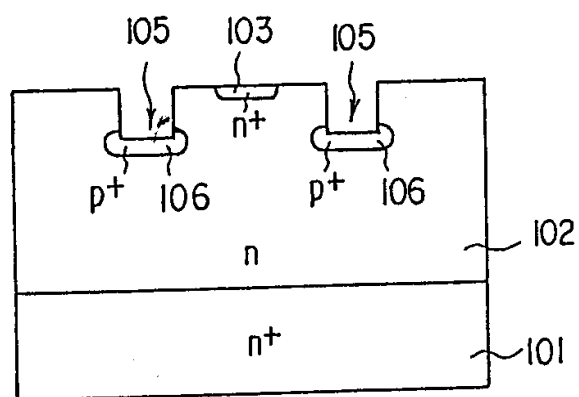
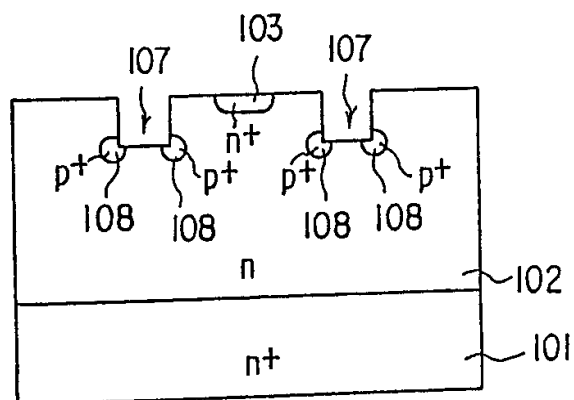


图 20C



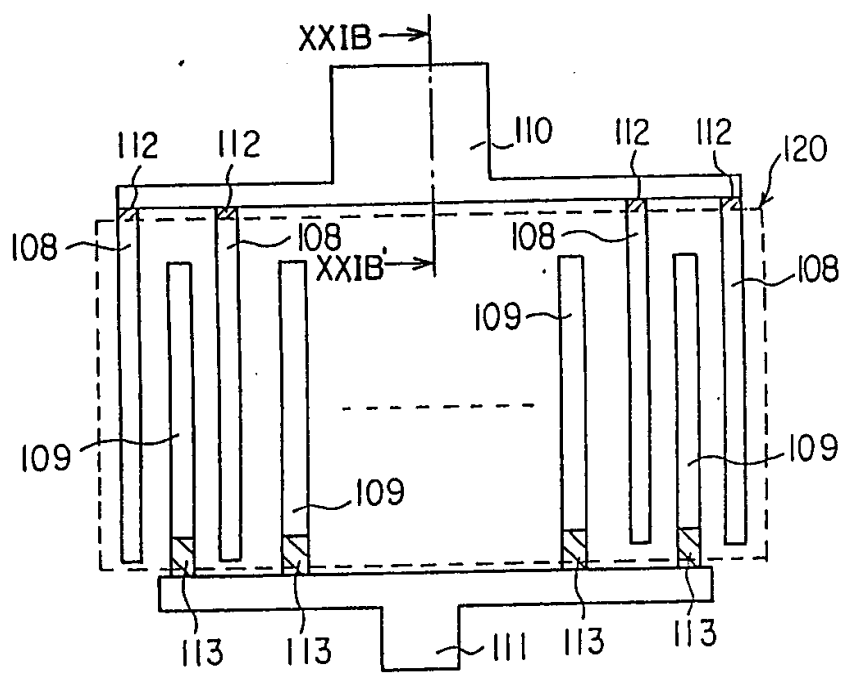


图 21A

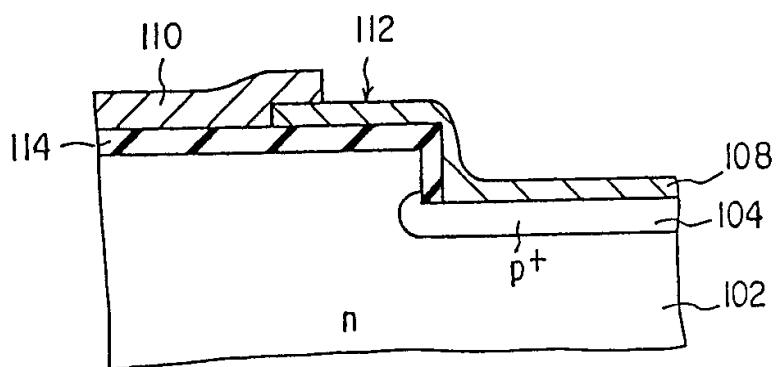


图 21B