

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年4月1日(01.04.2021)



(10) 国際公開番号

WO 2021/060552 A1

(51) 国際特許分類:
H01L 27/04 (2006.01) *H01L 21/822* (2006.01)
H01G 4/33 (2006.01)

(21) 国際出願番号: PCT/JP2020/036515

(22) 国際出願日: 2020年9月28日(28.09.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-176951 2019年9月27日(27.09.2019) JP

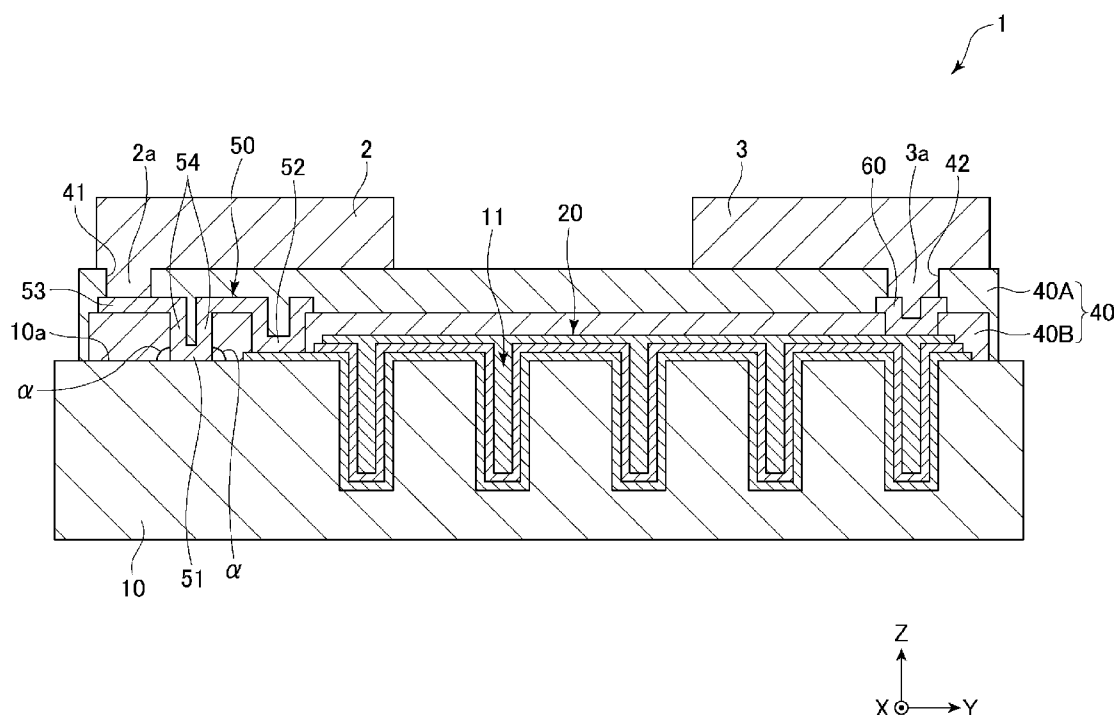
(71) 出願人: 太陽誘電株式会社(TAIYO YUDEN CO., LTD.) [JP/JP]; 〒1040031 東京都中央区京橋二丁目7番19号 Tokyo (JP).

(72) 発明者: 武 宜成 (TAKE Yoshinari); 〒1040031 東京都中央区京橋二丁目7番19号 太陽誘電株式会社内 Tokyo (JP). 青柳 善雄 (AOYAGI Yoshio); 〒1040031 東京都中央区京橋二丁目7番19号 太陽誘電株式会社内 Tokyo (JP). 増田 秀俊 (MASUDA Hidetoshi); 〒1040031 東京都中央区京橋二丁目7番19号 太陽誘電株式会社内 Tokyo (JP).

(74) 代理人: 村越 智史 (MURAKOSHI Satoshi); 〒1000005 東京都千代田区丸の内1丁目4-1 丸の内永楽ビル20階 ピルズベリー・ウィンスロップ・ショー・ピットマン外国法事務弁護士事務所 Tokyo (JP).

(54) Title: CAPACITOR

(54) 発明の名称: キャパシタ



(57) Abstract: Provided is a capacitor that makes it possible to set a failure mode to an open mode even when a short caused by dielectric breakdown in a dielectric layer occurs. The capacitor 1 is provided with: a substrate 10; a MIM structure 20 that is provided to the substrate 10 and that includes a dielectric layer 21, a lower electrode layer 22 provided to one surface of the dielectric layer 21 and comprising a first conductive material, and an upper electrode layer 23 provided to the other surface of the dielectric layer 21; a first external electrode 2 provided to the substrate 10; a second external

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

electrode 3 provided to the substrate 10; and a connecting conductor 50 connecting the lower electrode layer 22 and the first external electrode 2. The connecting conductor 50 has a first contact section 51 in contact with the substrate 10.

(57) 要約: 誘電体層での絶縁破壊に起因するショートが発生した場合であっても故障モードをオープンモードにすることができるキャパシタを提供する。キャパシタ1は、基材10と、基材10に設けられ、誘電体層21、誘電体層21の一方の面に設けられ第1導電材料から成る下部電極層22、及び誘電体層21の他方の面に設けられた上部電極層23を有するMIM構造体20と、基材10に設けられた第1外部電極2と、基材10に設けられた第2外部電極3と、下部電極層22と第1外部電極2とを接続する接続導体50と、を備え、接続導体50は、基材10と接する第1接触部51を有する。

明 細 書

発明の名称：キャパシタ

技術分野

[0001] 相互参照

本出願は、日本国特許出願2019-176951（2019年9月27日出願）に基づく優先権を主張し、その内容は参照により全体として本明細書に組み込まれる。

本発明は、キャパシタに関する。

背景技術

[0002] キャパシタの一種として、薄膜プロセスにより形成されたMIM構造体を備え、このMIM構造体により容量を発生させる薄膜キャパシタが知られている。薄膜キャパシタにおいては、小型化又は高容量化のために、単位面積あたりの発生容量を向上させることが求められている。

[0003] 従来から、単位面積あたりの容量を向上させることが可能なトレンチキャパシタが知られている。トレンチキャパシタにおいては、基材にトレンチが形成されており、このトレンチに容量を発生させるためのMIM構造体が埋め込まれている。このMIM構造体は、誘電体からなる誘電体層と導体からなる電極層とが交互に積層された積層体である。トレンチキャパシタにおいては、基材の厚さ方向に延びるトレンチの側面にも誘電体層及び導体層が設けられるため、単位面積あたりの容量を向上させることができる。従来のトレンチキャパシタは、例えば、以下の特許文献1～特許文献3に開示されている。

先行技術文献

特許文献

[0004] 特許文献1：米国特許出願公開第2016-0020267号明細書

特許文献2：米国特許出願公開第2016-0284694号明細書

特許文献3：米国特許出願公開第2014-0145299号明細書

発明の概要

発明が解決しようとする課題

[0005] トレンチキャパシタにおいては、電極層に挟まれた誘電体層において絶縁破壊が起こることがある。例えば、製造時に誘電体層に欠陥が生じた場合や誘電体層において劣化が生じた場合、当該欠陥や劣化がある部位において絶縁破壊が起こりやすい。誘電体層において絶縁破壊が起こると、破壊箇所を流れる電流によってジュール熱が発生し、このジュール熱によって熔融した電極層が当該破壊箇所の周囲に流動する。この流動した電極層によって、当該誘電体層の両面に設けられている電極層同士がショートするので、トレンチキャパシタにおける通常の故障モードはショートモードとなる。

[0006] トレンチキャパシタにおいてショートモードでの故障が発生すると、当該トレンチキャパシタに接続されている回路の構成部品に本来は印加されない電流（すなわち、過電流）が印加されてしまう。このような本来は想定されていない電流の印加は、当該回路の誤作動や破壊の原因となる。このような他回路への不要な電流の印加を防止するために、トレンチキャパシタにおいて望ましい故障モードはオープンモードである。

[0007] 本開示の目的の一つは、誘電体層での絶縁破壊に起因するショートが発生した場合であっても故障モードをオープンモードにすることができるキャパシタを提供することである。本開示のこれ以外の目的は、明細書全体の記載を通じて明らかにされる。

課題を解決するための手段

[0008] 本発明の一実施形態に係るキャパシタは、 S_i 基材と、 S_i 基材に設けられ、第1誘電体層、第1誘電体層の一方の面に設けられ第1導電材料から成る第1電極層、及び第1誘電体層の他方の面に設けられた第2電極層を有するMIM構造体と、 S_i 基材に設けられた第1外部電極と、 S_i 基材に設けられた第2外部電極と、第1電極層と第1外部電極とを接続する接続導体と、を備え、接続導体は、 S_i 基材と接する接触部を有する。

[0009] このキャパシタの接続導体は、 S_i 基材と接する接触部を有している。M

I M構造体において絶縁破壊によるショートが発生した場合、過電流によって接続導体が発熱して溶融する。接続導体が接触部を有していることにより、溶融した第2導電材料は接触部の近傍においてS i 基材内に拡散する。これにより、接触部の近傍において接続導体が断線して、M I M構造体と第1外部電極との電氣的な接続が切断される。したがって、絶縁破壊に起因するショートが発生した場合であっても故障モードをオープンモードにすることができる。

[0010] 本発明の一実施形態において、接続導体は、第1導電材料よりも融点が高い第2導電材料によって構成されていてもよい。この構成によれば、M I M構造体において絶縁破壊によるショートが発生した場合、過電流によって接続導体が溶融しやすい。したがって、より確実に接触部の近傍において接続導体を断線させることができ、絶縁破壊に起因するショートが発生した場合であっても故障モードをより確実にオープンモードにすることができる。

[0011] 本発明の一実施形態において、第2導電材料はアルミニウムであってもよい。アルミニウムはS i 基材内に拡散しやすいので、M I M構造体において絶縁破壊によるショートが発生した際に、より確実に接触部の近傍において接続導体を断線させることができる。したがって、絶縁破壊に起因するショートが発生した場合であっても故障モードをより確実にオープンモードにすることができる。

[0012] 本発明の一実施形態において、S i 基材の一面には複数のトレンチが設けられており、M I M構造体は、複数のトレンチの内の少なくとも一つに埋め込まれるようにS i 基材に設けられていてもよい。この構成によれば、キャパシタの寸法を維持したまま静電容量を大きくすることができる。

[0013] 本発明の一実施形態において、第1電極層と第1外部電極との間の電流経路に垂直な方向における接続導体の断面積は、接触部において最小となってもよい。この構成によれば、過電流が接続導体に流れた際に接触部が発熱しやすくなる。したがって、特に接触部において第2導電材料が溶融しやすくなるので、より確実に接触部の近傍において接続導体を断線させること

ができ、絶縁破壊に起因するショートが発生した場合であっても故障モードをより確実にオープンモードにすることができる。

[0014] 本発明の一実施形態において、複数のトレンチは、MIM構造体が埋め込まれていない少なくとも一つの空トレンチを含み、少なくとも一つの空トレンチは、接触部によって少なくとも部分的に覆われていてもよい。この構成によれば、過電流が接続導体に流れた際に溶融した第2導電材料が空トレンチ内に流入するので、より確実に接触部の近傍において接続導体を断線させることができる。したがって、絶縁破壊に起因するショートが発生した場合であっても故障モードをより確実にオープンモードにすることができる。

[0015] 本発明の一実施形態において、空トレンチの深さ方向における寸法は、MIM構造体が埋め込まれているトレンチの深さ方向における寸法より小さくてもよい。

[0016] 本発明の一実施形態において、キャパシタは、第2電極層と第2外部電極とを接続し、第1導電材料よりも融点が高い第3導電材料から成る引き出し電極を備えてもよい。

[0017] 本発明の一実施形態において、引き出し電極は、Si基材と接触しないように設けられていてもよい。

[0018] 本発明の一実施形態において、キャパシタは接続導体を複数備え、MIM構造体は、互いに並列に接続された複数のセクションを有し、複数のセクションのそれぞれに対して接続導体が設けられていてもよい。この構成によれば、MIM構造体において絶縁破壊によるショートが発生した場合、ショートした箇所を含むセクションに対して設けられた接続導体のみが切断されるので、故障によるキャパシタの静電容量の変動を小さくすることができる。

[0019] 本発明の一実施形態において、MIM構造体は、第2電極層の上に設けられた第2誘電体層、及び第2誘電体層の上に設けられた第3電極層を更に有し、第3電極層と第1外部電極とを接続し、第3電極層を構成する材料よりも融点が高い第2導電材料から成る他の接続導体を備えてもよい。この構成によれば、ショートした電極層に接続された接続導体のみが切断されるので

、故障によるキャパシタの静電容量の変動を小さくすることができる。

[0020] 本発明の一実施形態は、上記の何れかのキャパシタを備える回路基板に関する。

[0021] 本発明の一実施形態は、上記の回路基板を備える電子機器に関する。

発明の効果

[0022] 本発明によれば、誘電体層での絶縁破壊に起因するショートが発生した場合であっても故障モードをオープンモードにすることができるキャパシタが提供される。

図面の簡単な説明

[0023] [図1]一実施形態に係るキャパシタの模式的な平面図である。

[図2]図1のキャパシタを「—」線で切断した断面を模式的に示す断面図である。

[図3]図1のキャパシタのトレンチ部分を拡大して示す断面図である。

[図4]図1のキャパシタの接続導体を概略的に示す上面図である。

[図5a]ショートが発生する前の接続導体を概略的に示す断面図である。

[図5b]ショートが発生した後の接続導体を概略的に示す断面図である。

[図6]図1のキャパシタの内部構造を示す等価回路図である。

[図7a]図1のキャパシタの製造方法を説明するための図である。

[図7b]図1のキャパシタの製造方法を説明するための図である。

[図7c]図1のキャパシタの製造方法を説明するための図である。

[図7d]図1のキャパシタの製造方法を説明するための図である。

[図7e]図1のキャパシタの製造方法を説明するための図である。

[図7f]図1のキャパシタの製造方法を説明するための図である。

[図8]他の実施形態に係るキャパシタを示す断面図である。

[図9]他の実施形態に係るキャパシタを示す上面図である。

[図10]図9のキャパシタの内部構造を示す等価回路図である。

[図11]他の実施形態に係るキャパシタを示す上面図である。

[図12]図11のキャパシタを概略的に示す断面図である。

[図13]図 1 1 のキャパシタの内部構造を示す等価回路図である。

発明を実施するための形態

- [0024] 以下、適宜図面を参照し、本発明の様々な実施形態を説明する。複数の図面において共通する構成要素には当該複数の図面を通じて同一の参照符号が付されている。各図面は、説明の便宜上、必ずしも正確な縮尺で記載されているとは限らない点に留意されたい。特に、後述する電極層や誘電体層は、実際には非常に薄い膜であるが、各図面においては、説明の便宜のために視認できる程度の厚さを有するように記載されている。
- [0025] 図 1 ～図 3 を参照して、一実施形態に係るキャパシタ 1 について説明する。これらの図に示されているキャパシタ 1 は、薄膜プロセスにより作成された MIM 構造体を有する薄膜キャパシタである。本実施形態において、キャパシタ 1 は、基材の厚さ方向に延びるトレンチ内に MIM 構造体が設けられたトレンチキャパシタである。キャパシタ 1 は、トレンチキャパシタでなくともよい。図 1 は、キャパシタ 1 の模式的な平面図であり、図 2 は、キャパシタ 1 を I-I 線で切断した断面を模式的に示す断面図である。図 3 は、キャパシタ 1 のトレンチ部分を拡大して示す断面図である。
- [0026] 図示のように、一実施形態に係るキャパシタ 1 は、基材 10 と、基材 10 に設けられた MIM 構造体 20 と、MIM 構造体 20 を覆うように設けられた保護層 40 と、第 1 外部電極 2 と、第 2 外部電極 3 と、接続導体 50 と、引出導体 60 と、を備える。第 1 外部電極 2 及び第 2 外部電極 3 は、保護層 40 の外側に設けられる。第 1 外部電極 2 は、詳しくは後述するように、接続導体 50 を介して MIM 構造体 20 を構成する電極層と電氣的に接続される。第 2 外部電極 3 は、引出導体 60 を介して MIM 構造体 20 を構成する電極層と電氣的に接続される。
- [0027] キャパシタ 1 は、外部電極 2 及び外部電極 3 を回路基板に設けられたランドに接合することにより、当該回路基板に実装される。この回路基板は、様々な電子機器に搭載され得る。キャパシタ 1 が実装された回路基板を備える電子機器には、スマートフォン、携帯電話、タブレット端末、ゲームコンソ

ール、及びこれら以外のキャパシタ 1 が実装された回路基板を備えることができる任意の電子機器が含まれる。

[0028] 図 1 及び図 2 においては、互い直交する X 方向、Y 方向、及び Z 方向が示されている。本明細書においては、これらの図に示されている X 方向、Y 方向、及び Z 方向を基準としてキャパシタ 1 の構成部材の向きや配置を説明することができる。具体的には、文脈上別に解される場合を除き、キャパシタ 1 の「幅」方向、「長さ」方向、及び「厚さ」方向はそれぞれ、図 1 の X 軸に沿う方向、Y 軸に沿う方向、及び Z 軸に沿う方向とする。本明細書においてキャパシタ 1 及びその構成部材の上下方向に言及する際には、文脈上別に解される場合を除き、Z 軸の正方向がキャパシタ 1 の上方向とされ、Z 軸の負方向がキャパシタ 1 の下方向とされる。

[0029] 一実施形態において、基材 10 は、Si 等の材料から成る。一実施形態において、基材 10 は、概ね直方体の形状に形成されており、その幅方向（X 軸方向）の寸法は例えば $50\ \mu\text{m}$ ～ $5000\ \mu\text{m}$ とされ、その長さ方向（Y 軸方向）の寸法は例えば $50\ \mu\text{m}$ ～ $5000\ \mu\text{m}$ とされ、その厚さ方向（Z 軸方向）の寸法は例えば $5\ \mu\text{m}$ ～ $500\ \mu\text{m}$ とされる。本明細書において具体的に示される基材 10 の寸法は例示に過ぎず、基材 10 は任意の寸法をとることができる。

[0030] 基材 10 は、上面 10a と、当該上面 10a とは反対側の下面 10b と、上面 10a と下面 10b とを接続する側面 10c と、後述のトレンチ 11 を画定する壁部 13 とを有する。図 1 の実施形態において基材 10 は略直方体状であり、本明細書中では、当該基材 10 の上面 10a と下面 10b とを接続する 4 つの面をまとめて側面 10c という。基材 10 には、その上面 10a から Z 軸方向に沿って延伸する複数のトレンチ 11 が形成されている。複数のトレンチ 11 の各々は、Z 軸方向に所定の深さを有するように形成される。本明細書においては、Z 軸方向をトレンチ 11 の深さ方向と呼ぶことがある。図 1 に示されているように、複数のトレンチ 11 の各々は、その平面視の形状が、X 軸方向に沿って延びる辺と Y 軸方向に沿って延びる辺とで画

定される略長方形となるように形成されている。図示の実施形態において、複数のトレンチ 11 の各々は、平面視において、X 軸方向に沿って延びる辺が Y 軸方向に沿って延びる辺よりも短くなるように形成されている。

[0031] 一実施形態において、複数のトレンチ 11 の各々は、単位面積あたりの高容量化を実現するために、高アスペクト比を有するように形成される。つまり、複数のトレンチ 11 の各々は、その幅（例えば、X 軸方向の辺の長さ）に対する深さ（Z 軸方向の寸法）の比が大きくなるように形成される。複数のトレンチ 11 の各々の幅（X 軸方向における寸法）は例えば $0.1\ \mu\text{m} \sim 5\ \mu\text{m}$ とされ、その深さ（Z 軸方向における寸法）は例えば $1\ \mu\text{m} \sim 100\ \mu\text{m}$ とされる。本明細書において具体的に示されるトレンチ 11 の寸法は例示に過ぎず、トレンチ 11 は任意の寸法をとることができる。また、トレンチ 11 の平面視における形状は長方形形状に限られず、トレンチ 11 は任意の形状をとることができる。一実施形態において、トレンチ 11 は、その深さ（Z 軸方向における寸法）が $40\ \mu\text{m}$ であり、その幅（X 軸方向における寸法）が $1.0\ \mu\text{m}$ となるように構成される。

[0032] トレンチ 11 は、例えば Si 基板の表面にトレンチ 11 のパターンに対応する開口が形成されたマスクを形成した後、エッチングにより当該 Si 基板をエッチングすることで形成され得る。トレンチ 11 のエッチング加工は、ボッシュプロセスを用いた深掘り RIE（深掘り反応性エッチング）等の反応性イオンエッチング法により行われ得る。

[0033] 複数のトレンチ 11 のうち隣接するトレンチ 11 同士は壁部 12 によって隔てられている。言い換えると、壁部 12 は、基材 10 の一部であり、隣接するトレンチ 11 を互いから離隔させるように構成される。壁部 12 は、上面 10a に沿った第 1 方向（すなわち、Y 軸方向）に延びる複数の主壁部 13 と、第 1 方向と直交し上面 10a に沿った第 2 方向（すなわち、X 軸方向）に延びる複数の副壁部 14 と、を含む。壁部 12 の詳細な構成については、後述する。

[0034] 続いて、MIM 構造体 20 について説明する。前述のように、基材 10 に

は、MIM構造体20が設けられる。図示のように、その一部がトレンチ11の各々に埋め込まれるように、基材10に設けられている。

[0035] MIM構造体20は、基材10の上面10a及びトレンチ11に追従する形状を有するように構成される。MIM構造体20は、第1導電層と、第2導電層と、第1導電層と第2導電層とに挟まれた誘電体層とを有する。すなわち、MIM構造体20は、導電層と誘電体層とが交互に積層された積層体である。一実施形態におけるMIM構造体20は、下部電極層22（第1導電層）と、当該下部電極層22の上に設けられた誘電体層21と、当該誘電体層21の上に設けられた上部電極層23（第2導電層）と、を有する。本明細書においてMIM構造体20における上下方向に言及する場合には、下部電極及び上部電極という慣用されている名称と整合性をとるために、Z軸方向に沿う上下方向ではなく、基材10により近い側を「下」とし、基材10からより遠い側を「上」として説明がなされることがある。MIM構造体20は、2層以上のMIM層を含んでもよい。例えば、MIM構造体20が2層のMIM層を有する場合には、下部電極層22、誘電体層21、及び上部電極層23から構成される第1層目のMIM層の上に第2層目のMIM層が形成される。例えば、第2層目のMIM層は、上部電極層23の上に設けられた誘電体層と、この誘電体層の上に設けられた電極層と、を備えることができる。この場合、上部電極層23は、第1層目のMIM層の上側の電極層としての機能と、第2層目のMIM層の下側の電極層としての機能を兼ねる。

[0036] 誘電体層21の材料として、BST（チタン酸バリウムストロンチウム）、BTO（チタン酸バリウム）、チタン酸ストロンチウム（STO）、ジルコニア（ ZrO_2 ）、アルミナ（ Al_2O_3 ）、酸化ハフニウム（ HfO_2 ）、酸化チタン（ TiO_2 ）、及びこれら以外の誘電体材料を用いることができる。誘電体層21の材料は、本明細書で明示的に説明されたものには限定されない。

[0037] 誘電体層21は、例えば、ALD（原子層堆積）法、スパッタ法、CVD

法、蒸着法、めっき法、又はこれら以外の公知の方法により形成される。誘電体層 21 は、その膜厚が例えば 1 nm ~ 500 nm となるように形成される。一実施形態において、誘電体層 21 の膜厚は、30 nm とされる。

[0038] 下部電極 22 及び上部電極 23 の材料として、ニッケル (Ni)、銅 (Cu)、パラジウム (Pd)、白金 (Pt)、銀 (Ag)、金 (Au)、ルテニウム (Ru)、タングステン (W)、モリブデン (Mo)、チタン (Ti)、導電性シリコン、もしくはこれら以外の金属材料、これらの金属元素の一又は複数を含む合金材料、及び前記金属元素の化合物を用いることができる。一実施形態においては、下部電極層 22 及び上部電極層 23 の材料として、窒化チタン (TiN) が用いられる。下部電極層 22 及び上部電極層 23 の材料は、本明細書で明示的に説明されたものには限定されない。

[0039] 下部電極層 22 及び上部電極層 23 は、例えば、ALD (原子層堆積) 法、スパッタ法、蒸着法、めっき法、又はこれら以外の公知の方法により形成される。一実施形態において、下部電極層 22 は、その膜厚が例えば 1 nm ~ 500 nm となるように形成される。一実施形態において、上部電極 23 は、その膜厚が例えば 1 nm ~ 500 nm となるように形成される。一実施形態において、下部電極層 22 及び上部電極層 23 の膜厚はそれぞれ 30 nm とされる。下部電極層 22 及び上部電極層 23 の膜厚はそれぞれ 30 nm とされる。下部電極層 22 及び上部電極層 23 の膜厚は、本明細書で明示的に説明されたものに限定されない。

[0040] 続いて、保護層 40 について説明する。保護層 40 は、外部環境から MIM 構造体 20 を保護するために、MIM 構造体 20 及び基材 10 を覆うように設けられる。保護層 40 は、例えば、外部から受ける衝撃等の機械的ダメージから MIM 構造体 20 を保護するように設けられる。図示の実施形態において、保護層 40 は、パッシベーション膜 40A 及び層間絶縁膜 40B の 2 つの薄膜から構成されている。保護層 40 の材料として、ポリイミド等の樹脂材料、酸化シリコン (SiO₂)、窒化シリコン (SiN)、酸窒化シリコン (SiON)、及びこれら以外の絶縁材料を用いることができる。保護

層40は、例えば、スピンコート法により感光性ポリイミドを塗布し、この塗布されたポリイミドを露光、現像、及びキュアすることにより形成される。保護層40は、その膜厚が例えば200nm～5000nmとなるように形成される。一実施形態において、保護層40の膜厚は3000nmとされる。保護層40の材料及び膜厚は、本明細書で明示的に説明されたものには限定されない。

[0041] 保護層40とMIM構造体20（又は基材10）との間には、不図示のバリア層が設けられていてもよい。バリア層は、トレンチキャパシタ1の耐候性を向上させるために、主にMIM構造体20の上に設けられる。一実施形態において、バリア層は、保護層40から放出される水分や大気中の水分がMIM構造体20に到達しないように、MIM構造体20と保護層40との間に設けられる。バリア層は、水素ガスバリア性に優れた薄膜であってもよい。バリア層の材料として、アルミナ（ Al_2O_3 ）、酸化シリコン（ SiO_2 ）、酸窒化シリコン（ SiON ）、ジルコニア（ ZrO_2 ）、及びこれら以外の絶縁材料を用いることができる。バリア層は、例えば、スパッタ法、CVD法、又はこれら以外の公知の方法により形成される。バリア層は、その膜厚が例えば5nm～500nmとなるように形成される。一実施形態において、バリア層の膜厚は50nmとされる。バリア層の材料及び膜厚は、本明細書で明示的に説明されたものには限定されない。

[0042] 続いて、外部電極2及び外部電極3について説明する。外部電極2及び外部電極3は、保護層40の上側に、Y軸方向において互いから離間するように設けられる。外部電極2及び外部電極3は、例えば、保護層40の外側に金属材料を含む導体ペーストを塗布することにより形成される。外部電極2及び外部電極3は、めっきによって形成されてもよい。外部電極2及び外部電極3の材料として、銅（Cu）、ニッケル（Ni）、スズ（Sn）、パラジウム（Pd）、白金（Pt）、銀（Ag）、金（Au）、もしくはこれら以外の金属材料、又は、これらの金属元素の一又は複数を含む合金材料を用いることができる。外部電極2及び外部電極3には、必要に応じて、半田バ

リア層及び半田漏れ層の少なくとも一方が形成されてもよい。

[0043] 保護層40のY軸負方向の端の近くには溝41が設けられており、Y軸正方向の端の近くには溝42が設けられている。溝41及び溝42はいずれも、X軸方向に沿って延伸するとともに保護層40をZ軸方向に貫通する用に設けられている。溝41には引出電極2aが設けられ、溝42には引出電極3aが設けられている。

[0044] 引出電極2aの上端は外部電極2に接続され、引出電極2aの下端は、後述の接続導体50に接続され、MIM構造体20の下部電極層22と電氣的に接続される。引出電極3aの上端は外部電極3に接続され、引出電極3aの下端は、引出導体60を介してMIM構造体20の上部電極23に接続される。

[0045] 引出電極2a、3aの材料として、銅(Cu)、ニッケル(Ni)、スズ(Sn)、パラジウム(Pd)、白金(Pt)、銀(Ag)、金(Au)、もしくはこれら以外の金属材料、又は、これらの金属元素の一又は複数を含む合金材料を用いることができる。引出電極2a、3aは、蒸着法、スパッタ法、メッキ法、又はこれら以外の公知の方法により形成される。

[0046] 次に、図4をさらに参照して、接続導体50について説明する。図4は、接続導体50を概略的に示す上面図である。図2及び図4に示されるように、接続導体50は、MIM構造体20の下部電極層22と第1外部電極2とを電氣的に接続している。より具体的に、接続導体50は引出電極2aを介して第1外部電極2と電氣的に接続されている。接続導体50は、第1外部電極2の下方において、保護層40のパッシベーション膜40Aと層間絶縁膜40Bとの間に設けられており、層間絶縁膜40Bに沿った形状を有している。接続導体50は、基材10と接する第1接触部(接触部)51と、下部電極層22と接触する第2接触部52と、外部電極2に接続された引出電極2aと接触する第3接触部53と、層間絶縁膜40Bの開口の側壁に沿って延びる複数の接続部54とを有する。第1接触部51、第2接触部52、及び第3接触部53は、基材10の上面10aに沿って延びる。複数の接続部

54のそれぞれは、Z軸方向に沿って延びる。キャパシタ1の上面から見て、第2接触部52及び第3接触部53はそれぞれX軸方向に長辺を有する長方形形状を呈する。

[0047] 図示の実施形態では、キャパシタ1の上面から見て（すなわち、Z軸方向から見て）、X軸方向における第2接触部52の寸法 L_2 は、X軸方向における下部電極層22の寸法と同一である。X軸方向における第3接触部53の寸法 L_3 は、X軸方向における引出電極2aの寸法と同一である。図示の実施形態では、X軸方向における下部電極層22の寸法とX軸方向における引出電極2aの寸法とは同一である。第2接触部52と第1接触部51との間、及び第3接触部53と第1接触部51との間では、第1接触部51に向かうにつれてX軸方向における接続導体50の寸法が徐々に小さくなっている。X軸方向における接続導体50の寸法は、第1接触部51において最も小さくなる。すなわち、図示の実施形態では、第1接触部の寸法 $L_1 < L_2 = L_3$ となっている。このような構造により、下部電極層22から第1外部電極2に向かう電流経路に垂直な方向における接続導体50の断面積は、第1接触部51において最小となる。これにより、第1接触部51における抵抗が高くなり、当該第1接触部51が発熱しやすくなる。したがって、第1接触部51において接続導体50を確実に断線させることができる。第1接触部51から延びる接続部54と基材10の上面10aとがなす角度 α は、 90° 以下である。このように、角度 α を 90° 以下にすることにより、接続導体50の予期しない断線を抑制できる。

[0048] 接続導体50は、下部電極層22及び上部電極層23を構成する導電材料（第1導電材料）よりも融点が低い導電材料（第2導電材料）によって構成されてもよい。一例として、接続導体50はアルミニウムによって構成される。接続導体50を構成する材料はアルミニウムに限定されず、銅等であってもよい。接続導体50の第2接触部52は、上部電極層23に接続されていてもよい。接続導体50は、MIM構造体20と第2外部電極3とを電氣的に接続していてもよい。この場合、接続導体50の第3接触部53は引出

電極 3 a に接続される。接続導体 5 0 が設けられる位置は第 1 外部電極 2 の下方に限定されず、適宜変更可能である。例えば、接続導体 5 0 が M I M 構造体 2 0 と第 2 外部電極 3 とを電氣的に接続している場合、接続導体 5 0 は第 2 外部電極 3 の下方に設けられてもよい。

[0049] 引出導体 6 0 は、上部電極層 2 3 と引出電極 3 a との間に介在する。引出導体 6 0 により、上部電極層 2 3 と第 2 外部電極 3 とが電氣的に接続されている。引出導体 6 0 は、基材 1 0 と接触しないように設けられる。引出導体 6 0 は、下部電極層 2 2 及び上部電極層 2 3 を構成する導電材料（第 1 導電材料）よりも融点が低い導電材料（第 3 導電材料）によって構成される。一例として、引出導体 6 0 はアルミニウムによって構成される。引出導体 6 0 を構成する材料（第 3 導電材料）は、接続導体 5 0 を構成する材料（第 2 導電材料）と同一の材料であってもよく、異なる材料であってもよい。接続導体 5 0 の第 2 接触部 5 2 が上部電極層 2 3 に接続される場合、引出導体 6 0 は下部電極層 2 2 に接続されてもよい。接続導体 5 0 が M I M 構造体 2 0 と第 2 外部電極 3 とを電氣的に接続する場合、引出導体 6 0 は M I M 構造体 2 0 と引出電極 2 a との間に介在し、第 1 外部電極 2 と電氣的に接続されてもよい。

[0050] 次に、図 5 a 及び図 5 b を参照して、接続導体 5 0 の作用効果について説明する。図 5 a は、ショートが発生する前の接続導体 5 0 を概略的に示す断面図である。図 5 b は、ショートが発生した後の接続導体 5 0 を概略的に示す断面図である。キャパシタ 1 において、M I M 構造体 2 0 にショート等の故障が発生すると、当該キャパシタ 1 に接続されている回路の構成部品に本来は印加されない電流（すなわち、過電流）が印加されてしまう。このような本来は想定されていない電流の印加は、当該回路の誤作動や破壊の原因となる。このような他回路への不要な電流の印加を防止するために、キャパシタ 1 において望ましい故障モードはオープンモードである。図 5 a に示されるように、M I M 構造体 2 0 にショートが発生していない状態においては、接続導体 5 0 によって第 1 外部電極 2 と M I M 構造体 2 0 とが電氣的に接続

され、外部の回路（不図示）に対してキャパシタ 1 が作動可能に接続されている。MIM構造体 20 にショートが発生すると、過電流が接続導体 50 に流れ、当該接続導体 50 が発熱して溶融する。このとき、接続導体 50 の第 1 接触部 51 は基材 10 に接触しているので、溶融した接続導体 50 の材料（すなわち、第 2 導電材料）は、第 1 接触部 51 の近傍において基材 10 内に拡散する。これにより、図 5 b に示されるように、第 1 接触部 51 の近傍において接続導体 50 が断線し、MIM構造体 20 と第 1 外部電極 2 との電気的な接続が切断される。このように、接続導体 50 はヒューズとしての機能を有しており、キャパシタ 1 の内部構造を示す等価回路図は図 6 のようになる。したがって、絶縁破壊に起因する故障の故障モードをオープンモードに誘導し、外部の回路の誤作動や破壊を抑制できる。

[0051] 次に、図 7 a ～図 7 f を参照して、キャパシタ 1 の製造方法について説明する。まず、基材 10 となる Si ウェハ W を準備し、トレンチ 11 のパターンに対応したマスクを Si ウェハ W の上面に形成する。次に、図 7 a に示されるように、Si ウェハ W をエッチングすることにより、複数のトレンチ 11 を形成する。Si ウェハ W のエッチングは、例えばボッシュプロセス等を用いたドライエッチングによってなされる。

[0052] 次に、Si ウェハ W からマスクを除去し、Si ウェハ W の上面に沿って、下部電極層 22、誘電体層 21、及び上部電極層 23 を含む MIM 構造体 20 を形成する。これにより、図 7 b に示されるように、Si ウェハ W の上面及びトレンチ 11 の内部に MIM 構造体 20 が形成される。誘電体層 21 は、例えばジルコニアから形成され、下部電極層 22 及び上部電極層 23 は TiN から形成され得る。MIM 構造体 20 に含まれる各層（すなわち、下部電極層 22、誘電体層 21、及び上部電極層 23）は、ALD 法によって形成され得る。誘電体層 22 の材料はジルコニアには限られず、下部電極層 22 及び上部電極層 23 の材料は TiN には限られない。下部電極層 22、誘電体層 21、及び上部電極層 23 は、ALD 法以外の様々な公知の方法により形成されてもよい。

[0053] 次に、図7cに示されるように、保護層40の一部となる層間絶縁膜40BをMIM構造体20及びSiウェハW上に形成する。このとき、層間絶縁膜40Bをパターニングして、SiウェハW（すなわち、基材10）が露出する開口O1、下部電極層22が露出する開口O2、及び上部電極層23が露出する開口O3を形成する。

[0054] 次に、層間絶縁膜40Bに沿って、接続導体50を構成する材料（すなわち、第2導電材料）の薄膜を形成し、パターニングを行う。この工程により、図7dに示されるように、接続導体50及び引出導体60が形成される。開口O1内には接続導体50の第1接触部51が形成され、開口O2内には接続導体50の第2接触部52が形成される。引出導体60は、開口O3に対応した箇所に形成される。

[0055] 次に、図7eに示されるように、層間絶縁膜40B上にパッシベーション膜40Aを形成する。このとき、パッシベーション膜40AのうちMIM構造体20の上側に設けられている部分のY軸方向の両端の各々の近くに、それぞれ溝を設ける。一方の溝からは接続導体50が露出し、他方の溝からは引出導体60が露出する。この工程により、パッシベーション膜40A及び層間絶縁膜40Bを含む保護層40が形成される。

[0056] 次に、めっき法などにより、溝の内部に引出電極2a, 3aを形成すると共に、保護層40の表面に第1外部電極2及び第2外部電極3を形成する（図7f参照）。最後に、ウェハを個片化する。以上の工程により、複数のキャパシタ1が得られる。

[0057] 以上説明したように、本発明の一実施形態に係るキャパシタ1は接続導体50を有し、接続導体50は、基材10と接する第1接触部51を有している。MIM構造体20において絶縁破壊によるショートが発生した場合、過電流によって接続導体50が発熱して溶融する。接続導体50が第1接触部51を有していることにより、溶融した接続導体50の材料は、第1接触部51の近傍において基材10内に拡散する。これにより、第1接触部51の近傍において接続導体50が断線して、MIM構造体20と第1外部電極2

との電氣的な接続が切断される。したがって、絶縁破壊に起因するショートが発生した場合であっても故障モードをオープンモードにすることができる。

[0058] また、キャパシタ 1 の接続導体 50 は、下部電極層 22 及び上部電極層 23 を構成する導電材料（第 1 導電材料）よりも融点が高い導電材料（第 2 導電材料）によって構成されている。このため、MIM 構造体 20 において絶縁破壊によるショートが発生した場合、過電流によって接続導体 50 が熔融しやすい。したがって、より確実に第 1 接触部 51 の近傍において接続導体 50 を断線させることができ、絶縁破壊に起因するショートが発生した場合であっても故障モードをより確実にオープンモードにすることができる。

[0059] 接続導体 50 を構成する導電材料（第 2 導電材料）は、例えばアルミニウムである。アルミニウムは Si の基材 10 内に拡散しやすいので、MIM 構造体 20 において絶縁破壊によるショートが発生した際に、より確実に第 1 接触部 51 の近傍において接続導体 30 を断線させることができる。

[0060] 基材 10 の一面には複数のトレンチ 11 が設けられており、MIM 構造体 20 は、複数のトレンチ 11 のうちの少なくとも一つに埋め込まれるように基材 10 に設けられている。これにより、キャパシタ 1 の寸法を維持したまま静電容量を大きくすることができる。

[0061] 第 1 電極層 22 から第 1 外部電極 2 に向かう電流経路に垂直な方向における接続導体 50 の断面積は、第 1 接触部 51 において最小となっている。これにより、過電流が接続導体 50 に流れた際に第 1 接触部 51 が発熱しやすくなる。したがって、特に第 1 接触部 51 において第 2 導電材料が熔融しやすくなるので、より確実に第 1 接触部 51 の近傍において接続導体 50 を断線させることができる。よって、絶縁破壊に起因するショートが発生した場合であっても故障モードをより確実にオープンモードにすることができる。

[0062] 次に、図 8 を参照して他の実施形態に係るキャパシタ 100 について説明する。図 8 は、他の実施形態に係るキャパシタ 100 を示す断面図である。図 8 に示されるように、他の実施形態に係るキャパシタ 100 は、キャパシ

タ 1 と同様に、下部電極層 2 2 と第 1 外部電極 2 とを接続する接続導体 5 0 を有する。他の実施形態に係るキャパシタ 1 0 0 は、MIM 構造体 2 0 が埋め込まれていない空トレンチ 1 1 A を有する点で、キャパシタ 1 と相違している。空トレンチ 1 1 A は基材 1 0 に少なくとも 1 つ設けられている。空トレンチ 1 1 A は、接続導体 5 0 の第 1 接触部 5 1 によって少なくとも部分的に覆われている。空トレンチ 1 1 A の全体が接続導体 5 0 の第 1 接触部 5 1 によって覆われていてもよい。空トレンチ 1 1 A の深さ方向における寸法は、MIM 構造体 2 0 が埋め込まれているトレンチ 1 1 の深さ方向における寸法より小さくなっている。キャパシタ 1 0 0 の上面から見て、空トレンチ 1 1 A の開口面積は、トレンチ 1 1 の開口面積より小さい。

[0063] 上記のキャパシタ 1 0 0 によれば、過電流が接続導体 5 0 に流れた際に溶融した接続導体 5 0 の材料（すなわち、第 2 導電材料）の基材 1 0 への拡散に加え、第 2 導電材料が空トレンチ 1 1 A 内に流入するので、より確実かつ速やかに第 1 接触部 5 1 の近傍において接続導体 5 0 を断線させることができる。したがって、絶縁破壊に起因する故障の故障モードをより確実にオープンモードに誘導することができる。

[0064] 次に、図 9 及び図 1 0 を参照して、他の実施形態に係るキャパシタ 2 0 0 について説明する。図 9 は、他の実施形態に係るキャパシタ 2 0 0 を示す上面図である。図 1 0 は、図 9 のキャパシタ 2 0 0 の内部構造を示す等価回路図である。図 9 においては、第 1 外部電極、第 2 外部電極、及び保護層等を省略し、MIM 構造体及び接続導体を実線で示している。

[0065] 図 9 に示されるように、キャパシタ 2 0 0 の MIM 構造体 2 0 は、複数のセクションを有している。図示の実施形態では、MIM 構造体 2 0 は 8 つのセクション 2 0 A ~ 2 0 H に分割されている。セクション 2 0 A ~ 2 0 H のそれぞれが 1 つのキャパシタとして静電容量を発生させる。キャパシタ 2 0 0 は、接続導体 5 0 を複数備え、複数のセクション 2 0 A ~ 2 0 H のそれぞれに対して接続導体 5 0 が設けられている。それぞれの接続導体 5 0 の一端は対応するセクションの下部電極層 2 2 に接続され、それぞれの接続導体 5

0の他端は、第1外部電極2に接続される。また、キャパシタ200は、それぞれのセクションの上部電極層23に接続される引出導体60を複数備える。複数の引出導体60は、第2外部電極に接続される。このような構造により、キャパシタ200複数のセクション20A~20Hは、図10に示されるように互いに並列に接続されている。図示の実施形態では、キャパシタ200の長辺方向（すなわち、Y軸方向）に沿って並ぶセクションに接続された各接続導体50の第3接触部53同士は連続しており、1つの電極として形成されている。複数の接続導体50の第3接触部53が連続して構成された電極は、キャパシタ200の短辺方向に沿って延びていてもよい。

[0066] 上記のキャパシタ200によれば、MIM構造体20において絶縁破壊によるショートが発生した場合、キャパシタ1と同様に接続導体50が断線するので、MIM構造体20と第1外部電極2との電氣的な接続が切断される。したがって、絶縁破壊に起因する故障の故障モードをオープンモードに誘導することができる。また、ショートした箇所を含むセクションに対して設けられた接続導体50のみが切断されるので、故障によるキャパシタ200の静電容量の変動を小さくすることができる。

[0067] 次に、図11~図13を参照して、他の実施形態に係るキャパシタ300について説明する。図11は、他の実施形態に係るキャパシタ300を示す上面図である。図12は、図11のキャパシタを概略的に示す断面図である。図13は、図11のキャパシタの内部構造を示す等価回路図である。図11においては、第1外部電極、第2外部電極、及び保護層等を省略し、MIM構造体及び接続導体を実線で示している。

[0068] 図11に示されるように、キャパシタ300のMIM構造体20は、キャパシタ200と同様に複数のセクション20A~20Hに分割されている。キャパシタ300のMIM構造体20は複数の誘電体層を含み、セクション20A~20Hのそれぞれに接続導体50とは異なる電極層に接続された他の接続導体70を備えている。他の接続導体70は、接続導体50と同様に基材10に接触する第1接触部を有し、ショートが発生した際に断線してM

M構造体20と第1外部電極との電氣的な接続が切断されるように構成される。図示の実施形態では、図11に示されるように、MIM構造体20は、下側から順に第1電極層A1、第1誘電体層B1、第2電極層A2、第2誘電体層B2、第3電極層A3、第3誘電体層B3、及び第4電極層A4を備える7層構造である。接続導体50は第1電極層A1に接続され、他の接続導体70は第3電極層A3に接続されている。図12は、接続導体50の第1接触部51を通るXZ平面に沿ったキャパシタ300の断面を示している。図12において他の接続導体70の第1接触部は、接続導体50の第1接触部51のY軸正方向側に隠れている。接続導体50及び接続導体70は、複数のセクション20A~20Hのそれぞれに対して設けられており、第1外部電極2に接続される。このような構造により、キャパシタ300の内部構造を示す等価回路図は、図13のようになる。MIM構造体20に含まれる電極層及び誘電体層の数は特に限定されない。MIM構造体20が更に多くの電極層及び誘電体層を含む場合には、接続導体70に加えて更に他の接続導体を設けてもよい。MIM構造体20に含まれる全ての電極層の各々に接続導体が設けられていてもよい。図示の実施形態では、キャパシタ300のMIM構造体20は複数のセクションに分割されているが、キャパシタ300のMIM構造体20は分割されていなくてもよい。

[0069] 上記のキャパシタ300によれば、MIM構造体20において絶縁破壊によるショートが発生した場合、キャパシタ1と同様に接続導体50及び／又は接続導体70が断線するので、MIM構造体20と第1外部電極2との電氣的な接続が切断される。したがって、絶縁破壊に起因する故障の故障モードをオープンモードに誘導することができる。また、キャパシタ300では、ショートした電極層に接続された接続導体のみが切断されるので、故障によるキャパシタの静電容量の変動を小さくすることができる。

[0070] 本明細書で説明された各構成要素の寸法、材料、及び配置は、実施形態中で明示的に説明されたものに限定されず、この各構成要素は、本発明の範囲に含まれ得る任意の寸法、材料、及び配置を有するように変形することがで

きる。また、本明細書において明示的に説明していない構成要素を、説明した実施形態に付加することもできるし、各実施形態において説明した構成要素の一部を省略することもできる。

符号の説明

[0071] 1…キャパシタ、10…基材、10a…上面、11…トレンチ、11A…空トレンチ、20…MIM構造体、50, 70…接続導体、51…第1接触部（接触部）、60…引出導体。

請求の範囲

- [請求項1] S i 基材と、
 前記S i 基材に設けられ、第1誘電体層、前記第1誘電体層の一方の面に設けられ第1導電材料から成る第1電極層、及び前記第1誘電体層の他方の面に設けられた第2電極層を有するM I M構造体と、
 前記S i 基材に設けられた第1外部電極と、
 前記S i 基材に設けられた第2外部電極と、
 前記第1電極層と前記第1外部電極とを接続する接続導体と、を備え、
 前記接続導体は、前記S i 基材と接する接触部を有する、キャパシタ。
- [請求項2] 前記接続導体は、前記第1導電材料よりも融点が高い第2導電材料によって構成される、請求項1に記載のキャパシタ。
- [請求項3] 前記第2導電材料はアルミニウムである、請求項2に記載のキャパシタ。
- [請求項4] 前記S i 基材の一面には複数のトレンチが設けられており、
 前記M I M構造体は、前記複数のトレンチのうちの少なくとも一つに埋め込まれるように前記S i 基材に設けられている、請求項1から請求項3のいずれか1項に記載のキャパシタ。
- [請求項5] 前記第1電極層と前記第1外部電極との間の電流経路に垂直な方向における前記接続導体の断面積は、前記接触部において最小となる、請求項1から請求項4のいずれか1項に記載のキャパシタ。
- [請求項6] 前記複数のトレンチは、前記M I M構造体が埋め込まれていない少なくとも一つの空トレンチを含み、
 前記少なくとも一つの空トレンチは、前記接触部によって少なくとも部分的に覆われている、請求項1から請求項5のいずれか1項に記載のキャパシタ。
- [請求項7] 前記空トレンチの深さ方向における寸法は、前記M I M構造体が埋

め込まれているトレンチの深さ方向における寸法より小さい、請求項 6 に記載のキャパシタ。

[請求項8] 前記第 2 電極層と前記第 2 外部電極とを接続し、前記第 1 導電材料よりも融点が高い第 3 導電材料から成る引出導体を備える、請求項 1 から請求項 7 のいずれか 1 項に記載のキャパシタ。

[請求項9] 前記引出導体は、前記 S i 基材と接触しないように設けられる、請求項 8 に記載のキャパシタ。

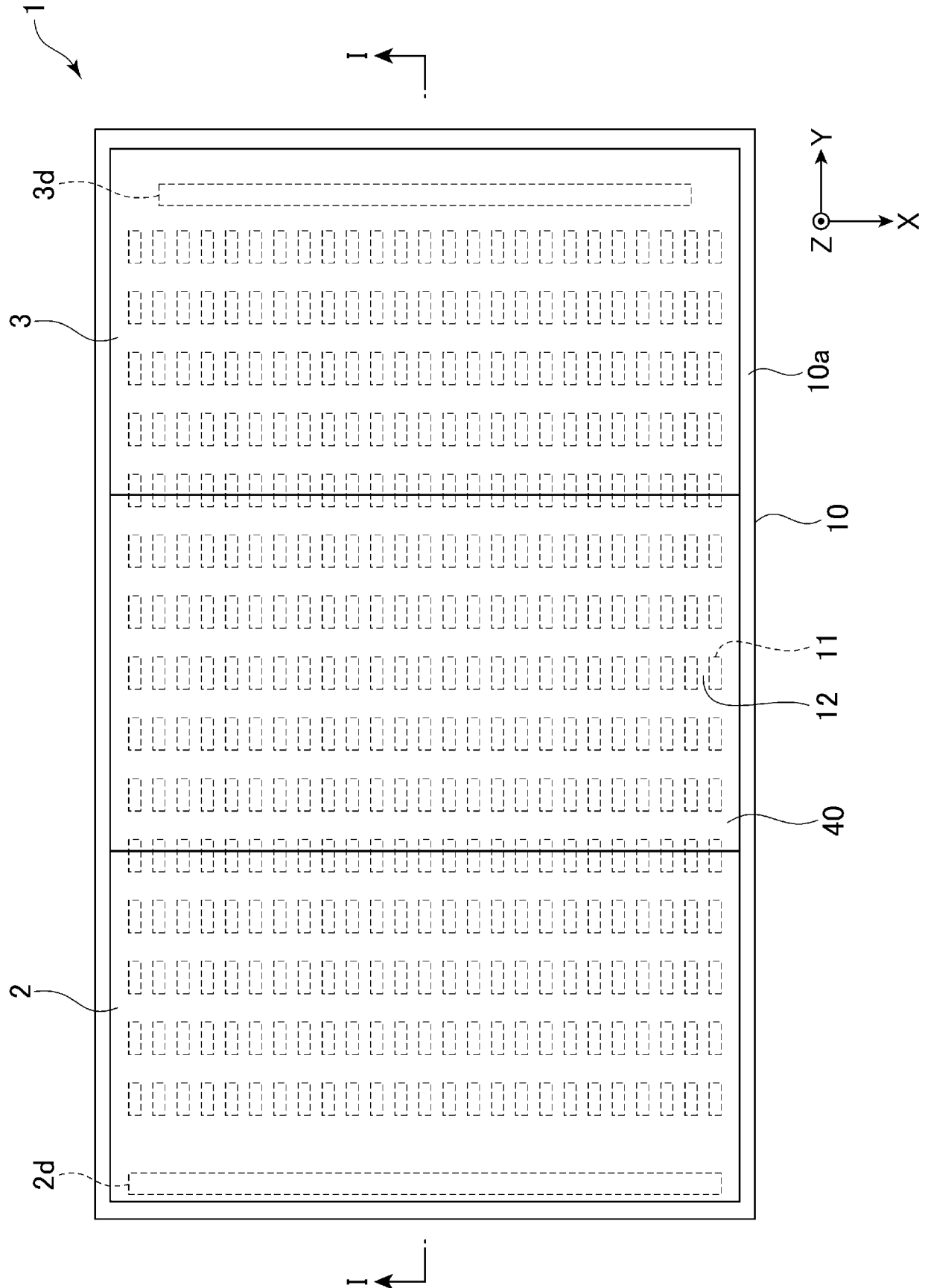
[請求項10] 前記接続導体を複数備え、
前記 M I M 構造体は、互いに並列に接続された複数のセクションを有し、
前記複数のセクションのそれぞれに対して前記接続導体が設けられている、請求項 1 から請求項 9 のいずれか 1 項に記載のキャパシタ。

[請求項11] 前記 M I M 構造体は、前記第 2 電極層の上に設けられた第 2 誘電体層、及び前記第 2 誘電体層の上に設けられた第 3 電極層を更に有し、
前記第 3 電極層と前記第 1 外部電極とを接続し、前記第 3 電極層を構成する材料よりも融点が高い前記第 2 導電材料から成る他の接続導体を備える、請求項 1 から請求項 10 のいずれか 1 項に記載のキャパシタ。

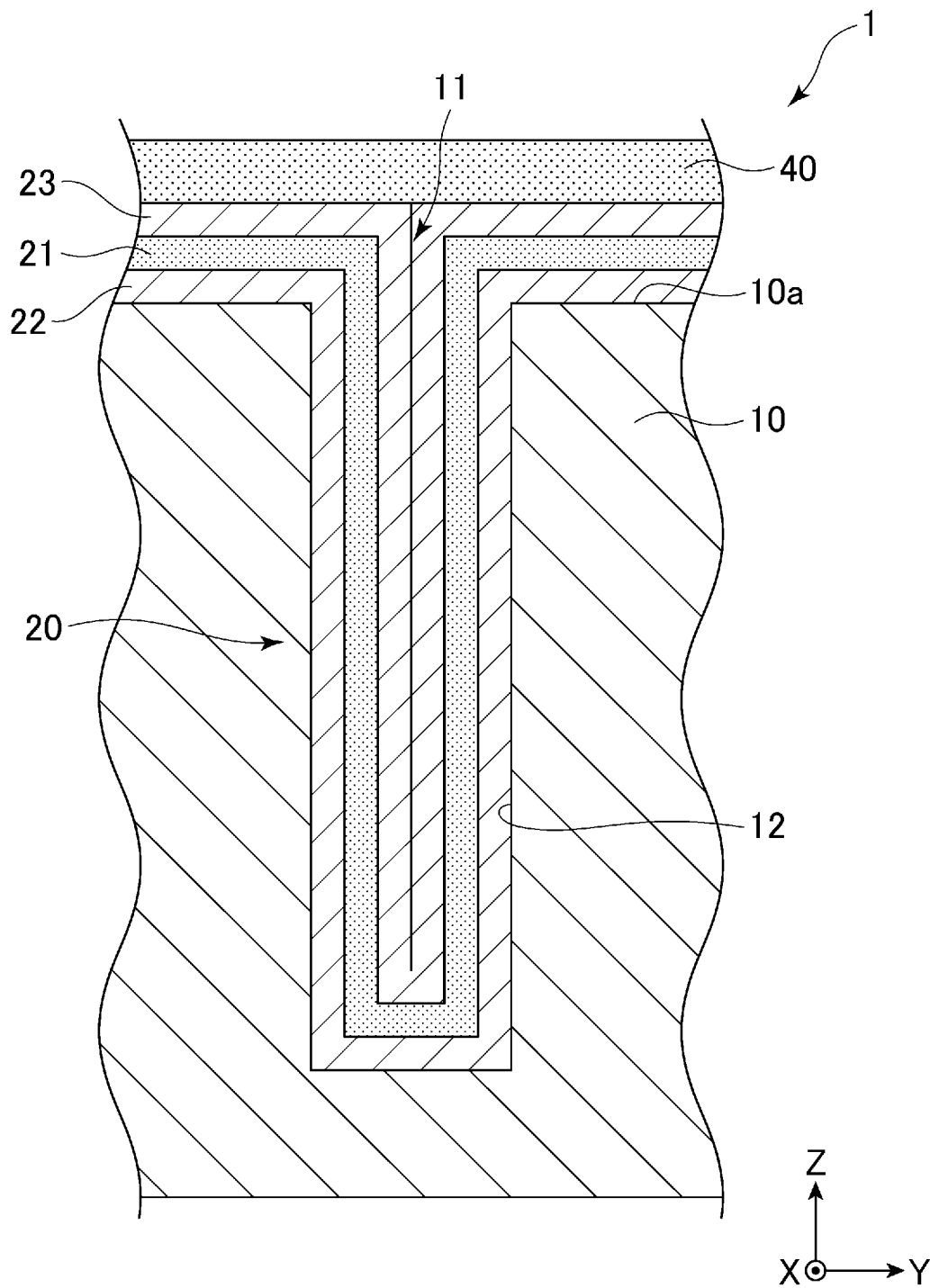
[請求項12] 請求項 1 から請求項 11 のいずれか 1 項に記載のキャパシタを備える回路基板。

[請求項13] 請求項 12 に記載の回路基板を備える電子機器。

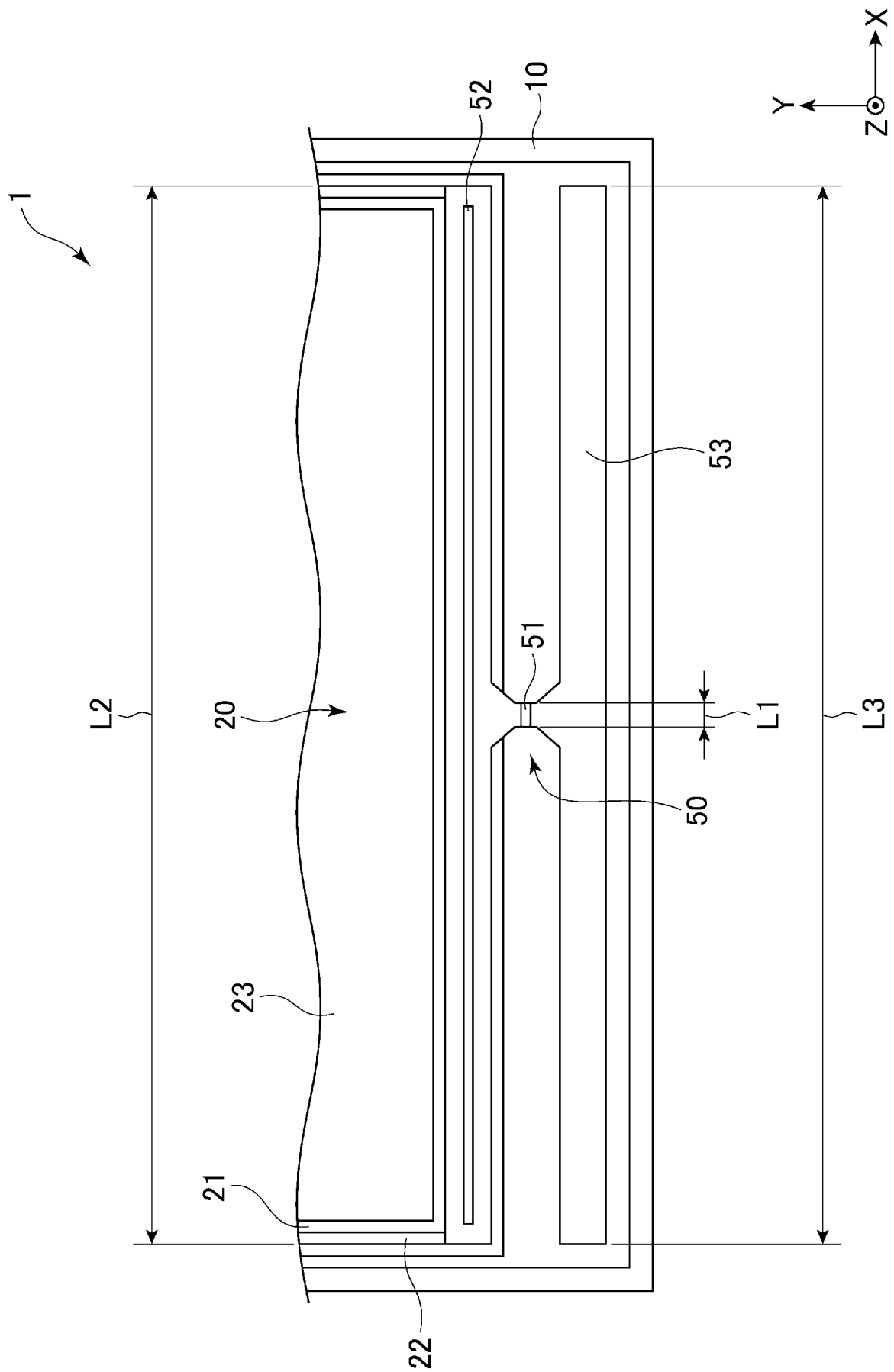
[図1]



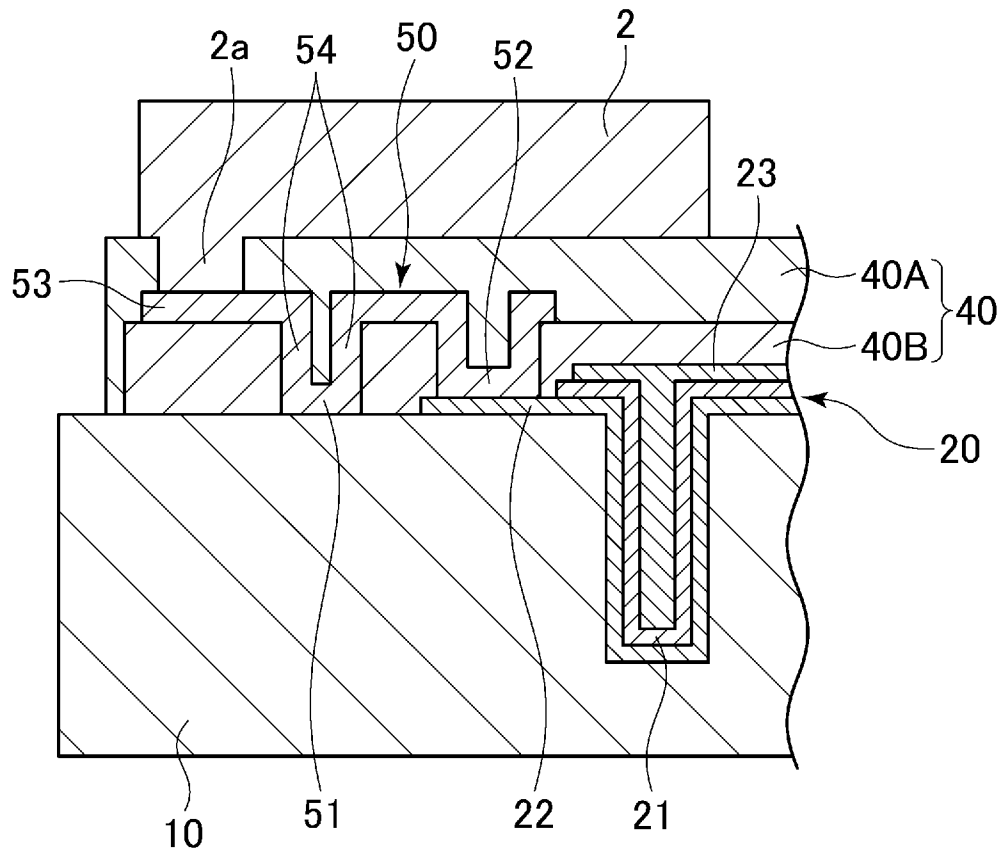
[図3]



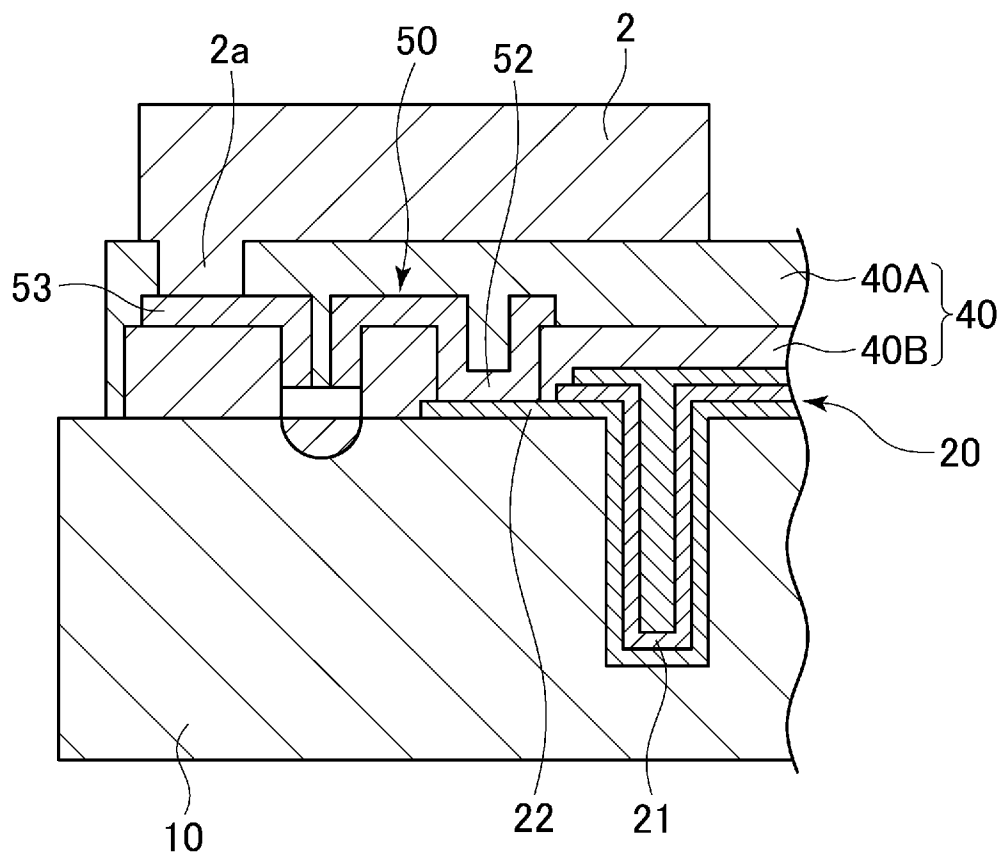
[図4]



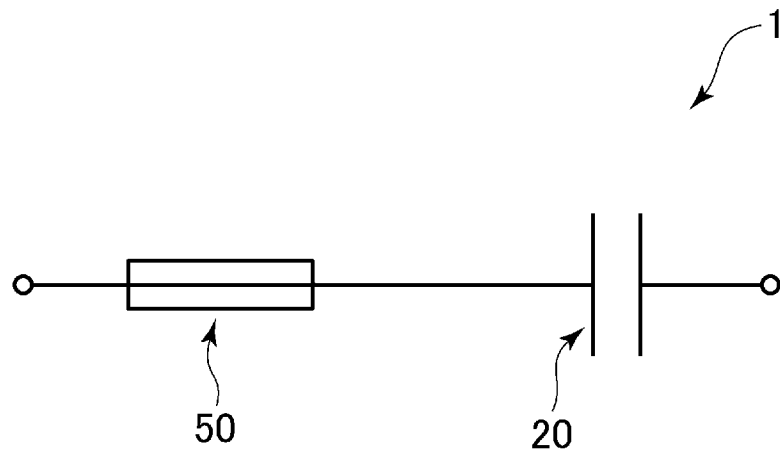
[図5a]



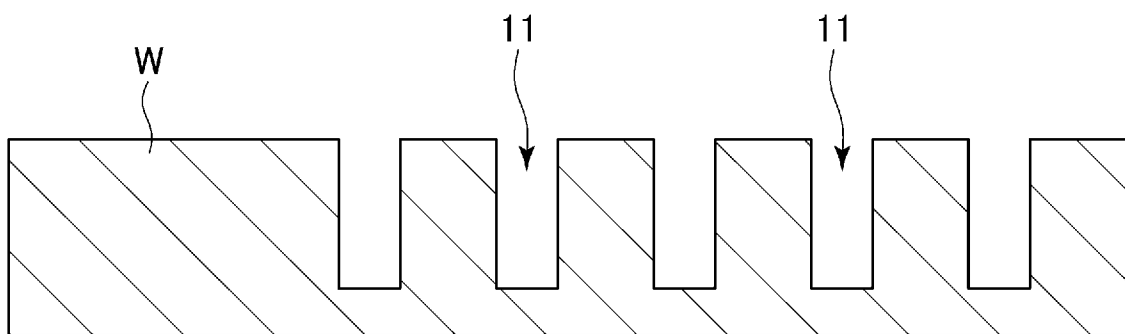
[図5b]



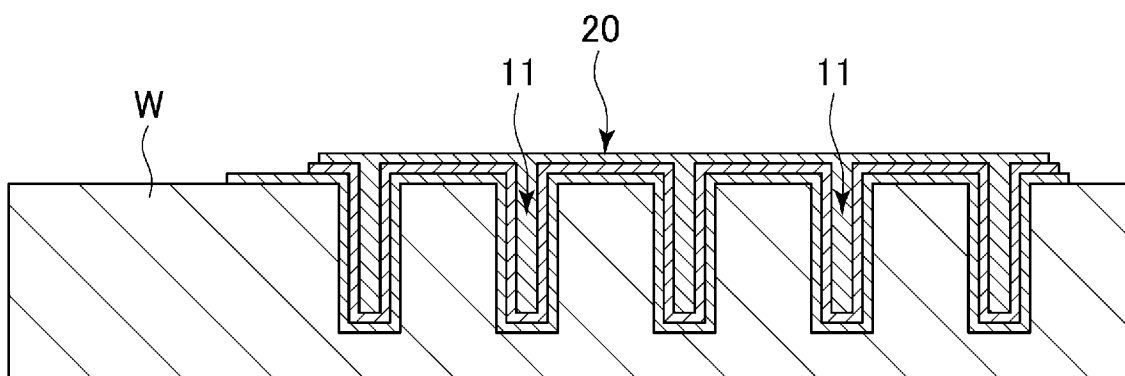
[図6]



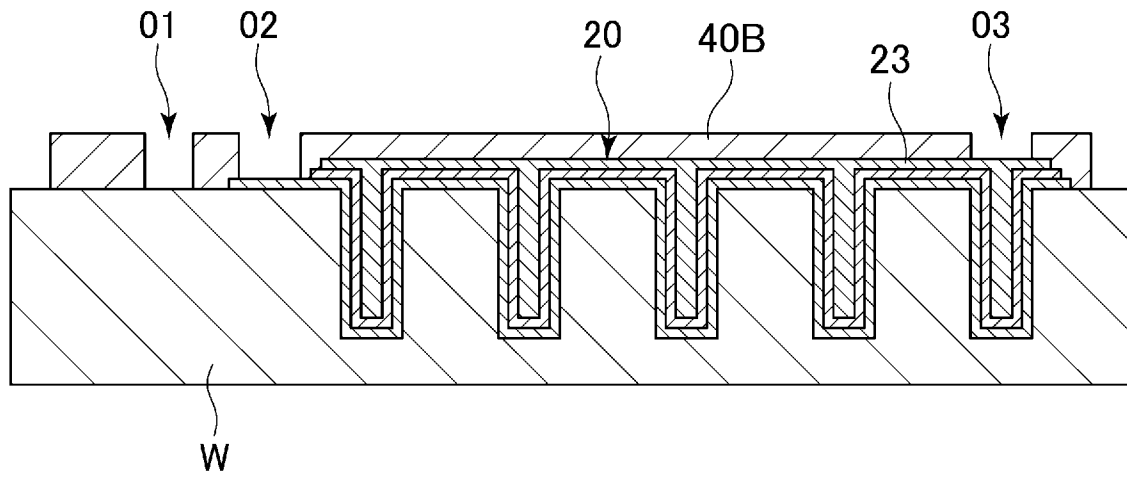
[図7a]



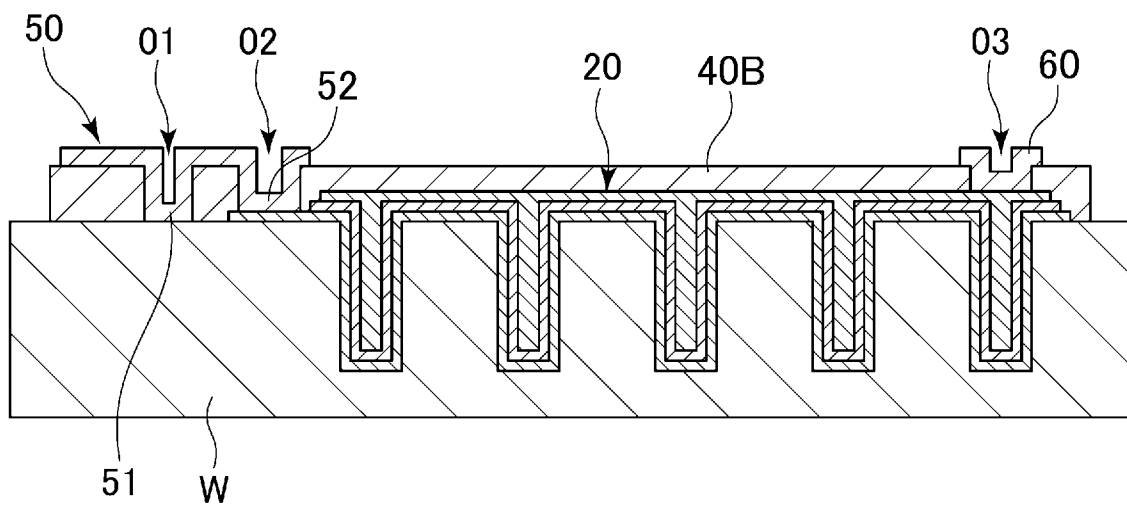
[図7b]



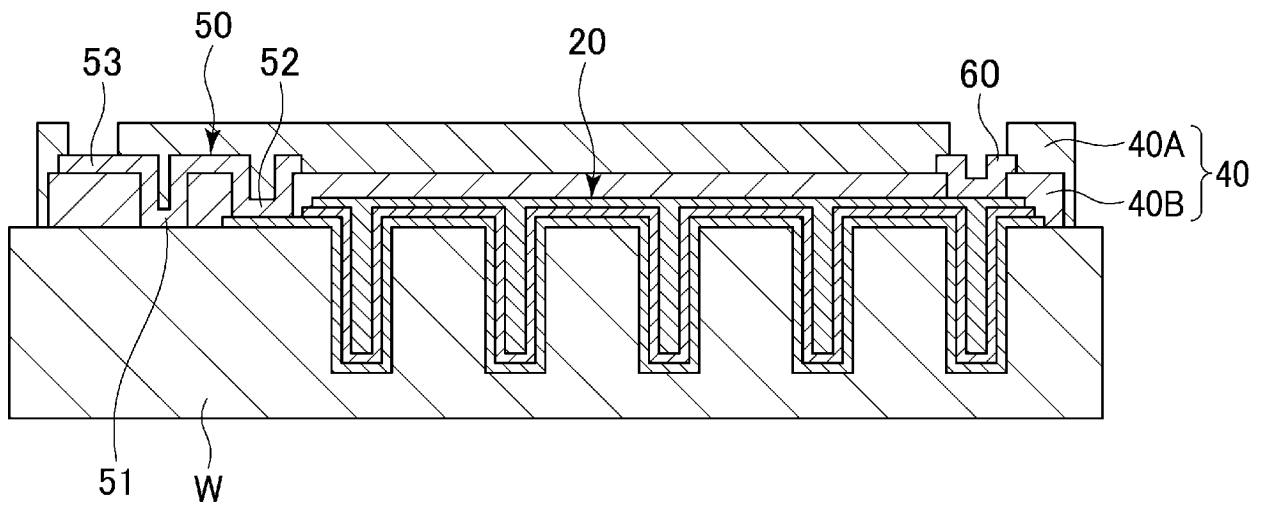
[図7c]



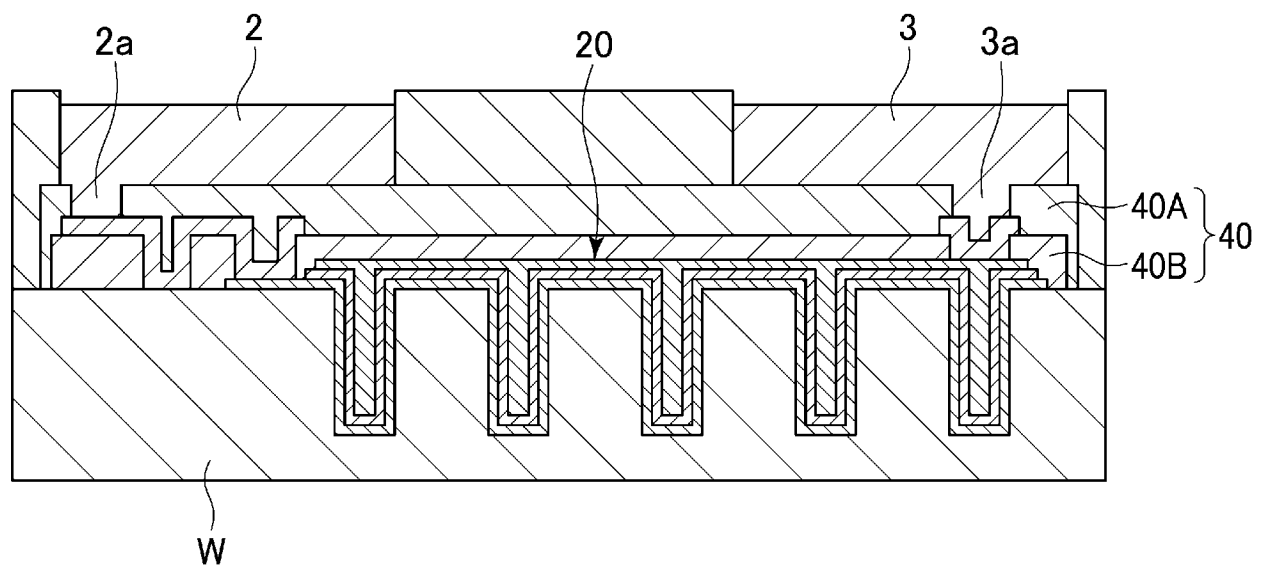
[図7d]



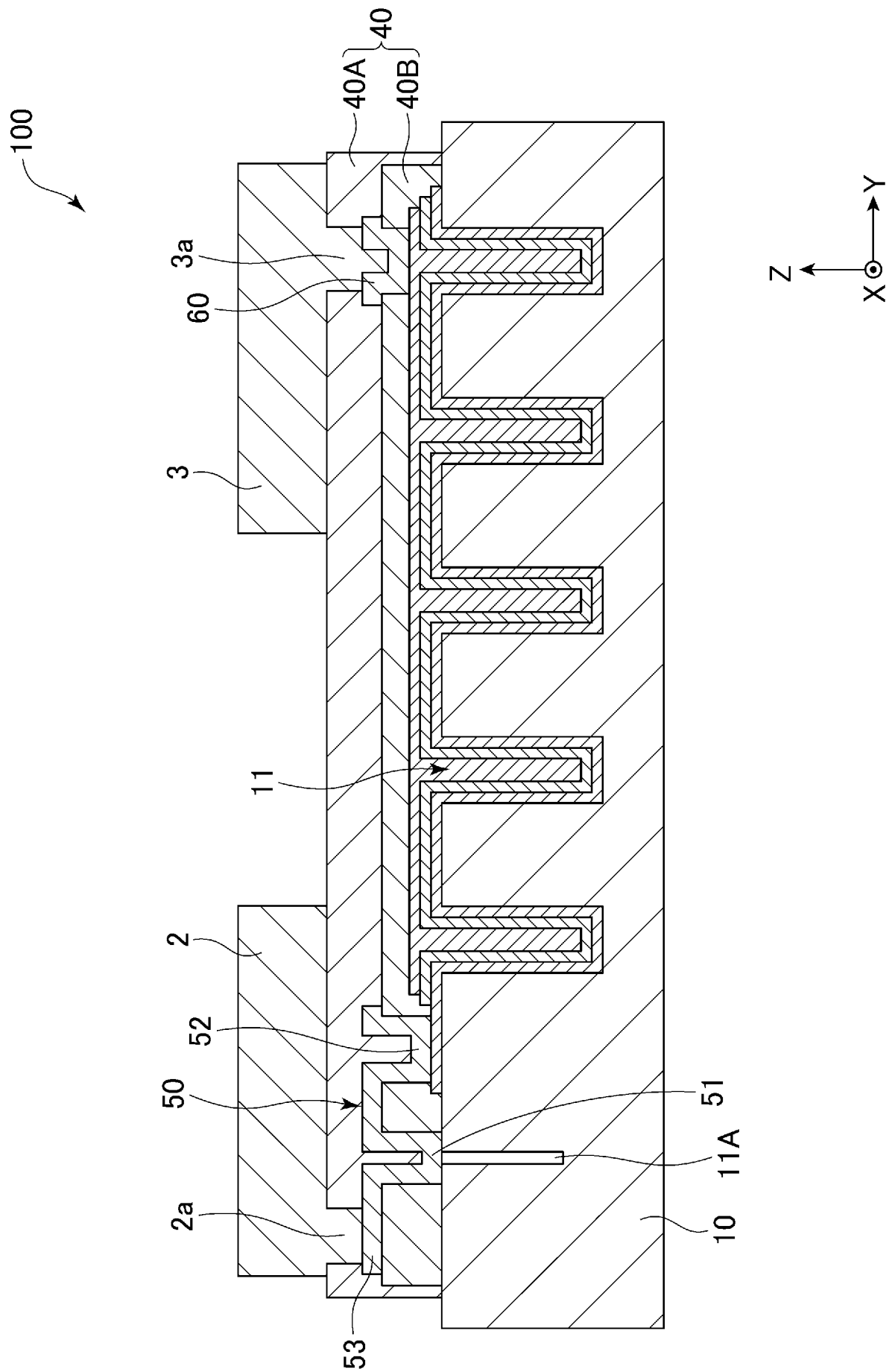
[図7e]



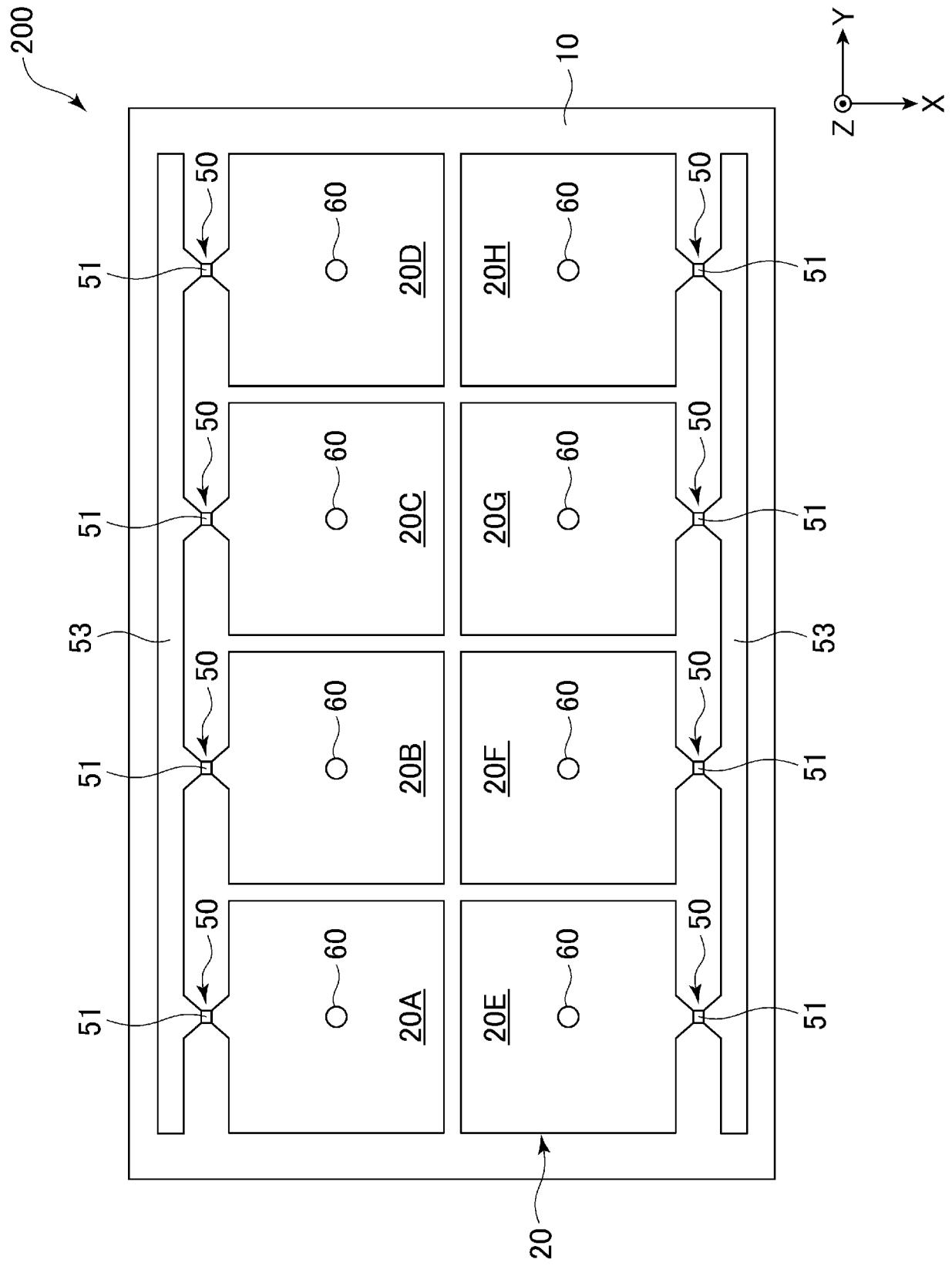
[図7f]



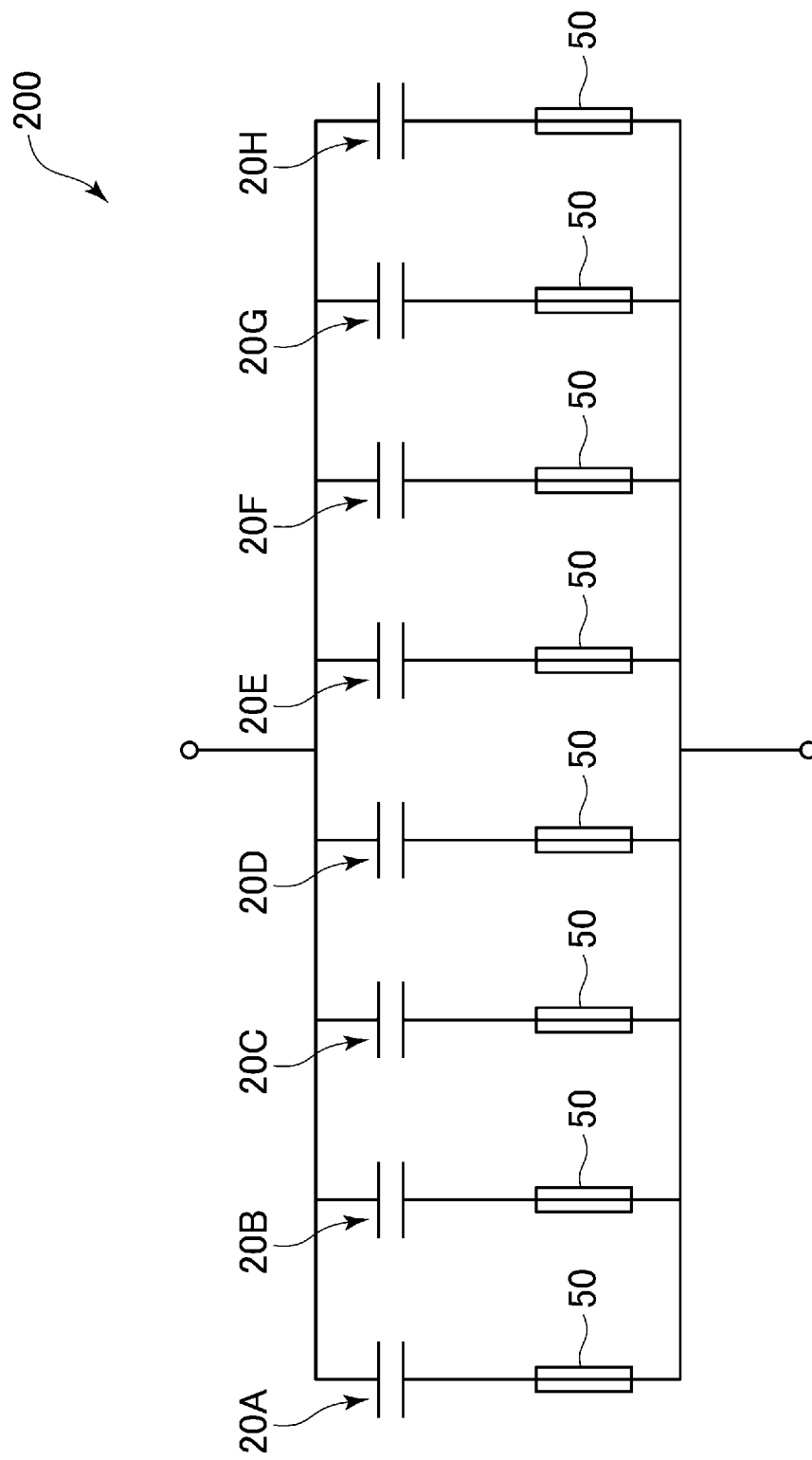
[図8]



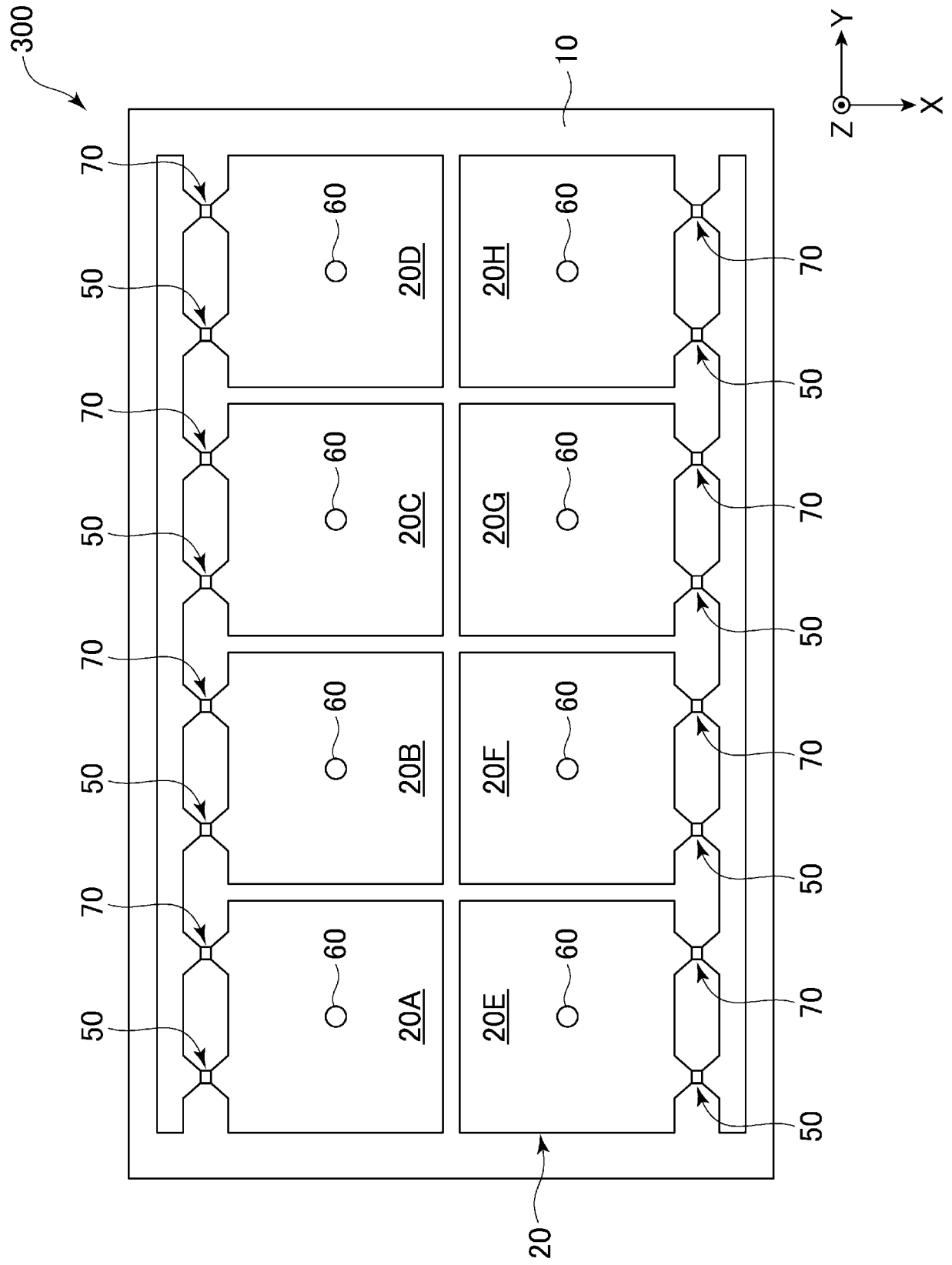
[図9]



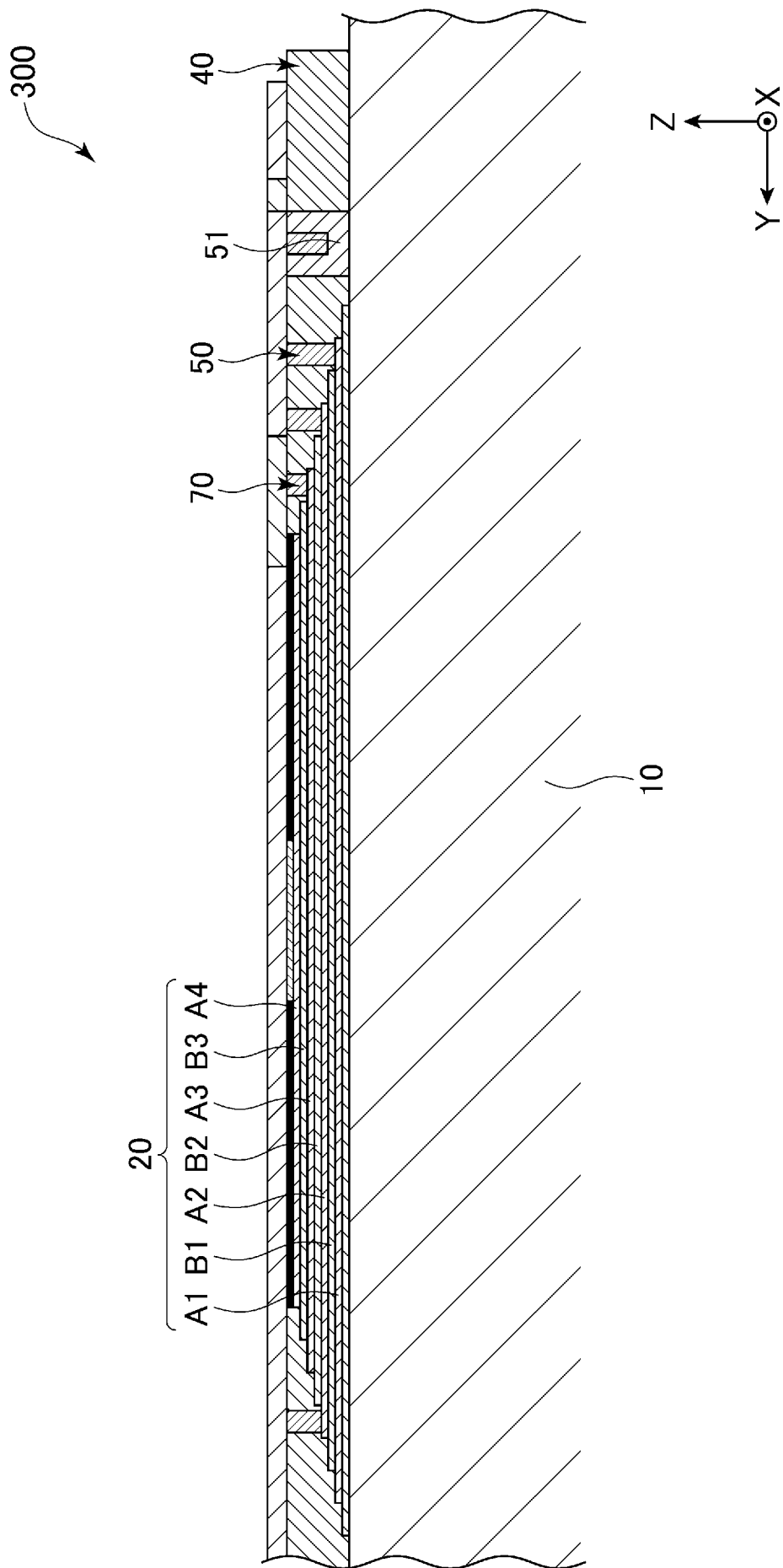
[図10]



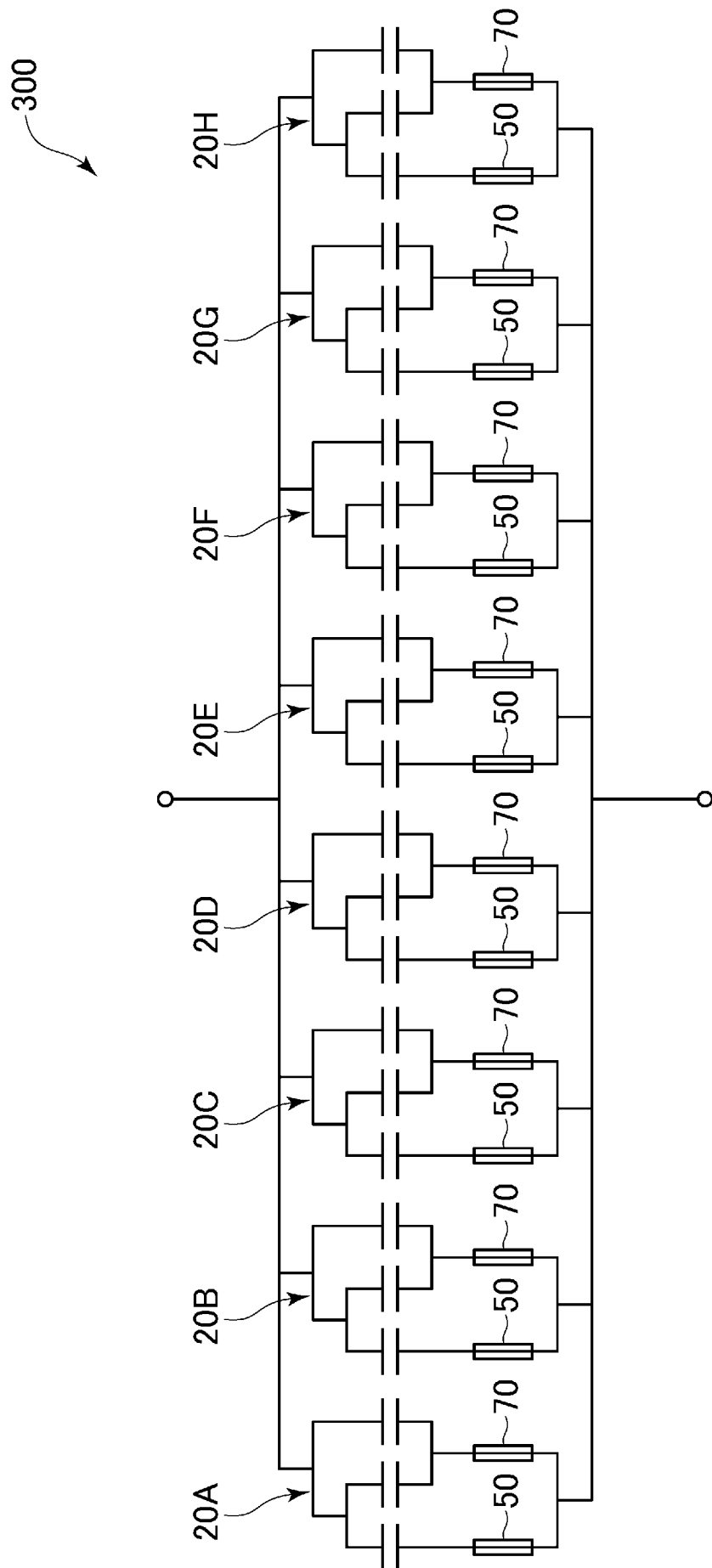
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/036515

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/04(2006.01)i; H01G 4/33(2006.01)i; H01L 21/822(2006.01)i
 FI: H01L27/04 C; H01G4/33 102

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/04; H01G4/33; H01L21/822

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2017-513218 A (IPDIA) 25 May 2017 (2017-05-25) paragraphs [0027]-[0040], [0056]-[0059], fig. 1	1, 11-13 2-4, 8-13 5-7
Y	JP 2009-515353 A (NXP B.V.) 09 April 2009 (2009-04-09) paragraphs [0048]-[0060], fig. 1	2-4, 8-13
Y	WO 2014/069363 A1 (ROHM CO., LTD.) 08 May 2014 (2014-05-08) paragraphs [0067]-[0077], fig. 2A, 3	4, 8-13
A	US 2016/0020267 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 21 January 2016 (2016-01-21) entire text, all drawings	1-13
A	JP 2013-026540 A (RENESAS ELECTRONICS CORP.) 04 February 2013 (2013-02-04) entire text, all drawings	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 December 2020 (08.12.2020)

Date of mailing of the international search report
15 December 2020 (15.12.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/036515

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2017-513218 A	25 May 2017	US 2017/0053979 A1 paragraphs [0056]- [0069], [0091]- [0094], fig. 1 WO 2015/144755 A1 EP 2924730 A1 CN 106170858 A	
JP 2009-515353 A	09 Apr. 2009	US 2008/0291601 A1 paragraphs [0048]- [0059], fig. 1 WO 2007/054858 A2 EP 1949418 A2 CN 101341576 A	
WO 2014/069363 A1	08 May 2014	US 2015/0305159 A1 paragraphs [0127]- [0137], fig. 2A, 3 CN 104769691 A	
US 2016/0020267 A1	21 Jan. 2016	(Family: none)	
JP 2013-026540 A	04 Feb. 2013	US 2013/0026541 A1 entire text, all drawings	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/04(2006.01)i; H01G 4/33(2006.01)i; H01L 21/822(2006.01)i FI: H01L27/04 C; H01G4/33 102										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H01L27/04; H01G4/33; H01L21/822										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2020年									
日本国実用新案登録公報	1996 - 2020年									
日本国登録実用新案公報	1994 - 2020年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X Y A	JP 2017-513218 A（アイピーディーアイエイ）25.05.2017（2017-05-25） 段落 [0027] - [0040]， [0056] - [0059]， 図1	1, 11-13 2-4, 8-13 5-7								
Y	JP 2009-515353 A（エヌエックスピー ビー ヴィ）09.04.2009（2009-04-09） 段落 [0048] - [0060]， 図1	2-4, 8-13								
Y	WO 2014/069363 A1（ローム株式会社）08.05.2014（2014-05-08） 段落 [0067] - [0077]， 図2A, 3	4, 8-13								
A	US 2016/0020267 A1（TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.）21.01.2016 （2016-01-21） 全文， 全図	1-13								
A	JP 2013-026540 A（ルネサスエレクトロニクス株式会社）04.02.2013（2013-02-04） 全文， 全図	1-13								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 08.12.2020		国際調査報告の発送日 15.12.2020								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 高橋 優斗 5F 5585 電話番号 03-3581-1101 内線 3514								

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/036515

引用文献			公表日	パテントファミリー文献	公表日
JP	2017-513218	A	25.05.2017	US 2017/0053979 A1 段落 [0 0 5 6] – [0 0 6 9] , [0 0 9 1] – [0 0 9 4] , 図 1 WO 2015/144755 A1 EP 2924730 A1 CN 106170858 A	
JP	2009-515353	A	09.04.2009	US 2008/0291601 A1 段落 [0 0 4 8] – [0 0 5 9] , 図 1 WO 2007/054858 A2 EP 1949418 A2 CN 101341576 A	
WO	2014/069363	A1	08.05.2014	US 2015/0305159 A1 段落 [0 1 2 7] – [0 1 3 7] , 図 2 A, 3 CN 104769691 A	
US	2016/0020267	A1	21.01.2016	(ファミリーなし)	
JP	2013-026540	A	04.02.2013	US 2013/0026541 A1 全文, 全図	