

1. 一种半导体集成电路装置,其包含第一 CPU、不同于上述第一 CPU 的第二 CPU、以及非易失性半导体存储器,其中,能够由上述第一 CPU 和上述第二 CPU 依照时钟信号访问上述非易失性半导体存储器,

上述非易失性半导体存储器具有:

多条字线;

与上述多条字线交叉配置的多条位线;

多个非易失性存储单元,其与上述字线和上述位线连接,分别能够存储数据;

X 解码器,其对从上述第一 CPU 或上述第二 CPU 传递来的 X 地址信号进行解码,形成用于从上述多条字线中选择 1 条字线的字线选择信号;

字线驱动器,其用于根据来自上述 X 解码器电路的字线选择信号,把所对应的上述字线驱动为选择电平;

Y 解码器,其对从上述第一 CPU 或上述第二 CPU 传递来的 Y 地址信号进行解码,形成用于从上述多条位线中选择 1 条位线的位线选择信号;

读出放大器,其用于对从上述非易失性存储单元输出到上述位线的信号进行放大;

Y 选择电路,其能够根据来自上述 Y 解码器的位线选择信号,选择性地把对应的上述位线连接到上述读出放大器上;

输出电路,其用于把上述读出放大器的输出信号输出到上述第一 CPU 或上述第二 CPU;

第一锁存电路,其配置在上述 X 解码器的后级,能够保持上述 X 解码器的输出信号并将其传递到上述字线驱动器;

第二锁存电路,其配置在上述 Y 解码器的后级,能够保持上述 Y 解码器的输出信号并将其传递到上述 Y 选择电路;

第三锁存电路,其配置在上述读出放大器的后级,能够保持上述读出放大器的输出信号并将其传递到上述输出电路;以及

地址选择电路,具有第一节点和第二节点,上述第一节点被输入从上述第一 CPU 传递来的 X 地址信号和 Y 地址信号,上述第二节点被输入从上述第二 CPU 传递来的 X 地址信号和 Y 地址信号,

上述地址选择电路根据由上述时钟信号的延迟所生成的第三控制信号选择上述第一节点或上述第二节点,从而将 X 地址信号和 Y 地址信号输出到上述 X 解码器和上述 Y 解码器。

2. 根据权利要求 1 所述的半导体集成电路装置,其特征在于,当通过上述 X 解码器对从上述第一 CPU 或上述第二 CPU 传递来的地址信号上的 X 地址信号进行了解码之后,上述字线选择信号通过上述第一锁存电路而被锁存,按照在上述第一锁存电路中得以锁存的上述字线选择信号,通过上述字线驱动器把上述字线驱动为选择电平。

3. 根据权利要求 1 所述的半导体集成电路装置,其特征在于,当通过上述 Y 解码器对从上述第一 CPU 或上述第二 CPU 传递来的地址信号上的 Y 地址信号进行了解码之后,上述位线选择信号通过上述第二锁存电路而被锁存,按照在上述第二锁存电路中得以锁存的上述位线选择信号,通过上述 Y 选择电路把对应的上述位线选择性地与上述读出放大器连接起来。

4. 根据权利要求 1 所述的半导体集成电路装置,其特征在于,当通过上述读出放大器

对从上述非易失性存储单元输出到上述位线的信号进行了放大之后,上述读出放大器的输出信号通过上述第三锁存电路而被锁存,被锁存的信号通过上述输出电路而被输出到上述第一 CPU 或上述第二 CPU。

5. 根据权利要求 2 所述的半导体集成电路装置,其特征在于,通过上述 X 解码器对从上述第一 CPU 传递来的地址信号上的 X 地址信号进行解码,当通过上述第一锁存电路对上述字线选择信号进行了锁存之后,通过上述字线驱动器对字线进行驱动,与该字线驱动并行地,通过上述 X 解码器对从第二 CPU 传递来的地址信号上的 X 地址信号进行解码。

6. 根据权利要求 3 所述的半导体集成电路装置,其特征在于,通过上述 Y 解码器对从上述第一 CPU 传递来的地址信号上的 Y 地址信号进行解码,当通过上述第二锁存电路对上述位线选择信号进行了锁存之后,通过上述 Y 选择电路把所对应的上述位线选择性地与上述读出放大器连接,与该位线和读出放大器的连接并行地,通过上述 Y 解码器对从上述第二 CPU 传递来的地址信号上的 Y 地址信号进行解码。

7. 根据权利要求 4 所述的半导体集成电路装置,其特征在于,在通过上述第三锁存电路对按照从上述第一 CPU 传递来的地址信号的解码结果而读取出的数据进行了锁存之后,与从上述输出电路向第一 CPU 进行数据输出并行地,进行对从第二 CPU 传递来的地址信号的解码结果的锁存、对上述字线的驱动、上述位线与上述读出放大器的连接以及上述读出放大器的信号放大。

8. 根据权利要求 1 所述的半导体集成电路装置,其特征在于,上述非易失性半导体存储器具有:

第一端口,其能够取入来自上述第一 CPU 的地址信号;

第一地址锁存器,其能够保持通过上述第一端口而取入的地址信号;

第二端口,其能够取入来自上述第二 CPU 的地址信号;

第二地址锁存器,其能够保持通过上述第二端口而取入的地址信号;以及

控制电路,其形成控制信号,该控制信号用于当对保持在上述第一地址锁存器中的地址信号结束了解码之后,使保持在上述第二地址锁存器中的地址信号的解码开始。

9. 根据权利要求 7 所述的半导体集成电路装置,其特征在于,上述非易失性半导体存储器具有控制电路,其形成控制信号,该控制信号用于在通过上述第三锁存电路对按照从上述第一 CPU 传递来的地址信号的解码结果而读取出的数据进行了锁存之后,与从上述输出电路向第一 CPU 进行数据输出并行地,进行对从第二 CPU 传递来的地址信号的解码结果的锁存、对上述字线的驱动、上述位线与上述读出放大器的连接以及上述读出放大器的信号放大。

10. 根据权利要求 1 所述的半导体集成电路装置,其特征在于,上述第一 CPU、上述第二 CPU 和上述非易失性半导体存储器形成在一个半导体衬底上。

11. 根据权利要求 10 所述的半导体集成电路装置,其特征在于,在上述第一 CPU、上述第二 CPU 和上述非易失性半导体存储器之间配置有:

上述第一 CPU 和上述第二 CPU 所共用的公共地址总线;以及

仲裁电路,其用于对上述第一 CPU 中上述公共地址总线的使用权与上述第二 CPU 中上述公共地址总线的使用权的竞争进行仲裁。

12. 根据权利要求 10 所述的半导体集成电路装置,其特征在于,在上述第一 CPU、上述

第二 CPU 和上述非易失性半导体存储器之间配置有：

为上述第一 CPU 和上述第二 CPU 所共用、与总线时钟信号的上升沿和下降沿的两个边沿同步被驱动的公共地址总线；以及

地址选择电路，其用于通过与上述总线时钟信号相同的频率对从上述第一 CPU 和上述第二 CPU 输出的地址信号进行复用，通过上述公共地址总线把复用后的信号送到上述非易失性存储器。

13. 根据权利要求 10 所述的半导体集成电路装置，其特征在于，其具有：

第一数据总线，其把来自上述非易失性存储器的读取数据传递到上述第一 CPU；以及

第二数据总线，其把来自上述非易失性存储器的读取数据传递到上述第二 CPU，

并行地进行从上述非易失性存储器向上述第一 CPU 的数据传递和从上述非易失性存储器向上述第二 CPU 的数据传递。

14. 根据权利要求 13 所述的半导体集成电路装置，其特征在于，在上述非易失性半导体存储器和上述第一 CPU 之间配置有第一缓冲存储器，该第一缓冲存储器依次取入从上述非易失性半导体存储器输出的数据，能够按照取入的顺序把这些数据输出到上述第一 CPU，

在上述非易失性半导体存储器和上述第二 CPU 之间配置有第二缓冲存储器，该第二缓冲存储器依次取入从上述非易失性半导体存储器输出的数据，能够按照取入的顺序把这些数据输出到上述第二 CPU。

15. 根据权利要求 10 所述的半导体集成电路装置，其特征在于，其配置有：

为上述第一 CPU 和上述第二 CPU 所共用的数据总线；以及

缓冲存储器，其依次取入由上述非易失性半导体存储器通过上述总线而输出的数据，能够在—个总线时钟周期内按照取入的顺序把这些数据输出到上述第一 CPU 和上述第二 CPU。

16. 根据权利要求 1 所述的半导体集成电路装置，其特征在于，上述非易失性存储单元是通过在半导体衬底与存储栅极之间配置氧化硅膜、氮化硅膜、氧化硅膜的层叠膜而成的。

半导体集成电路装置

技术领域

[0001] 本发明涉及具有可通过多个 CPU(中央处理装置)进行访问的非易失性半导体存储器的半导体集成电路装置,例如涉及可有效应用于多处理器系统中的技术。

背景技术

[0002] 在系统 LSI 或微型控制器的领域中,为了在抑制时钟频率提高带来的消耗功率增加的同时提高性能,推进了把多个 CPU 安装在芯片内的多核化。与此相伴,在 LSI 的设计上就必须选择是为各 CPU 设置专用的存储器,还是由多个 CPU 来共用同一个存储器。

[0003] 如果是在各 CPU 上设置分别专用的存储器,通过高速总线把 CPU 和存储器连接起来的存储器非共用型,则各 CPU 执行各自的程序,存储器访问和高速总线上的数据转送彼此不会竞争。因而具有可以高速执行并列程度较高的程序的优点。然而在存储器非共用型之中,由于作为 LSI 整体来处理的程序、数据分散于各存储器中而被存储,因而认为无法有效使用有限的存储容量,容易产生未使用的存储区域。

[0004] 另一方面,如果是由多个 CPU 共用同一个存储器的存储器共用型,则虽然可以有效使用存储区域,然而被认为易于产生由各 CPU 对共用存储器的访问竞争、总线的数据转送上的竞争。因此,人们担心出现芯片内数据转送上的等待时间增大带来的性能恶化。

[0005] 因此如在专利文献 1 中提出的那样,作为存储器共用型,需要有效应用存储区域同时降低存储器访问、总线的竞争导致的等待时间。

[0006] 专利文献 1:日本特开 2001-306307 号公报

发明内容

[0007] 在多处理器系统之中,在执行初始诊断程序(固件:FW)的系统启动初始诊断时,由多个模块上的 CPU 同时读取诊断模块的同一个非易失性存储器上的诊断程序,会导致性能降低。

[0008] 专利文献 1 中,为了减少 FW 执行时的存储器访问、系统共用总线竞争,在各处理器模块上也配置 FROM(从属非易失性 ROM),预先将 FW 保存在各处理器模块内的 FROM 上。由此拉近了 CPU 与诊断程序在逻辑上/物理上的距离,实现初始诊断处理的高速化、系统启动时间的缩短。这里,以检查 FW 本身的合法性的程序作为主程序,在执行各处理器模块内的 FROM 上的 FW 之前,进行它们与诊断模块内的 FROM 上的 FW 之间的比较检查。具体而言,在执行诊断之前比较诊断模块 SVP 内 FROM 上的 FW 与各处理器模块内 FROM 上的 FW 的版本,将存储了新版本 FW 的非易失性存储器作为主 ROM 配置在地址空间内。版本比较判断处理最多只要比较几字节的数据即可,可以减少通过访问速度较慢的诊断路径的指令取出次数。

[0009] 由此,当没有检查各处理器模块内 FROM 上的 FW 的合法性的情况下需要另外进行 FW 更新处理,然而只要检查了合法性就可以不通过系统共用总线或诊断路径,可在各处理器模块内高速并行进行 CPU 和缓冲存储器的诊断。

[0010] 但是,如果是多芯的控制用微型控制器等,则非易失性存储器的用途就不限于初

始诊断。如果是存储器共用型多芯控制用微型控制器,则控制用的用户程序和数据会存储在片上 (on-chip) 非易失性存储器中,用于由多个 CPU 读取这些程序和数据。各 CPU 进行的来自非易失性存储器的指令取出、指令解码和指令执行成为用户程序执行的基本处理。进而根据指令的种类还会频繁进行由非易失性存储器向 CPU 内寄存器的数据读取。因此,不仅是在系统启动时,即便是作为通常工作也需要使非易失性半导体存储器读取变得高速化。

[0011] 而且,要求控制用微型控制器具有高性能、高可靠性的同时实现低成本。如专利文献 1 所述,除了可由各 CPU 读取的共用非易失性半导体存储器之外,还按照每个 CPU 配置专用的非易失性存储器,这从控制用微型控制器的领域中的芯片面积、成本观点而言不是优选。为了在控制用微型控制器中既实现高性能又实现低成本,就必须提出一种采取存储器共用型的结构、并且即使在来自多个 CPU 的读取请求产生竞争的情况下也能高速进行读取的非易失性半导体存储器的技术。

[0012] 一般而言,大多在非易失性半导体存储器和 CPU 之间配置高速的缓冲存储器,采用通过存储器层级化来实现高速化的方案。但是,如在汽车控制那样极为要求高可靠性的情况下,不仅要求确保峰值性能,还要求确保接近缓冲命中率较低状况下的最坏情况的性能。从这种观点来看,提高非易失性半导体存储器本身的速度才是本质上的课题。

[0013] 本发明的目的在于提供一种即使在来自多个 CPU 的访问请求产生竞争的情况下也能实现低等待时间下的访问的技术。

[0014] 本发明的上述以及其他目的和新颖特征可通过本说明书的描述和附图来得以明晰。

[0015] 以下简单说明本申请所公开的发明中代表性的内容。

[0016] 即,在 X 解码器的后级配置了保持上述 X 解码器的输出信号而可以传递给字线驱动器的第一锁存电路,在 Y 解码器的后级配置了保持上述 Y 解码器的输出信号而可以传递给上述 Y 选择电路的第二锁存电路,在读出放大器的后级配置了保持上述读出放大器的输出信号而可以传递给输出电路的第三锁存电路。根据上述构成,可以使读取上述非易失性半导体存储器的存储数据时的一系列处理实现流水线化,即使是在来自多个 CPU 的访问请求产生竞争的情况下,也能实现低等待时间下的访问。

[0017] 如下简单说明本申请所公开的发明中代表性的内容所获得的效果。

[0018] 即,即使在来自多个 CPU 的访问请求产生竞争的情况下也能实现低等待时间下的访问。

附图说明

[0019] 图 1 是作为本发明的半导体集成电路装置的一个例子的多处理器系统的主要部分的构成例框图。

[0020] 图 2 是图 1 所示构成的主要部分的工作时序图。

[0021] 图 3 是上述多处理器系统中的主要部分的其他构成例框图。

[0022] 图 4 是图 3 所示构成的主要部分的工作时序图。

[0023] 图 5 是上述多处理器系统中的主要部分的其他构成例框图。

[0024] 图 6 是上述多处理器系统中的主要部分的其他构成例框图。

- [0025] 图 7 是图 6 所示构成的主要部分的工作时序图。
- [0026] 图 8 是上述多处理器系统中的主要部分的其他的构成例框图。
- [0027] 图 9 是图 8 所示构成的主要部分的工作时序图。
- [0028] 图 10 是上述多处理器系统中的主要部分的其他的构成例框图。
- [0029] 图 11 是图 10 所示构成的主要部分的工作时序图。
- [0030] 图 12 是上述多处理器系统中的主要部分的其他的构成例框图。
- [0031] 图 13 是上述多处理器系统中的主要部分的其他的构成例框图。
- [0032] 图 14 是图 13 所示构成的主要部分的工作时序图。
- [0033] 图 15 是表示上述多处理器系统包涵的非易失性半导体存储器的主要部分的布局例的俯视图。
- [0034] 图 16 是图 15 的 A-A' 线的剖视图。
- [0035] 图 17 是上述非易失性半导体存储器的读取、写入和擦除的各工作的说明图。
- [0036] 图 18 是上述多处理器系统的整体构成例框图。

具体实施方式

[0037] 1. 代表性实施方式

[0038] 首先说明本申请所公开的发明中代表性的实施方式的概要。对代表性的实施方式的概要说明中赋予括弧进行参照的附图上的参照标号不过是对被赋予了该标号的构成要素的概念中所含的内容的举例表示。

[0039] (1) 本发明的代表性的实施方式的半导体集成电路装置 (10) 包含可以通过第一 CPU (CPU0) 和不同于上述第一 CPU 的第二 CPU (CPU1) 进行访问的非易失性半导体存储器 (100)。上述非易失性半导体存储器具有：多条字线 (WL)；配置为与上述多条字线相交的多条位线 (BL)；以及多个非易失性存储单元 (MC)，其与上述字线和上述位线连接，可以各自存储数据。另外，上述非易失性半导体存储器具有：X 解码器 (121)，其对从上述第一 CPU 或上述第二 CPU 传递来的 X 地址信号进行解码，形成用于从上述多条字线中选择 1 条字线的字线选择信号；以及字线驱动器 (106)，其用于根据来自上述 X 解码器电路的字线选择信号把所对应的上述字线驱动为选择电平。进而，上述非易失性半导体存储器具有：Y 解码器 (122)，其对从上述第一 CPU 或上述第二 CPU 传递来的 Y 地址信号进行解码，形成用于从上述多条位线中选择 1 条位线的位线选择信号；读出放大器 (108)，其用于对从上述非易失性存储单元输出到上述位线的信号进行放大；Y 选择电路 (107)，其可以根据来自上述 Y 解码器的位线选择信号选而择性地把对应的上述位线连接到上述读出放大器上；以及输出电路 (111、112)，其用于把上述读出放大器的输出信号输出到上述第一 CPU 或上述第二 CPU。在上述 X 解码器的后级配置有第一锁存电路 (104)，该第一锁存电路保持上述 X 解码器的输出信号并可将其传递到上述字线驱动器。在上述 Y 解码器的后级配置有第二锁存电路 (105)，该第二锁存电路保持上述 Y 解码器的输出信号并可将其传递到上述 Y 选择电路。在上述读出放大器的后级配置有第三锁存电路 (110)，该第三锁存电路保持上述读出放大器的输出信号并可将其传递到上述输出电路。

[0040] 根据上述构成，可以使上述非易失性半导体存储器的存储数据的读取中的一系列处理实现流水线化，这就即便在来自多个 CPU 的访问请求产生竞争的情况下也能实现低等

待时间下的访问。

[0041] (2) 当从上述第一 CPU 或上述第二 CPU 传递来的地址信号中的 X 地址信号通过上述 X 解码器得以解码之后, 上述字线选择信号通过上述第一锁存电路而被锁存, 通过上述字线驱动器, 按照锁存于上述第一锁存电路中的上述字线选择信号, 把上述字线驱动为选择电平。

[0042] (3) 当从上述第一 CPU 或上述第二 CPU 传递来的地址信号中的 Y 地址信号通过上述 Y 解码器得以解码之后, 上述位线选择信号通过上述第二锁存电路而被锁存, 通过上述 Y 选择电路, 按照锁存于上述第二锁存电路中的上述位线选择信号, 把所对应的上述位线选择性地与上述读出放大器连接起来。

[0043] (4) 从上述非易失性存储单元输出到上述位线的信号通过上述读出放大器被放大之后, 上述读出放大器的输出信号通过上述第三锁存电路被锁存, 被锁存的信号通过上述输出电路而被输出到上述第一 CPU 或上述第二 CPU。

[0044] (5) 从上述第一 CPU 传递来的地址信号中的 X 地址信号通过上述 X 解码器而被解码, 上述字线选择信号通过上述第一锁存电路而被锁存, 之后通过上述字线驱动器驱动字线, 与该字线驱动并行地, 通过上述 X 解码器对从第二 CPU 传递来的地址信号中的 X 地址信号进行解码。

[0045] (6) 通过上述 Y 解码器对从上述第一 CPU 传递来的地址信号上的 Y 地址信号进行解码, 当通过上述第二锁存电路对上述位线选择信号进行了锁存之后, 通过上述 Y 选择电路把所对应的上述位线选择性地与上述读出放大器连接, 与该位线和读出放大器的连接并行地, 通过上述 Y 解码器对从上述第二 CPU 传递来的地址信号上的 Y 地址信号进行解码。

[0046] (7) 在通过上述第三锁存电路对按照从上述第一 CPU 传递来的地址信号的解码结果读取的数据进行了锁存之后, 与从上述输出电路向第一 CPU 进行数据输出并行地, 进行对从第二 CPU 传递来的地址信号的解码结果的锁存、对上述字线的驱动、上述位线与上述读出放大器的连接以及上述读出放大器的信号放大。

[0047] (8) 上述非易失性半导体存储器可以设置: 第一端口, 其可以取入来自上述第一 CPU 的地址信号; 第一地址锁存器 (101), 其可以保持通过上述第一端口而取入的地址信号; 第二端口, 其可以取入来自上述第二 CPU 的地址信号; 第二地址锁存器 (102), 其可以保持通过上述第二端口而取入的地址信号; 以及控制电路 (131), 其形成控制信号, 该控制信号用于当对保持在上述第一地址锁存器中的地址信号结束了解码之后, 开始对保持在上述第二地址锁存器中的地址信号进行解码。

[0048] (9) 上述非易失性半导体存储器可以设置控制电路 (131), 其形成控制信号, 该控制信号用于在通过上述第三锁存电路对按照从上述第一 CPU 传递来的地址信号的解码结果读取的数据进行了锁存之后, 与从上述输出电路向第一 CPU 进行数据输出并行地, 进行对从第二 CPU 传递来的地址信号的解码结果的锁存、对上述字线的驱动、上述位线与上述读出放大器的连接以及上述读出放大器的信号放大。

[0049] (10) 上述第一 CPU、上述第二 CPU 和上述非易失性半导体存储器可以形成在一个半导体衬底上。

[0050] (11) 在上述第一 CPU、上述第二 CPU 和上述非易失性半导体存储器之间可以设置: 上述第一 CPU 和上述第二 CPU 所共用的公共地址总线 (CABUS); 以及仲裁电路 (801), 其用

于对上述第一 CPU 的上述公共地址总线的使用权与上述第二 CPU 的上述公共地址总线的使用权的竞争进行仲裁。

[0051] (12) 在上述第一 CPU、上述第二 CPU 和上述非易失性半导体存储器之间可以设置：为上述第一 CPU 和上述第二 CPU 所共用、与总线时钟信号的上升沿和下降沿的两个边沿同步被驱动的公共地址总线 (CABUS)；以及地址选择电路 (1001)，其用于通过与上述总线时钟信号相同的频率对从上述第一 CPU 和上述第二 CPU 输出的地址信号进行复用，通过上述公共地址总线把复用后的信号送到上述非易失性存储器。

[0052] (13) 本发明可以设置：第一数据总线 (DBUS0)，其把来自上述非易失性存储器的读取数据传递到上述第一 CPU；以及第二数据总线 (DBUS1)，其把来自上述非易失性存储器的读取数据传递到上述第二 CPU，可以并行进行从上述非易失性存储器向上述第一 CPU 的数据传递和从上述非易失性存储器向上述第二 CPU 的数据传递。

[0053] (14) 在上述非易失性半导体存储器和上述第一 CPU 之间可以配置第一缓冲存储器 (303)，该第一缓冲存储器依次取入从上述非易失性半导体存储器输出的数据，按照取入的顺序而可以把这些数据输出到上述第一 CPU。在上述非易失性半导体存储器和上述第二 CPU 之间可以配置第二缓冲存储器 (304)，该第二缓冲存储器可以依次取入从上述非易失性半导体存储器输出的数据，按照取入的顺序把这些数据输出到上述第二 CPU。

[0054] (15) 本发明可以配置有：为上述第一 CPU 和上述第二 CPU 所共用的数据总线 (CDBUS)；以及缓冲存储器 (1007)，其可以依次取入由上述非易失性半导体存储器通过上述总线而输出的数据，在一个总线时钟周期内按照取入的顺序把这些数据输出到上述第一 CPU 和上述第二 CPU。

[0055] (16) 上述非易失性存储单元 (MC) 可以应用通过在半导体衬底 (SUB) 与存储栅极 (MG) 之间配置氧化硅膜、氮化硅膜、氧化硅膜的层叠膜 (ONO) 而成的构成。

[0056] 2. 实施方式的说明

[0057] 下面进一步详细说明实施方式。

[0058] < 第一实施方式 >

[0059] 图 18 表示作为本发明的半导体集成电路装置的一个例子的多处理器系统。

[0060] 对图 18 所示的多处理器系统 10 没有特别的限制，这里通过周知的半导体集成电路制造技术，形成于单晶硅衬底等一块半导体衬底上。

[0061] 对图 18 所示的多处理器系统 10 不作特别限制，然而其通过系统总线 BUS 将 CPU0、CPU1、输入输出 (I/O) 电路 200 和非易失性半导体存储器 (MEM) 100 以可以彼此进行信号交换的方式连接在一起。输入输出电路 200 通过局部总线 400 与多个外围电路 (PER) 300 连接起来。外围电路 300 包含用于把所输入的模拟信号转换为数字信号的 A/D 转换器或用于进行时间计量的定时器等。上述非易失性半导体存储器 100 为 CPU0、CPU1 所共用，可以由 CPU0、CPU1 进行随机访问。

[0062] 图 1 表示上述非易失性半导体存储器 100 的构成例。

[0063] 本例中，对上述非易失性半导体存储器 100 不作特别限定，然而其为 MONOS 型闪速存储器，并且具有在 CPU0 和 CPU1 独立具有地址总线 and 数据总线的双端口。即，上述非易失性半导体存储器 100 具有端口 0 和端口 1，端口 0 通过地址总线 ABUS0 和数据总线 DBUS0 而与 CPU0 连接，端口 1 通过地址总线 ABUS1 和数据总线 DBUS1 而与 CPU1 连接。通过该构成，

不需要进行总线竞争时的仲裁的仲裁电路、对 CPU 的单核时的电路变更。进而本例的特征在于,通过流水线化来进行地址解码、对选择字线 WL 的电压供给、选择位线与读出放大器的连接以及数据的读取、数据输出。另外,为了实现流水线化工作,还在地址的路径、数据的路径上插入有锁存器。

[0064] 还设置有可以保持来自 CPU0 的地址信号的地址锁存器 (ALACH) 101、可以保持来自 CPU1 的地址信号的地址锁存器 (ALACH) 102。地址锁存器 101、102 的输出信号通过后级的地址选择电路 103 而被选择性地传递到后级电路中。

[0065] 多条字线 WL 与多条位线 BL 交叉配置,在它们的交叉部位上配置有存储单元 MC。如后详细所述,存储单元 MC 为非易失性存储单元,连接在字线 WL 和位线 BL 上,可存储程序和数据。设有对列地址信号进行解码的 X 解码器 (X-DEC) 121。该 X 解码器 121 的后级配置有可保持上述 X 解码器 121 的解码结果的 X 解码锁存器 104。X 解码锁存器 104 的后级上与上述 X 解码锁存器 104 对应地配置有多个上述字线驱动器 106,通过该字线驱动器 106 把字线 WL 驱动成选择电平。另外,设有对 Y 地址信号进行解码的 Y 解码器 (Y-DEC) 122。在该 Y 解码器 122 的后级配置有可保持上述 Y 解码器 122 的解码结果的 Y 解码锁存器 105。Y 解码锁存器 105 的输出信号被传递到用于选择上述多条位线 BL 的 Y 选择电路 (Y-MUX) 107,通过该 Y 解码锁存器 105 的输出信号来控制上述 Y 选择电路 107 的选择工作。上述 Y 选择电路 107 的后级配置用于检测上述 Y 选择电路 107 的输出信号的读出放大器 108。读出放大器 108 的后级上与读出放大器 108 对应地配置数据锁存器 109、110。数据锁存器 109 的后级配置总线驱动器 (输出电路) 111,上述数据锁存器 109 的输出信号通过对应的总线驱动器 111 而被传递到 CPU0。另外,数据锁存器 110 的后级配置有总线驱动器 112,上述数据锁存器 110 的输出信号通过对应的总线驱动器 (输出电路) 112 而被传递到 CPU1。另外还设有控制电路 (CNT) 131,该非易失性半导体存储器 100 的主要部分的工作是通过该控制电路 131 来控制的。例如上述控制电路 131 生成地址 MUX 控制信号 201、XY 解码锁存器用取入信号 202、CPU0 输出侧数据锁存器用取入信号 203 和 CPU1 输出侧数据锁存器用取入信号 204 等各种控制信号。通过上述地址 MUX 控制信号 201 来控制地址选择电路 103 的选择工作。通过上述 XY 解码锁存器用取入信号 202 来控制上述 X 解码锁存器 104 和 Y 解码锁存器 105 的工作。通过 CPU0 输出侧数据锁存器用取入信号 203 来控制上述数据锁存器 109 的工作。通过 CPU1 输出侧数据锁存器用取入信号 204 来控制上述数据锁存器 110 的工作。

[0066] 通过上述构成,在 X 解码器 121 的后级设有 X 解码锁存器 104,在 Y 解码器 122 的后级配置有 Y 解码锁存器 105,在读出放大器 108 的后级配置有数据锁存器 109、110,从而可以在存储数据的读取中进行流水线工作,因而即使来自 CPU0 的读取和来自 CPU1 的读取产生竞争,也能把读取等待时间抑制到小于没有竞争的情况的 2 倍。

[0067] 图 1 中举例表示了 CPU0、CPU1 的双核构成,然而 CPU 的数量没有特别限制。通过扩大为 CPU 数量为 n 的多核进行应用,从而可以把同时出现来自 n 个 CPU 的读取的竞争的情况下的等待时间抑制到小于没有竞争的情况的 n 倍。

[0068] 图 15 表示上述多个存储单元 MC 的布局例。

[0069] 存储单元 MC 成为具有存储栅极 MG 和控制栅极 CG 的分裂栅 (split gate) 型存储单元构造,可被看作是把以 MG 为栅极的 MG-MOS 和以 CG 为栅极的 CG-MOS 串联起来的单元。控制栅极 CG 相当于字线,读取时使该控制栅极 CG 的电压上升,从而 CG-MOS 导通,与 MG-MOS

的阈值电压 V_{th} 对应的电流流过位线 BL。虽然没有图示,然而通过与位线 BL 相连的读出放大器,进行如下的数据读取,流过位线 BL 的电流比所设定的阈值电流要多、即存储单元 MC 的阈值 (V_{th}) 较低的情况下数据的逻辑值为“1”,流过位线 BL 的电流比所设定的阈值电流要少、即存储单元 MC 的阈值 (V_{th}) 较高的情况下数据的逻辑值为“0”。

[0070] 存储单元 MC,其纵向 2 单元的漏极共用触点 CT,通过触点 CT 而被启动至金属布线的 BL。多个存储单元 MC 的源极通过扩散层 DIF 来连接,以一定间隔通过触点 CT 被启动至金属布线的源极线 SL。即,成为排列于纵向上的存储单元 MC 共用 BL,所有的存储单元共用 SL 的并联的 NOR 型阵列。

[0071] 图 16 表示上述存储单元 MC 的剖面(图 15 的 A-A' 线剖面)。在半导体衬底 SUB 上形成了多晶硅的控制栅极 CG 之后,形成氧化硅膜、氮化硅膜、氧化硅膜的层叠膜(称之为 ONO 层叠膜),通过形成多晶硅的存储栅极 MG 来作为侧壁残留下来,从而可以在存储栅极 MG 下形成 ONO 层叠膜。氮化硅膜为绝缘膜也是捕获性膜,可以通过捕获电荷而与多晶硅浮栅型闪速存储器同样地控制 MG-MOS 的阈值 (V_{th}) 来存储数据。写入、擦除之后电荷在绝缘膜中被离散性地捕获。因而,不易产生如低电阻的浮栅型那样由于氧化膜的缺陷而被捕获的电荷全都消失的情况,可以将电荷的消失仅限在缺陷附近。由此可以使氧化膜变薄,相比浮栅型而可以获得较大的存储单元电流。进而由于可以通过 CG-MOS 来切断存储单元电流,因而即便采用并联的 NOR 型阵列也能降低 MG-MOS 的 V_{th} 使其减少(deplete),可不存在问题地工作,获得较大的存储单元电流。控制栅 CG 下的氧化硅膜可以变薄,可通过低压系统的元件来构成与读取工作相关的字线驱动器 106 和读出放大器 108 等。如上,该非易失性半导体存储器 100 通过较大的存储单元电流和低压系统的读取电路构成,从而可以进行高速读取。

[0072] 图 17 表示上述存储单元 MC 的读取、写入和擦除的各工作。

[0073] 如图 17 的 (A) 所示,来自上述存储单元 MC 的数据读取中,向漏极 D 和控制栅极 CG 提供高电位侧电源 V_{dd} ,向存储栅极 MG 提供用于读取的规定电压 V_{mg_read} 。源极为 0V(接地电平)。在该状态下通过判断源极 S 和漏极 D 之间的电流 171 是否在阈值电流以上来进行读取。

[0074] 如图 17 的 (B) 所示,对上述存储单元 MC 的数据写入是通过源极侧注入来进行的。在漏极 D 上连接恒流源,向控制栅极 CG、存储栅极 MG、源极 S 分别提供用于写入的规定电压 V_{cg_prog} 、 V_{mg_prog} 、 V_{s_prog} 。此时,电流 172 流过源极 S 和漏极 D 之间,在源极-漏极之间的横向电场对该电流 172 的电子进行加速,产生具有高能量的热电子。获得了超越氧化膜的能量壁垒的能量的热电子通过存储栅极 MG 的高电压下的纵向电场而穿越氧化硅膜被氮化硅膜捕获,从 MG 来看的阈值 V_{th} 上升。这样来进行数据写入。

[0075] 如图 17 的 (C) 所示,上述存储单元 MC 的数据擦除是通过带间沟道热空穴注入来进行的。即,向源极 S 施加正电压 V_{c_erase} ,向存储栅极 MG 施加负电压 V_{mg_erase} ,通过带间沟道把热空穴注入到氮化硅膜。由此,可以擦除到低于氮化硅膜不存在电荷的状态下的初始阈值的阈值。

[0076] 下面参照图 2 所示的时序图来说明上述非易失性半导体存储器 100 的流水线工作。

[0077] 非易失性半导体存储器 100 在总线时钟 BCLK 的上升沿取入 CPU0、CPU1 所输出的

地址总线 ABUS0、ABUS1 上的地址信号。非易失性半导体存储器 100 对所取入的地址信号进行解码,选择与相应的地址对应的字线 WL、位线 BL,进行对选择字线的电压供给、选择位线 BL 和与其对应的读出放大器 108 的连接。通过读出放大器 108 从选择存储单元 MC 读取数据,把该数据输出到数据总线 DBUS0 或者 DBUS1。该读取数据在总线时钟 BCLK 的上升沿被取入 CPU0、CPU1。CPU0 和 CPU1 内部也与总线时钟 BCLK 同步工作,非易失性半导体存储器 100 与 CPU0、CPU1 彼此同步进行工作。

[0078] CPU0 和 CPU1 分别具有独立的程序计数器和寄存器,有时会在同一个总线时钟周期内对非易失性半导体存储器 100 进行读取请求。当存在这种同时的读取请求的情况下,在非易失性半导体存储器 100 中,通过地址锁存器 101 和地址锁存器 102 将来自 CPU0 和 CPU1 的地址信号与同一个总线时钟上升沿同步进行锁存。

[0079] 如图 2 所示,设 CPU0 的请求地址为 A0、CPU1 的请求地址为 A1。在配置于地址锁存器 101、地址锁存器 102 的后级上的地址选择电路 103 中,首先选择地址锁存器 101 的输出、即来自 CPU0 的 A0,分别向 X 解码器 121、Y 解码器 122 发送 A0 或者 A0 中 X 解码器 121、Y 解码器 122 各自所需的位。在 X 解码器 121、Y 解码器 122 进行地址 A0 的解码,确定选择字线 WL 和选择位线 BL。

[0080] 此处将 X 解码时间、Y 解码时间中较长的称为解码时间。虽然解码时间会依据电源、温度、流程变动而产生偏差,然而这里如图 2 所示将最坏条件下的解码时间加上余量时间后的时间作为 T1。即,T1 是从地址锁存器 101、102 到 X 解码锁存器 104 或 Y 解码锁存器 122 为止的最长延迟时间 + 余量。

[0081] 在由总线时钟 BCLK 的上升沿经过了 T1 之后的定时,通过地址 MUX 控制信号 201,选择地址锁存器 102 侧。进而,在同样的定时,X 解码锁存器 104、Y 解码锁存器 105 的数据取入信号 202 被断言。虽然没有特别限制,然而如果使 X 解码锁存器 104、Y 解码锁存器 105 为边沿触发型 D- 触发器,则相比使用直通型锁存器的情况可以放宽定时设计。作为这种锁存器的功能,在取入信号的上升沿对输入进行锁存,然后更新内容、输出。

[0082] 紧接上述 T1 之后,由字线驱动器 106 按照 X 解码锁存器 104 的内容、由 Y 选择电路 107 按照 Y 解码锁存器 105 的内容分别进行对选择字线 WL 的电压供给、选择位线 BL 与读出放大器 108 的连接。之后读出放大器 108 根据选择位线 BL 的电压来判断数据 0/1。与这些存储器阵列内的工作并行地,以地址选择电路 103 的控制信号 201 的切换为触发而开始 A1 的解码。

[0083] 此处如图 2 所示,选择字线 WL 的启动、选择位线 BL 和读出放大器 18 的连接以及读出放大器 108 的读取数据确定所需的最坏时间 + 余量为 T2。

[0084] 从总线时钟 BCLK 的上升沿开始经过了 T1+T2 之后,启动 CPU0 输出侧数据锁存器 109 的数据取入信号 203,把存储在地址 A0 中的数据 D0 取入数据锁存器 109。数据锁存器 109 没有特别限制,可通过正沿触发的 D- 触发器来实现。在与之相同的定时,启动 X 解码锁存器 104 和 Y 解码锁存器 105 的取入信号 202,把 A1 的解码结果输出到字线驱动器 106 和 Y 选择电路 107。

[0085] 在上述 T1+T2 过后,马上开始总线驱动器 111 进行的数据总线驱动,把 D0 输出到 CPU0。同时根据 A1 的解码结果启动字线驱动器 106 给出的选择字线,开始连接选择位线与读出放大器 (108),进行读出放大器对 D1 数据的读取。此处,将数据 D0 从数据锁存器 109

经过总线驱动器 111 到 CPU0 的最坏延迟时间设为 T_3 。

[0086] 从总线时钟 BCLK 的上升沿起经过了“ $T_1+T_2+T_3$ ”之后,结束对 CPU0 送出数据 D0。另一方面,从总线时钟 BCLK 的上升沿起经过了“ $T_1+T_2+T_2$ ”之后,由于 D1 已经确定,因而此时启动 CPU1 侧的数据锁存器 110 的取入信号 204 并取入 D1。对数据锁存器 110 也不作特别限定,然而可与数据锁存器 109 同样地通过正沿触发的 D- 触发器来实现。之后数据 D1 通过总线驱动器 112 被输出到 CPU1。即,从总线时钟上升沿起经过了“ $T_1+T_2+T_2+T_3$ ”之后,结束对 CPU1 送出数据 D1。

[0087] 并且, T_1 、 T_2 、 T_3 的定时可以通过以总线时钟 BCLK 为基准通过延迟电路制作出来。准备多个延迟电路,凭借延迟了总线时钟的信号彼此来获得 AND 等逻辑,而可以实现任意的脉冲波形。

[0088] 根据上述例子可以获得如下的作用效果。

[0089] (1) 在使时钟周期为 TCLK 时,如果设计为“ $T_1+2T_2+T_3<TCLK$ ”,则可以在 1TCLK 内同时接受来自 2CPU 的读取请求而输出数据。因而,在由锁存地址的总线时钟上升沿起延迟了 1TCLK 的上升沿,可以进行对 CPU 的数据取入。在没有进行这种非易失性半导体存储器读取工作的流水线化的情况下,即使为“ $T_1+2T_2+T_3<TCLK$ ”也在读取 D0 时花费 1TCLK、读取 D1 时花费 1TCLK,因而对 CPU1 而言读取等待时间为 2TCLK。与此相对,通过进行流水线化,从而只要设计为“ $T_1+2T_2+T_3<TCLK$ ”,就可以使 CPU0、CPU1 双方实现 1TCLK 的读取等待时间。

[0090] (2) 通过上述 (1) 的作用效果,可以实现多处理器系统的性能提高。

[0091] (3) 在包含 MONOS 型分裂栅存储单元 MC 的非易失性半导体存储器 100 中,通过较大的存储单元电流和低压系统的读取电路构成,可进行高速的读取。这种构成在可以实现与地址解码时间、数据总线驱动延迟时间同等的字线启动时间和读出放大器读取时间的存储单元、存储单元阵列上是有效的,从以上观点而言,包含 MONOS 型分裂栅存储单元 MC 的非易失性半导体存储器 100 非常适合作为实施本发明的对象。

[0092] < 第二实施方式 >

[0093] 图 3 表示上述多处理器系统 10 的另一构成例。图 3 所示的非易失性半导体存储器 100 与图 1 所示的构成最大不同在于,设置了地址总线 ABUS、数据总线 DBUS2bit 构成的先入先出缓冲器 (2bit FIFO) 303、304。该 2bit FIFO303、304 的工作是通过由控制电路 131 所生成的 2bit FIFO 取入信号 401 而控制的。

[0094] 在上述第一实施方式中,非易失性半导体存储器的读取中需要使用图 2 定义的 TCLK 和 $T_1 \sim T_3$,满足 $T_1+2T_2+T_3<TCLK$ 。但是,一般而言 CPU 和存储器整体的速度差有每年扩大的趋势。因此无法要求那样的性能,除去 CPU 的时钟最多为几十 MHz 那样的情况,都难以满足上述限制。

[0095] 于是,根据图 3 所示的构成,如下缓和了非易失性半导体存储器 100 的读取等待时间。

[0096] 图 4 表示图 3 所示构成上的工作时序图。本例中,由于为“ $1TCLK<T_1+T_2+T_3<2TCLK$ ”,因而作为同步式非易失性半导体存储器 100 单体的性能,读取等待时间为 2TCLK。因此,不进行非易失性半导体存储器 100 的读取工作的流水线化的情况下,CPU0、CPU1 的读取竞争时的读取等待时间为 4TCLK。此处,如图 4 所示,进行解码、字线 WL 的选择和读取、数据输出的 3 级流水线化,并且满足“ $T_1+2T_2+T_3<2TCLK$ ”,从而可在 CPU0

和 CPU1 这两方实现 2TCLK 等待时间下的读取。

[0097] 在图 4 中的第二个总线时钟上升沿的定时中,进行基于 D0 的输出与 A1 解码结果的读取,然而由于解码器已经结束了 A0、A1 的地址解码,因而可以接受下一个地址开始解码。在第二个总线时钟 BCLK 的上升沿,把来自 CPU0 的 A2 和来自 CPU1 的 A3 取入到地址锁存器 301 和地址锁存器 302,之后进行与接受了 A0、A1 时同样的流水线化工作。

[0098] 这里,如果 A1 字线启动和读取的结束早于 A2 解码结束,则 A2 解码与 A2 字线启动和读取之间不会产生无效的等待时间。因此,对 A2、A3 的读取工作完全与对 A0、A1 的读取工作相同,尽管各读取的等待时间为 2TCLK,然而可以在 TCLK 周期中连续进行接受 2 地址,输出 2 数据这样的与 CPU 同频率的工作。此时的条件可通过下式来表现。

[0099] $T1+2T2<TCLK+T1$

[0100] 所以 $2T2<TCLK$

[0101] 因此,满足“ $T1+T3<TCLK$ ”且满足“ $2T2<TCLK$ ”就成为用于以 TCLK 周期接受地址,且以 TCLK 周期输出数据的条件。但即使满足了上述条件,也能如图 4 所示,在第三个总线时钟上升沿欲将 D0 取入 CPU0 时,CPU0 的数据总线上已经驱动了 D2。为了防止这种改写,则需要在 CPU0 和 CPU1 侧设置某些缓冲存储器。具体而言,如图 3 所示,准备具有 2bit 以上的构成的 FIFO 303、304 即可。2bitFIFO303、304 例如设有 2 个锁存器列,从非易失性半导体存储器 100 交替向该 2 个锁存器列写入数据,该数据被按照所写入的顺序交替输出到 CPU0、CPU1。对 2bit FIFO 303、304 的写入定时,为输出到数据总线的数据到达 FIFO 的输入部之后,且下一数据开始数据总线的驱动之前的定时即可,用于该处理的 2bit FIFO 取入信号 401 在控制电路 131 中利用总线时钟 BCLK 的边沿基准来通过适当的延迟电路进行信号延迟,从而在图 4 所示的定时被制作为断言于高电平。

[0102] 以上,通过在图 3 的各数据总线的 CPU 侧配置 2bit FIFO 303、304 的系统构成和图 4 所示的“ $T1+T3<TCLK$ ”且“ $2T2<TCLK$ ”的条件,读取等待时间为 2TCLK,然而可以确保与图 1、图 2 所示的实施方式相同的吞吐量。

[0103] < 第三实施方式 >

[0104] 图 5 表示上述多处理器系统 10 的另一构成例。

[0105] 图 5 所示内容与图 3 所示内容的较大不同之处在于,在 CPU0、CPU1 与非易失性半导体存储器 100 之间分别配置有高速缓存 (CMEM) 501、502,从而读取等待时间得以改善。

[0106] 第二实施方式中,在可进行每个时钟周期下的地址接受和数据输出的方面,吞吐量比较充分。但是,读取等待时间为 2TCLK,虽然具有使 2 个 CPU 的读取竞争时的等待时间减半的效果,然而无法把 1 次读取的等待时间缩减到 1TCLK。

[0107] 于是,如图 5 所示,把高速高速缓存 501、502 插入 CPU0、CPU1 与非易失性半导体存储器 100 之间。高速缓存 501、502 具有可以在 1TCLK 的等待时间内进行位判断和读取的性能。这种高速缓存 501、502 不作特别限制,可通过静态型 RAM(随机访问存储器)或触发器等高速存储器来构成。

[0108] CPU0 和 CPU1 把地址信号分别输出到高速缓存 501、高速缓存 502。高速缓存 501、502 以标签数据为基础,判断从 CPU0、CPU1 送来的地址信号所对应的数据是否存储在本身的存储器内。如果相应地址所对应的数据位于高速缓存内,则为高速缓存命中,由高速缓存 501、502 将相应地址所对应的数据分别输出到 CPU0、CPU1。如果相应地址所对应的数据不

存在于高速缓存内,则为高速缓存访问失败,高速缓存 501、502 把地址交给非易失性半导体存储器 100 并读取数据,把该数据输出到 CPU0、CPU1 并写入高速缓存 501、502。

[0109] 如此,高速缓存命中时为 1TCLK 的读取等待时间,高速缓存访问失败时为 2TCLK 的读取等待时间,会存在相当于高速缓存的量的芯片面积、成本的增加,然而具有可提高峰值性能的优点。并且,非易失性半导体存储器 100 的读取工作的流水线化会在 CPU0、CPU1 同时高速缓存访问失败的情况下发挥效果,高速缓存命中率会依赖于高速缓存的构成、容量、用户程序。

[0110] < 第四实施方式 >

[0111] 图 6 表示上述多处理器系统 10 的另一构成例。

[0112] 图 6 所示的多处理器系统 10 与上述第三实施方式相同地,在 CPU0、CPU1 与非易失性半导体存储器 100 之间分别具备高速缓存 501、502。其与图 5 所示的第三实施方式的差异在于,充分确保了非易失性半导体存储器 100 与高速缓存 501、502 之间的数据总线 DBUS0、DBUS1 的宽度,降低了连续高速缓存访问失败的概率,从而可相比第三实施方式不会大幅降低性能地放缓非易失性半导体存储器 100 的速度。

[0113] 如图 6 所示,设非易失性半导体存储器 100 与高速缓存 501、502 之间的数据总线 DBUS0、DBUS1 的宽度为 Nbit、高速缓存 501、502 与 CPU0、1 之间的数据总线 DBUS0、DBUS1 的宽度分别为 Mbit。当 N 与 M 相比足够大的情况下,可在高速缓存访问失败时通过 1 次读取,从非易失性半导体存储器 100 中读取更多的数据,写入到高速缓存 501、502。因此,只要充分确保了高速缓存 501、502 的容量,则通过使 N 与 M 相比足够大,从而可以降低产生连续高速缓存访问失败的概率。即, N 较大的情况下,图 4 中,第二次读取之后,进行每个时钟周期下的地址接受和数据输出的效果变低。由此可以增大 N 来放缓非易失性半导体存储器 100 的读取速度。可以通过增加读出放大器 108 的数量而减少 Y 选择电路 107 的输入,减少每个读出放大器 108 的位线数量来增加 N。

[0114] 图 7 表示图 6 所示构成的工作时序。图 7 所示的例子中,在第一个总线时钟内 CPU0、CPU1 都为高速缓存访问失败,需要耗费 2TCLK 来进行来自非易失性半导体存储器的读取,然而在第三个总线时钟内命中了缓存。

[0115] 如果是在地址 A0、A1 后地址 A2、A3 也为高速缓存访问失败的情况,则数据 D2、D3 的输出会比图 7 的例子延迟 1TCLK。但是由于充分增大了 N,因而这种连续高速缓存访问失败的概率较低。由此,通过使 N 充分大于 M,从而相比第三实施方式可以在不会较大损害性能的情况下如下那样来放缓非易失性半导体存储器 100 的读取速度。

[0116] 第三实施方式仅是在第二实施方式中插入了高速缓存 501、502,因此非易失性半导体存储器 100 的读取速度的条件与第二实施方式的情况同样为“ $T_1+2T_2+T_3<2TCLK$ ”且“ $2T_2<TCLK$ ”,而本实施方式中,仅“ $T_1+2T_2+T_3<2TCLK$ ”就可以放缓速度。另外,由于不存在第二实施方式所述的数据总线上的数据改写,因而不需要图 3、5 所示的 2bitFIFO303、304。

[0117] < 第五实施方式 >

[0118] 图 8 表示上述多处理器系统 10 的另一构成例。

[0119] 图 8 所示的例子中,减少了地址总线、数据总线的布线数量,减少了芯片面积。在第二、第三、第四实施方式中,在 CPU0、CPU1 中具有彼此独立的地址总线和数据总线,然而通过在 CPU0、CPU1 中共用这些部分,从而可以减少较长的总线布线的数量,削减芯片面积。

即,设置公共地址总线 CABUS、公共数据总线 CDBUS,让它们为 CPU0 和 CPU1 所共用。另外,还设有用于仲裁 CPU0 的总线使用权和 CPU1 的总线使用权的竞争的仲裁电路 (ARB) 801。

[0120] 当 CPU0 和 CPU1 都高速缓存访问失败,同时对非易失性半导体存储器发出读取请求的情况下,仲裁电路 801 向某个 CPU 赋予公共地址总线 CABUS 的占用权,向之外的 CPU 传达公共地址总线 CABUS 为繁忙状态的信息。

[0121] 图 9 表示对应于图 8 的构成的工作定时。

[0122] 此时设定为 CPU0、CPU1 都高速缓存访问失败,同时向非易失性半导体存储器发出读取请求的情况。虽然没有图示,然而仲裁电路 801 向 CPU0 赋予地址总线权而把 A0 送给非易失性半导体存储器,另一方面向 CPU1 传达公共地址总线 CABUS 为繁忙状态,需要等待 1TCLK 的信息。非易失性半导体存储器 100 对地址 A0 进行读取,经由公共数据总线 CBUS 和仲裁电路 801 把数据 D0 输出到 CPU0。CPU0 在比有关地址 A0 的数据读取请求延迟了 2TCLK 之后,在总线时钟 BCLK 的上升沿取入数据 D0。仲裁电路 801 在比 CPU0 的有关地址 A0 的数据请求延迟了 1TCLK 之后,把地址 A1 送到非易失性半导体存储器 100,非易失性半导体存储器 100 与数据 D0 的读取并行地开始对地址 A1 进行解码。当从地址 A1 被送到非易失性半导体存储器 100 后经过 2TCLK,换言之从有关地址 A1 的数据读取请求起经过了 3TCLK 之后,数据 D1 的输出结束。根据有关地址 A1 的数据读取请求时的地址总线繁忙信息,CPU1 期待在加上了等待地址总线的 1TCLK 的 3TCLK 之后数据 D1 被输出,而可以将其取入。

[0123] 在本第五实施方式中,高速缓存命中时的读取等待时间为 1TCLK。高速缓存访问失败时,如果没有公共地址总线的竞争,则存在 2TCLK 的等待时间。如果 CPU0、CPU1 都高速缓存访问失败、且引起了地址总线竞争的情况下,对进行等待的 CPU 而言则成为 3TCLK 的等待时间。并且,图 9 的工作的条件是“ $T_1+T_2+T_3<2TCLK$ ”且“ $T_2<TCLK$ ”。

[0124] < 第六实施方式 >

[0125] 图 10 表示上述多处理器系统 10 的另一构成例。

[0126] 图 10 中,由 CPU0 和 CPU1 来共用公共地址总线 CABUS、公共数据总线 CDBUS,从而在减少了布线面积的同时,通过使用总线时钟 BCLK 的上升沿、下降沿这双方来通过 2 倍的转送速率送出地址,从而可缩短读取等待时间。来自 CPU0、CPU1 的地址信号通过地址选择电路 (MUX) 1001 而选择性地被传递到非易失性半导体存储器 100。总线驱动器 112 的输出数据通过公共数据总线 CDBUS 和 2bitFIFO 1007 而被传递到 CPU0、CPU1。另外,非易失性半导体存储器 100 中,设有分别与总线时钟 BCLK 同步工作的地址锁存器 (ALACH) 1003、1004 和地址选择电路 1005。来自 CPU0、CPU1 的地址信号通过地址选择电路 1001 被分配到地址锁存器 1003、1004 上得以保持。存储在地址锁存器 1003、1004 上的地址信号通过地址选择电路 1005 而选择性地传递到 X 解码器 121、Y 解码器 122。

[0127] 图 11 表示图 10 所示构成的工作时序。

[0128] 从 CPU0、CPU1 输出的地址通过地址选择电路 1001 而被复用,成为 2 倍的转送速率而经由公共地址总线 CABUS 送到非易失性半导体存储器 100。地址 MUX 控制信号 205 频率与总线时钟 BCLK 相同,是在控制电路 131 中延迟了总线时钟而生成的。在地址选择电路 1001 中,地址 MUX 控制信号 205 的逻辑值为“1”时,选择 CPU0 侧的地址;逻辑值为“0”时,选择 CPU1 侧的地址。作为时序,只要 CPU0 侧地址当非易失性半导体存储器 100 侧而言的总线时钟 BCLK 的上升沿时到达非易失性半导体存储器 100、CPU1 侧地址在下降沿时到达非

易失性半导体存储器 100 即可。非易失性半导体存储器 100 中,设有在总线时钟 BCLK 的上升沿取入地址的地址锁存器 1003 和在下降沿取入地址的地址锁存器 1004。这样,CPU0 侧的地址就被取入到地址锁存器 1003,CPU1 侧的地址就被取入到地址锁存器 1004。通过使用总线时钟 BCLK 来控制配置于地址锁存器 1003 和地址锁存器 1004 的后级的地址选择电路 1005,从而每隔 $TCLK/2$,将 CPU0 侧的地址和 CPU1 侧的地址送到 X 解码器 121 和 Y 解码器 122,可以在 $1TCLK$ 内进行 2 个地址的解码。

[0129] 如图 11 所示,进行 T1、T2、T3 的流水线化工作,只要满足“ $T1+T3 < TCLK$ ”且“ $2T2 < TCLK$ ”,则可进行在 $TCLK$ 周期内连续接受来自 CPU0、CPU1 的 2 个地址,输出 2 个数据这样的频率与 CPU 相同的工作。其中,如果在 CPU 侧在总线时钟上升沿取入数据,则各读取的等待时间为 $2TCLK$ 。另外,在 CPU 送出地址之后,为了防止 $2TCLK$ 之后且 CPU 进行取入之前数据总线上的数据被改写,与第二、第三实施方式同样地需要 2bit 以上的 FIFO 1007。

[0130] < 第七实施方式 >

[0131] 图 12 表示上述多处理器系统 10 的另一构成例。

[0132] 图 12 所示的构成与图 10 所示构成的最大不同之处在于,在 CPU0、CPU1 与非易失性半导体存储器 100 之间分别设有高速缓存 (CMEM) 501、502,从而读取等待时间得以改善。第六实施方式之中,在可进行每个时钟周期下的地址接受和数据输出的方面,吞吐量是较足够的。但是读取等待时间为 $2TCLK$,虽然具有使 2 个 CPU 的读取竞争时的等待时间减半的效果,然而无法把 1 次读取的等待时间缩减到 $1TCLK$ 。

[0133] 于是,如图 12 所示,把高速缓存 501、502 设置在 CPU0、CPU1 与非易失性半导体存储器 100 之间。高速缓存 501、502 可以在 $1TCLK$ 的等待时间内进行位判断和读取,因而可通过 SRAM 或触发器等高速存储器来构成。

[0134] 通过上述构成,高速缓存命中时为 $1TCLK$ 的读取等待时间,高速缓存访问失败时为 $2TCLK$ 的读取等待时间,会存在相当于高速缓存的量的芯片面积、成本的增加,然而具有可提高峰值性能的优点。

[0135] 并且,非易失性半导体存储器 100 的读取工作的流水线化会在 CPU0、CPU1 同时高速缓存访问失败的情况下发挥效果,高速缓存命中率会依赖于高速缓存的构成、容量、用户程序。

[0136] < 第八实施方式 >

[0137] 图 13 表示上述多处理器系统 10 的另一构成例。

[0138] 在图 13 所示的构成中,与第七实施方式的情况同样地,在 CPU0、CPU1 与非易失性半导体存储器 100 之间分别配置有高速缓存 501、502。其与第七实施方式的最大不同之处在于,充分确保了非易失性半导体存储器 100 与高速缓存 501、502 之间的公共数据总线 CDBUS 的宽度,降低了连续高速缓存访问失败的概率,从而可相比第七实施方式不会大幅降低性能地放缓非易失性半导体存储器 100 的速度。

[0139] 如图 13 所示,设非易失性半导体存储器 100 与高速缓存 501、502 之间的公共数据总线 CDBUS0 的宽度为 Nbit、高速缓存 501、502 与 CPU0、CPU1 之间的数据总线 DBUS01、DBUS11 的宽度为 Mbit。当 N 比 M 充分大的情况下,可在高速缓存访问失败时通过 1 次读取,从非易失性半导体存储器 100 中读取更多的数据,写入到高速缓存 501、502。因此,只要充分确保了高速缓存 501、502 的容量,则通过使 N 比 M 充分大,从而可以降低产生连续高速缓

存访问失败的概率。即，N 较大的情况下，如图 11 所示，第二次读取之后，进行每个时钟周期下的地址接受和数据输出的效果变低。由此可以增大 N 来放缓非易失性半导体存储器 100 的读取速度。可以通过增加读出放大器的数量而减少 Y-MUX 的输入，减少每个读出放大器的位线数量来增加 N。

[0140] 图 14 表示图 13 所示的构成的工作时序。

[0141] 图 14 所示的例子中，在第一个总线时钟内 CPU0、CPU1 都为高速缓存访问失败，需要耗费 2TCLK 来进行来自非易失性半导体存储器的读取，然而在第三个总线时钟内地址 A2、A3 都命中了缓存。因此，地址 A2、A3 之后不向非易失性半导体存储器 100 送出地址信号。如果是在地址 A0、A1 后地址 A2、A3 也为高速缓存访问失败的情况，则数据 D2、D3 的输出会比图 11 的例子延迟 1TCLK。但是由于本例中充分增大了 N，因而这种连续高速缓存访问失败的概率较低。由此，通过使 N 充分大于 M，从而相比第七实施方式可以在不会较大损害性能的情况下如下述那样放缓非易失性半导体存储器 100 的读取速度。

[0142] 即，第七实施方式仅是在第六实施方式中插入了高速缓存 501、502，因此第七实施方式的非易失性半导体存储器 100 的读取速度的条件与第六实施方式的情况同样为“ $T1+2T2+T3 < 2TCLK$ ”且“ $2T2TCLK$ ”，而第八实施方式中，仅“ $T1+2T2+T3 < 2TCLK$ ”就可以放缓速度。

[0143] 以上具体说明了本发明人所进行的发明，但本发明不限于此，当然可以在不脱离该主旨的范围内进行各种变更。

[0144] 在以上的说明中，主要说明了把本发明人所进行的发明应用于作为其背景的使用领域的多处理器系统中的情况，但本发明不限于此，可广泛应用于各种半导体集成电路装置中。

[0145] 本发明至少可以包含非易失性半导体存储器为条件加以应用。

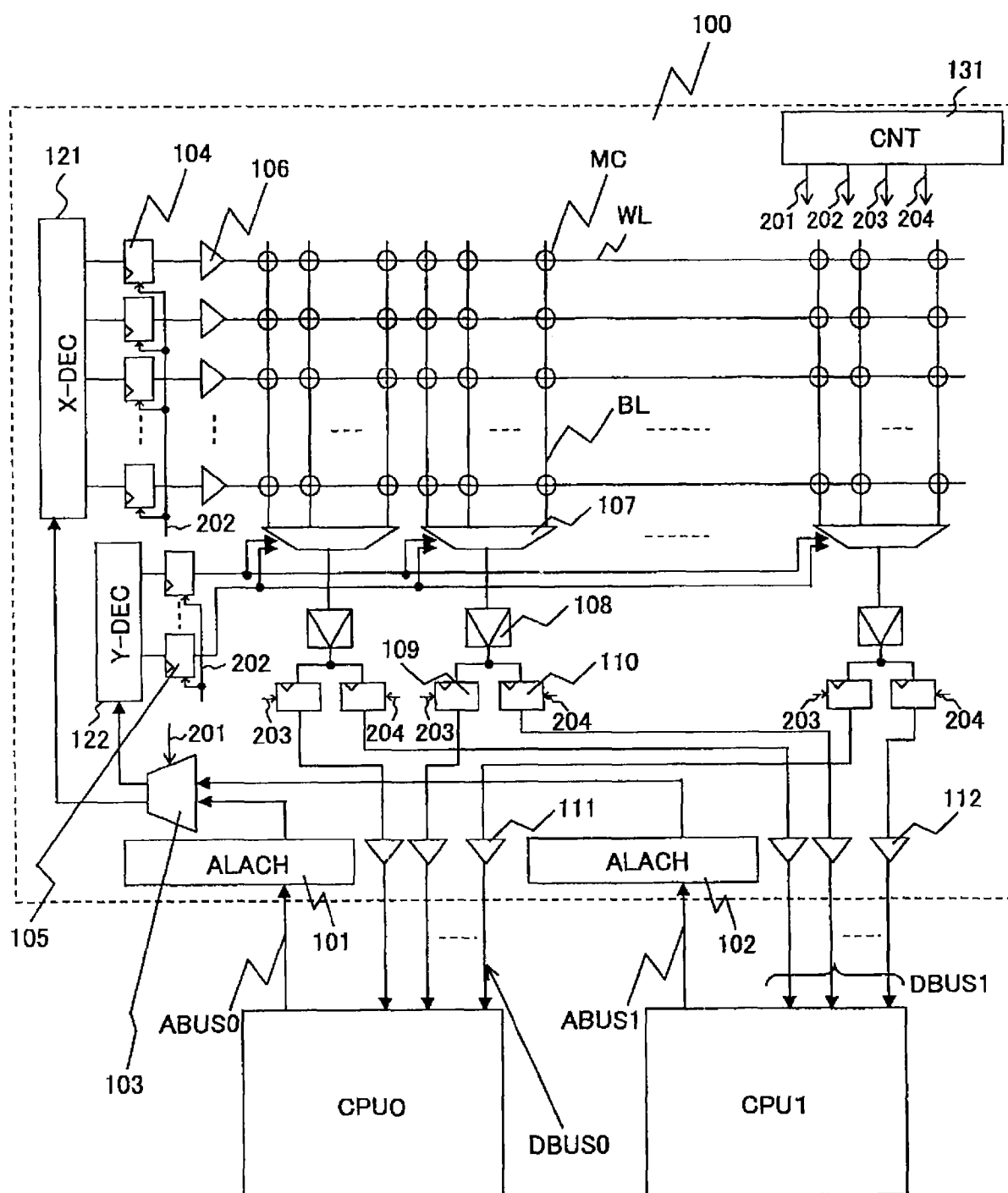


图 1

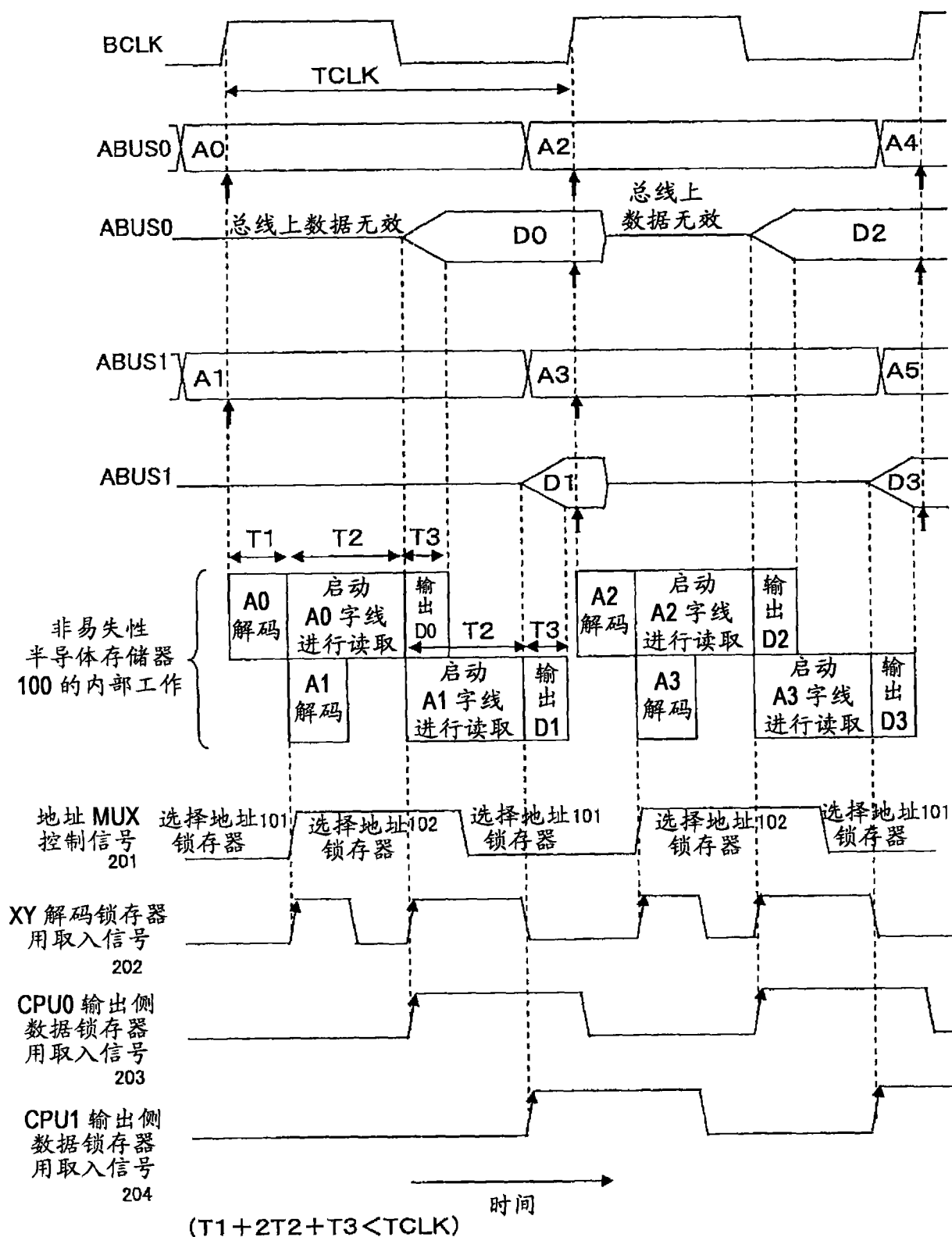


图 2

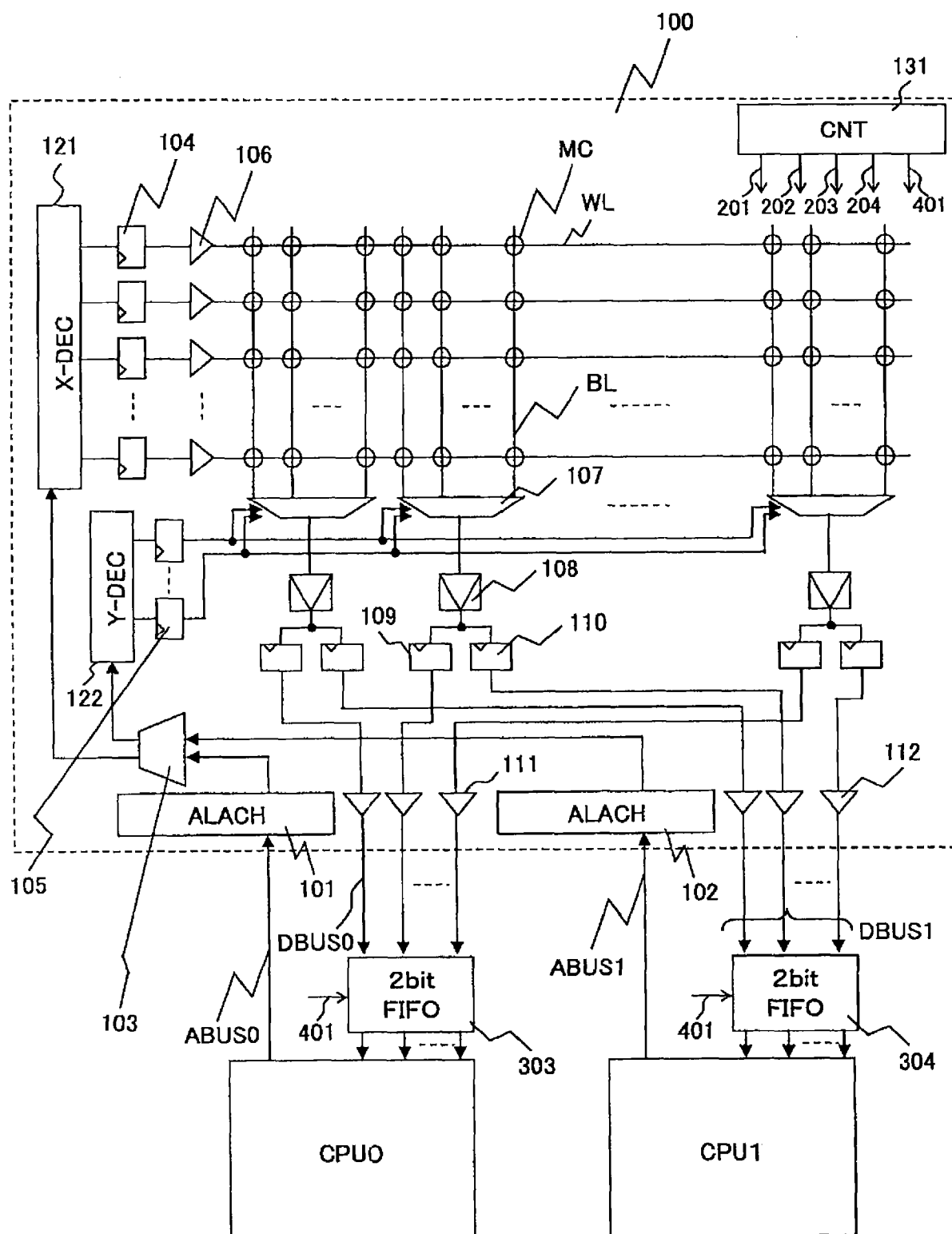
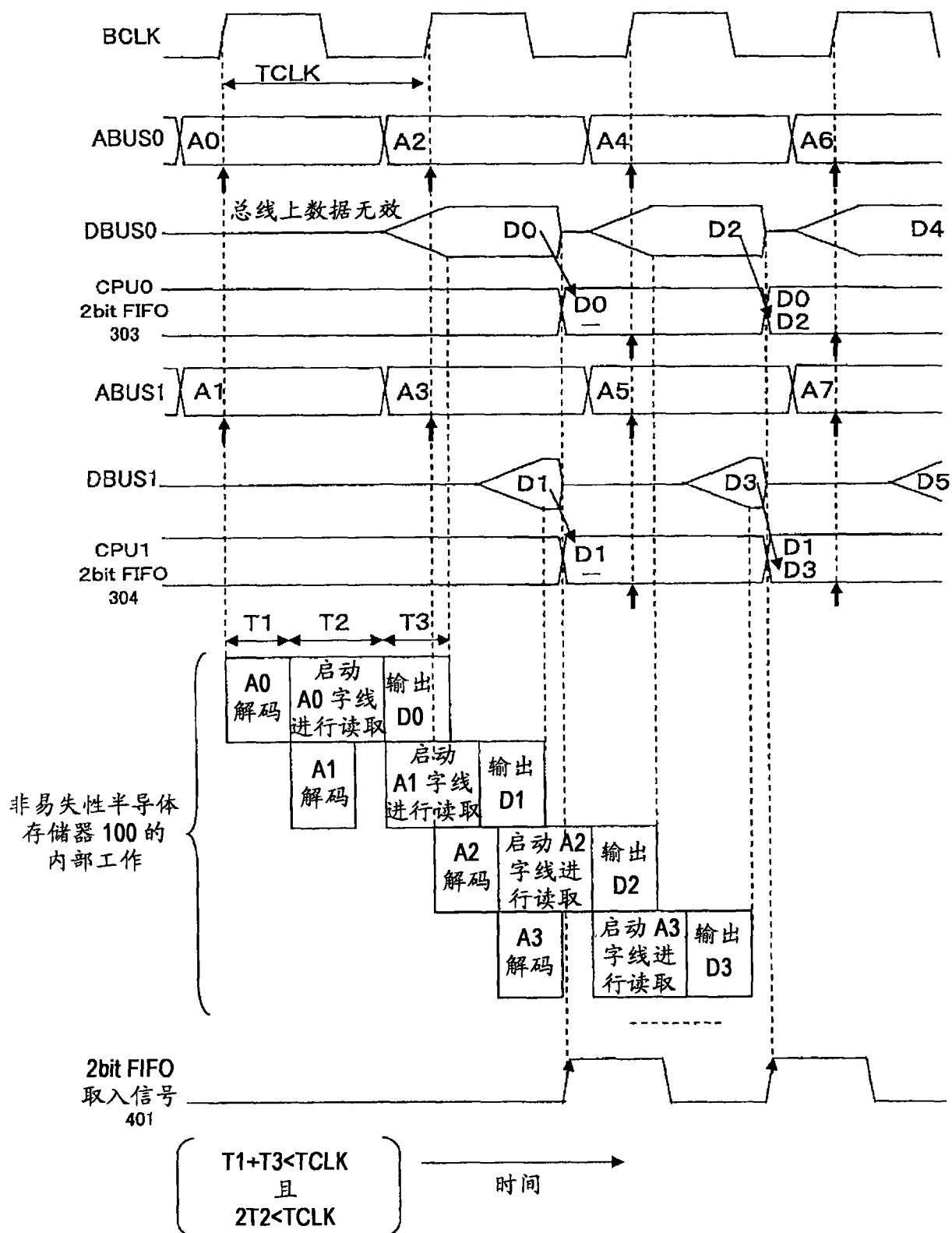


图 3



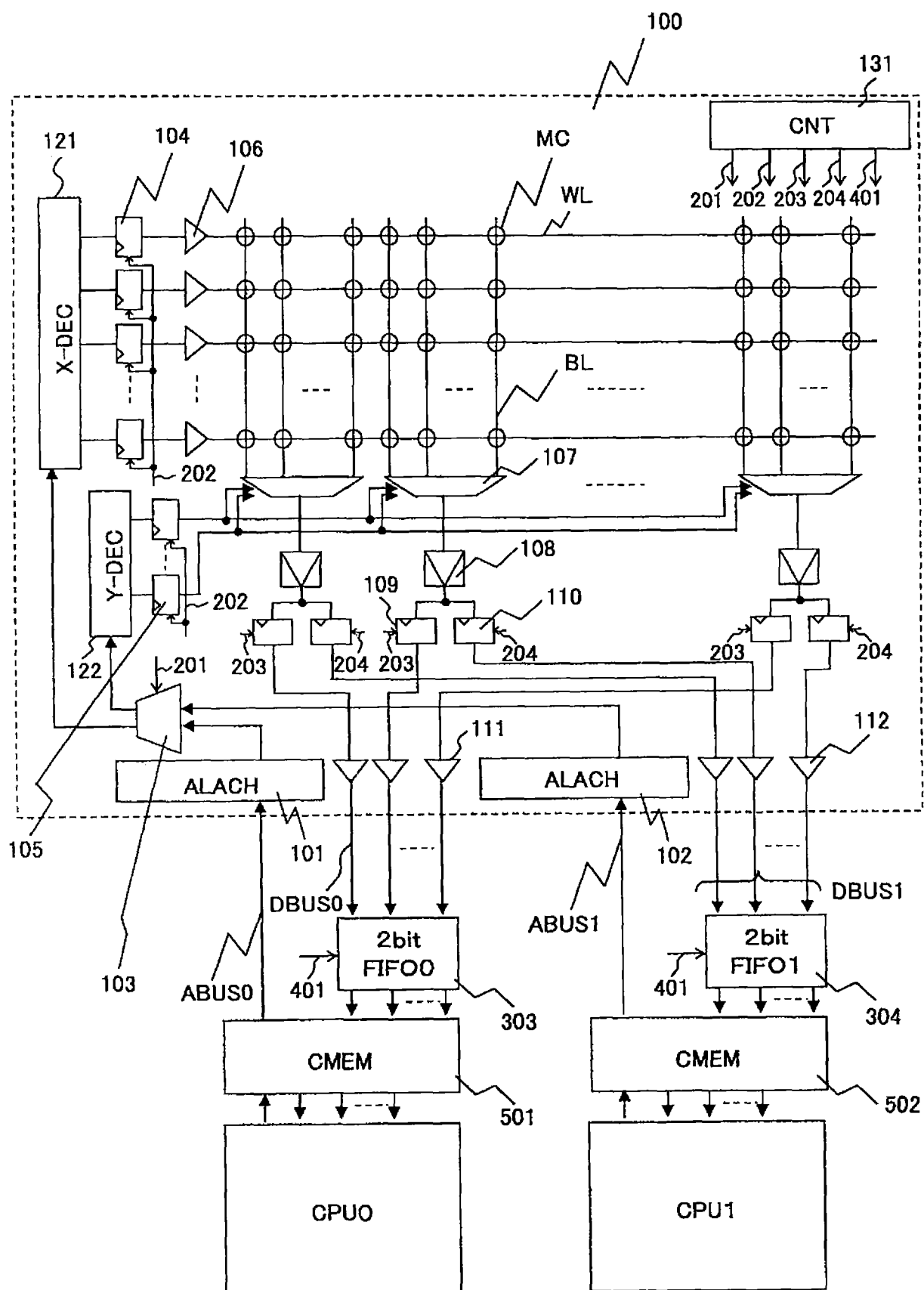


图 5

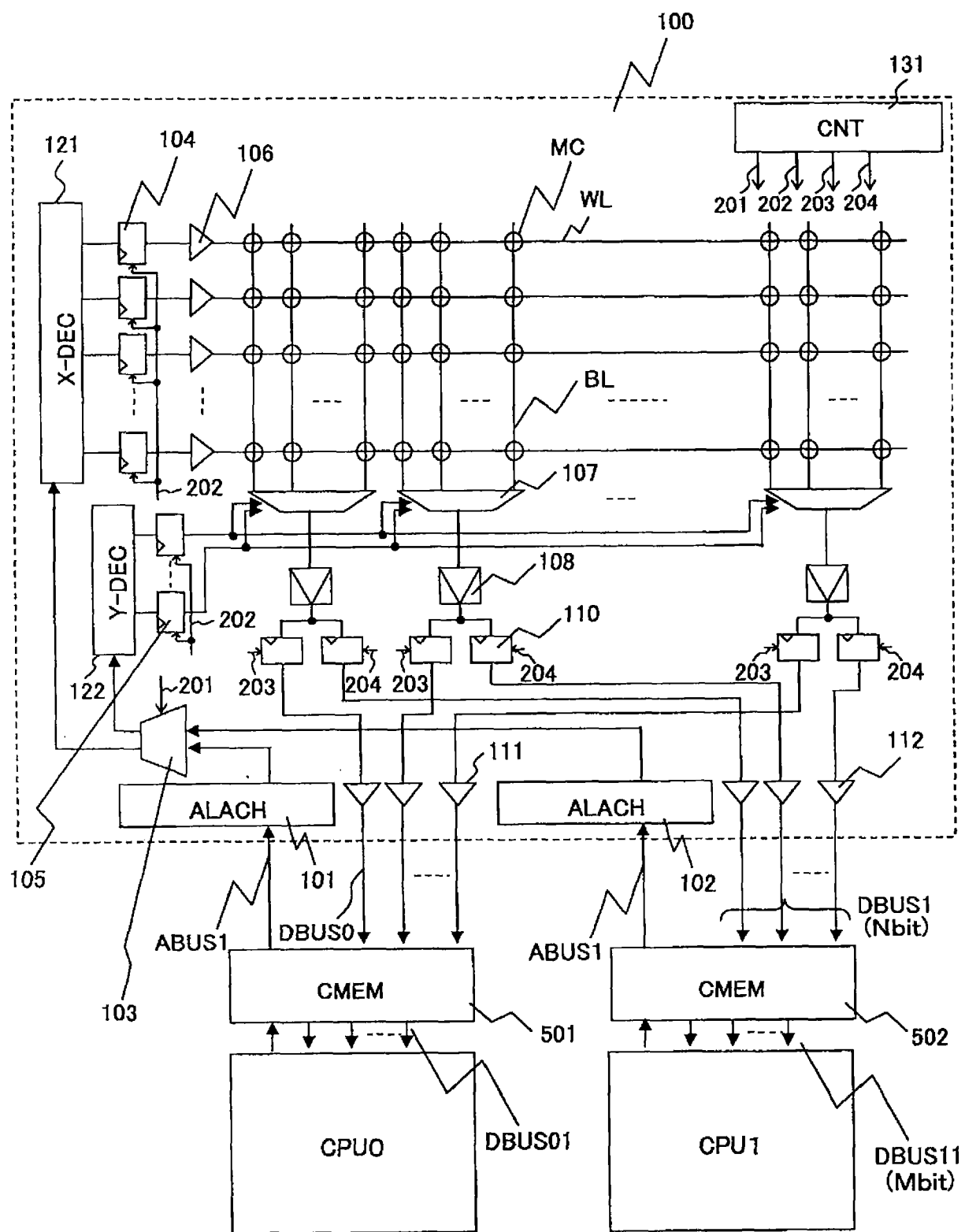


图 6

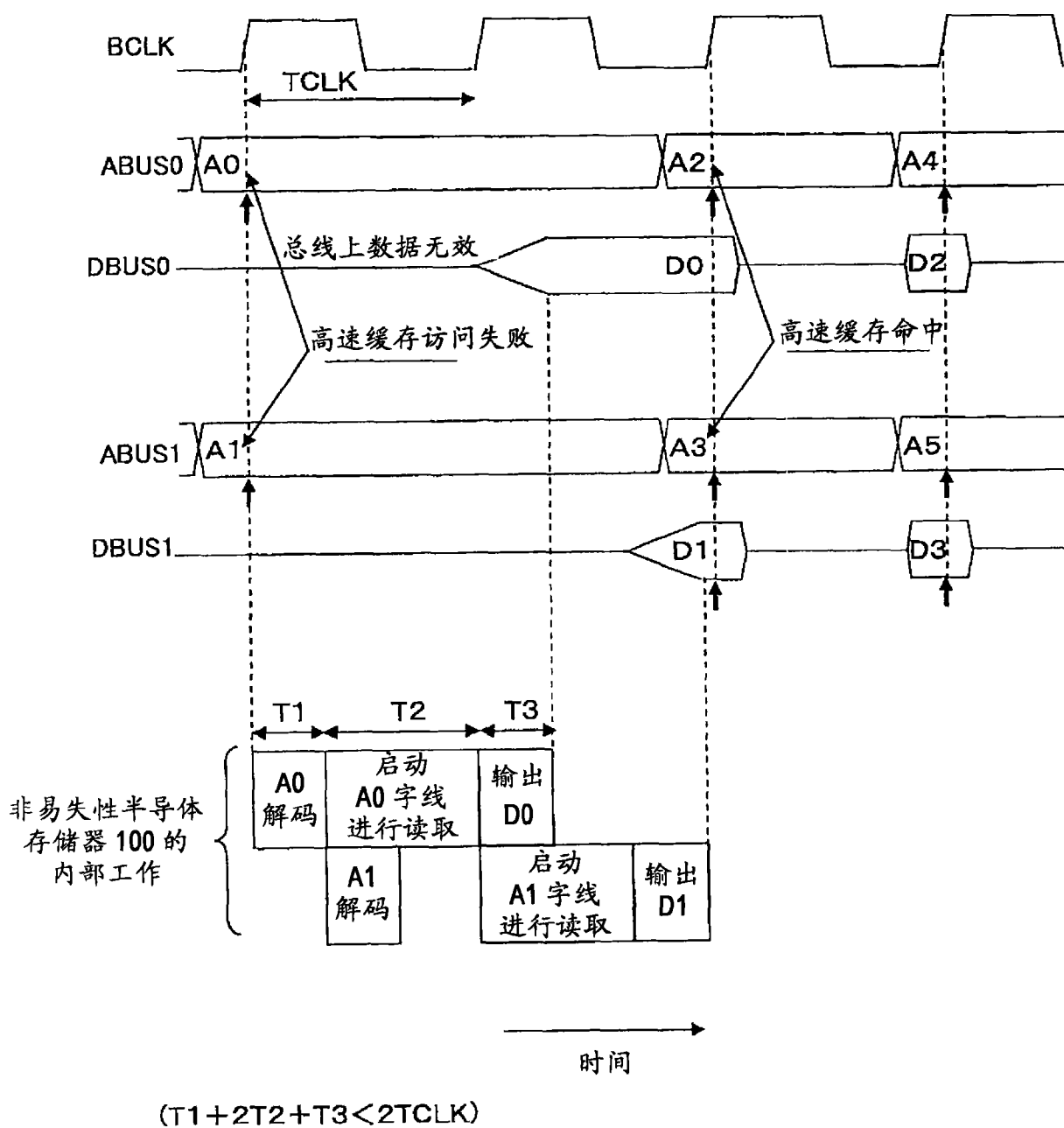


图 7

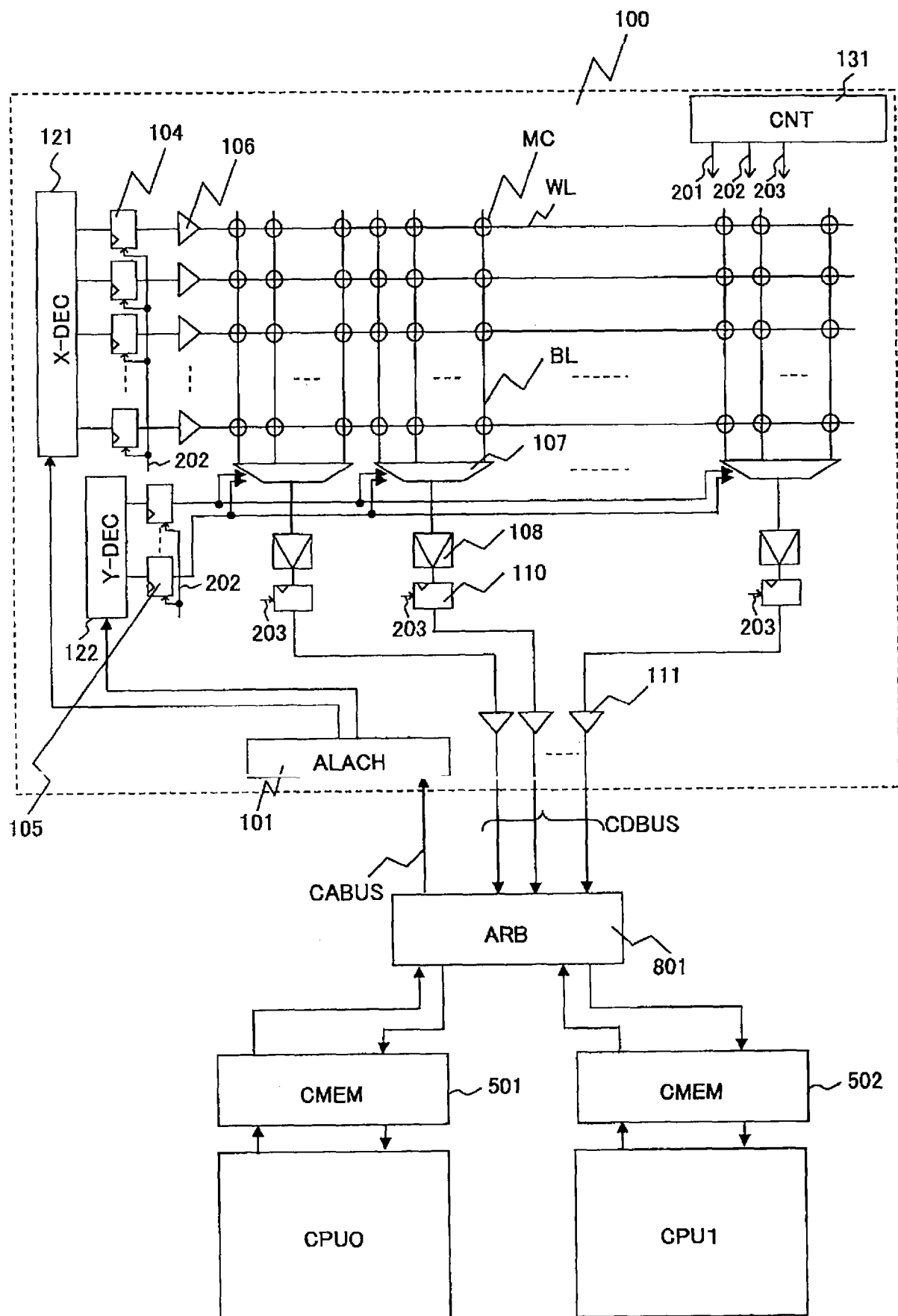


图 8

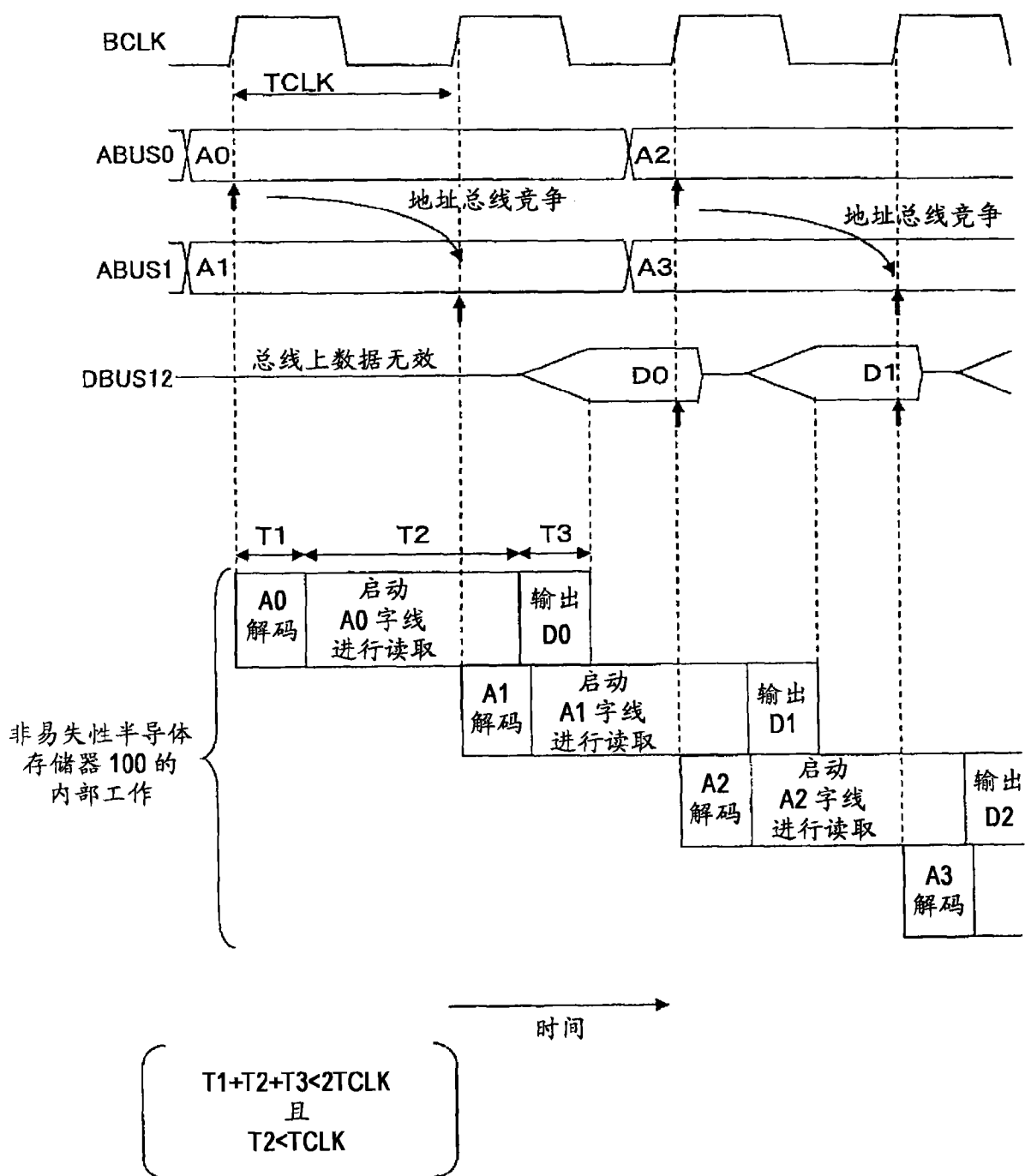


图 9

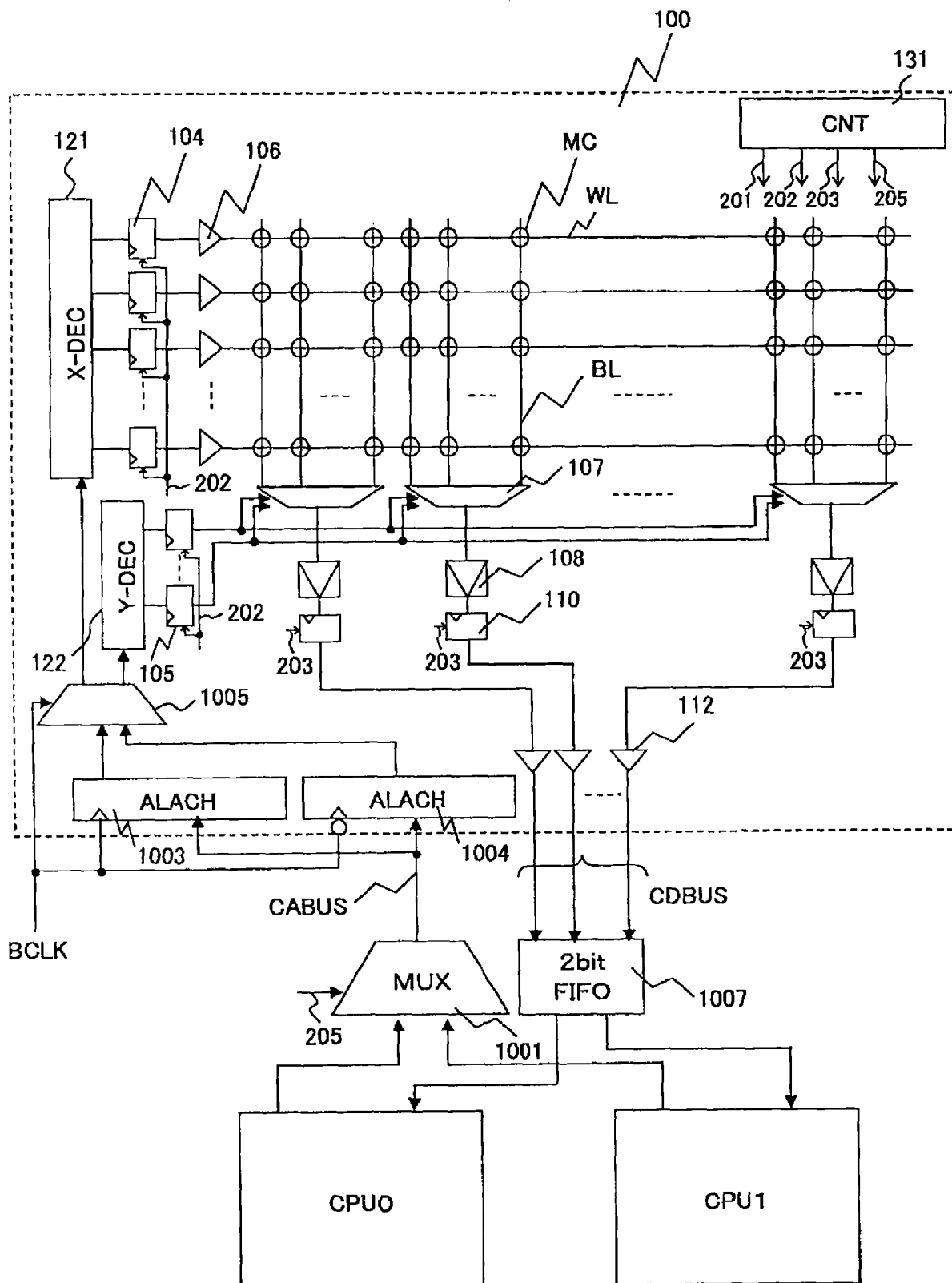


图 10

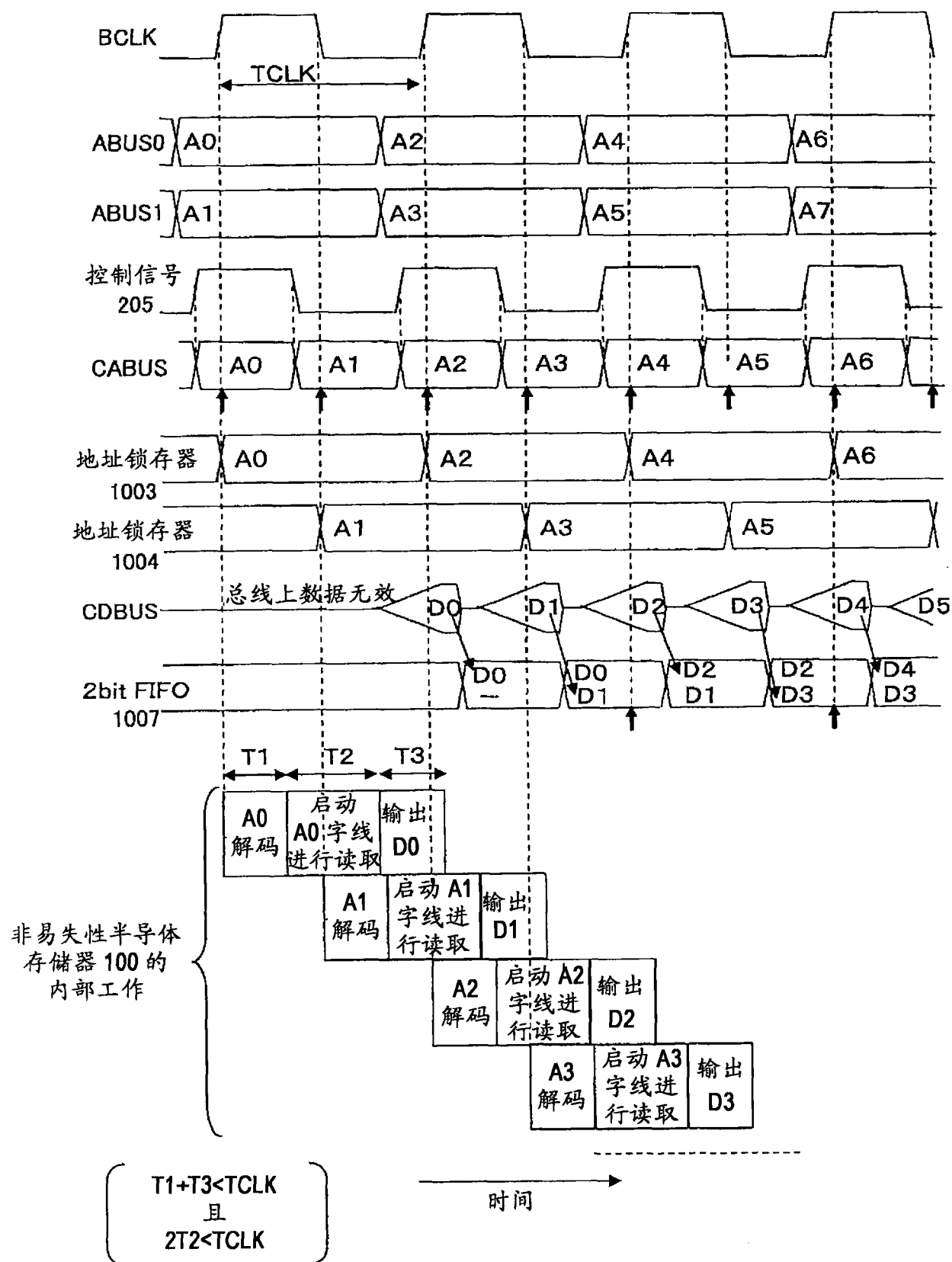


图 11

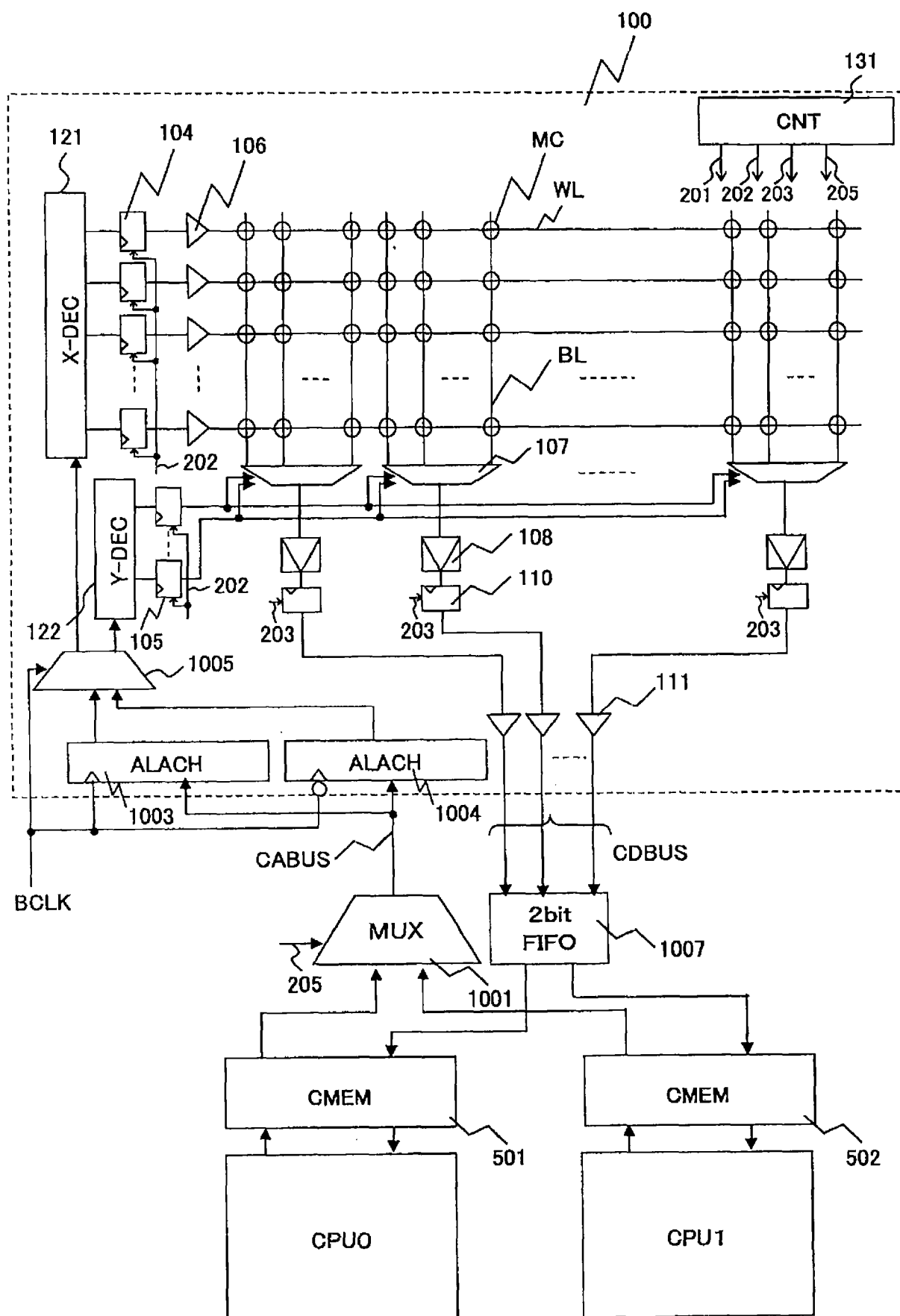


图 12

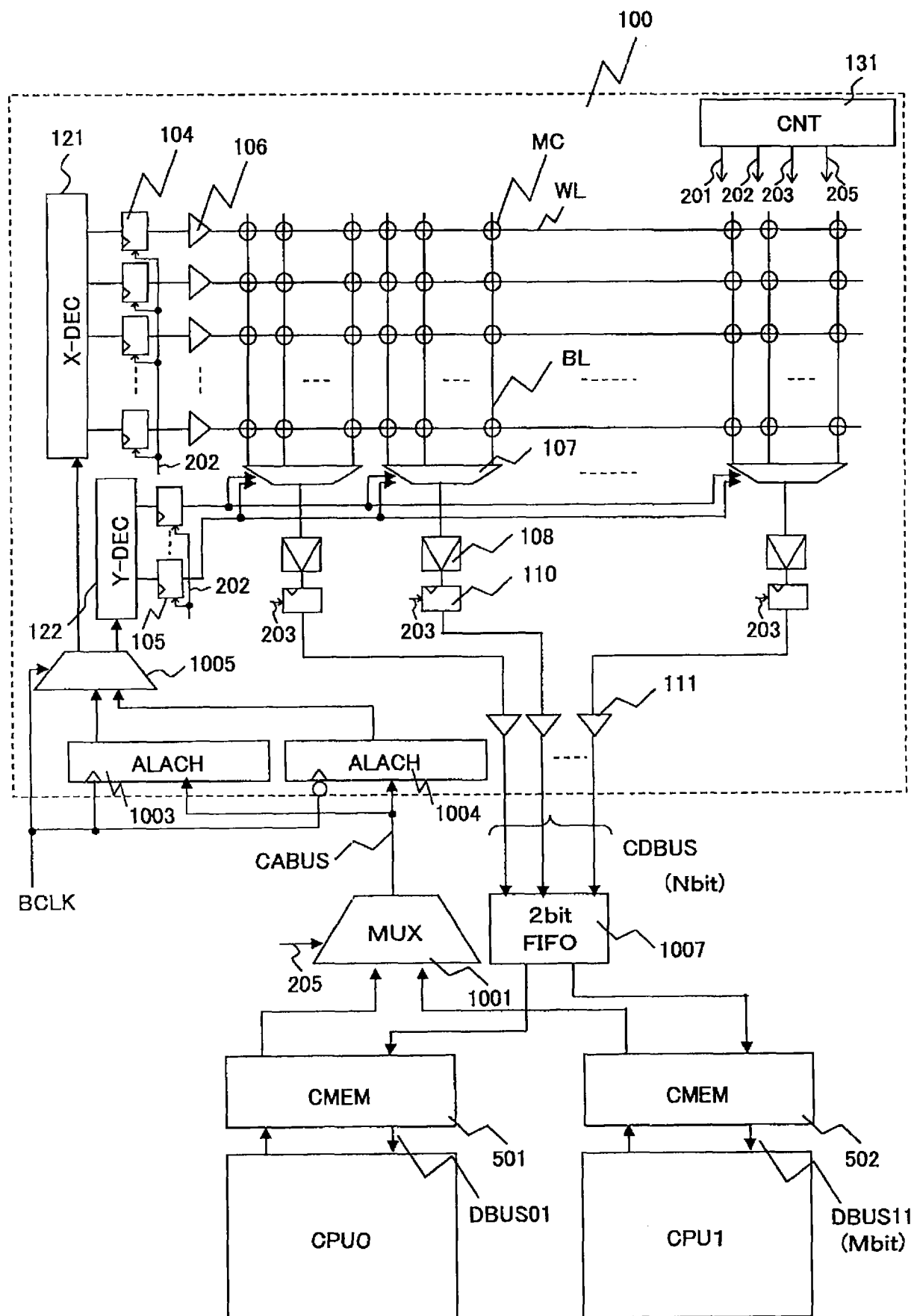


图 13

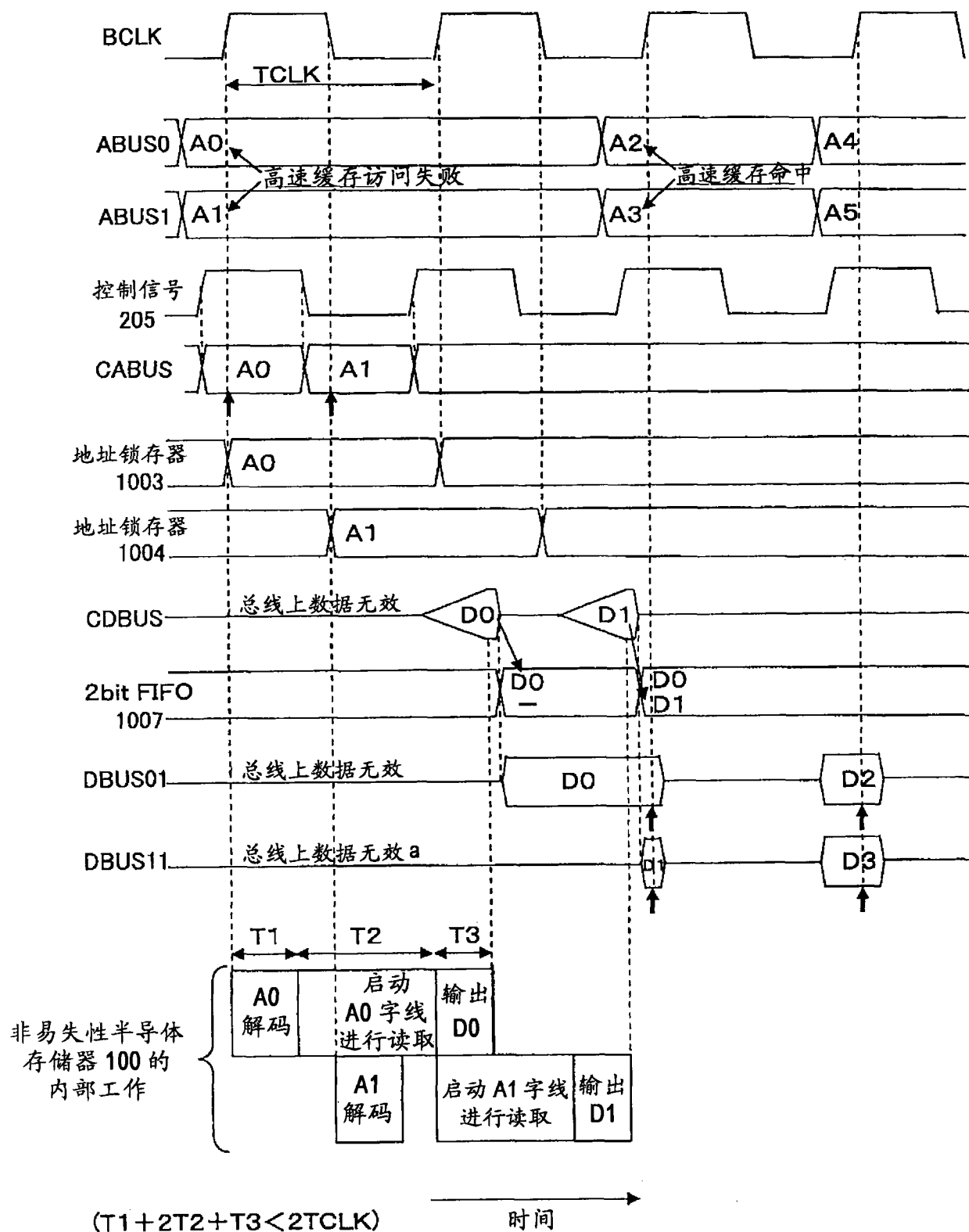


图 14

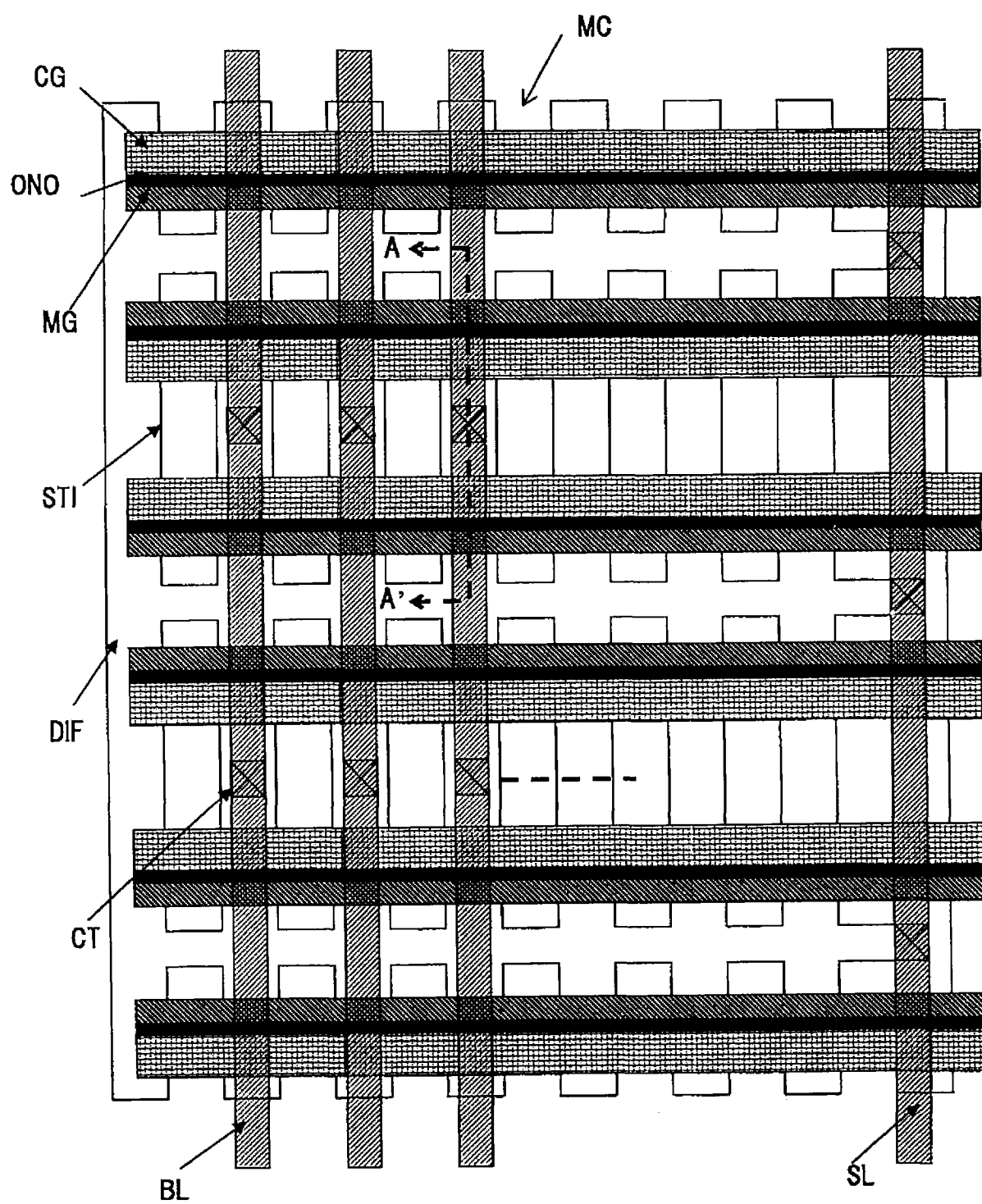


图 15

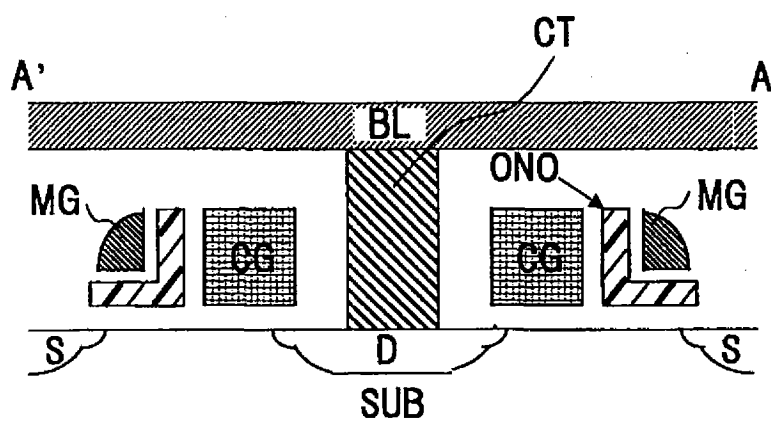


图 16

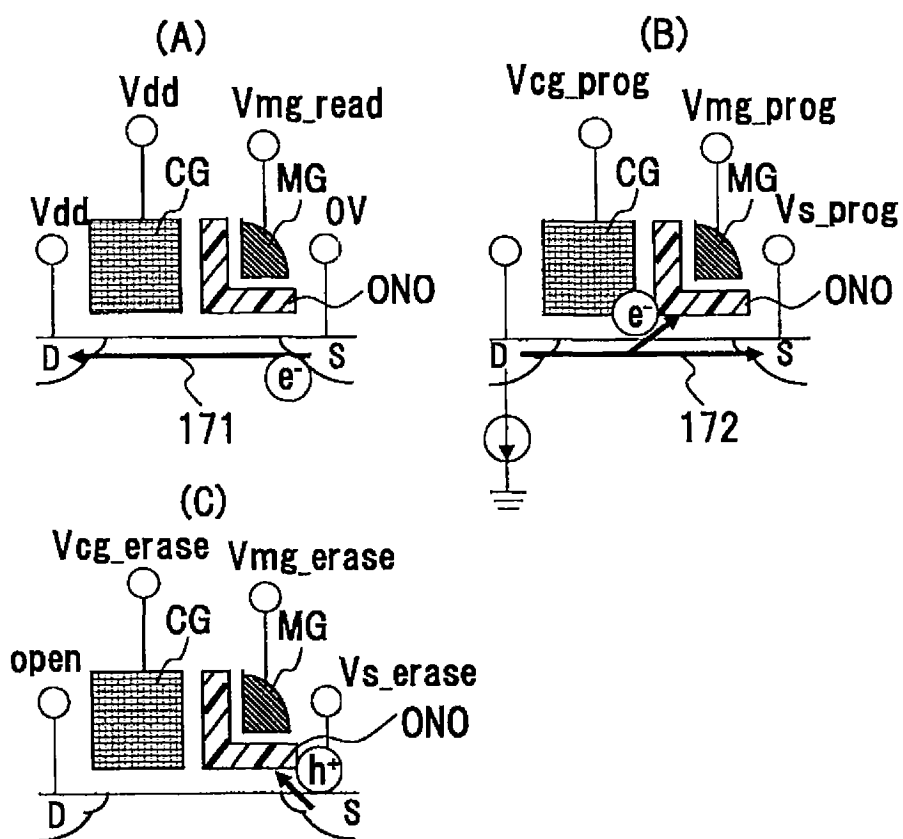


图 17

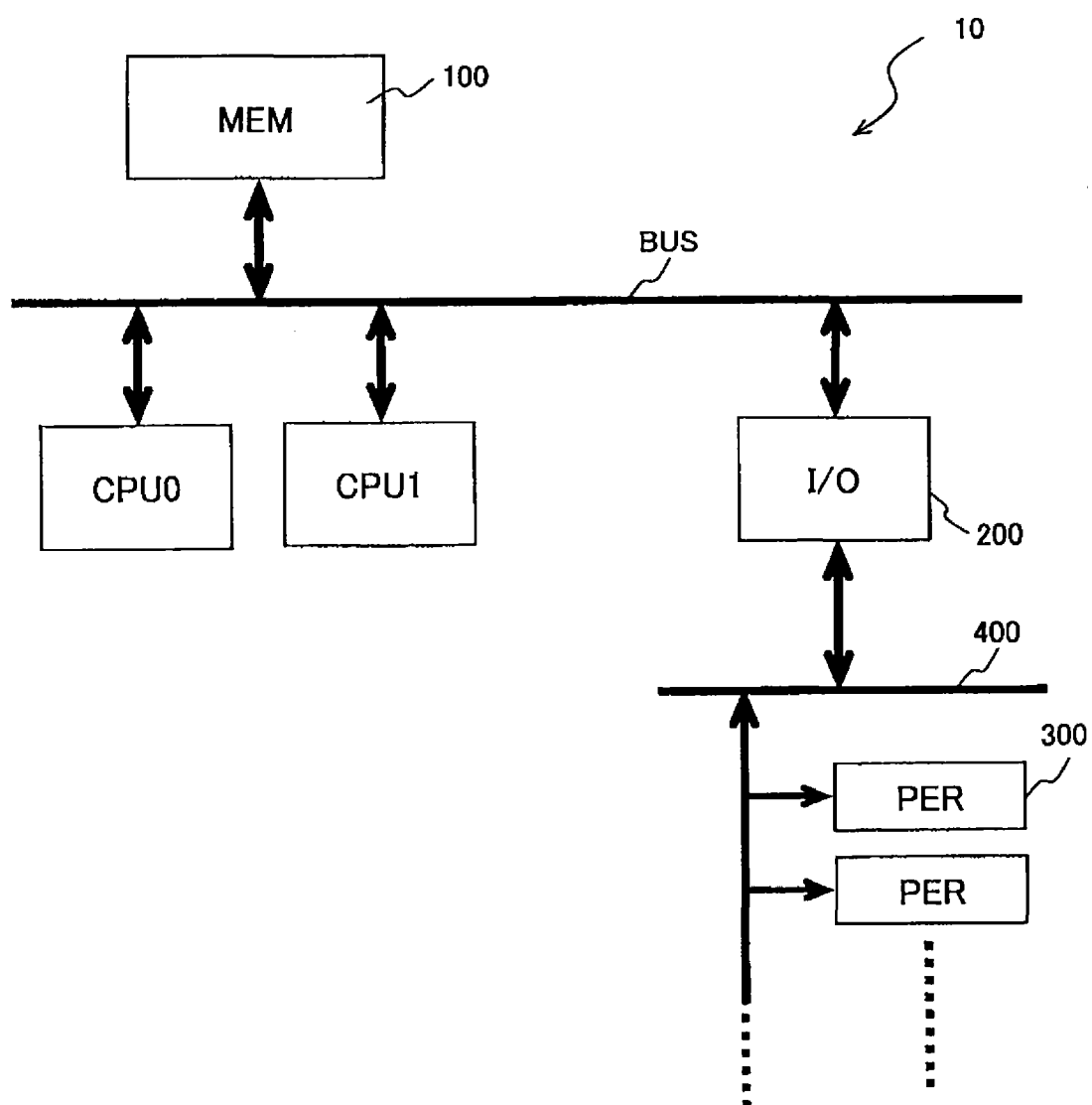


图 18