

公告本

申請日期	89 年 2 月 25 日
案 號	89103419
類 別	H01L 21/66

A4
C4

451379

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	使用已知之正常裝置來產生預期響應之積體電路裝置的有效並聯測試
	英 文	Efficient parallel testing of integrated circuit devices using a known good device to generate expected responses
二、發明 人	姓 名	(1) 理查·羅伊 Roy, Richard S. (2) 查理斯·米勒 Miller, Charles A.
	國 籍	(1) 美國 (2) 美國
	住、居所	(1) 美國加州丹維爾荊棘地一四六號 146 Briar Place, Danville, CA 94526, U.S.A. (2) 美國加州費蒙特史梅隆路四八八八一號 48881 Semillon Drive, Fremont, CA 94539, U.S.A.
	代 表 人 姓 名	(1) 鋒法特股份有限公司 FormFactor, Inc.
三、申請人	姓 名 (名稱)	(1) 鋒法特股份有限公司 FormFactor, Inc.
	國 籍	(1) 美國
	住、居所 (事務所)	(1) 美國加州理維摩爾里伯拉街五六六六號 5666 La Ribera Street, Livermore, CA 94550 U.S.A.
	代 表 人 姓 名	(1) 大衛·拉伍德 Larwood, David J.

裝

訂

線

451379

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

美國 1999 年 3 月 1 日 09/260,460 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明背景

本發明與使用半導體測試器測試積體電路裝置有關，更明確地說，與並聯測試若干個裝置有關。

積體電路（IC）裝置幾乎是現今所有現代化電子或電腦系統中的重要部分。為降低系統的製造成本，製造商希望每一個IC裝置幾乎完全沒有瑕疵，並按照它們的規格執行它們的任務。因此，希望每一個IC在送到系統製造商前都經過嚴格的測試。

不過，曾經做過分析，在製造IC的總成本中，有很大一部分是來自對它的測試。這是因為很多現代化的IC裝置所執行的功能非常複雜，具有極大數量的輸入與輸出，且都是在高速下操作。例如，256Mb的記憶體裝置，它具有16條資料線與22條位址線。測試這類裝置最簡單的方法是將已知的資料值寫入每一個記憶位置，並讀取該位置，接著比較讀取值與寫入值（預期值），以決定是否有任何負結果（錯誤）。不過，由於位置的數量龐大，每一個位置都包含數個位元，此種測試每一個位元並結合每一個位置之位元的技術，不但昂貴且耗時。測試工程的領域現已發展了有效率的技術，用以偵測儘量多的錯誤同時使用最少的測試順序。

記憶體裝置可以使用自動半導體測試器測試。圖5顯示此種測試器502，具有若干個（N）通道供並聯測試若干個被測試裝置518（DUTs）。DUT 518可以是記憶格陣列與內建的自我測試（BIST）電路。

（請先閱讀背面之注意事項再填寫本頁）

訂 線

五、發明說明(2)

測試器 502 執行測試程式，並回應產生資料與位址，它定義一測試順序 506 的設計，用以測試特定的 DUTs。資料與位址在測試器的每一個通道上饋入各自的 DUT，因此，對應於若干個通道的若干個 DUTs 可以同時被測試。一探針卡（未顯示）同時接收所有 N 個通道送出之測試順序的位址與寫入資料給 N 個不同 DUTs 內的位置。測試器 502 從 DUTs 內的位置讀取資料，並與預期值比較。此測試可在 DUTs 仍是半導體晶圓 516 之一部分時執行。比較的結果有助於決定裝置中是否有某部分的功能不正常，例如，從記憶體裝置中某位置讀取的某定位元是否有誤。測試器以相同或不同的資料模式多次執行上述的讀取與輸入循環，在指定的時間與預算的限制下，以儘量多確認 DUTs 中不同的位置。

為提升測試系統的產出量，即每單位時間所測試的 DUTs 數量，可以構建具有較多通道的較大測試器。不過，昂貴是此種方法所無法避免的。測試器 502 是一台複雜且高速的機具，修改或增進需要很多的時間與花費。此外，現代化的測試器，每一個通道都有 50 到 100 條信號線，因此，增加測試器與探針卡間的通道數量，將所有信號線連接到探針卡並不切實際。因此，吾人需要一種更有效率的方法以增加 IC 測試系統的產出量。

發明概述

按照本發明的實施例，揭示一種測試設備，它包括一

（請先閱讀背面之注意事項再填寫本頁）

訂
線

五、發明說明 (3)

被信賴的位置，在該位置存有測試資訊的參考範本，以及一測試電路，它與被信賴的位置介接。與測試設備結合，提供測試電路存取若干個 D U T s 的連接，並根據從被信賴之位置所獲得的參考範本測試每一個 D U T。測試電路窺察測試主機與被信賴之位置間的連接，並可識別連接上的命令，並為本地的動作解釋這些命令。例如，測試設備可以包括一位於半導體測試器與 D U T s 間的中間測試電路。中間電路從被信賴的位置（例如一已知之正常裝置）得到有效資料，並將有效資料與讀取自 D U T s 的資料比較，以決定 D U T s 的錯誤狀態。接著再將測試的結果送給測試主機。

也可以由測試主機本身發出命令給測試電路以架構本地動作。測試電路包括邏輯裝置用以偵測這些命令，並用以管理本地測試功能。後者可以包括回應對寫入到被信賴之位置的窺察，將寫入傳送給並聯的一或多個 D U T s。當 D U T s 具有記憶體電路要被測試時，測試電路也按需要管理記憶體電路，例如施加恢復循環。

一特定的實施例是系統具有一測試器，一已知的正常裝置，一通道連接於測試器與已知正常裝置之間，用以在已知正常裝置與測試器間傳遞資料，以及介面電路，用以監視通道。測試器將資料寫入已知正常裝置中的位置是測試順序的一部分，並接著從若干個被測試裝置（D U T s）之每一個中的對應位置讀取資料。在測試器寫入與讀取已知正常裝置中之位置時，介面電路監視通道，

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(4)

並回應，以執行在 D U T s 中之對應位置的寫入與讀取。
介面電路也比較得自己知正常裝置的資料與 D U T s 的資料。

圖式簡單說明

圖 1 說明按照本發明之測試系統實施例的方塊圖。

圖 2 顯示按照本發明之測試器 - D U T 介面方塊的部分方塊圖。

圖 3 是測試器 - D U T 介面方塊所使用之狀態機的狀態圖。

圖 4 是按照本發明具有已知正常裝置及 2 個測試器 - D U T 介面方塊之探針卡的另一實施例。

圖 5 顯示習用的測試系統。

主要元件對照表

502	測試器
518	被測裝置
506	測試順序
516	晶圓
102	測試系統
112	已知正常裝置(KGD)
108	通道
104	測試器
116	介面電路

五、發明說明 (5)

120	測試器-DUT介面方塊
204a	DUT埠
204b	DUT埠
208	通道埠
212	位址及指令解碼邏輯
220	控制與狀態暫存器
216	位址映射器
224	比較器電路
266	資料匯流排
268	位址匯流排
256	DUT時計信號
232	時計產生器
258	時計控制信號
228	狀態機
400	探針卡
404	探針

詳細說明

如以上的簡單概述，本發明的實施例提供對若干個相同（最好是完全一致）IC裝置更有效率的並聯測試，且不需要改變測試程式或習用的測試器。從測試器的觀點，仍是按照習用的順序，每一個通道仍是測試一個裝置，在本例中是已知的正常裝置（KGD）。在測試器將資料寫入已知正常裝置內的位置時，測試器-DUT介面電路監

（請先閱讀背面之注意事項再填寫本頁）

訂
線

五、發明說明 (6)

視通道，此為測試模型的一部分。接著，介面電路將資料寫入 1 到 M 個 D U T s 中對應的位置。當測試器讀取已知正常裝置內的位置時，介面電路偵測該讀取，且本身也從 D U T s 內對應的位置讀取 D U T 資料。因此，測試器不必產生預期資料供讀取比較，這有助於加快整體的測試。接著，介面電路使用讀取自 D U T s 的 D U T 資料做成比較以產生錯誤資訊。接著按照製造流程，測試器或系統控制器讀取介面電路所提供的錯誤資訊。

圖 1 說明按照本發明之測試系統 1 0 2 的實施例方塊圖。在一特定的實施例中，測試器可以是 Hewlett Packard, Inc., 的 HP83000 型，適合一般的 Direct Rambus Dynamic Random Access Memory (DRDRAM) 記憶體裝置的規格。另者，適合自動測試 I C 裝置 (特別是記憶體裝置) 的其它型式測試器與通道也都可以使用，例如包括高速串列匯流排。D U T 本身也許是記憶體晶片，或是其內包括記憶體部分的任何半導體裝置。一已知正常裝置 (K G D) 1 1 2 經由通道 1 0 8 與測試器 1 0 4 通訊連接。實際上，K G D 可以是一 D U T 的樣品，它經過足量的測試，確保它是完全無錯誤的正常裝置。另者，K G D 也可以是模擬實際 D U T 在完全無錯誤之情況下的硬體。

將 D U T s 連接到通道的是介面電路 1 1 6。在如圖 1 所示的特定實施例中，介面電路 1 1 6 包括若干個實質上完全相同的測試器 - D U T 介面方塊 1 2 0₁、1 2 0₂、...、1 2 0_i。這些一或多個可以使用各自獨立的特

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(7)

殊用途積體電路(A S I C)晶片實施。另者，以下所描述之每一個方塊120_i的功能，也可由數個晶片實施。雖然圖1中只顯示了16個方塊，但一般來說可以少或多些，以所要測試之D U T s的數量與通道108的負荷能力為考量。經由本揭示所描述的功能，熟悉此方面技術之人士應可發展出其它電路結構的D U T s與通道108間的介面。除了監視通道與從D U T s讀取與寫入外，也可將介面電路116架構成可以比較K G D的資料及時序與介面讀取自D U T s的資料及時序。K G D的資料及時序可以由介面電路116在測試器讀取或寫入K G D時經由窺察通道108得到。

圖2是測試器-D U T介面方塊120_i的部分方塊圖。它構成本發明之實施例的介面電路116。以圖2所示的特定型式而言，可以提供M個D U T埠，每一個可介接一個D U T。D U T埠204a與204b回應接收自通道埠208的位址與資料，以及回應來自位址及指令解碼邏輯212的其它控制指示，D U T埠204a與204b分別寫入與讀取各自的D U T s。通道埠208從通道108捕捉到位址、資料及控制(例如讀取/寫入)資訊後，它們被饋入位址及指令解碼邏輯212。邏輯212經由解碼位址、資料、R/W信號，以及接收自通道埠208的控制資訊監視通道108中的讀取與寫入動作，以決定邏輯212的下一操作(從D U T s讀取或寫入)。每一個方塊120_i，更明確地說是位址及指令解

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (8)

碼邏輯 2 1 2 知曉已知正常裝置 1 1 2 的位址範圍 (見圖 1)，因此，當測試器 1 0 4 寫入已知正常裝置 1 1 2 或從其讀取時，方塊 1 2 0_i 可以與其各自的 D U T s 執行相同的讀取與寫入處理。此外，解碼邏輯 2 1 2 知道若干個控制與狀態暫存器 (C S R s) 2 2 0 與 D U T 埠的位址範圍。此允許測試器在相同的通道 1 0 8 上但在不同的時間各別地存取每一個 D U T 埠。位址範圍可包括用來在 C S R s - 2 2 0 中設定適當位元的控制資訊，以初始化方塊 1 2 0_i，並將方塊 1 2 0_i 置於不同的操作模式。經由寫入及讀取 C S R s - 2 2 0，可將每一個獨立的方塊 1 2 0_i，或是整個介面電路 1 1 6，置於不同的操作模式。

為允許測試器 1 0 4 能完全存取每一個 D U T，每一個 D U T 埠應被指定到不同的位址範圍。配置一位址映射器 2 1 6，用以將 K G D 中位置的位址映射到 D U T s 中對應的位置。例如，如果 K G D 的位址範圍是 0 - 6 4 M，D U T 埠 1 的位址範圍可以是 6 4 - 1 2 8 M，D U T 埠 2 可以是 1 2 8 - 1 9 6 M 等等。也允許 D U T 埠共用方塊 1 2 0_i 中相同的位址線，以得到每一個方塊更有效率的電路結構。

配置一比較器電路 2 2 4，使用讀取自各別 D U T 的 D U T 資料執行比較。在圖 2 的特定實施例中，每一個比較器接收兩個 1 6 位元的值，一個是讀取自各自的 D U T 資料，另一個是從通道埠 2 0 8 接收來自 K G D 的讀取資

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (9)

料。使用時計再同步與管線暫存器在每一個比較器 2 2 4 排列資料。雖然本例中的內部資料匯流排 2 6 6 是 1 6 位元寬，但其它寬度的資料匯流排 2 6 6 與位址匯流排 2 6 8 也都可以使用。每一個比較器 2 2 4 執行 D U T 資料值與 K G D 資料值之位元方面的 X O R 運算，以產生列錯誤資料。此列錯誤資料可儲存在 C S R s 2 2 0 中，或儲存在獨立於每一個方塊 1 2 0 ；之外的記憶體（未顯示）中。測試器 1 0 4 可在稍後經由通道 1 0 8 或經由其它路徑存取此記憶體，以讀取錯誤資料。

除了提供列錯誤資料外，可實施的比較設計例如也可以為每一個各別的比較產生一信號錯誤位元。此給予一個在某 D U T 之某位元群中發生錯誤的指示，但不指明該群的諸多位元中是那一個位元發生錯誤。此允許一個具有 1 6 位元寬之資料匯流排的通道 1 0 8 可同時將 1 6 個 D U T s 的資訊送回測試器。如有需要，也可實施其它的比較設計，以得到其它的比較結果，例如 Roy & Miller 提出之專利申請案，名稱爲 "Interface Circuitry for Parallel Testing of Multiple Devices Under Test Using A Single Tester Channel" (P076) 及 "Parallel Testing of Integrated Circuit Devices Using Cross-DUT and Within-DUT Comparisons" (P077) 中的描述，兩篇都列入本文參考。一般而言，任何顯示錯誤的錯誤資料連同它位置的位址，以及相關的 D U T 都儲存在 C S R s 2 2 0 中，直到被測試器 1 0 4 存取。這些旗標用來指示某特定 D U T 或某

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (10)

位址範圍中出現錯誤。它們被測試器 104 讀取，接著完成測試順序，以快速決定是否出現任何錯誤。接著，測試器 104 可以更詳細的方法選擇性地測試發生錯誤的位址範圍或 DUT，以決定錯誤是發生在那些特定的位元。

現請參閱圖 2，DUT 埠使用一 DUT 時計信號 256 同步各 DUTs 的寫入與讀取，並使來自通道埠 208 的資料與 DUT 埠再同步。信號 256 可以由一時計產生器 232 提供，時計產生器 232 包括鎖相或延遲鎖定迴路。時計產生器 232 根據接收自測試器 104 的時計信號操作。時計產生器 232 也提供時計控制信號 258，用以相對於接收自測試器 104 的時計信號改變饋入每一個 DUT 之時計的相位。可藉規劃 CSRs 220 以改變 DUT 時計信號 256 與控制信號 258。

解碼邏輯 212 回應所偵測到之讀取或寫入的某位址範圍，發信給一狀態機 228 以過渡到適當的狀態，如圖 3 的泡泡圖。每一個方塊 120_i 以及整個測試系統 102 的操作將配合此狀態圖解釋。操作通常是從測試器 104 初始化介面電路 116 開始，例如，經由初始化每一個介面方塊 120_i，或經由在通道 108 上送出一寫入處理，指示 CSRs 220 位址範圍。另者，也可以使用測試器 104 以外的機具，經由與 CSRs 220 連接的輔助埠（未顯示）執行 CSRs 220 及每一個方塊 120_i 的初始化。在完成方塊 120_i 的初始化或重置之後，它在一待命狀態 302，如圖 3 所示。不過，雖然是

（請先閱讀背面之注意事項再填寫本頁）

訂線

五、發明說明 (11)

在待命，方塊 1 2 0，仍定期地讀取它的 C S R s 2 2 0。在測試器 1 0 4 開始執行它的測試順序並寫入已知正常裝置 1 1 2 前，測試器 1 0 4 先寫入 C S R s 2 2 0，請求操作模式改變成監視狀態 3 0 4。狀態機 2 2 8 回應進入監視狀態 3 0 4。在此狀態，方塊 1 2 0，監視通道 1 0 8，同時測試器 1 0 4 將資料寫入 K G D 1 1 2。解碼邏輯 2 1 2 回應偵測到的寫入處理，方塊 1 2 0，進入模擬寫入狀態 3 0 8，在此狀態，從通道 1 0 8 捕捉 K G D 的邊界資料，並寫入到每一個 D U T 對應的位置。寫入處理按此方法一直被模擬，直到測試器 1 0 4 進入讀取循環。

在讀取循環期間，測試器 1 0 4 將從 K G D 1 1 2 中的位置讀取先前寫入的資料。解碼邏輯 2 1 2 偵測此讀取處理，並發信號給狀態機 2 2 8 進入模擬讀取狀態 3 1 2。在此狀態，方塊 1 2 0，模擬測試器對所有 D U T s 的讀取處理，並執行比較以決定 D U T s 內的錯誤。當模擬測試器的讀取處理時，在通道 1 0 8 上獲得一 K G D 資料值（預期值），並被每一個比較器 2 2 4 鎖存。解碼邏輯 2 1 2 初始化從 D U T s 之對應位置的讀取，它將 D U T 資料值從每一個 D U T 帶入每一個比較器 2 2 4。接著比較從 K G D 讀取的資料值與從對應之 D U T 讀取的資料值。由於 K G D 資料值是由一“正常”的裝置提供，因此，K G D 資料值是一預期響應，可以用來決定對應之 D U T 資料值中的任何錯誤（如果有）。

（請先閱讀背面之注意事項再填寫本頁）

訂
線

五、發明說明 (12)

如果比較的結果是良好的，即沒有錯誤，狀態機 2 2 8 返回監視狀態 3 0 4。另一方面，如果比較後得到負面結果，即 D U T 資料與對應之 K G D 資料不同，則進入記錄錯誤狀態 3 1 6，其中，錯誤資料被記錄。接著，狀態機 2 2 8 回到監視狀態 3 0 4。錯誤的記錄可以包括將列錯誤資料儲存到 C S R s 2 2 0 內，或是儲存到先前提及的其它獨立的記憶體中。一旦測試器 1 0 4 完成它的測試順序，它可以寫入 C S R s 2 2 0，以重置或結束監視，因此，狀態機 2 2 8 又回到待命狀態 3 0 2。

此外，也可提供其它的狀態（未顯示），以將方塊 1 2 0₁ 架構成將列錯誤資料或經過壓縮的錯誤資料送給測試器 1 0 4 或其它機具。因此，除了具有上述同時測試若干個並聯 D U T s 的能力之外，介面電路 1 1 6，更明確地說是每一個方塊 1 2 0₁，可以進一步被架構成具有旁通模式。在此模式中，經由可規劃的 C S R s 2 2 0，所有由解碼邏輯 2 1 2 監視之通道的處理，都可以模擬到所選擇的其中一個 D U T 埠。在此模式中，在同一時間在測試器 1 0 4 的一個通道上，只能存取一個 D U T。在從 C S R s 2 2 0 讀取了被壓縮的錯誤資料後，可以使用旁通模式將錯誤定位到某 D U T 之某位址的某特定位元。此外，也可使用旁通模式做為除錯工具，用來對測試程式除錯。

圖 4 說明按照本發明的另一實施例，具有介面電路 1 1 6 之方塊 1 2 0₁ 與方塊 1 2 0₂ 的晶圓探針卡 4 0 0

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (13)

。探針卡 4 0 0 具有若干個探針 4 0 4，用以使 D U T 的信號點與方塊 1 2 0 i 內之各自的 D U T 埠電氣接觸，以允許存取此 D U T。操作時，探針卡 4 0 0 降到晶圓表面，以接觸構成晶圓之 D U T s 的信號點。有關進一步的細節，可見於 Roy & Miller 提出之專利申請案，名稱爲 “Interface Circuitry for Parallel Testing of Multiple Devices Under Test Using A Single Tester Channel” ((P076)。

概言之，所描述之本發明的各實施例是使用一已知的正常裝置產生預期響應，藉以執行積體電路裝置之有效率的並聯測試。例如，讓測試器 1 0 4 在每一個通道上按習用的測試程式與測試順序操作一 K G D 1 1 2，可使修改測試程式以便在每一個通道上確認若干個 D U T s 的相關成本降至最低。在 D U T s 與測試器 1 0 4 之一個通道間使用介面電路 1 1 6，允許每一個通道可並聯測試多個 D U T s，且不需爲了每一個通道測試多個 D U T s 而增加測試器 1 0 4 與探針卡 4 0 0 間的接線數量，因此，進一步提升了測試系統的產出量。從以上可瞭解，本發明的某些實施例有利於測試器，但它的測試程式及核心測試順序，包括邊界與向量，都不會受本發明的實質影響。測試程式只需做些許的修改，例如增加一小常式，用以讀取介面電路所產生的錯誤資訊。

熟悉一般技術的人士應瞭解，本發明可以使用各種其它的組合與環境，且在本文中所表達之發明構想的範圍內，可做各種的變化與修改。例如，雖然在本發明的實施例

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (14)

中描述，本發明對使用晶圓探針卡測試構成晶圓的記憶體晶片特別有用，但並聯測試 D U T s 的構想，也可用於測試封裝，而 D U T s 是已封裝之 I C 晶片的一部分。同樣地，可以在封裝晶片的最後測試期間才使用介面電路所提供的錯誤資訊，只是單純地決定整個封裝是通過或故障，而不找出發生錯誤之位元的正確位置。因此，所有的這類修改及／或改變都在申請專利範圍的範圍內。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

四、中文發明摘要(發明之名稱： 使用已知之正常裝置來產生預期響應之積體電路裝置的有效並聯測試)

揭示一種用來測試積體電路裝置的系統，其中，測試器經由通道而與已知的正常裝置通訊。提供測試器－DUT介面電路，用以在測試器將作為測試順序一部分之資料寫入已知正常裝置內的位置時監視該通道。回應此，介面電路將資料寫入若干個被測試裝置(DUTs)每一個內的對應位置。在測試器讀取已知正常裝置(KGD)內的該位置時，介面電路監視該通道，並回應，執行讀取自DUTs中對應位置的DUT資料與得自KGD的預期響應間的比較。

英文發明摘要(發明之名稱：)

EFFICIENT PARALLEL TESTING OF INTEGRATED
CIRCUIT DEVICES USING A KNOWN GOOD DEVICE
TO GENERATE EXPECTED RESPONSES

A system for testing integrated circuit devices is disclosed in which a tester communicates with a known good device through a channel. Tester-DUT interface circuitry is provided for monitoring the channel while the tester is writing data as part of a test sequence to locations in the known good device. In response, the interface circuitry writes the data to corresponding locations in each of a number of devices under test (DUTs). The interface circuitry monitors the channel while the tester is reading from the locations in the known good device (KGD), and in response performs a comparison between DUT data read from the corresponding locations in the DUTs and expected responses obtained from the KGD.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

六、申請專利範圍

1. 一種用來測試積體電路裝置的系統，其包括：

一測試器；

一已知正常裝置（K G D）；

一通道，連接在測試器與K G D之間，用於K G D與測試器之間的資料通訊；以及

測試器－D U T介面電路，連接到通道，在測試器將作為測試順序的一部分之資料寫入K G D內的位置時，通道－D U T介面電路監視通道，並回應將該資料寫入複數個被測試裝置（D U T s）之每一個中的對應位置，並在測試器讀取K G D內之該位置時監視通道，並回應使用來自D U T s中該對應位置的D U T資料來執行比較。

2. 如申請專利範圍第1項的系統，其中該測試器－D U T介面電路產生與該比較結果有關的錯誤資訊，且其中，在測試順序完成之後，測試器為複數個D U T s中的每一個讀取錯誤資訊。

3. 如申請專利範圍第1項的系統，其中該測試器－D U T介面電路包括該D U T資料與K G D資料，K G D資料是經由通道而從K G D內的該位置所得到的。

4. 如申請專利範圍第1項的系統，其中該測試器－D U T介面電路更包括D U T時序與K G D時序，K G D時序是在測試器寫入與讀取K G D時藉由監視通道所得到的。

5. 如申請專利範圍第1項的系統，更包括：

複數個探針，每一個探針的一端連接到測試器

（請先閱讀背面之注意事項再填寫本頁）

訂
線

六、申請專利範圍

— D U T 介面電路，另一端則用來接觸半導體晶圓上複數個 D U T s 的信號點。

6 . 如申請專利範圍第 1 項的系統，更包括：

錯誤記憶體，連接到測試器—D U T 介面電路，用以儲存與該比較結果有關的錯誤資訊。

7 . 如申請專利範圍第 6 項的系統，其中該錯誤記憶體連接到通道，以及，測試器經由通道存取記憶體來讀取錯誤資訊。

8 . 如申請專利範圍第 1 項的系統，更包括：

第二通道，用以將測試器與測試器—D U T 介面電路通訊連接，以及，其中測試器在執行測試順序期間接收有關該比較的結果，並根據錯誤資訊為每一個 D U T s 準備一錯誤表。

9 . 一種用來測試積體電路裝置的電路，該電路經由一通道而被連接到測試器，以及連接到複數個被測試裝置 (D U T s)，該電路包括：

通道監視裝置，用以監視通道內的讀取與寫入處理；

D U T 存取裝置，連接到通道監視裝置，回應來自通道監視裝置的指示，用以寫入及讀取一或多個 D U T s ；
以及

比較器裝置，用以使用讀取自 D U T s 的 D U T 資料執行比較。

10 . 如申請專利範圍第 9 項的電路，其中該比較器裝置比較該 D U T 資料與 K G D 資料，K G D 資料是經由

六、申請專利範圍

通道而從連接到該通道之 K G D 內的位置所得到的。

1 1 . 一種用來測試積體電路裝置的探針卡，該卡連接到測試器，該卡包括：

一通道，連接到測試器；

一已知的正常裝置（K G D），連接到該通道；

通道監視器連接到通道，該通道監視器在測試器將作為測試順序的一部分之資料寫入 K G D 內之位置時監視該通道，並在測試器讀取 K G D 中的該位置時監視該通道；

D U T（被測試裝置）存取埠，連接到該通道監視器，D U T 存取埠回應來自通道監視器的指示，寫入及讀取複數個 D U T s 至少其中一個中的對應位置；以及

比較器，連接到 D U T 存取埠，使用讀取自 D U T s 中該對應位置的 D U T 資料進行比較。

1 2 . 如申請專利範圍第 1 1 項的探針卡，更包括複數個探針，每一個探針的一端連接到 D U T 存取埠，以及另一端用來接觸複數個 D U T s 的信號點。

1 3 . 如申請專利範圍第 1 1 項的探針卡，其中該比較器比較該 D U T 資料與 K G D 資料，K G D 資料是經由通道而從 K G D 內的該位置所得到的。

1 4 . 一種積體電路裝置的測試方法，其包括：

將作為測試順序的一部分之資料經由通道寫入已知的正常裝置（K G D）內；

在寫入該資料時監視通道，並回應將該資料寫入複數個被測試裝置（D U T s）每一個中對應位置；

（請先閱讀背面之注意事項再填寫本頁）

訂
線

六、申請專利範圍

經由通道讀取 K G D 中的該位置；以及

在讀取該位置時監視通道，並回應使用得自 D U T s 中該對應位置的 D U T 資料來執行比較。

15 . 如申請專利範圍第 14 項的方法，其中該執行比較的步驟更包括

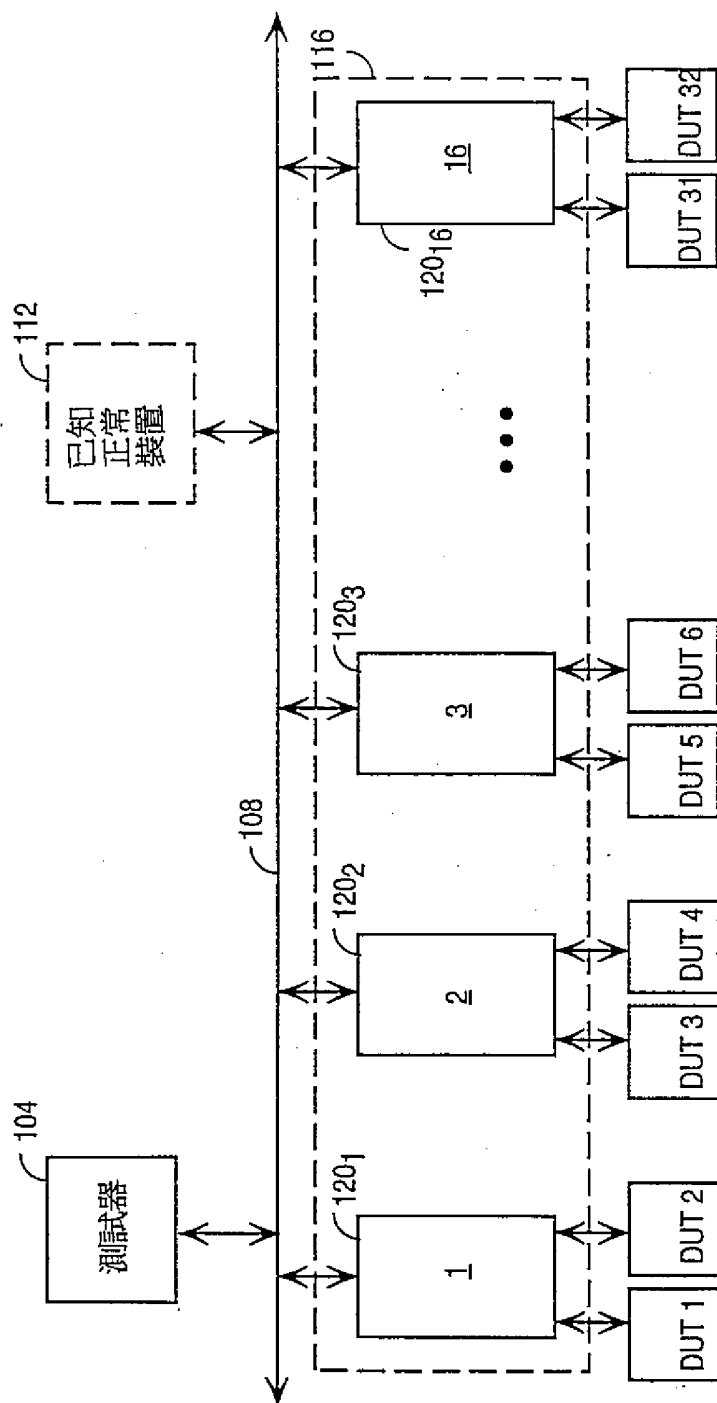
比較該 D U T 資料與經由通道得自 K G D 中該位置的 K G D 資料。

16 . 如申請專利範圍第 14 項的方法，更包括經由寫入與讀取在複數個 D U T s 中所選擇之其中一個中的位置，藉以只存取複數個 D U T s 中所選擇的其中一個。

(請先閱讀背面之注意事項再填寫本頁)

訂

線



102

圖 1

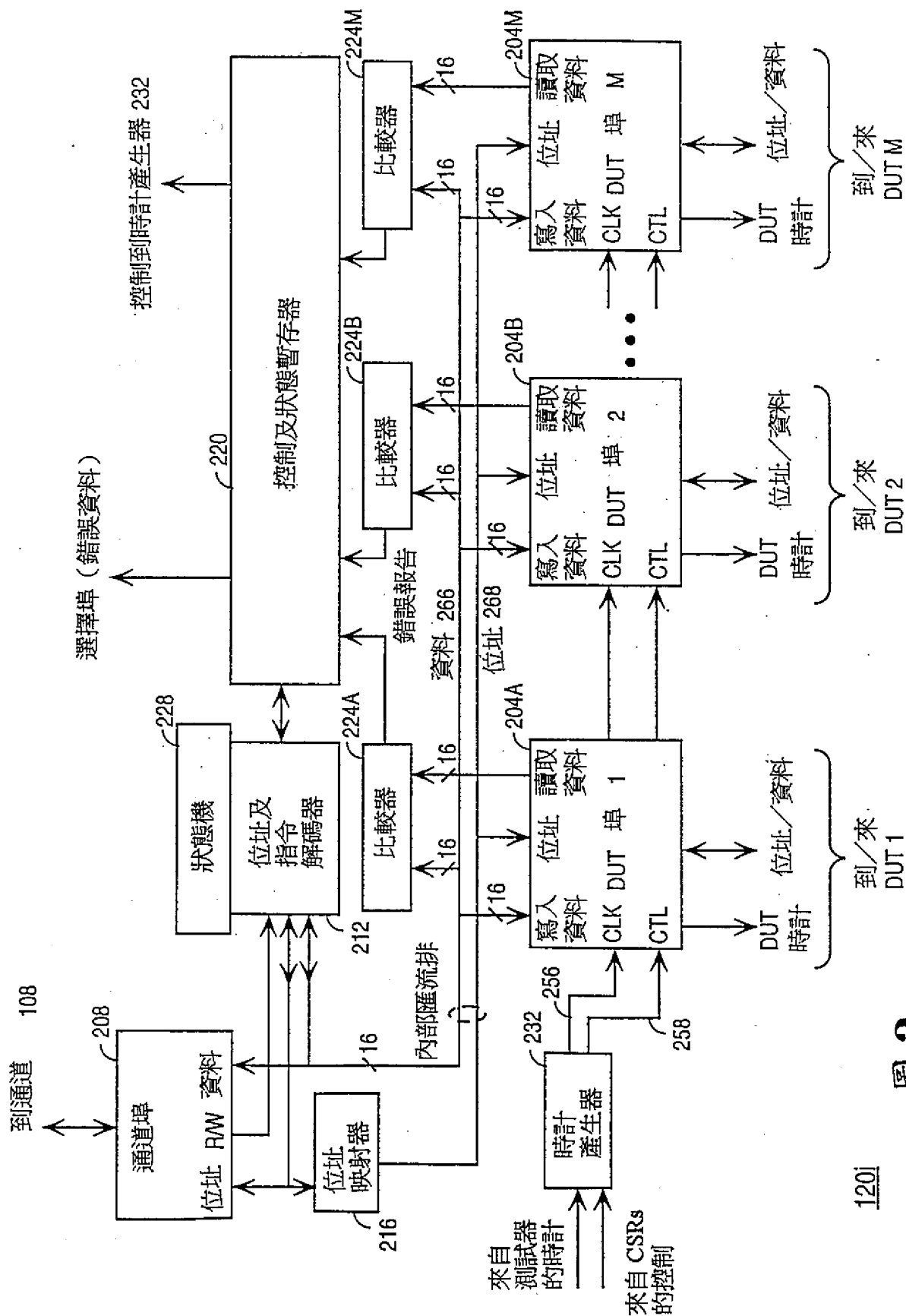


圖 2

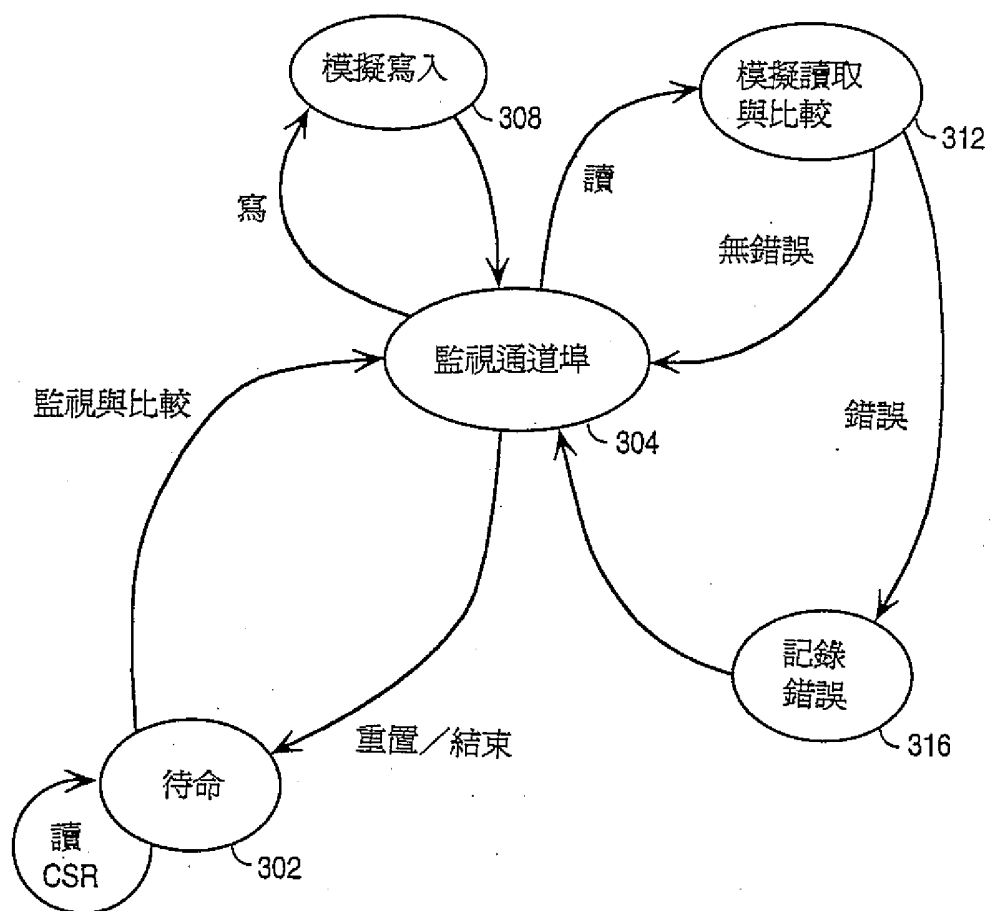


圖 3

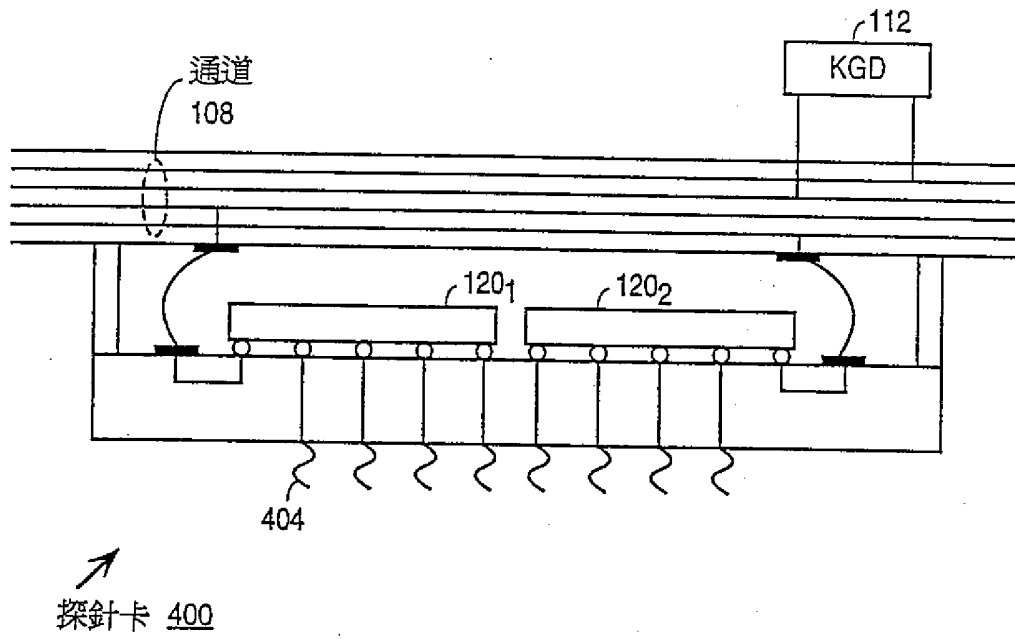


圖 4

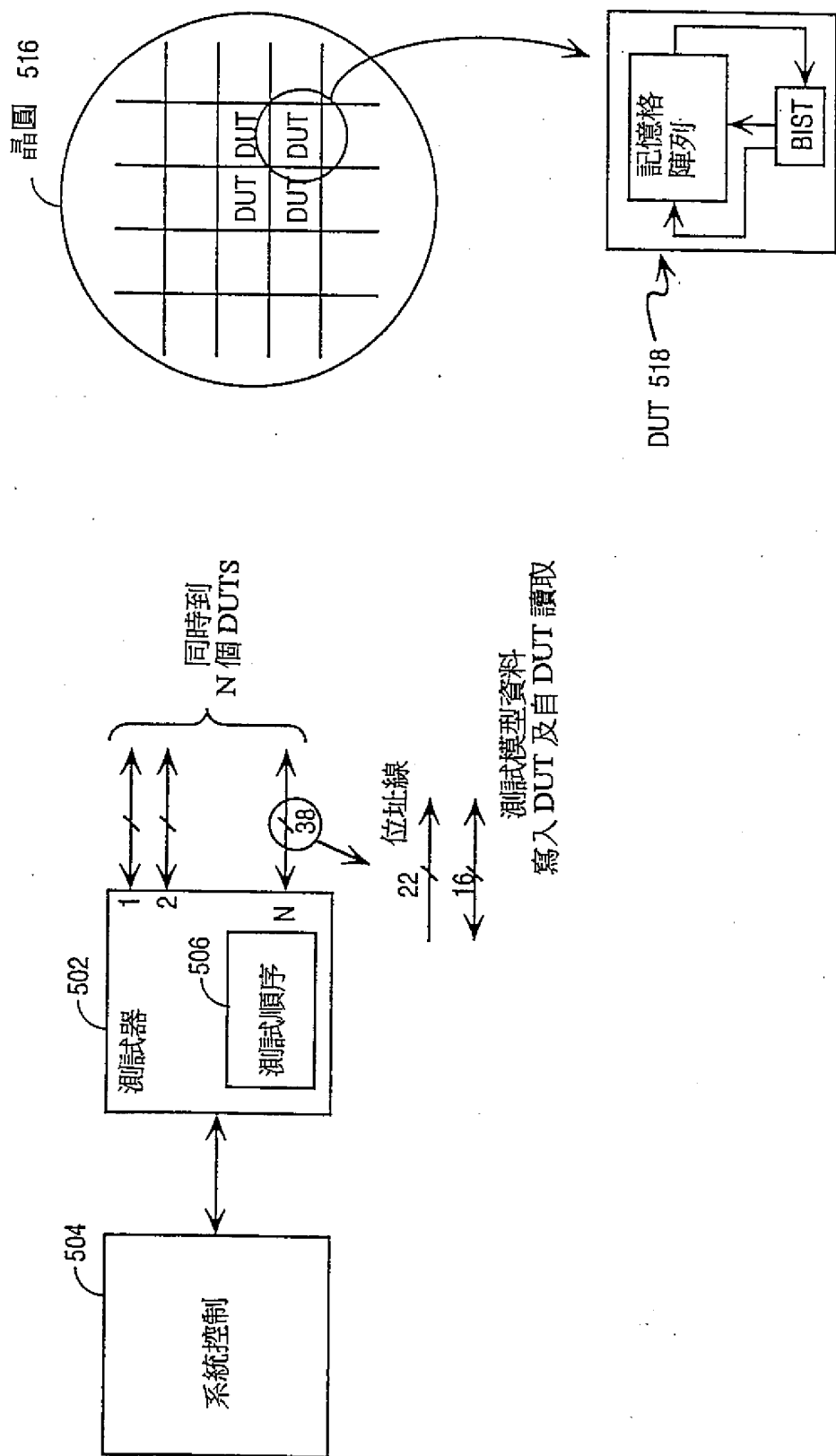


圖 5