

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/336 (2006.01)

H01L 21/8234 (2006.01)

H01L 29/78 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410037529.7

[45] 授权公告日 2007 年 4 月 4 日

[11] 授权公告号 CN 1309033C

[22] 申请日 2004.4.28

[21] 申请号 200410037529.7

[30] 优先权

[32] 2003.4.29 [33] US [31] 10/425, 156

[73] 专利权人 台湾积体电路制造股份有限公司

地址 台湾省新竹科学工业园区

[72] 发明人 杨育佳 王屏薇 陈豪育 杨富量
胡正明

[56] 参考文献

US6475869B1 2002.11.5

US20020036290A1 2002.3.28

US6413802B1 2002.7.2

JP10-93093A 1998.4.10

US6300182B1 2001.10.9

US20020153587A1 2002.10.24

US6521502B1 2003.2.18

US6255699B1 2001.7.3

JP5-343679A 1993.12.24

审查员 刘震

[74] 专利代理机构 北京三友知识产权代理有限公司

代理人 王一斌

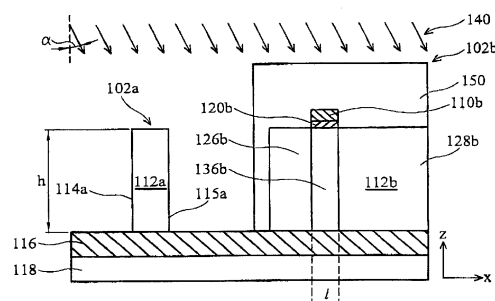
权利要求书 3 页 说明书 15 页 附图 11 页

[54] 发明名称

具有鳍片结构的半导体元件及其制造方法

[57] 摘要

本发明是具有鳍片结构的半导体元件及其制造方法。所述半导体结构，其包括多个半导体鳍片在一绝缘层上，一栅极介电质在部分所述半导体鳍片上，以及一闸电极在该栅极介电质上。上述任一半导体鳍片均具有一上表面、一第一侧壁表面以及一第二侧壁表面；掺杂物离子以一与上述半导体鳍片上表面的法线成一第一角度(例如大于约 7°)植入以掺杂所述半导体鳍片的第一侧壁表面及上表面；所述半导体结构沿法线旋转 180 度后，掺杂物离子再以一与上述半导体鳍片上表面的法线成一第二角度植入所述半导体鳍片的第二侧壁表面以及上表面。



1. 一种掺杂多重栅极晶体管的半导体鳍片的方法，其特征在于，包括下列步骤：

提供一半导体结构，包括多个半导体鳍片在一绝缘层上，一栅极介电质在部分半导体鳍片上，以及一闸电极在栅极介电质上，而每一半导体鳍片均具有一上表面、一第一侧壁表面以及一第二侧壁表面；

与所述半导体鳍片上表面法线成一角度 α 植入掺杂物离子以掺杂半导体鳍片的第一侧壁表面及上表面，所述角度 α 大于7度；以及

所述半导体结构沿法线旋转180度后，与所述半导体鳍片上表面法线成一角度 β 植入掺杂物离子以掺杂所述半导体鳍片的第二侧壁表面及上表面，所述角度 β 大于7度，以在未被所述闸电极覆盖的所述半导体鳍片中形成一源极区和漏极区，以及在所述源极区和漏极区之间的所述半导体鳍片中形成一具有均一长度的沟道区。

2. 根据权利要求1所述的掺杂多重栅极晶体管的半导体鳍片的方法，其特征在于，所述角度 α 的大小等于角度 β 。

3. 根据权利要求1所述的掺杂多重栅极晶体管的半导体鳍片的方法，其特征在于，还包括施行一回火程序以活化布植的掺杂物离子。

4. 根据权利要求1所述的掺杂多重栅极晶体管的半导体鳍片的方法，其特征在于，所述半导体鳍片是朝同方向排列。

5. 根据权利要求1所述的掺杂多重栅极晶体管的半导体鳍片的方法，其特征在于，所述半导体鳍片是包含硅鳍片。

6. 根据权利要求1所述的掺杂多重栅极晶体管的半导体鳍片的方法，其特征在于，所述第一及第二侧壁的表面为结晶面。

7. 根据权利要求1所述的掺杂多重栅极晶体管的半导体鳍片的方法，其特征在于，所述半导体结构还包括一刻蚀掩模在半导体鳍片上。

8. 根据权利要求1所述的掺杂多重栅极晶体管的半导体鳍片的方法，其特征在于，所述绝缘层是凹陷以致半导体鳍片的基部具有一凹口。

9. 根据权利要求1所述的掺杂多重栅极晶体管的半导体鳍片的方法，其特征在于，所述半导体鳍片上表面区域的掺杂浓度对该半导体鳍片第一侧壁区域的掺杂浓度的比例介于1至4之间。

10. 根据权利要求1所述的掺杂多重栅极晶体管的半导体鳍片的方法，其特征在于，所述角度 α 大于15度。

11. 根据权利要求1所述的掺杂多重栅极晶体管的半导体鳍片的方法，其特征在于，所述角度 α 介于26度至63度之间。

12. 根据权利要求1所述的掺杂多重栅极晶体管的半导体鳍片的方法，其特征在于，所述第一及第二侧壁区域的掺杂浓度是掺杂至一大于每立方公分 1×10^{20} 。

13. 一种掺杂多重栅极晶体管的半导体鳍片的方法，其特征在于，包括下列步骤：

在一绝缘层上提供一具有第一方位的第一半导体鳍片以及一具有第二方位的第二半导体鳍片，任一的第一及第二半导体鳍片具有一上表面与两侧壁表面；

遮蔽第二半导体鳍片；

以一大植入角度 α 、沿法线旋转180度，依序布植掺杂物离子以掺杂该第一半导体鳍片两次，以在未被所述闸电极覆盖的所述第一半导体鳍片中形成一第一源极区和第一漏极区，以及在所述第一源极区和第一漏极区之间的所述第一半导体鳍片中形成一具有均一长度的第一沟道区；

遮蔽第一半导体鳍片；

以一大植入角度 β 、沿法线旋转180度，依序布植掺杂物离子以掺杂第二半导体鳍片两次，以在未被所述闸电极覆盖的所述第二半导体鳍片中形成一第二源极区和第二漏极区，以及在所述第二源极区和第二漏极

区之间的所述第二半导体鳍片中形成一具有均一长度的第二沟道区。

14. 根据权利要求13所述的掺杂多重栅极晶体管的半导体鳍片的方法，其特征在于，所述第一方位与第二方位是相互垂直。

15. 根据权利要求13所述的掺杂多重栅极晶体管的半导体鳍片的方法，其特征在于，所述角度 α 是位于一与第一半导体鳍片的侧壁表面垂直的平面上，而角度 β 则位于一与第二半导体鳍片的侧壁表面垂直的平面上。

16. 根据权利要求13所述的掺杂多重栅极晶体管的半导体鳍片的方法，其特征在于，还包括施行一回火程序以活化布植的掺杂物离子。

17. 根据权利要求13所述的掺杂多重栅极晶体管的半导体鳍片的方法，其特征在于，所述侧壁表面为结晶面。

18. 根据权利要求13所述的掺杂多重栅极晶体管的半导体鳍片的方法，其特征在于，任一半导体鳍片还包括一刻蚀掩模在半导体鳍片上。

19. 根据权利要求13所述的掺杂多重栅极晶体管的半导体鳍片的方法，其特征在于，所述绝缘层是凹陷以致半导体鳍片的基部具有一凹口。

20. 根据权利要求13所述的掺杂多重栅极晶体管的半导体鳍片的方法，其特征在于，所述半导体鳍片上表面区域的掺杂浓度对半导体鳍片的第一侧壁区域的掺杂浓度的比例介于1至4之间。

21. 根据权利要求13所述的掺杂多重栅极晶体管的半导体鳍片的方法，其特征在于，所述角度 α 及 β 均大于15度。

22. 根据权利要求13所述的掺杂多重栅极晶体管的半导体鳍片的方法，其特征在于，所述角度 α 及 β 均介于26度至63度之间。

23. 根据权利要求13所述的掺杂多重栅极晶体管的半导体鳍片的方法，其特征在于，所述第一及第二侧壁区域的掺杂浓度是掺杂至一大于每立方公分 1×10^{20} 。

具有鳍片结构的半导体元件及其制造方法

技术领域

本发明是有关于半导体元件，且特别有关于一种具有鳍片结构(fin structure)的半导体元件以及掺杂半导体鳍片元件的方法。

背景技术

于超大型集成(ULSI)电路的制作中,金属氧化物半导体场效应晶体管(metal-oxide-semiconductor field effect transistor; MOSFET)的制作技术占有决定性的影响。过去数十年来,通过金属氧化物半导体场效应晶体管尺寸的缩减可提供元件的速度表现、电路密度以及每单位效能成本的改善。当传统块金属氧化物半导体场效应晶体管的栅极长度缩减时,源极与漏极便容易和沟道区产生作用而影响其内的势能(potential);如此一来,具有较短栅极长度的晶体管将可能遭遇如无法控制栅极的沟道开关状态等问题。

有关短沟道长度的晶体管所减少对栅极控制的现象即所谓的短沟道效应(short-channel effects; SCE);而增加主体掺杂浓度(body doping concentration)、降低栅极氧化层厚度以及超浅源极/漏极接面(ultra shallow source/drain junction)均可抑制短沟道效应。然而,当元件尺寸(device scaling)进入次50纳米时代(sub-50 nm regime),其主体掺杂浓度、栅极氧化层厚度以及源极/漏极掺杂轮廓(doping profile)的需求愈发难以达至理想,尤其当传统元件构造是架构于块硅基底(bulk

silicon substrate)上。前段制程技术的创新或采用非传统元件的结构可需用以维持元件缩小的历史发展步伐。

当元件尺寸缩小至次 30 纳米时代, 一种控制短沟道效应的有效方法即使用一种多于一个栅极的可供选择的晶体管结构, 例如多重栅极晶体管(multiple-gate transistor), 而该可供选择的晶体管结构的范例之一即为多重栅极晶体管。多重栅极晶体管的范例是包含双重栅极晶体管(double-gate transistor)、三重栅极晶体管(triple-gate transistor)、欧米茄场效晶体管(omega field-effect transistor)、以及环绕型栅极(surround-gate)或包裹环绕型栅极(wrap-around gate)晶体管。一种多重栅极晶体管结构期待用于延伸互补型金属氧化物半导体(Complementary Metal Oxide Semiconductor; CMOS)技术的尺寸缩小能力, 超越传统块金属氧化物半导体场效应晶体管限制并达到硅材质的金属氧化物半导体场效应晶体的最大极限。引进额外栅极可改善栅极与沟道间的耦合电容(capacitance coupling)的产生、增加栅极对沟道控制的潜能、帮助短沟道效应的抑制、以及延伸金属氧化物半导体晶体的尺寸能力。

最简单的多重栅极晶体管的例子即 Hu 等人所获的美国专利字号 6,413,802 中所述的双重栅极晶体管。此专利中, 其晶体管沟道是包含一经刻蚀掩膜(etchant mask)所定义而成并形成于一绝缘层例如为氧化硅上的薄硅鳍片。施行一栅极氧化程序, 接着再沉积栅极以及定义栅极图案以形成一在鳍片旁的双重栅极结构, 而源极往漏极以与栅极往栅极的方向均位于基底表面的平面上。

发明内容

本发明是具有鳍片结构的半导体元件及其制造方法, 其较佳实施例即提供多种掺杂多重栅极晶体管的半导体鳍片以改善元件性能的方法。依

照本发明的实施例，其栅极长度相较某些先前技术的布植法 (implantation) 具有更均匀的掺杂，因此能够改善元件效能。

本发明的一实施例是提供一种掺杂多重栅极晶体管的半导体鳍片的方法。首先提供一种半导体结构，包含多个半导体鳍片在一绝缘层 (insulator layer) 上，一栅极介电质 (gate dielectric) 在部分所述半导体鳍片上，以及一闸电极 (gate electrode) 在该栅极介电质之上。上述任一半导体鳍片均具有一上表面、一第一侧壁表面以及一第二侧壁表面；掺杂物离子 (dopant ions) 与所述半导体鳍片上表面的法线呈一第一角度 (大于 7°) 植入以掺杂所述半导体鳍片的第一侧壁表面以及上表面，所述半导体结构沿法线旋转 180° 后，掺杂物离子与所述半导体鳍片上表面的法线呈一第二角度植入以掺杂所述半导体鳍片的第二侧壁表面以及上表面。

本发明的另一实施例是提供一种以不同方位掺杂半导体鳍片的方法。此实施例中，当第一半导体鳍片于一大角度下植入掺杂物离子时，一第一掩膜覆盖于第二半导体鳍片上；同样地，当第二半导体鳍片于一大角度下植入掺杂物离子时，一第二掩膜覆盖于第一半导体鳍片上。

本发明同样包含结构的实施例，例如绝缘层上有半导体 (semiconductor-on-insulator) 的晶片 (chip)，其包括多个多重栅极晶体管形成于一绝缘层之上，且上述任一多重栅极晶体管包括具有一方位的一半导体鳍片以及具有一栅极长度小于 30 纳米的闸电极；所述多重栅极晶体管的任一晶体管方位均相同。其它方法与结构也同样于本发明中揭示。

一种绝缘层上有半导体的晶片，其包括多个多重栅极晶体管形成于一绝缘层之上，且上述任一多重栅极晶体管包括具有一方位的一半导体鳍片以及具有一栅极长度相当于最小特征尺寸 (feature size) 的闸电极，而所述多重栅极晶体管的该方位则均为相同。

附图说明

图 1a 所示为一种双重栅极元件的结构;

图 1b 所示为一种三重栅极元件的结构;

图 1c 所示为一种欧米茄场效晶体管的结构;

图 2 所示为一种多重栅极晶体管的平面图;

图 3a 所示为一种三重栅极晶体管的立体透视图;

图 3b 所示为欧米茄场效晶体管的立体透视图;

图 4a 是沿图 2 中 B-B' 线的剖面图;

图 4b 是沿图 2 中 C-C' 线的剖面图;

图 5a、图 5b 及图 5c 是显示以一大植入角度掺杂一半导体鳍片的剖面图;

图 6a 所示为半导体鳍片的上部及侧壁表面所接收的离子剂量与植入角度的函数关系图;

图 6b 所示为该鳍片上部区域剂量对一侧壁表面区域剂量的比例与植入角度的函数关系图;

图 7a 为本发明的半导体鳍片元件的平面图示;

图 7b 为本发明的半导体鳍片元件的剖面图示;

图 8a 是显示当掺杂第一晶体管的源极与漏极区时, 其第二晶体管是处于一遮蔽的状态;

图 8b 是显示当掺杂第二晶体管的源极与漏极区时, 其第一晶体管是处于一遮蔽的状态;

图 9 所示为本发明的一种 n-型晶体管。

符号说明:

100 ~ 双重栅极晶体管

102 ~ 三重栅极晶体管

- 104 ~ 欧米茄场效晶体管
- 110 ~ 闸电极
- 112 ~ 硅体、鳍片
- 114、115 ~ 鳍片的(第一、第二)侧壁
- 116 ~ 绝缘层
- 118 ~ 硅基底
- 120 ~ 栅极介电质
- 122 ~ 掩膜
- 124 ~ 鳍片的上表面
- 126 ~ 源极区
- 128 ~ 漏极区
- 130 ~ 栅极于鳍片下的延伸或侵入
- 132 ~ 鳍片上表面掺杂区域
- 134 ~ 鳍片侧壁表面掺杂区域
- 136 ~ 沟道区
- 140 ~ 第一离子布植步骤
- 142 ~ 第二离子布植步骤
- 144 ~ 上方的掺杂区域
- 146、148 ~ 侧壁的掺杂区域
- 150 ~ 第一掩膜材料
- 152 ~ 第二掩膜材料
- w ~ 鳍片宽度
- h ~ 鳍片高度
- e ~ 栅极的侵入延伸
- l ~ 鳍片沟道长度
- α 、 β ~ 离子植入角度

具体实施方式

为了让本发明的上述和其它目的、特征、和优点能更明显易懂，下文特举出较佳实施例，并配合所附图式，作详细说明如下：

本发明的较佳实施例是有关于半导体元件领域，且特别有关于一种具有鳍片结构的半导体元件。本发明是具有鳍片结构的半导体元件及其制造方法，其提供数个用以掺杂一多重栅极晶体管的半导体鳍片的方法。

另一多重栅极晶体管的范例为一三重栅极晶体管 102。三重栅极晶体管结构 102 的剖面图是于图 1b 中显示，而三重栅极结构的平面图是与双重栅极结构相同并且于图 2 中显示。三重栅极晶体管结构具有一形成三个栅极的闸电极 110：其中一栅极位于硅体/鳍片 112 的上表面 124，而另外两个栅极则位于硅体/鳍片 112 的侧壁 114。三重栅极晶体管较双重栅极晶体管多出一位于硅鳍片上表面的栅极，故可具有优于双重栅极晶体管对栅极沟道的控制能力。一三重栅极晶体管 102 的立体图示是于图 3a 中显示；图 3a 显示源极区 126 与漏极区 128 是分别形成于相对沟道区两侧的硅体 112 上。

三重栅极晶体管的结构可经修饰以改善栅极控制能力，如图 1c 所示。由于闸电极 110 的剖面图具一 ω (Ω) 外型，因此结构 104 也如同现有的欧米茄场效晶体管 (ω field-effect transistor；简称 ω -FET)。闸电极 110 于半导体鳍片或硅体 112 下的侵入形成一具有 ω (Ω) 外型的栅极结构，它具有近似于栅极围绕 (Gate-All-Around；GAA) 晶体管般突出的尺寸能力，并使用一种类似双重栅极晶体管或三重栅极晶体管而稍加改变的制造方法。欧米茄场效晶体管具一上栅极 (毗连于表面 124)，两个侧壁的栅极 (毗邻于表面 114)，以及于该似鳍片 (fin-like) 的半导体本体下所延伸或侵入 130 的特殊栅极。

因此欧米茄场效晶体管是为一具有一几乎缠绕于整个本体 112 的栅

极 110 的场效晶体管。事实上，当栅极的延伸 130 愈长，例如侵入范围 e 越大，则该晶体管结构与栅极围绕晶体管的结构愈接近或相似；一具有凹处绝缘层的三重栅极晶体管或欧米茄场效晶体管的立体图是于图 3b 中概要说明。闸电极 110 于硅体 112 下的侵入有助于沟道避开来自漏极 128 的电场线 (electric field lines) 并改善栅极对沟道的控制能力 (gate-to channel controllability)，如此可减缓因漏极电压所造成的能障降低效应 (drain-induced barrier lowering effect; DIBL) 并改善短信道的性能。

图 1a 至图 1c 所示的多重栅极晶体管结构剖面图是用于说明本发明，然并非受限于上述的结构。且鳍片的角隅是可为圆润，而并非如图 1a 至图 1c 所示的陡峭边角。

所述的多重栅极晶体管结构，例如双重栅极晶体管 100、三重栅极晶体管 102 以及欧米茄场效晶体管 104 均具一共同特征：似鳍片的半导体主动区域 112。在掺杂半导体鳍片的源极区 126 与漏极区 128 的过程中，先前技术是使用一现有的源极与漏极离子布植程序，离子经与晶片或基底的法线成一小角度布植；现有的源极与漏极布植程序中常采用一小角度如 7 度或更小的角度，例如沿图 2B-B' 线而得的图 4a 所示。

使用如此的离子布植条件将导致多数植入的掺杂物到达鳍片 112 的上表面 124，因而产生一浓掺杂 (high-doped) 的上表面区 132，而仅有少数掺杂物能有效植入侧壁表面 114，形成一淡掺杂 (lightly doped) 的侧壁表面区 134。欲引入一显著掺杂量于源极/漏极区 126/128 的侧壁可能需要一段长时间的离子布植。此外，由于少数掺杂物会到达部分鳍片的底部，因此源极 126 与漏极 128 于部分鳍片底部的离子掺杂度较低，并可能导致部分鳍片的底部沟道长度 l 的底部较部分鳍片的上部沟道长度大。

图 4b 所示为沿图 2C-C' 线而得的剖面图。在鳍片 112 中的沟道 136

的长度变异，例如部分鳍片底部具有一较大的沟道长度，结果导致一位于部分鳍片底部的缩减电流，由源极通往漏极的非均匀的电流分布。因此当使用一般的源极与漏极的掺杂程序，该半导体鳍片元件的性能乃未暨完美。

本发明的实施例可通过使用任一些多重栅极晶体管而执行，而晶体管的三个范例是根据图 1a 至图 4b 所描绘，且其中任何结构也同其它结构般可利用本发明的内容。如图 1a 中的剖面图示说明，一双重栅极晶体管 100 具有一闸电极 110 横跨于沟道或似鳍片的硅本体 112，并因此形成一双重栅极的结构：两个栅极，其分别位于硅鳍片 112 的任一侧壁 114，如图 1a 所示。该双重栅极结构的平面图是于图 2 中表示，而图 1a (以及图 1b 和图 1c) 是沿图 2 中的 A-A' 线而成。硅鳍片 112 形成于硅基底 118 上的绝缘层 116 上，该硅体 112 通过一沿着侧壁 114 的栅极介电质 120 以及一沿着鳍片的上表面 124 的掩膜 122 与闸电极 110 分隔。

多重栅极晶体管例如为双重栅极晶体管、三重栅极晶体管以及欧米茄场效晶体管，此类晶体管的共同特征在于具有似鳍片的半导体主动区域。是以此类的元件也即为习知的半导体鳍片元件，且半导体鳍片元件具有一预设的鳍片高度 h 以及一预设的鳍片宽度 w 。另一多重栅极晶体管的共同特征为半导体鳍片的侧壁表面是用于电流传导，例如多重栅极晶体管上一显著量源极通往漏极的电流是沿侧壁表面传导。

实质上，多重栅极晶体管的有效元件宽度是为鳍片高度 h 的函数 (如图 1a 所示)。于双重栅极晶体管中，元件的宽度为鳍片高度的两倍，例如为 $2h$ 。而于三重栅极晶体管中，元件的宽度则为 $(2h + w)$ (如图 1a 及图 1b 所示)。如图 3a 及图 3b 所示，半导体鳍片 112 的部分侧壁经掺杂而形成源极区 126 与漏极区 128，因此于制造半导体鳍片元件或多重栅极晶体管的过程中是牵涉了半导体鳍片的掺杂，尤其是半导体鳍片的侧壁表面。在半导体鳍片的侧壁表面作有效以及足够的掺杂可用以最佳化晶体管的

特性，一方面来说，本发明是提供了生产制程中掺杂半导体鳍片侧壁改善方法。

根据本发明的特点，在半导体鳍片元件的掺杂中，其源极与漏极的离子植入角度 α 是大以最佳化元件的效能。现参照图 5a 至图 5c 离子布植的图解，其中离子布植是至少通过两个离子布植步骤而完成。如图 5a 所示，一半导体鳍片 112 是在一绝缘层 116 上，该绝缘层 116 可如图 1c 所示的欧米茄场效晶体管范例般具有一凹处，且该绝缘层厚度可于范围 100 埃至 2000 埃。为求方便说明，将该半导体鳍片 112 视为一三重栅极晶体管 102。

于较佳实施例中，半导体鳍片 112 是由硅构成，且所布植的离子为 p-型掺杂物离子，例如为硼(boron)和/或铟(indium)；或者为 n-型掺杂物离子，例如为磷(phosphorus)、砷(arsenic)和/或锑(antimony)。如图 5b 所示，于第一离子布植步骤中执行一角度植入(以箭头符号 140 表示)，其与晶片上表面 124 的法线于 z-x 平面呈一角度 α 。源极 126 与漏极 128 的离子布植剂量约为总掺杂物剂量 I (每单位晶片表面面积中所含掺杂物单位)之半，而源极与漏极离子布植的总剂量 I 通常介于每平方公分含有约 1×10^{13} 至 1×10^{16} 掺杂物的范围。经第一离子布植步骤 140 后是产生一上方的掺杂区域 144 以及侧壁的掺杂区域 146。

关于鳍片上表面 124 的入射角，离子以一与鳍片上表面 124 的法线成角度 α 到达鳍片上表面，而鳍片上表面 124 的法线通常是与晶片的法线平行。而关于鳍片侧壁表面 114 的入射角，离子以一与鳍片侧壁表面 114 的法线呈角度 $(90-\alpha)$ 到达鳍片侧壁的表面，而角度 α 与 $(90-\alpha)$ 是依照与该侧壁表面 114 正交的平面而定。

第一离子布植步骤中，鳍片的第一侧壁 114 约接收 $(I/2) \cdot \sin(\alpha)$ 的剂量，而鳍片上表面 124 则约接收 $(I/2) \cdot \cos(\alpha)$ 的剂量，此时该鳍片的第二侧壁表面 115 基本上并无接收掺杂物。

第二离子布植步骤中,元件 102 经沿法线旋转 180 度后,其第二的半剂量是于 z-x 平面上与晶片的法线成一角度 α 布植,如图 5c 所示。于该第二离子布植(以箭头符号 142 表示)步骤中,鳍片的第二侧壁表面 115 约接收 $(I/2) \cdot \sin(\alpha)$ 的剂量,而鳍片上表面 124 则约接收 $(I/2) \cdot \cos(\alpha)$ 的另外剂量,于此鳍片的第一侧壁表面 114 基本上并无接收掺杂物。因此,在第一及第二离子布植步骤之后,其鳍片上表面所接收的总离子剂量为 $I \cdot \cos(\alpha)$,而该任一侧壁表面所接收的总离子剂量则为 $(I/2) \cdot \sin(\alpha)$ 。图 5c 说明了侧壁的掺杂区域 148 的形成。

于图 5b 及图 5c 中所阐明的实施例,其中的离子布植步骤 140 及 142 是均以一角度 α 执行,值得注意的是第一离子布植步骤的角度并非必须与第二离子布植步骤的角度相同,该角度接近是为理想(但并非必须)以便维持侧壁掺杂区域 146 与 148 具有较一致的操作性质。

图 6a 中,鳍片 112 的上表面掺杂区域 144 与侧壁表面掺杂区域 146 (或 148) 所接收的每单位表面积的掺杂物剂量是依植入角度 α 为函数标绘。假设角度 α 为 0,则 $(I/2) \cdot \sin(\alpha)$ 变为 0,亦即没有掺杂物可到达鳍片侧壁表面;此时 $I \cdot \cos(\alpha)$ 变成 I ,表示鳍片上表面将掺杂一剂量 I 。假设植入角度为 0 度,其位于多重栅极晶体管的鳍片侧壁 114 与 115 的源极区 126 与漏极区 128 自然无法有效形成。一般源极与漏极离子布植条件常使用一小角度例如为 7 度,如此可理解任一鳍片侧壁每单位的表面积所接收的离子剂量将少于其上表面所接收的每单位表面积离子剂量的十分之一;在此例中,鳍片侧壁表面需要一较高剂量与较长时间的离子布植以获得一基本量的掺杂。

本发明的较佳实施例是指示离子布植角度应大以足够鳍片侧壁表面 114 与 115 获得一基本量的掺杂。事实上,若离子布植角度为 60 度,则鳍片 112 的上部以及侧壁表面将具有相当的剂量而导致相近的掺杂浓度。

依据图 6b,鳍片上表面 124 所接收的离子剂量对一鳍片侧壁表面 114 (或

115)所接收的离子剂量的比例是依植入角度 α 为函数标绘,而该比例也可诠释为鳍片上表面区域144掺杂浓度对鳍片侧壁表面区域146(或148)掺杂浓度的比例。在本发明的一实施例中,较佳比例为约小于8,而该所对应的离子植入角度约大于15度。本发明的较佳实施例中,该比例是介于范围约1至4之间,且其对应的离子植入角度为介于范围约26至63度之间,而鳍片上表面掺杂区域144与侧壁表面掺杂区域146及148的较佳掺杂浓度为大于每立方公分约含 1×10^{20} 掺杂物。

依据本发明的指示,使用一大植入角度 α 具有一些优点。首先,以一大角度执行离子布植可使晶体管侧壁表面的源极126与漏极区128能更有效率地引入更多掺杂物,因而可避免以一小角度执行离子布植所伴随的长时间布植的问题产生。其次,以一大角度执行离子布植将使鳍片的源极与漏极区的上表面124以及侧壁表面114及115的掺杂量更相当,因此多重栅极晶体管的沟道长度不管于鳍片的上方或下方部分均可维持相同。

然而,随着使用大角度的离子布植所衍生出潜在的问题,而本发明则提供该问题的解决方法。现参照图7a,其图中显示两多重栅极晶体管102a与102b的平面图,其中两晶体管102a与102b具有相互垂直的源极往漏极方向,亦即其所含半导体鳍片112是朝向相互垂直的方向;而换句话说,该半导体鳍片是相互正交。图7a中,第一晶体管102a的源极往漏极方向是位于y-方向上,而第二晶体管102b的源极往漏极方向则位于x-方向上,x-y轴是于图7a右下方角落显示。

两晶体管的闸电极110a与110b所朝的方位也同样呈相互垂直。如图7a所示,该两晶体管可相互非常接近或远离,例如位于一集成电路晶粒(integrated circuit die)的两最末端。图7a所示的多重栅极晶体管可为一双重栅极晶体管、三重栅极晶体管或欧米茄场效晶体管,而为求说明方便,是将该多重栅极晶体管视为一三重栅极晶体管。

图 7b 是显示三重栅极晶体管 102a 与 102b 沿图 7a 中 A-A'线而得的剖面图示。图 7a 的 A-A'线是横切第一晶体管 102a 的源极区 126a 以及第二晶体管 102b 的源极区 126b、沟道区 136b 及漏极区 128b。一般而言在制造多重栅极晶体管的过程中，半导体鳍片 112 是在一绝缘层 116 上，而沉积一栅极介电层 120 之后再接着形成闸电极 110。

栅极介电层的材质可包含氧化硅 (silicon oxide) 或氮氧化硅 (silicon oxynitride)，或可包含高介电常数 (high permittivity) 介电质例如为氧化镧 (lanthanum oxide; La_2O_3)、氧化铝 (aluminum oxide; Al_2O_3)、氧化铪 (hafnium oxide; HfO_2)、氮氧化铪 (hafnium oxynitride; HfON)、氧化锆 (zirconium oxide; ZrO_2) 等或其组合，而高介电常数介电质通常具有一大于 5 的相对电容率。闸电极的材质可包含一导电性材料，而导电性材料的范例是包含已掺杂的多晶硅 (doped poly-crystalline silicon)、已掺杂的多晶硅-锗 (poly-crystalline silicon-germanium)、金属或金属硅化物 (metal silicide)。此时，在形成源极区 126 与漏极区 128 前，半导体鳍片 112 上的沟道区 136 可为已掺杂或未掺杂。

接着的制造过程步骤中可能牵涉通过掺杂适当部分的半导体鳍片 112 而形成源极区 126 以及漏极区 128。假设使用一位于 z-x 平面的大植入角度 α 以掺杂第一晶体管 102a 的半导体鳍片第一侧壁 114a，则第二晶体管 102b 的沟道区 136b 将同样接收到源极与漏极的掺杂物，进而导致第二晶体管 102b 的效能削减，而同样问题则发生于使用一大植入角度以掺杂第一晶体管 102a 的第二侧壁 115a 时。

通常当提供足够的掺杂量于具有一第一源极往漏极方位的晶体管的源极区与漏极区，例如朝 y 方向的源极往漏极方向，其大角度的植入步骤将同样把源极/漏极的掺杂物掺杂至具有一第二垂直的源极往漏极方位的晶体管沟道区，例如朝 x 方向的源极往漏极方向。此乃因为当以一大植入角度 α (例如为 30 度) 执行源极与漏极的布植 140 时，其具有一角

度与晕布植(halo implant)角度相近,并可因此掺杂至第二晶体管的沟道区136b。然而一般现有的晕布植是使用与源极126与漏极128相反型态的掺杂物用以掺杂沟道区136以控制短沟道效应(short channel effect),当本欲掺杂源极区126a与漏极区128a时,而使得第二晶体管102b的沟道区136b也一并受掺杂时,第二晶体管102b的短沟道效应可能恶化,并甚至可能使源极126b与漏极128b间短路(electrical short)而导致失效。

本发明是提供了一种方法,其可利用大植入角度以掺杂具有一第一源极往漏极方位的第一晶体管102a的源极区126a与漏极区128a,且未掺杂至具有一第二垂直的源极往漏极方位的第二晶体管102b的沟道区136b。在源极与漏极植入前,沉积一掩膜材料150(mask material)于晶片上以覆盖第一晶体管102a以及第二晶体管102b。该掩膜材料通过图案化例如通过光学微影技术(optical lithography),移除覆盖于第一晶体管102a的部分掩膜材料150以形成一第一掩膜150,如图8a所示。该第一掩膜150覆盖于第二晶体管102b上,于掺杂第一晶体管102a源极126a与漏极区128a时遮蔽沟道区136b。

源极126a与漏极区128a的掺杂可如上所述通过两离子布植步骤执行。其中乃进行半剂量的角度植入(half-dose angled implant)以掺杂第一侧壁114a以及第一晶体管102a的鳍片112a上表面124a,接着再执行另一半剂量的角度植入以掺杂第二侧壁115a以及上表面124a。掺杂源极126a以及漏极区128a后,可将第一掩膜150移除。

接着是形成覆盖于第一晶体管102a的第二掩膜152以暴露第二晶体管102b。而欲掺杂第二晶体管102b的源极126a与漏极区128a时,则至少需执行两个离子布植步骤。第一晶体管102a的沟道区136a被第二掩膜152遮蔽而不受该离子布植程序影响。而用以掺杂第二晶体管102b的源极126b与漏极区128b的离子布植步骤的植入角度是以z-y平面的角

度 β 执行。位于 z-y 平面的角度 β ，与该第二晶体管的半导体鳍片 112b 的侧壁 114b 所在的平面垂直。图 8b 中，y 轴的正向是为进入纸面的方向，而 y 轴的负向则为凸出纸面的方向（因此难以于图面上明白标示角度 β ）。

之后可将该第二掩膜移除，并执行一高温回火 (annealing) 步骤以活化半导体鳍片 112a 与 112b 中所布植的掺杂物。该回火步骤可为一快速回火制程 (spike anneal process)，其水温可急速升至一峰值温度 (peak temperature) 摄氏 1050 度，接着再急速冷却水温，或者其它的任何回火技术，例如为一般习知且先前技术已使用的快速热退火 (rapid thermal anneal) 技术。

由上所述方法的实施例中，可理解欲将晶体管的源极 126 与漏极区 128 掺杂成同型，例如 n-型或 n-沟道，其需牵涉使用一额外掩膜图案化的步骤，引入一额外光罩有时可能因成本昂贵而为商业所禁用。因此，基于上述实施例，更进一步的改善乃将所有于一预定范围栅极长度内的同型多重栅极晶体管排列为同方向，以容许使用大角度植入而不需使用一额外光罩，此乃于本发明的另一实施例中所述。

根据此实施例，所有相同导电型 (conductivity type) 以及具有小于或等于一预设栅极长度的多重栅极晶体管均朝向同一方向。本文中，所有的晶体管是指设计以具备最理想特性的操作而可实用 (functional) 或操作 (operational) 的晶体管，例如不包含虚拟晶体管 (dummy transistor) 或其它未于晶片操作电路上的晶体管。预设的栅极长度是根据短沟道效应 (short-channel effect) 的影响度决定，晶体管所具的栅极长度愈短则愈易受到短沟道效应影响。预设的栅极长度可例如为 30 纳米，而另一范例中，该预设的栅极长度可能为最小的栅极长度。

由于以大植入角度掺杂具有第一源极往漏极方位的晶体管的源极 126 与漏极区 128 可降低具有其它源极往漏极方向的晶体管的短沟道效应，因此所有易受严重短沟道效应影响的晶体管均应具有相同的源极往漏极

方向。例如，所有栅极长度小于 30 纳米的 n-型多重栅极晶体管均应具有朝 x 方向的源极通往漏极方向。图 9 中是显示了栅极长度 $l_{g,a}$ 及 $l_{g,b}$ 小于预设栅极长度，例如为 30 纳米，而 $l_{g,c}$ 及 $l_{g,d}$ 则大于预设栅极长度。图 9 的晶体管 102a 及晶体管 102b 分别具有栅极长度 $l_{g,a}$ 与 $l_{g,b}$ ，且具有大体相同的源极往漏极方位（亦即源极往漏极的电流路径大体平行），而晶体管 102c 与晶体管 102d 则分别具有 $l_{g,c}$ 及 $l_{g,d}$ 的栅极长度，且其可为任何的源极往漏极方向。

当改变掺杂源极区 126 与漏极区 128 的离子布植条件时，晶体管 102c 与晶体管 102d 可能具有不同电性 (electrical characteristics) 或对短沟道效应的弱点，例如该 x 方向可为一晶向 (crystallographic direction)，例如为 [100] 方向。此例中，n-沟道多重栅极晶体管的侧壁表面是为 (100) 表面，而具有 (100) 侧壁表面的 n-沟道多重栅极晶体管则会具有最佳的电子迁移率 (electron mobility)。另一范例中，所有具有栅极长度小于 30 纳米的 p-型多重栅极晶体管可能具有朝晶向 [110] 的源极往漏极的方向。而此时，p-沟道多重栅极晶体管的侧壁表面是为 (110) 表面，而具有 (110) 侧壁表面的 p-沟道多重栅极晶体管会具有最佳的电洞迁移率 (hole mobility)。

另一方法的实施例中，半导体鳍片 112 可经固态扩散源 (solid-source diffusion) 取代如其它方法实施例中所述的离子布植。于固态扩散源的技术中，将一含掺杂物的材料 (固态扩散源; solid source) 沉积于欲掺杂的半导体鳍片上，之后执行一升温处理以提供含掺杂物材料或固态扩散源的掺杂物扩散至半导体鳍片中。含掺杂物材料的范例是包含硼硅玻璃 (boron-silicate glass; BSG)、掺磷硅玻璃 (phosphor-silicate glass; PSG) 以及掺锗 (doped germanium) 等。有关图 9 的讨论是同样适用于此实施例。

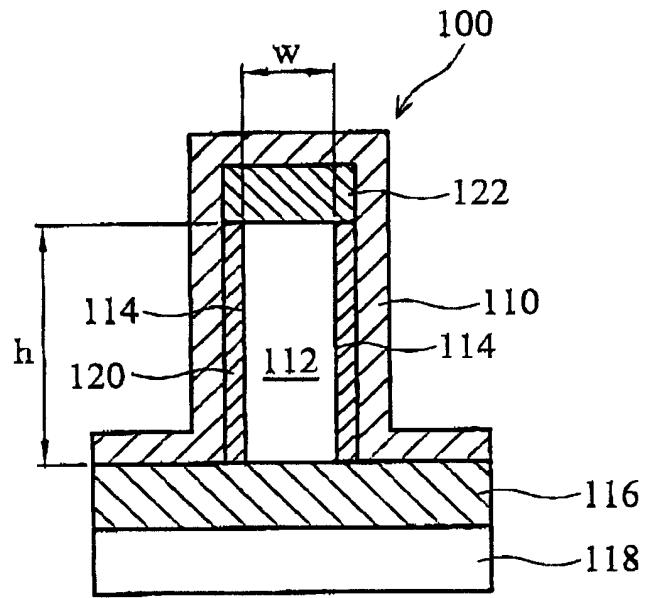


图1a

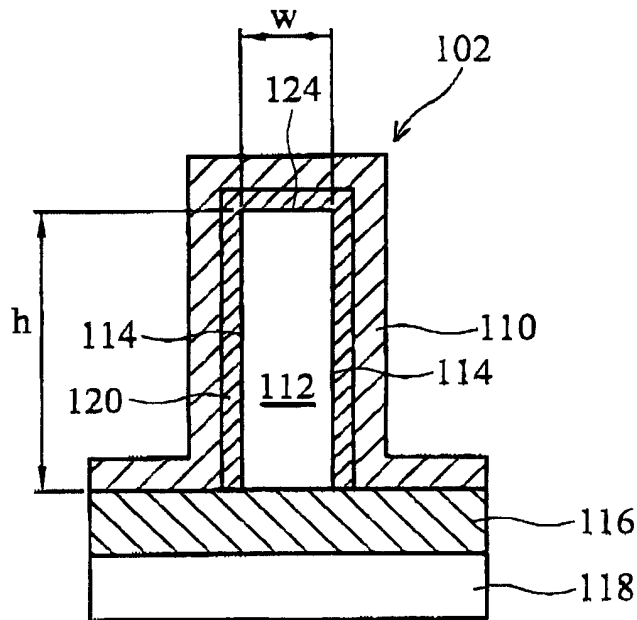


图1b

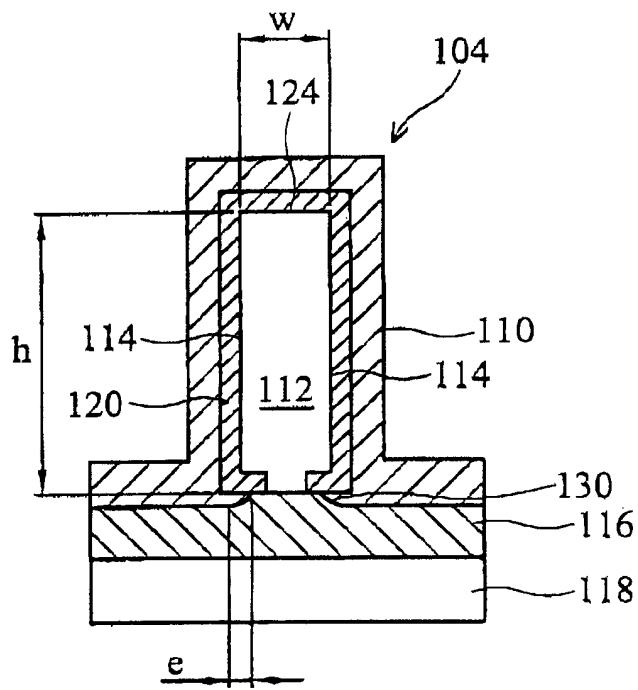


图1c

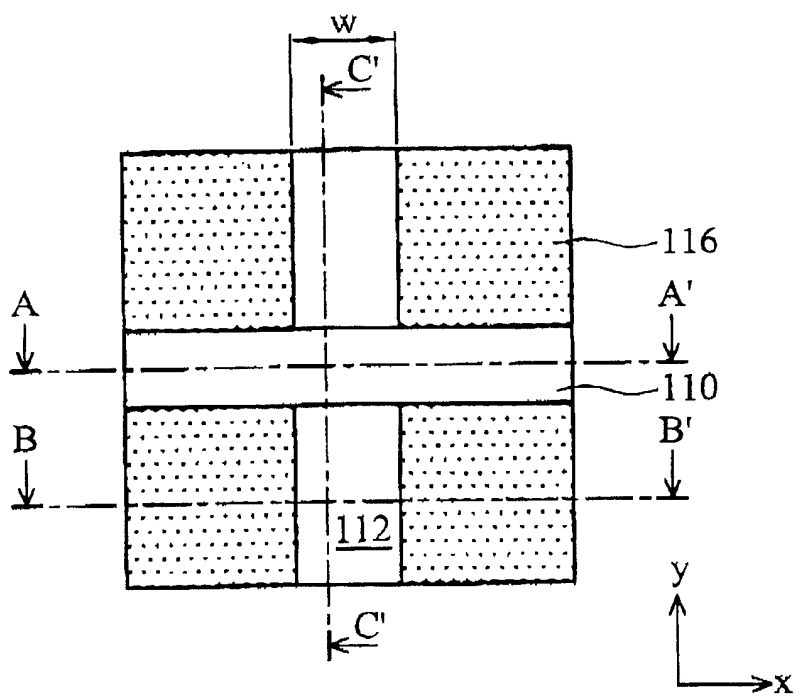


图2

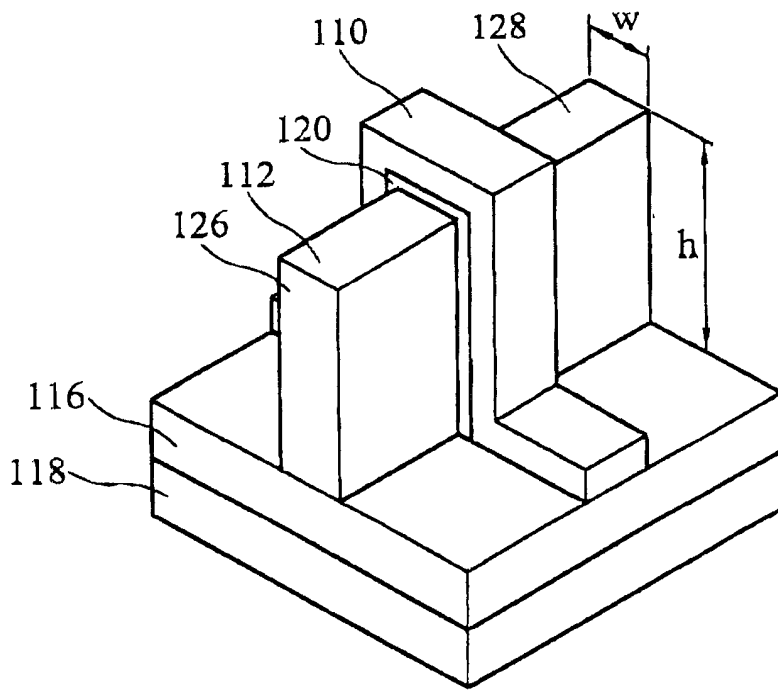


图 3a

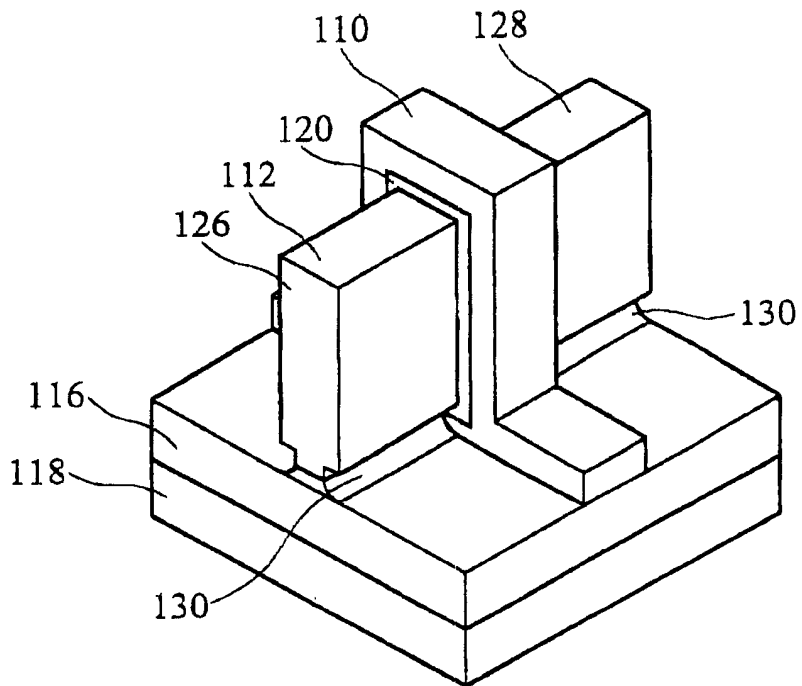


图 3b

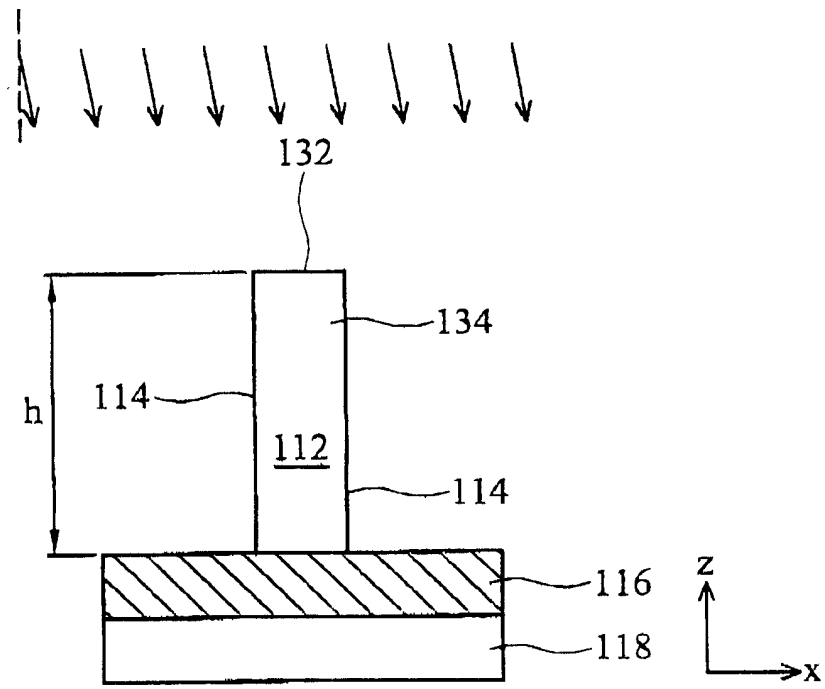


图 4a

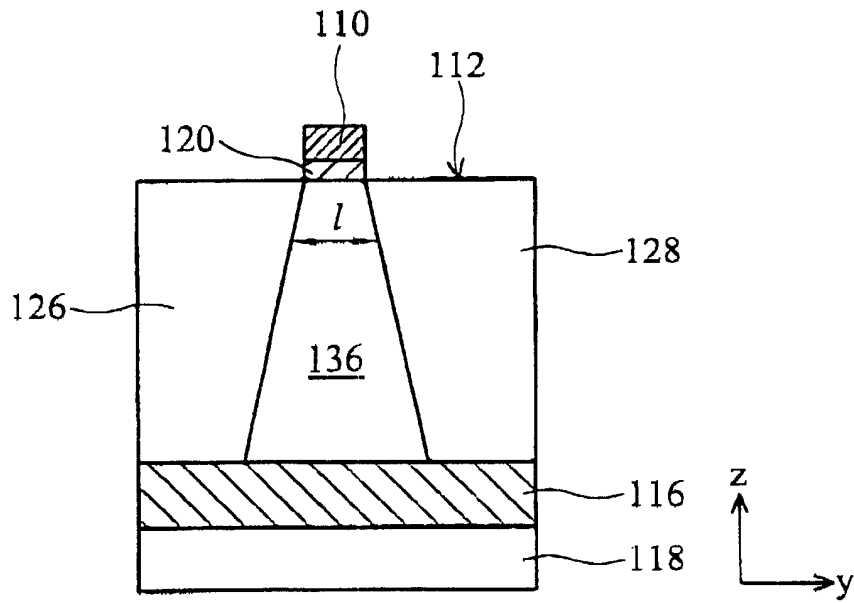


图 4b

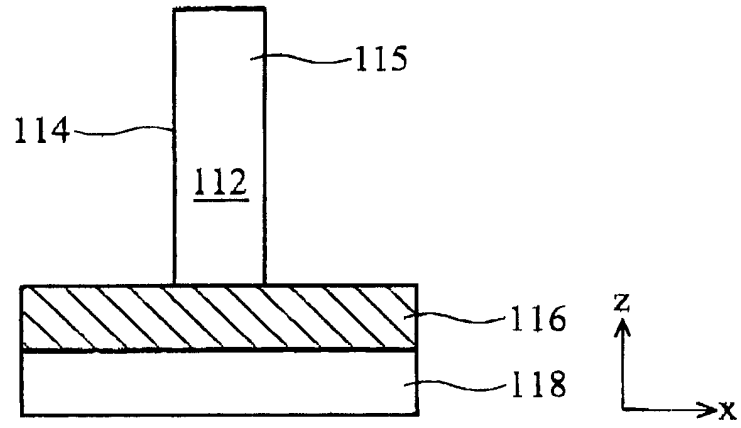


图5a

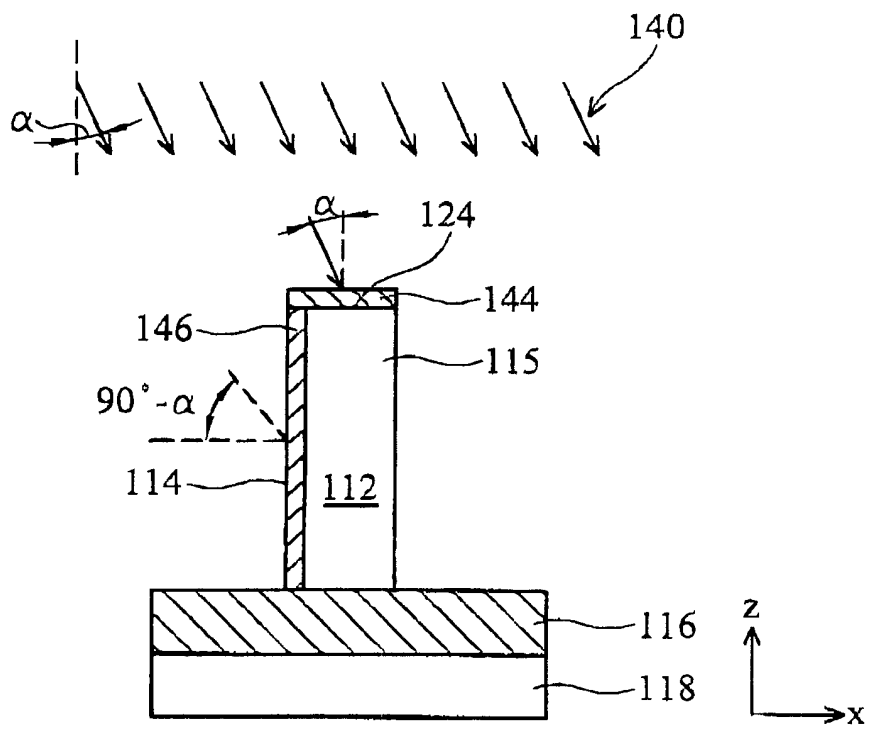


图5b

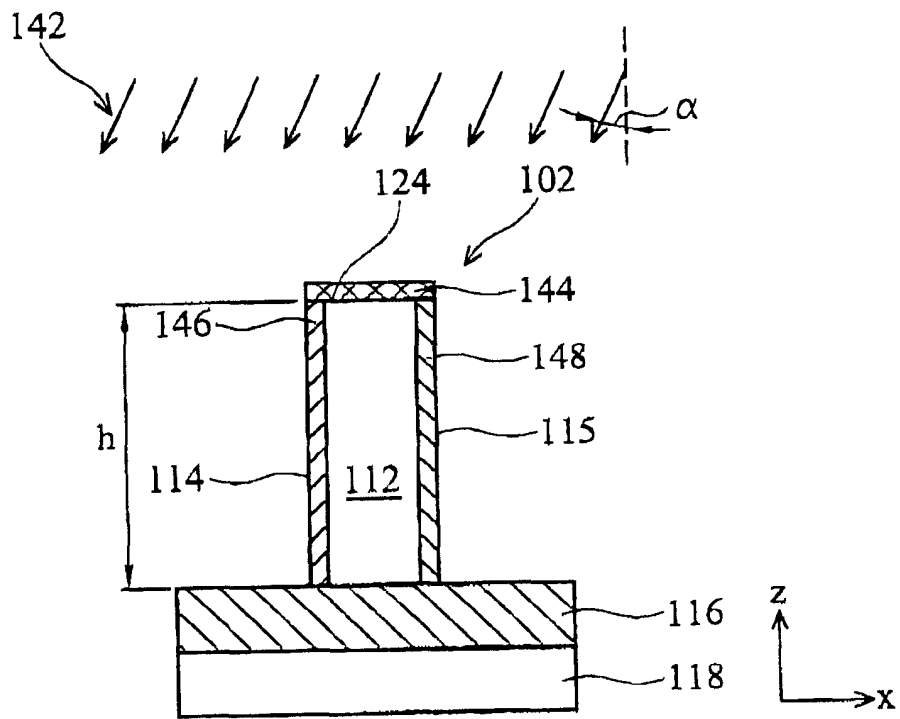


图 5c

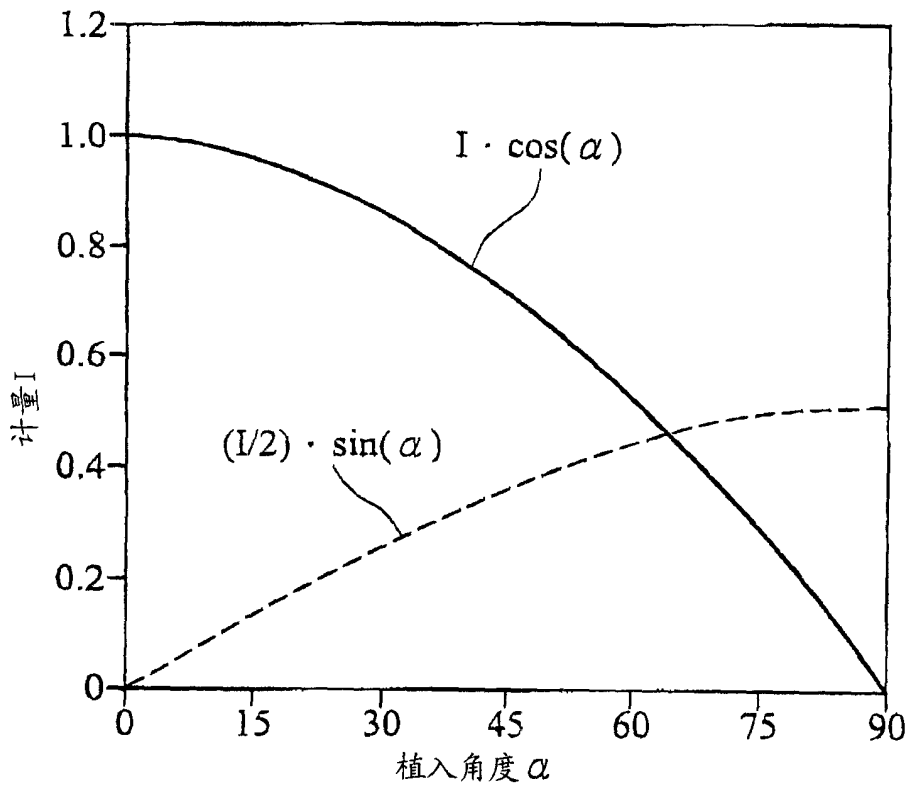


图 6a

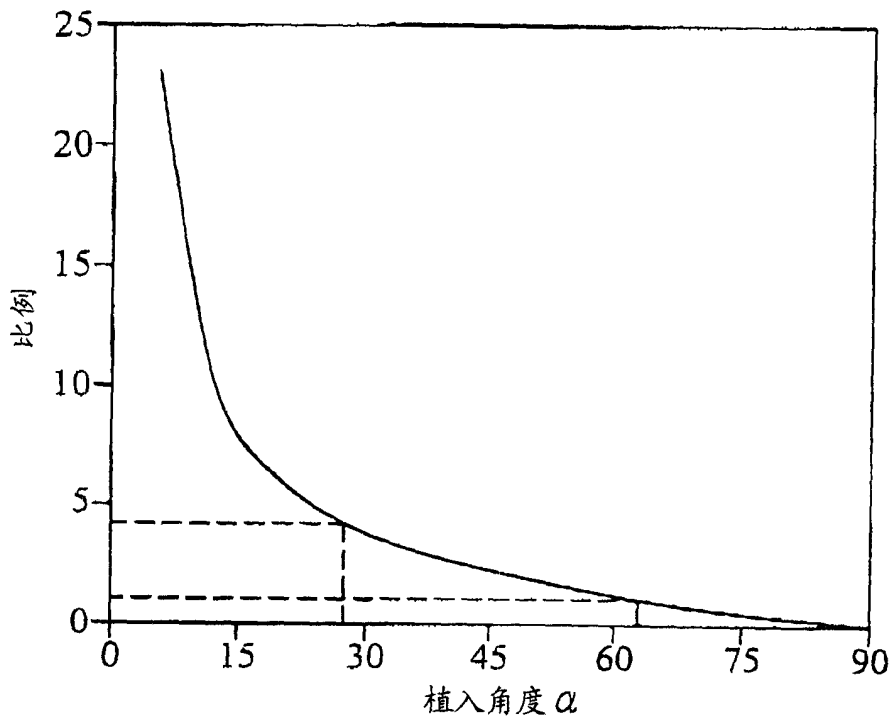


图 6b

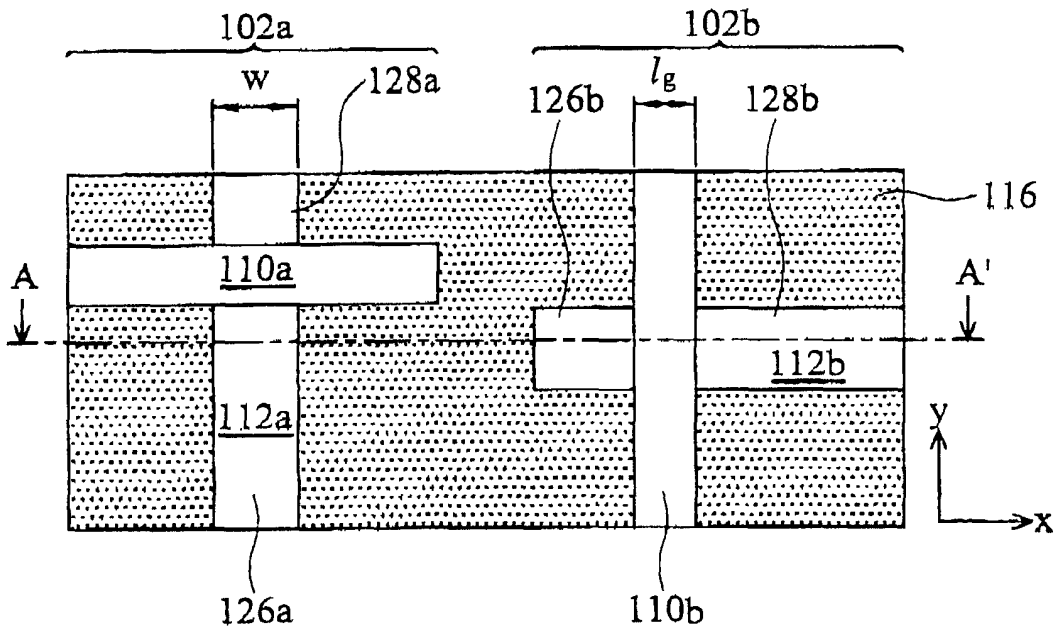


图 7a

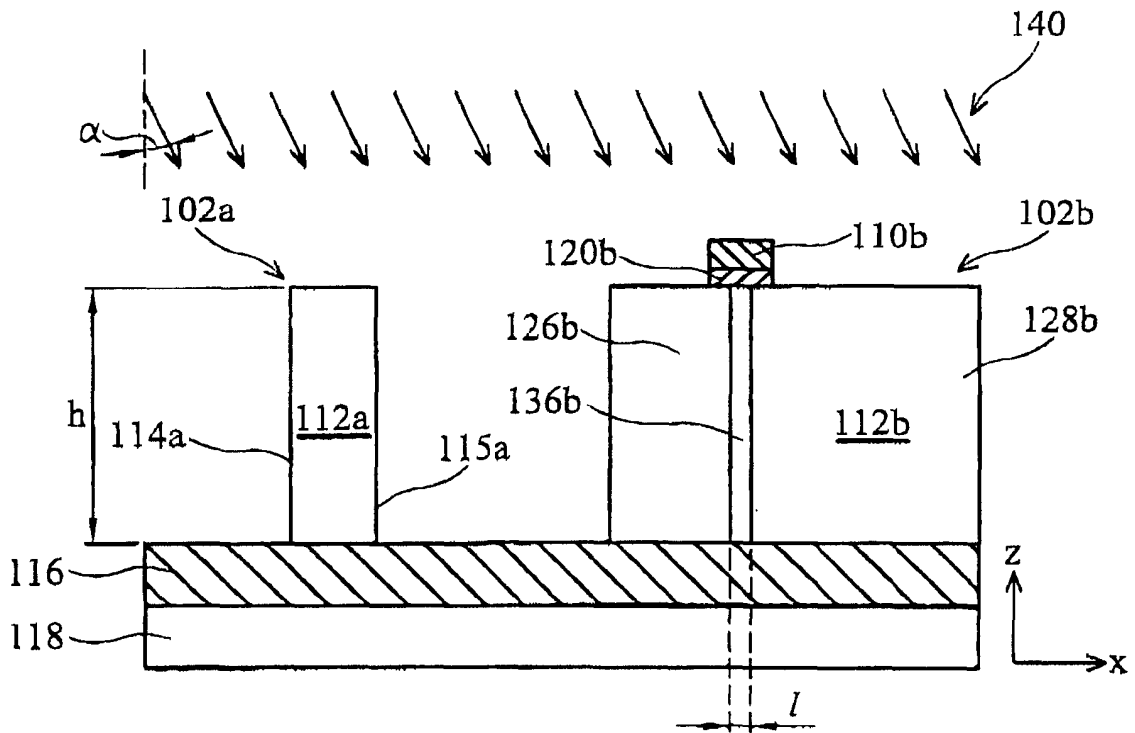


图 7b

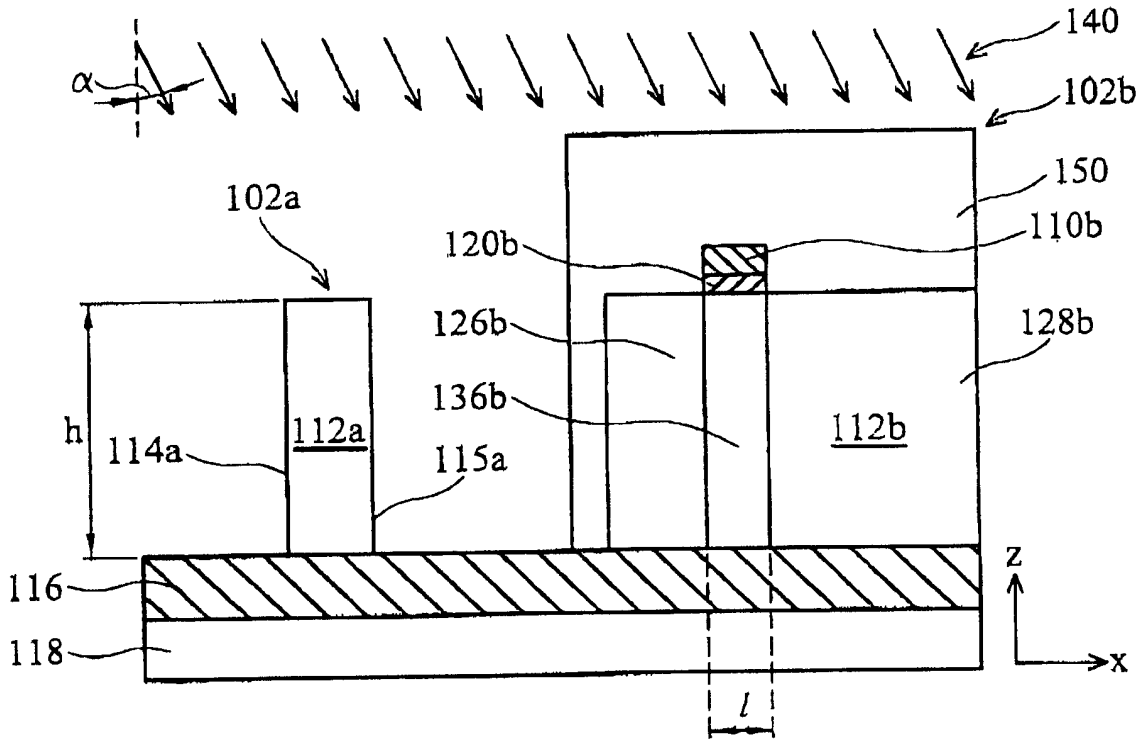


图 8a

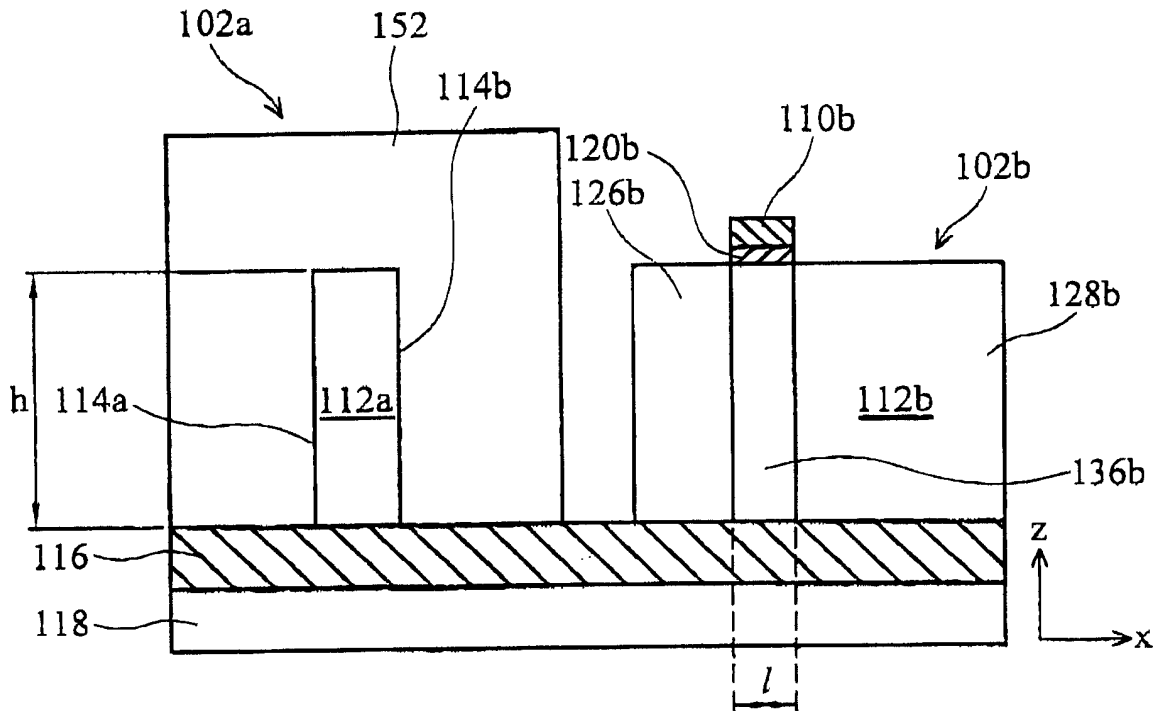


图 8b

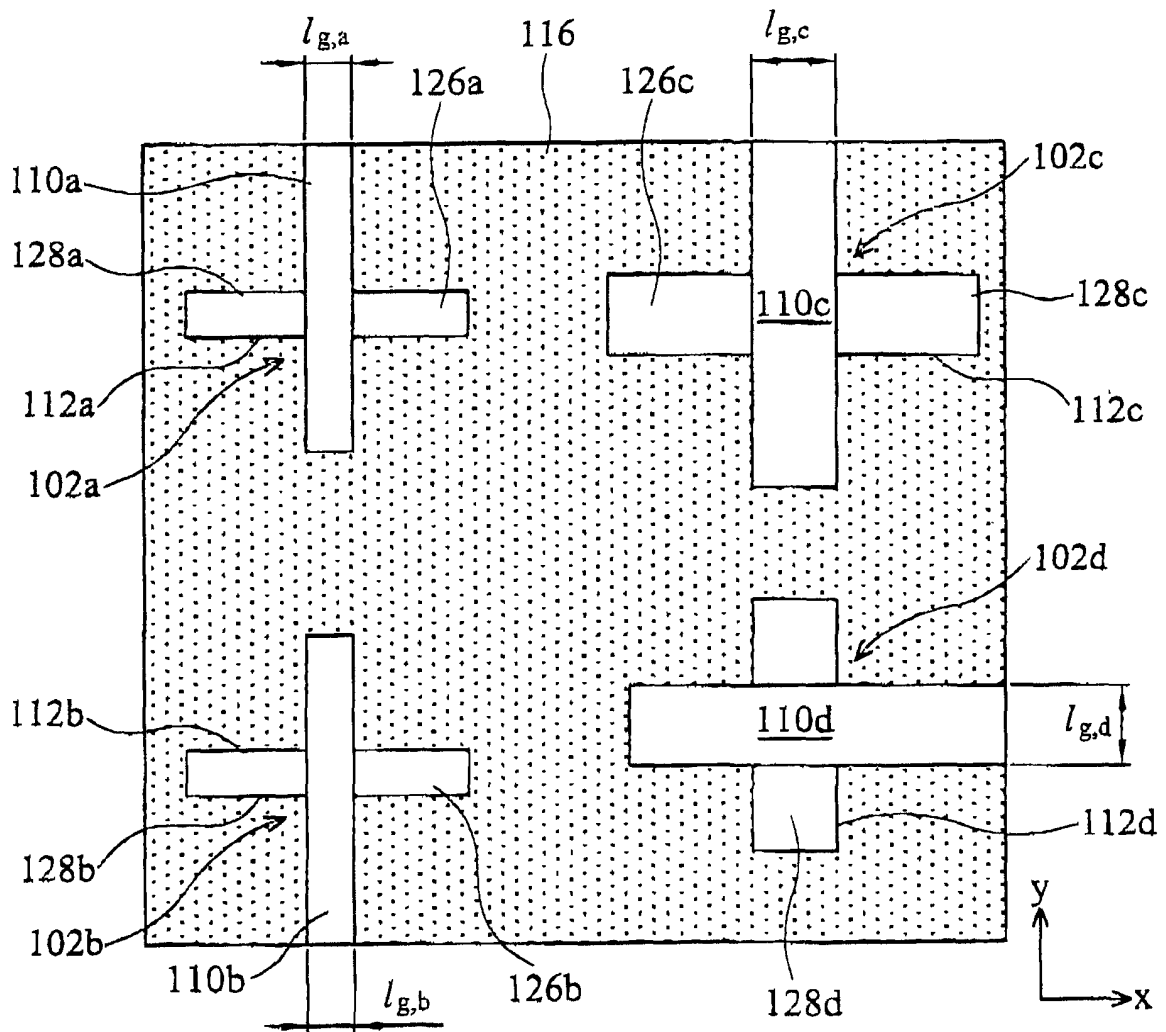


图9