



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년07월10일
(11) 등록번호 10-1998635
(24) 등록일자 2019년07월04일

(51) 국제특허분류(Int. Cl.)
H01L 31/032 (2006.01) H01L 31/0392 (2006.01)
H01L 31/04 (2014.01) H01L 31/18 (2006.01)
(52) CPC특허분류
H01L 31/032 (2013.01)
H01L 31/0392 (2013.01)
(21) 출원번호 10-2018-0003859
(22) 출원일자 2018년01월11일
심사청구일자 2018년01월11일
(56) 선행기술조사문헌
KR1020160149105 A*
KR1020170000318 A*
KR101537492 B1
W02013152965 A2
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
인천대학교 산학협력단
인천광역시 연수구 아카데미로 119 (송도동)
(72) 발명자
김준동
인천광역시 연수구 컨벤시아대로274번길 15, 230
4동 1001호(송도동, 송도 더샵 마스터뷰 23-1BL)
김홍식
충청남도 천안시 동남구 터미널9길 59, 201동 40
1호 (신부동, 대림한들아파트)
파텔 말케시쿠마르
인천광역시 연수구 해송로 70, 210동 903호(송도
동, 송도웰카운티2단지)
(74) 대리인
특허법인가산

전체 청구항 수 : 총 12 항

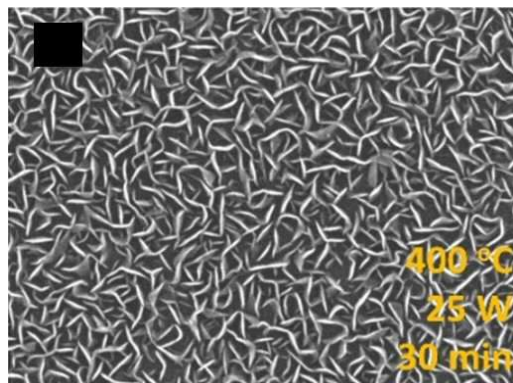
심사관 : 이규재

(54) 발명의 명칭 광전 소자 및 그 제조 방법

(57) 요약

광전 소자 및 그 제조 방법을 제공한다. 상기 광전 소자는 기판, 상기 기판 상에 형성되고, 수직 방향으로 성장된 황화 텅스텐막, 상기 황화 텅스텐막 상에 형성되는 상부 컨택 및 상기 기판 아래에 형성되는 하부 컨택을 포함한다.

대표도 - 도12



(52) CPC특허분류

H01L 31/04 (2013.01)

H01L 31/18 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 2015059165

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 일반연구자사업

연구과제명 산화물 반도체 기반의 투명 태양전지를 이용한 창조적 생태에너지 순환시스템

기 여 율 1/2

주관기관 인천대학교

연구기간 2017.11.01 ~ 2018.10.31

이 발명을 지원한 국가연구개발사업

과제고유번호 201503000002

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 국제연구인력교류사업

연구과제명 다기능성의 투명 태양전지 및 광전화셀 기술 기반의 생태에너지 기반 구축

기 여 율 1/2

주관기관 인천대학교

연구기간 2015.11.01 ~ 2020.10.31

공지예외적용 : 있음

명세서

청구범위

청구항 1

Si를 포함하는 기판;

상기 기판 상에 상기 기판과 접하도록 형성되고, 수직 방향으로 성장되고, 육각형 분자구조를 가지는 WS_2 를 포함 하되 상기 WS_2 에 다른 물질이 적층되지 않는 황화 텅스텐막;

상기 황화 텅스텐막 상에 형성되는 상부 콘택; 및

상기 기판 아래에 형성되는 하부 콘택을 포함하되,

상기 황화 텅스텐막은 상면과 측면을 포함하고,

상기 황화 텅스텐막은 상기 상면으로 성장하되, 상기 측면으로는 성장하지 않고,

상기 황화 텅스텐막은 상기 기판과 타입 2 이종 접합(type-II heterojunction)을 형성하고,

상기 상부 콘택 및 상기 하부 콘택은 서로 전기적으로 연결되는 광전 소자.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

제1 항에 있어서,

상기 상부 콘택은 금속을 포함하는 광전 소자.

청구항 6

삭제

청구항 7

제1 항에 있어서,

상기 상부 콘택은 그리드 형태로 형성된 광전 소자.

청구항 8

제7 항에 있어서,

상기 상부 콘택은 금속을 포함하고,

상기 상부 콘택은 제1 방향으로 연장된 바디와,

상기 바디에서 연장되고, 상기 제1 방향과 교차하는 제2 방향으로 연장되는 브랜치를 포함하는 광전 소자.

청구항 9

제1 항에 있어서,

상기 상부 컨택은 투명 전도체 및/또는 금속 나노선을 포함하는 광전 소자.

청구항 10

서로 반대되는 제1 및 제2 면을 포함하고, Si를 포함하는 기판을 제공하고,

상기 제2 면 상에 하부 컨택을 형성하고,

상기 제1 면 상에 제1 온도로 황화 텅스텐막을 증착하되, 상기 황화 텅스텐막은 상기 제1 면과 접하고, 상기 황화 텅스텐막은 육각형 분자구조를 가지는 WS_2 를 포함하되 상기 WS_2 에 다른 물질이 적층되지 않고,

상기 황화 텅스텐막 상에 상부 컨택을 형성하는 것을 포함하되,

상기 황화 텅스텐막은 상면으로 성장하되, 측면으로는 성장하지 않고,

상기 황화 텅스텐막은 상기 기판과 타입 2 이종 접합(type-II heterojunction)을 형성하고,

상기 상부 컨택 및 상기 하부 컨택은 서로 전기적으로 연결되는 광전 소자 제조 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

제10 항에 있어서,

상기 제1 온도는 상온(room temperature) 내지 $600^{\circ}C$ 인 광전 소자 제조 방법.

청구항 14

제10 항에 있어서,

상기 황화 텅스텐막을 증착하는 것은,

제1 파워로 제1 시간동안 상기 황화 텅스텐막을 스퍼터링하는 것을 포함하는 광전 소자 제조 방법.

청구항 15

제14 항에 있어서,

상기 제1 파워는 10 내지 1000W인 광전 소자 제조 방법.

청구항 16

제14 항에 있어서,

상기 제1 시간은 10 내지 120분인 광전 소자 제조 방법.

청구항 17

삭제

청구항 18

삭제

청구항 19

제10 항에 있어서,

상기 상부 콘택을 형성하는 것은,

상기 상부 콘택을 그리드 형태로 형성하는 것을 포함하는 광전 소자 제조 방법.

청구항 20

제10 항에 있어서,

상기 상부 콘택의 수평 면적은 상기 하부 콘택의 수평 면적보다 작은 광전 소자 제조 방법.

청구항 21

삭제

발명의 설명

기술 분야

[0001] 본 발명은 광전 소자 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 2 차원 (2D) 반도체 재료를 기반으로하는 광자 및 광전자 장치는 웨이퍼 스케일에서 고품질 재료의 생산을 요구한다. 비 그래핀 재료(non-graphene)로도 알려진 전이 금속 칼코겐화합물(TMDCs; transition metal dichalcogenides)의 사용은 2D 재료의 적용 가능성을 더욱 높일 수 있기 때문에 증가하고 있다. 반 데르 발스 결합 층으로 이루어진 TMDC의 벌크 결정은 벌크 대응물과는 대조적으로 바람직하게 안정한 기계적, 전자적 및 광학적 성질을 나타내는 원자 스케일 두께의 구조물로 분리될 수 있다.

[0003] TMDC는 M이 Mo, W, Nb, Ta 또는 Re이고 X가 Se, S 또는 Te 인 일반 식 MX_2 를 갖는다. 다양한 TMDC 중에서 탐구되고 있는 MoS_2 와 WS_2 는 특히 광전자 및 에너지 응용 분야에 사용하기 적합한 재료 특성을 보여준다. 특히, WS_2 는 벌크 및 단층 상태에서 각각 1.4eV 및 2.1eV의 간접 밴드 갭을 나타낸다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 공개특허공보 제 10-2016-0097123호

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 과제는 동작 성능이 향상된 광전 소자를 제공하는 것이다.

[0006] 본 발명이 해결하고자 하는 또 다른 과제는, 동작 성능이 향상된 광전 소자의 제조 방법을 제공하는 것이다.

[0007] 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0008] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 광전 소자는 기판, 상기 기판 상에 형성되고, 수직 방향으로 성장된 황화 텅스텐막, 상기 황화 텅스텐막 상에 형성되는 상부 콘택 및 상기 기판 아래에 형성되는 하부 콘택을 포함한다.

[0009] 상기 다른 과제를 해결하기 위한 본 발명의 일 실시예에 따른 광전 소자 제조 방법은 서로 반대되는 제1 및 제2면을 포함하는 기판을 제공하고, 상기 제2 면 상에 하부 콘택을 형성하고, 상기 제1 면 상에 제1 온도로 황화 텅스텐막을 증착하고, 상기 황화 텅스텐막 상에 상부 콘택을 형성하는 것을 포함한다.

[0010] 기타 실시예들의 구체적 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0011] 본 발명의 일 실시예에 의하면 적어도 다음과 같은 효과가 있다.

[0012] 즉, 본 발명의 몇몇 실시예에 따른 광전 소자는 넓은 대역의 빛에 대해서 높은 응답 특성을 가질 수 있다.

[0013] 본 발명의 몇몇 실시예에 따른 광전 소자 제조 방법은 온도, 파워 및 증착 시간 가변에 따라서 여러 특성을 가변시키는 형상을 조율할 수 있다.

[0014] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 몇몇 실시예들에 따른 광전 소자를 설명하기 위한 사시도이다.

도 2 내지 도 4는 본 발명의 몇몇 실시예들에 따른 광전 소자 제조 방법을 설명하기 위한 중간 단계 도면들이다.

도 5는 본 발명의 몇몇 실시예들에 따른 광전 소자 제조 방법의 WS_2 타겟을 설명하기 위한 이미지이다.

도 6은 본 발명의 몇몇 실시예들에 따른 광전 소자 제조 방법의 WS_2 막의 웨이퍼 스케일 형성을 설명하기 위한 이미지이다.

도 7은 본 발명의 몇몇 실시예들에 따른 광전 소자 제조 방법에 따라 형성된 웨이퍼 스케일 수직 정렬 WS_2 막의 실제 이미지이다.

도 8은 본 발명의 실시예 1의 표면 상태를 설명하기 위한 FESEM(Field Emission Scanning Electron Microscope) 이미지이다.

도 9는 본 발명의 실시예 1의 단면 상태를 설명하기 위한 FESEM 이미지이다.

도 10은 본 발명의 실시예 2의 표면 상태를 설명하기 위한 FESEM 이미지이다.

도 11은 본 발명의 실시예 2의 단면 상태를 설명하기 위한 FESEM 이미지이다.

도 12는 본 발명의 실시예 3의 표면 상태를 설명하기 위한 FESEM 이미지이다.

도 13은 본 발명의 실시예 3의 단면 상태를 설명하기 위한 FESEM 이미지이다.

도 14는 본 발명의 실시예 1 내지 3의 WS_2 막의 XRD(X-ray diffraction) 스펙트라(spectra)이다.

도 15는 도 14의 피크 부분을 확대한 XRD 스펙트라이다.

도 16은 본 발명의 실시예들의 WS_2 막의 육각형 원자구조를 설명하기 위한 개념도이다.

도 17은 본 발명의 실시예 1 내지 3의 라만 스펙트라(Raman spectra)를 도시한 도면이다.

도 18은 도 17의 라만 스펙트라의 부분 확대도이다.

도 19는 본 발명의 몇몇 실시예들에 따른 WS_2 막의 E_{2g}^1 의 진동 모드를 설명하기 위한 개념도이다.

도 20은 본 발명의 몇몇 실시예들에 따른 WS_2 막의 A_g^1 의 진동 모드를 설명하기 위한 개념도이다.

도 21은 본 발명의 실시예 1 내지 3의 광전 소자의 W 2f 스펙트라를 도시한 그래프이다.

도 22는 본 발명의 실시예 1 내지 3의 광전 소자의 S 2p 스펙트라를 도시한 그래프이다.

도 23은 본 발명의 실시예 4의 투과도 및 흡수도를 도시한 그래프이다.

도 24는 본 발명의 실시예 4의 타우 크래프(Tauc plot)를 도시한 그래프이다.

- 도 25는 본 발명의 실시예 3의 WS₂막의 표면 상태를 설명하기 위한 FESEM 이미지이다.
- 도 26은 본 발명의 실시예 3의 WS₂막의 단면 상태를 설명하기 위한 FESEM 이미지이다.
- 도 27은 본 발명의 실시예 5의 WS₂막의 표면 상태를 설명하기 위한 FESEM 이미지이다.
- 도 28은 본 발명의 실시예 5의 WS₂막의 단면 상태를 설명하기 위한 FESEM 이미지이다.
- 도 29는 본 발명의 실시예 6의 WS₂막의 표면 상태를 설명하기 위한 FESEM 이미지이다.
- 도 30은 본 발명의 실시예 6의 WS₂막의 단면 상태를 설명하기 위한 FESEM 이미지이다.
- 도 31은 본 발명의 실시예 7의 WS₂막의 표면 상태를 설명하기 위한 FESEM 이미지이다.
- 도 32는 본 발명의 실시예 7의 WS₂막의 단면 상태를 설명하기 위한 FESEM 이미지이다.
- 도 33은 본 발명의 실시예 8의 WS₂막의 표면 상태를 설명하기 위한 FESEM 이미지이다.
- 도 34는 본 발명의 실시예 8의 WS₂막의 단면 상태를 설명하기 위한 FESEM 이미지이다.
- 도 35은 본 발명의 실시예 9의 WS₂막의 표면 상태를 설명하기 위한 FESEM 이미지이다.
- 도 36은 본 발명의 실시예 9의 WS₂막의 단면 상태를 설명하기 위한 FESEM 이미지이다.
- 도 37은 본 발명의 실시예 3, 실시예 5 내지 실시예 9에 의한 스퍼터링 파워에 따른 WS₂막의 두께를 도시한 그래프이다.
- 도 38은 본 발명의 실시예 10의 구성 및 동작을 설명하기 위한 개략적인 개념도이다.
- 도 39는 본 발명의 실시예 10의 실제 제작된 광전 소자의 이미지이다.
- 도 40은 본 발명의 실시예 10의 전류 전압 특성을 도시한 그래프이다.
- 도 41은 본 발명의 실시예 10의 상온 및 암 조건(dark condition)에서의 전류 전압 특성을 도시한 그래프이다.
- 도 42는 본 발명의 실시예 10의 저온 및 암 조건에서의 전류 전압 특성을 도시한 그래프이다.
- 도 43은 본 발명의 실시예 10의 다양한 입사광의 파장에 따른 전류 전압 특성을 도시한 그래프이다.
- 도 44는 본 발명의 실시예 10의 응답도 및 검출능을 도시한 그래프이다.
- 도 45는 본 발명의 실시예 10의 빛의 세기에 따른 광전류를 도시한 그래프이다.
- 도 46은 본 발명의 실시예 10의 과도 광전류 분석을 위한 파장에 따른 라이징 타임 및 폴링 타임을 도시한 그래프 및 385nm 및 850nm에서의 과도 광전류 응답을 도시한 그래프이다.
- 도 47은 본 발명의 실시예 10의 광전 소자와 WS₂막 기반의 광전 소자와의 특성 비교를 위한 표이다.
- 도 48은 본 발명의 실시예 10의 모트 쇼트키(Mott-Schottky) 특성을 도시한 그래프이다.
- 도 49는 본 발명의 실시예 10의 플랫 밴드 전위 및 어셉터 캐리어 농도를 도시한 그래프이다.
- 도 50은 본 발명의 실시예 10의 p-Si 및 WS₂ 막의 에너지 밴드 엮지를 도시한 개념도이다.
- 도 51은 본 발명의 실시예 10의 p-Si 및 WS₂ 막의 계면에서의 에너지 밴드 다이어그램을 도시한 도면이다.
- 도 52는 본 발명의 실시예 10의 50Hz의 850nm의 펄스광 신호에 대한 과도 광전압을 도시한 그래프이다.
- 도 53은 본 발명의 실시예 10의 10kHz의 850nm의 펄스광 신호에 대한 과도 광전압을 도시한 그래프이다.
- 도 54는 본 발명의 실시예 10의 펄스 주파수에 따른 상대 밸런스(Relative balance; $(V_{\max}-V_{\min})/V_{\max}$)를 도시한 그래프이다.

도 55는 본 발명의 실시예 10의 입사광의 펄스 주파수를 조절하는 신호 생성기를 설명하기 위한 개념도이다.

도 56은 본 발명의 실험예 8의 구성을 설명하기 위한 개념도이다.

도 57은 본 발명의 실시예 10의 과도 광전압에 의한 펄스 주파수에 따른 라이징 타임 및 폴링 타임을 도시한 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0017] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.
- [0018] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.
- [0019] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below 또는 beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있으며, 이 경우 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.
- [0020] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0021] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0022] 이하, 도 1을 참조하여 본 발명의 몇몇 실시예에 따른 광전 소자를 설명한다.
- [0023] 도 1은 본 발명의 몇몇 실시예들에 따른 광전 소자를 설명하기 위한 사시도이다.
- [0024] 도 1을 참조하면, 본 발명의 몇몇 실시예에 따른 광전 소자는 기관(100), 하부 컨택(200), 상부 컨택(400) 및 황화 텅스텐막(300)을 포함한다.
- [0025] 기관(100)은 실리콘 기관일 수 있다. 기관(100)은 p형 실리콘 기관일 수 있다. 기관(100)은 제1 방향(X) 및 제2 방향(Y)의 측면과 제3 방향(Z)의 상면 및 하면을 포함할 수 있다. 이 때, 제1 방향(X), 제2 방향(Y) 및 제3 방향(Z)은 서로 교차하는 방향이고, 서로 직교하는 방향일 수 있다. 따라서, 제1 방향(X), 제2 방향(Y) 및 제3 방향(Z)은 서로 오소고각(orthogonal)한 방향일 수 있다.
- [0026] 기관(100)은 서로 반대되는 제1 면과 제2 면을 포함할 수 있다. 상기 제1 면 및 제2 면은 제3 방향(Z)에서 서로 반대되는 방향일 수 있다. 따라서, 도 1에서 기관(100)의 상기 제1 면은 상면이고, 기관(100)의 상기 제2 면은 하면일 수 있다.

- [0027] 기판(100)의 상면은 실리콘의 (100)평면일 수 있다. 기판(100)의 상면이 실리콘의 (100)평면임에 따라서, 추후에 황화 텅스텐막(300)이 수직 방향으로 성장할 수 있다.
- [0028] 기판(100)의 두께는 상부 및 하부 구조를 지지할 수 있도록 충분히 두꺼울 수 있다. 예를 들어, 기판(100)의 두께는 100 내지 1000 μm 일 수 있다. 단, 본 실시예가 이에 제한되는 것은 아니다.
- [0029] 하부 콘택(200)은 기판(100)의 상기 제2 면 즉, 하면에 형성될 수 있다. 하부 콘택(200)은 금속 콘택일 수 있다. 하부 콘택(200)은 예를 들어, Al을 포함할 수 있다. 단, 본 실시예가 이에 제한되는 것은 아니다. 하부 콘택(200)은 기판(100)의 하면을 덮을 수 있다. 구체적으로, 기판(100)의 하면은 입사광을 수신하는 방향이 아니므로 하부 콘택(200)에 의해서 커버되어도 상관없을 수 있다.
- [0030] 하부 콘택(200)은 예를 들어, 50 내지 500nm의 두께로 형성될 수 있다. 단, 본 실시예가 이에 제한되는 것은 아니다. 하부 콘택(200)은 기판(100)과 황화 텅스텐막(300)에 의해서 생성된 전류를 외부로 전달하기에 충분한 두께로 형성될 수 있다. 하부 콘택(200)이 너무 두꺼우면 저항이 커질 수 있다.
- [0031] 황화 텅스텐막(300)은 기판(100)의 상기 제1 면, 즉, 상면에 형성될 수 있다. 황화 텅스텐막(300)은 WS_2 를 포함할 수 있다. 황화 텅스텐막(300)은 수직 방향으로 성장된 WS_2 막일 수 있다. 구체적으로, WS_2 는 2차원(2D; 2-dimension) 물질이고, 2차원 물질은 평면 방향으로만 성장하는 특성을 가지고 있다. 즉, 성장 방향이 2차원 평면을 이루므로 성장 방향과 수직한 방향으로의 성장을 하지 않는다.
- [0032] 황화 텅스텐막(300)은 제3 방향(Z)으로 우선 성장하는 즉, 수직 성장막일 수 있다. 황화 텅스텐막(300)은 제1 방향(X) 및 제2 방향(Y) 즉, 수평 방향으로 제3 방향(Z)에 비해서 더디게 성장하거나 아예 성장하지 않을 수 있다. 황화 텅스텐막(300)은 수직 성장함으로써 광전 소자에 더욱 적합한 특성을 가질 수 있다.
- [0033] 황화 텅스텐막(300)은 기판(100) 상에 기판(100)의 상면을 덮도록 형성될 수 있다. 황화 텅스텐막(300)은 예를 들어, 10 내지 200nm의 두께로 형성될 수 있다. 단, 본 실시예가 이에 제한되는 것은 아니다.
- [0034] 황화 텅스텐막(300)은 기판(100)과 정류 접합(rectifying junction)을 형성할 수 있다. 황화 텅스텐막(300)은 기판(100)과 타입 2 이중 접합(type-II heterojunction)을 형성할 수 있다.
- [0035] 상부 콘택(400)은 황화 텅스텐막(300)의 상면을 덮도록 형성될 수 있다. 단, 황화 텅스텐막(300)의 상면은 입사광이 입사되는 방향에 위치하므로 황화 텅스텐막(300)의 상면을 모두 커버하지 않도록 그리드(grid) 형상을 가질 수 있다. 즉, 상부 콘택(400)에 의해서 황화 텅스텐막(300)의 상면의 일부가 외부로 노출될 수 있다.
- [0036] 상부 콘택(400)은 황화 텅스텐막(300)의 상면의 입사광이 들어오는 면적을 최대화할 수 있다. 상부 콘택(400)은 바디(410)와 브랜치(420)를 포함할 수 있다.
- [0037] 바디(410)는 제2 방향(Y)으로 연장되고, 제1 방향(X) 상에서 상부 콘택(400)의 중심에 위치할 수 있다. 바디(410)는 제1 두께를 가질 수 있다. 예를 들어, 상기 제1 두께는 50 내지 500nm의 두께로 형성될 수 있다. 단, 본 실시예가 이에 제한되는 것은 아니다.
- [0038] 바디(410)는 외부와 연결되는 부분일 수 있다. 따라서, 추후에 설명되는 브랜치(420)보다 더 두껍게 형성되어 외부와의 접속을 용이하게 할 수 있다.
- [0039] 브랜치(420)는 바디(410)에서 제1 방향(X)으로 연장될 수 있다. 브랜치(420)는 바디(410)를 중심으로 제1 방향(X) 상의 양측으로 연장될 수 있다. 양측으로 연장되는 브랜치(420)는 바디(410)로부터 동일한 길이만큼 연장될 수 있다. 이에 따라서, 상부 콘택(400)의 형상은 바디(410)를 기준으로 제1 방향(X)으로 대칭일 수 있다. 이는 본 발명의 몇몇 실시예들에 따른 광전 소자의 전류가 균일하게 전송되게 하기 위함이다.
- [0040] 브랜치(420)는 바디(410)의 제1 두께보다 작은 제2 두께를 가질 수 있다. 브랜치(420)는 바디(410) 및 황화 텅스텐막(300)과 접하고, 외부와는 직접적으로 연결되지 않을 수 있다.
- [0041] 본 발명의 몇몇 실시예에 따른 광전 소자의 상부 콘택(400)은 금속의 그리드 형태 대신 투명 전도층 및 금속 나노선 중 적어도 하나를 포함하는 물질을 포함할 수 있다. 이 때, 투명 전도층은 ITO 및 FTO 등의 투명하고 도전성을 가지는 물질을 포함할 수 있다.
- [0042] 이하, 도 1 내지 도 4를 참조하여, 본 발명의 몇몇 실시예들에 따른 광전 소자 제조 방법을 설명한다. 상술한 실시예와 중복되는 설명은 간략히 하거나 생략한다.

- [0043] 도 2 내지 도 4는 본 발명의 몇몇 실시예들에 따른 광전 소자 제조 방법을 설명하기 위한 중간 단계 도면들이다.
- [0044] 먼저, 도 2를 참조하면, 기관(100)을 제공한다.
- [0045] 기관(100)은 제3 방향(Z)으로 서로 반대되는 제1 면(101) 및 제2 면(102)을 포함할 수 있다. 도 4에서, 제1 면(101)은 상면으로 도시되고, 제2 면(102)은 하면으로 도시되었다. 본 발명의 몇몇 실시예들에 따른 광전 소자에서는 제1 면(101) 및 제2 면(102)이 각각 하면과 상면일 수도 있다. 편의상, 제1 면(101) 및 제2 면(102)이 각각 상면과 하면인 것을 기준으로 설명한다.
- [0046] 기관(100)은 p형 실리콘 기관일 수 있다. 기관(100)의 상면은 실리콘의 (001)평면일 수 있다. 기관(100)은 아세톤 및 증류수를 이용해 초음파 처리로 세정될 수 있다.
- [0047] 이어서, 도 3을 참조하면, 기관(100)의 제2 면(102) 상에 하부 콘택(200)을 형성한다.
- [0048] 하부 콘택(200)은 Al을 포함할 수 있다. 하부 콘택(200)은 DC 스퍼터링으로 증착될 수 있다. 하부 콘택은 하부 콘택(200)은 기관(100)의 하면을 완전히 덮을 수 있다.
- [0049] 하부 콘택(200)을 형성하고, 기관(100)과 하부 콘택(200)의 결합을 강화하기 위해서 급속 열처리를 수행할 수 있다. 단, 본 실시예가 이에 제한되는 것은 아니다.
- [0050] 이어서, 도 4를 참조하면, 기관(100)의 제1 면(101) 상에 황화 텅스텐막(300)을 형성한다.
- [0051] 황화 텅스텐막(300)은 WS_2 를 포함할 수 있다. 황화 텅스텐막(300)은 수직 방향으로 성장된 WS_2 막일 수 있다. 황화 텅스텐막(300)은 RF 스퍼터링을 이용하여 증착될 수 있다. 황화 텅스텐막(300)이 형성되면서, 기관(100)과 황화 텅스텐막(300)은 정류 접합을 형성할 수 있다.
- [0052] 황화 텅스텐막(300)은 제1 온도에서 증착될 수 있다. 이 때, 제1 온도는 상온(room temperature, RT) 내지 600℃일 수 있다. 제1 온도가 달라짐에 따라서, 황화 텅스텐막(300)의 구조 및 표면 상태가 달라질 수 있다. 이에 따라서, 황화 텅스텐막(300)의 여러 특성이 달라질 수 있다. 황화 텅스텐막(300)이 증착되는 동안 기관(100)은 일정한 속도로 회전할 수 있다. 이는 황화 텅스텐막(300)의 증착을 균일하게 할 수 있다.
- [0053] 황화 텅스텐막(300)은 제1 파워로 스퍼터링을 통해서 증착될 수 있다. 이 때, 제1 파워는 10 내지 1000W일 수 있다. 상기 제1 파워가 달라짐에 따라서, 황화 텅스텐막(300)의 여러 특성이 달라질 수 있다.
- [0054] 황화 텅스텐막(300)은 제1 시간동안 스퍼터링을 수행하여 형성될 수 있다. 이 때, 제1 시간은 10 내지 120분일 수 있다. 상기 제1 시간이 달라짐에 따라서, 황화 텅스텐막(300)의 여러 특성이 달라질 수 있다.
- [0055] 하기 여러 실험예를 통해서, 제1 온도, 제1 파워 및 제1 시간에 따른 황화 텅스텐막(300)의 특성의 변화를 설명한다.
- [0056] 도 3 및 도 4에서는 하부 콘택(200)이 형성되고, 황화 텅스텐막(300)이 형성되었다고 설명하였지만, 본 실시예가 이에 제한되는 것은 아니다. 즉, 본 발명의 몇몇 실시예들에 따른 광전 소자 제조 방법은 먼저 황화 텅스텐막(300)이 형성되고, 하부 콘택(200)이 형성될 수 있다.
- [0057] 이어서, 도 1을 참조하면, 황화 텅스텐막(300) 상에 상부 콘택(400)을 형성한다. 상부 콘택(400)은 그리드 형상을 가질 수 있다. 즉, 상부 콘택(400)에 의해서 황화 텅스텐막(300)의 일부가 외부로 노출될 수 있다. 상부 콘택(400)은 DC 스퍼터링에 의해서 증착될 수 있다.
- [0058] 도 5는 본 발명의 몇몇 실시예들에 따른 광전 소자 제조 방법의 WS_2 타겟을 설명하기 위한 이미지이고, 도 6은 본 발명의 몇몇 실시예들에 따른 광전 소자 제조 방법의 WS_2 막의 웨이퍼 스케일 형성을 설명하기 위한 이미지이다.
- [0059] 도 5 및 도 6을 참조하면, 본 발명의 몇몇 실시예에 따른 광전 소자 제조 방법은 WS_2 타겟을 이용하여 웨이퍼 스케일로 수직 정렬된 WS_2 막을 형성할 수 있다. 이 때, 온도(ΔT), 파워(ΔW) 및 시간(Δt)을 가변하여 WS_2 막의 성질을 조절할 수 있다.
- [0060] 도 7은 본 발명의 몇몇 실시예들에 따른 광전 소자 제조 방법에 따라 형성된 웨이퍼 스케일 수직 정렬 WS_2 막의 실제 이미지이다.

- [0061] 도 7을 참조하면, 실제 웨이퍼 스케일로 대면적 성장을 통한 WS₂막을 성장시킬 수 있음을 알 수 있다.
- [0063] **실시예 1-RT/25W/30min**
- [0064] (001) 평면을 상면으로 가지는 p형 실리콘 재료의 기판을 세정하여 제공하였다. 결정질 실리콘 기판의 상면에 25W의 RF 스퍼터링을 이용하여 직경 2인치, 두께 1/4인치인 WS₂ 타겟을 기판의 상면에 30분간 증착시켜 수직 방향의 WS₂ 막 즉, 황화 텅스텐막을 형성하였다. 이 때, WS₂ 막은 상온에서 증착되었다. 이 때, 압력은 10 mTorr이고, 아르곤 가스의 유량은 50sccm이다. 증착 온도는 400℃이다.
- [0066] **실시예 2-200℃**
- [0067] WS₂ 막의 증착 온도를 200℃로 한 것을 제외하고는 실시예 1과 동일하게 제작되었다.
- [0069] **실시예 3-400℃**
- [0070] WS₂ 막의 증착 온도를 400℃로 한 것을 제외하고는 실시예 1과 동일하게 제작되었다.
- [0072] 도 8은 본 발명의 실시예 1의 표면 상태를 설명하기 위한 FESEM(Field Emission Scanning Electron Microscope) 이미지이고, 도 9는 본 발명의 실시예 1의 단면 상태를 설명하기 위한 FESEM 이미지이다. 도 10은 본 발명의 실시예 2의 표면 상태를 설명하기 위한 FESEM 이미지이고, 도 11은 본 발명의 실시예 2의 단면 상태를 설명하기 위한 FESEM 이미지이다. 도 12는 본 발명의 실시예 3의 표면 상태를 설명하기 위한 FESEM 이미지이고, 도 13은 본 발명의 실시예 3의 단면 상태를 설명하기 위한 FESEM 이미지이다.
- [0073] 도 8 내지 도 13은 증착 온도가 실시예 1 내지 3의 표면에 미치는 영향을 보여준다. 실시예 2 및 3의 표면과 단면은 나노 스케일 수직막들을 확인시켜 준다. 상기 FESEM 이미지들은 100k 배율로 촬영되었다. 상기 이미지들을 참조하면, 수직막의 개수 밀도(number density)가 실시예 3 즉, 증착 온도 400℃에서 상당히 높다는 것을 알 수 있다.
- [0074] 그러나, 실시예 2 및 3의 수직막의 두께는 거의 비슷하다. 나아가, 수직막의 개수 밀도가 증가하기 때문에, 수직막들의 상호 연결 정도(degree of interconnection) 또한 더 높을 수 있다. 이는 빠른 캐리어 전송(특히, 면내 방향(in-plane direction)에서)에 요구되는 사항이다.
- [0076] **실험예 1**
- [0077] WS₂ 막의 구조적 특성을 알아보기 위해서, 실시예 1 내지 3의 XRD(X-ray diffraction)를 수행하고, 표면 형태를 FESEM으로 촬영하였다.
- [0078] 도 14는 본 발명의 실시예 1 내지 3의 WS₂ 막의 XRD(X-ray diffraction) 스펙트라(spectra)이고, 도 15는 도 14의 피크 부분을 확대한 XRD 스펙트라이다.
- [0079] 도 14 및 도 15를 참조하면, 실시예 3의 WS₂막은 단일 회절 피크가 2 θ 가 14.16° 일 때 존재하므로 높은 결정성을 가지도록 성장한 것을 알 수 있다. 상기 피크는 육각형의 WS₂막의 (002) 평면에 대응한다. 따라서, 고결정성의 막 형태의 WS₂는 큰 스케일로 성장되기 용이하다.
- [0080] 관측된 고강도의 XRD 피크는 두께가 더 작아짐에도 불구하고, 실시예 3의 WS₂막이 실시예 2의 WS₂막보다 더 큰 개수 밀도를 가지는 것뿐만 아니라 더 결정화되었다는 것을 나타내며 400℃의 공정온도에서 고품질의 WS₂막 (격자 치수 $a = 3.14 \text{ \AA}$ 및 $b = 12.5 \text{ \AA}$)을 성장시키는 데에 유리함을 의미한다.
- [0081] 도 16은 본 발명의 실시예들의 WS₂막의 육각형 원자구조를 설명하기 위한 개념도이다.
- [0082] 도 16을 참조하면, 원자 구조의 (002) 평면이 도시되었다. 즉, 빠른 면내 캐리어 운송이 매우 강하게 요구되는 수직 방향 WS₂막은 상술한 방법으로 성공적으로 생성될 수 있다.
- [0083] MoS₂와 같이, 수직 방향의 막 형태의 성장은 WS₂막 내의 제조된 WS₂ 판(plate)의 압축 및 압출에 기인한다. 더 큰 부피 대 면적 비율을 가지는 수직막은 높은 면 내(in-plane) 이동도에 의해서 빠른 전하 전송을 가능하게 한다.

- [0085] **실험예 2**
- [0086] 실시예 1 내지 3의 결정 특성을 알아보기 위해서 라만 스펙트럼을 측정하였다. 도 17은 본 발명의 실시예 1 내지 3의 라만 스펙트라(Raman spectra)를 도시한 도면이다.
- [0087] 도 17을 참조하면, 상온에서 측정된 $150\text{--}800\text{ cm}^{-1}$ 의 파동수에 대한 라만 스펙트라를 확인할 수 있다. 514nm 레이저가 여기원(excitation source)으로 사용되었다. 실시예 1은 비정질이고, 도 17에서의 실시예 1의 스펙트럼은 해석할 수 없다. 이에 반해, 실시예 2 및 3은 수직 WS_2 막으로 형성된다. 도 17에서의 실시예 2 및 3의 라만 스펙트라는 유사하여 XRD 측정에서 나타난 구조적 차이점을 찾아내기 쉽지 않다. 실시예 2 및 3의 라만 스펙트라는 1차 및 2차(1^{st} - and 2^{nd} -order)의 특성 피크를 포함 하며 1차 피크는 175 cm^{-1} 에서의 LA(M) , 356 cm^{-1} 에서의 E_{2g}^1 및 417 cm^{-1} 에서의 A_{1g} 로 나타난다. 2차 특성 피크는 230 cm^{-1} 에서의 $\text{A}_{1g}(\text{M})\text{--LA(M)}$, 265 cm^{-1} 에서의 $2\text{LA(M)}\text{--}3\text{E}_{2g}^1(\text{M})$, 296 cm^{-1} 에서의 $2\text{LA(M)}\text{--}2\text{E}_{2g}^2(\text{M})$, 250 cm^{-1} 에서의 2LA(M) , 585 cm^{-1} 에서의 $\text{A}_{1g}(\text{M})\text{+LA(M)}$ 및 705 cm^{-1} 에서의 4LA(M) 로 나타나며, 524 cm^{-1} 에서의 피크는 Si 기판에 해당된다. 이러한 피크들은 단일막 WS_2 에 관찰된 피크들과 매우 유사하며, 이는 상기 수직 정렬 실시예들은 단일막 또는 복수막이고, 벌크 형태가 아님을 보여준다.
- [0088] WS_2 단일막의 격자 공진(lattice resonance) 및 A_{1g} 과 2LA(M) 의 강도의 비율은 막의 개수와 연관되며 막 적층구조에 대응되는 A_{1g} 및 2LA(M) 라만 피크의 파동수의 차이는 각각 단일막 WS_2 의 65.8 cm^{-1} , 이중막 67.1 cm^{-1} , 및 삼층막 68.1 cm^{-1} 에 해당한다.
- [0089] 도 18은 도 17의 라만 스펙트라의 부분 확대도이고, 도 19는 본 발명의 몇몇 실시예들에 따른 WS_2 막의 E_{2g}^1 의 진동 모드를 설명하기 위한 개념도이다. 도 20은 본 발명의 몇몇 실시예들에 따른 WS_2 막의 A_{1g}^1 의 진동 모드를 설명하기 위한 개념도이다.
- [0090] 도 18 내지 도 20을 참조하면, 이러한 격자 공진에 대응되는 상기 라만 특성 피크는 69.43 cm^{-1} 에 해당하는 파동수 차이를 가진다. 이는 수직으로 기립한 WS_2 막 실시예들이 3개 이상의 막으로 구성됨을 나타낸다.
- [0092] **실험예 3**
- [0093] 실시예 1 내지 3의 상 순도(phase purity) 및 화학적 상태를 알아보기 위해서 XPS(X-ray photoelectron spectroscopy)를 수행하였다.
- [0094] 도 21은 본 발명의 실시예 1 내지 3의 광전 소자의 W 2f 스펙트라를 도시한 그래프이고, 도 22는 본 발명의 실시예 1 내지 3의 광전 소자의 S 2p 스펙트라를 도시한 그래프이다.
- [0095] 도 21 및 도 22를 참조하면, W $4f_{7/2}$, W $4f_{5/2}$, 및 W $5p_{3/2}$ 피크들은 각각 약 33.0 eV, 35.5 eV 및 38.1 eV의 값을 가지고, 이는 W의 산화 상태를 나타낼 수 있다. 나아가, 각각 162.4 eV 및 163.5 eV의 S $2p_{1/2}$ 및 $2p_{3/2}$ 피크는 S가 S^{2-} 형태로 존재함을 의미한다. 이러한 피크들은 고순도의 WS_2 의 경우와 동일하게 나타날 수 있다.
- [0096] 한편, W $4f$ 의 $4f_{7/2}$ 피크 및 S $2p$ 의 $2p_{1/2}$ 피크는 실시예 1에서는 미확인 상태로 나타난다. 그러나, 실시예 2 및 실시예 3의 XPS 피크는 유사한 실시예 내의 W 및 S의 화학 상태를 뚜렷하게 나타낸다.
- [0098] **실시예 4**
- [0099] 기판을 석영 웨이퍼(Quartz wafer)로 한 것을 제외하고는 실시예 1과 동일하게 제작되었다.
- [0101] **실험예 4**
- [0102] 실시예 4의 광학 특성을 알아보기 위해서 투과도와 흡수도를 측정하였다. 도 23은 본 발명의 실시예 3의 투과도 및 흡수도를 도시한 그래프이다.
- [0103] 도 23을 참조하면, 초박형 WS_2 막은 강력한 빛 흡수를 보여준다. WS_2 의 광자의 엑시톤(exciton) 유도 흡수는 628

nm, 525 nm 및 454 nm의 파장에서 밴드를 생성한다. 이들은 도 23에서 A, B 및 C로 표시되는 WS₂의 엑시톤 밴드(exciton band)들이다. 그러나, 이러한 흡수 피크는 수직 배향된 WS₂ 막의 경우에는 검출되지는 않는다.

[0104] 도 24는 본 발명의 실시예 4의 타우 크래프트(Tauc plot)를 도시한 그래프이다.

[0105] 도 24를 참조하면, 광학 밴드갭(E_g)은 타우 관계식 $(\alpha h\nu)^{1/\gamma} = \beta(h\nu - E_g)$ 를 사용하여 계산되었다. 여기서, $h\nu$ 는 입사 광자 에너지, β 는 상수, γ 는 지수이다. 간접적으로 허용된 광학 전이에 대한 타우 관계식은 도 24에서 보여 주듯이 E_g 값이 1.38 eV 인 것을 도출하고, 이는 이전에 WS₂에 대해 보고된 것과 유사한 값이다.

[0107] **실시예 5-50W/30분**

[0108] 황화 텅스텐막의 스퍼터링 파워를 50W로 한 것을 제외하고는 실시예 3과 동일하게 제작하였다.

[0110] **실시예 6-100W/30분**

[0111] 황화 텅스텐막의 스퍼터링 파워를 100W로 한 것을 제외하고는 실시예 3과 동일하게 제작하였다.

[0113] **실시예 7-25W/60분**

[0114] 황화 텅스텐막의 스퍼터링 시간을 60분으로 한 것을 제외하고는 실시예 3과 동일하게 제작하였다.

[0116] **실시예 8-50W/60분**

[0117] 황화 텅스텐막의 스퍼터링 시간을 60분으로 한 것을 제외하고는 실시예 5와 동일하게 제작하였다.

[0119] **실시예 9-100W/60분**

[0120] 황화 텅스텐막의 스퍼터링 시간을 60분으로 한 것을 제외하고는 실시예 6과 동일하게 제작하였다.

[0122] 도 25는 본 발명의 실시예 3의 WS₂막의 표면 상태를 설명하기 위한 FESEM 이미지이고, 도 26은 본 발명의 실시예 3의 WS₂막의 단면 상태를 설명하기 위한 FESEM 이미지이다. 도 27은 본 발명의 실시예 5의 WS₂막의 표면 상태를 설명하기 위한 FESEM 이미지이고, 도 28은 본 발명의 실시예 5의 WS₂막의 단면 상태를 설명하기 위한 FESEM 이미지이다. 도 29는 본 발명의 실시예 6의 WS₂막의 표면 상태를 설명하기 위한 FESEM 이미지이고, 도 30은 본 발명의 실시예 6의 WS₂막의 단면 상태를 설명하기 위한 FESEM 이미지이다. 도 31은 본 발명의 실시예 7의 WS₂막의 표면 상태를 설명하기 위한 FESEM 이미지이고, 도 32는 본 발명의 실시예 7의 WS₂막의 단면 상태를 설명하기 위한 FESEM 이미지이다. 도 33은 본 발명의 실시예 8의 WS₂막의 표면 상태를 설명하기 위한 FESEM 이미지이고, 도 34는 본 발명의 실시예 8의 WS₂막의 단면 상태를 설명하기 위한 FESEM 이미지이다. 도 35은 본 발명의 실시예 9의 WS₂막의 표면 상태를 설명하기 위한 FESEM 이미지이고, 도 36은 본 발명의 실시예 9의 WS₂막의 단면 상태를 설명하기 위한 FESEM 이미지이다.

[0123] 도 25 내지 도 36을 참조하면, 수직 성장된 WS₂ 막의 측면 치수(lateral dimension)는 스퍼터링 전력 및 증착 시간의 증가에 따라 증가하였다. 결과적으로, 스퍼터링 파워 및 증착 시간을 제어함으로써 막의 수직 폭을 60nm(RF 파워 25W, 증착 시간 30 분)에서 600nm(RF 파워 100W, 증착 시간 60 분)까지 증가시킬 수 있었다. 실시예 9의 막 수평 두께는 약 5nm로 추정된다(도 35의 밝은 선 부분). 상기 결과는 격자 치수를 고려할 때, 실시예 9가 8 개의 막으로 구성됨을 의미한다. 또한, 수직 성장된 실시예 3의 막 수평 두께는 25W 및 30 분에 대응하여 2 내지 2.8nm로 추정되며, 이는 실시예 3이 WS₂의 수직 성장된 4 내지 5개의 막으로 구성됨을 시사한다. 이 결과는 특정 라만 피크 (E_{2g}^1 및 A_g^1)에서 파동수의 차이가 69.4 cm^{-1} 인 것과 일치한다.

[0124] 따라서, 이 분석은 스퍼터링 파워 및 증착 시간을 변화시키는 것이 성장 된 WS₂ 막의 수직 폭 및 높이뿐만 아니라 그 개수 밀도를 조절할 수 있음을 확인시켜 준다.

[0125] 단면 이미지는 길고 고도로 배향된 WS₂ 막이 수직 방향을 따라 성장한다는 것을 확인시켜 준다. 이 막들은 매우 밀집되고 수직 방향으로 높게 형성된다.

[0126] 도 37은 본 발명의 실시예 3, 실시예 5 내지 실시예 9에 의한 스퍼터링 파워에 따른 WS₂막의 두께를 도시한 그

래프이다.

[0127] 도 37을 참조하면, 두 경우, 즉, 스퍼터링 시간이 30 분 및 60 분에 대한 스퍼터링 파워의 함수로서의 성장 속도가 나타나 있다. t (스퍼터링 시간)=60분에 해당하는 실시예들의 성장은 $tWS_2 = 4.85W + 35.5$ 라는 식으로 나타낼 수 있는 반면, $t=30$ 분에 해당하는 샘플의 성장은 $tWS_2 = 2.68W - 17$ 로 나타낼 수 있다. 여기서 tWS_2 는 해당 WS_2 막의 두께이다. 상기 두께는 추정치의 오차로 인해 약간의 불일치가 있을 수 있다. 이 식들은 초기 단계에서 WS_2 의 성장률이 높지 않음을 나타낸다.

[0129] 실시예 10

[0130] p 타입 실리콘 웨이퍼를 기판으로 사용하였다. p 타입 실리콘 웨이퍼는 $500\mu m$ 의 두께에 1 내지 $10\Omega cm$ 의 저항을 가진다. WS_2 막은 RF 파워 25W로 30분간 $400^\circ C$ 로 증착된다. 실리콘 웨이퍼의 하면에 $200nm$ 두께의 Al 하부 콘택을 형성하였다. 하부 콘택은 Al 타겟을 DC 파워 300W로 10분간 DC 스퍼터링하여 형성되었다. $200nm$ 두께의 그리드 형상의 상부 Al 콘택을 WS_2 막 위에 DC 스퍼터링으로 형성하고, 10분간 $500^\circ C$ 로 급속 열처리를 수행하였다.

[0131] WS_2 막을 증착하기 전에 Al 하부 콘택을 먼저 형성하고, 급속 열처리를 수행하였다.

[0132] 이후, 소자 분리를 위해서 다이아몬드 바늘로 실시예 10의 광전 소자는 $1cm^2$ 의 면적으로 커팅될 수 있다.

[0133] 도 38은 본 발명의 실시예 10의 구성 및 동작을 설명하기 위한 개략적인 개념도이고, 도 39는 본 발명의 실시예 10의 실제 제작된 광전 소자의 이미지이다.

[0134] 도 38 및 도 39를 참조하면, 본 발명의 실시예 10의 광전 소자는 Al / p-Si / n- WS_2 (40 nm) / Al 구조로 $1cm^2$ 의 면적을 갖는다. WS_2 막은 들어오는 광자를 흡수하여 광 생성 캐리어를 생성하고, 외부 바이어스 없이 이종 접합을 통해 빠르게 운반된다.

[0136] 실험예 5

[0137] 실시예 10의 전기적 특성을 알아보기 위해서 전류 전압 특성을 조사하였다. 도 40은 본 발명의 실시예 10의 전류 전압 특성을 도시한 그래프이다.

[0138] 도 40을 참조하면, 계산된 암(dark) 포화 전류는 $0.1\mu A$ 미만이었고 다이오드 이상 계수 n 은 1.43이었다. n 의 값은 관계식 $n = (q/KT)(dV/(d\ln I))$ 을 사용하여 추정되었으며, 여기서 q , K 및 T 는 각각 기본 전하, 볼츠만 상수 및 절대 온도이다. n 을 계산하는데 사용된 세그먼트는 도 40에 도시되었다.

[0139] 도 41은 본 발명의 실시예 10의 상온 및 암 조건(dark condition)에서의 전류 전압 특성을 도시한 그래프이다.

[0140] 도 41을 참조하면, 실시예 10은 최대 $\pm 2V$ 의 바이어스를 받을 때 뛰어난 정류 특성을 나타냈다. 암전류는 $-2V$ 에서 $5\mu A$ 로 낮았으며 $+2V$ 에서 전류는 $100mA$ 보다 컸다. 따라서, 실시예 10의 광전 소자는 브레이크 다운(break down) 없이 상온에서 20000 이상의 정류비를 나타냈다.

[0141] WS_2/Si 이종 접합의 이러한 성능은 우수한 큰 전류 통과 능력(large-current-passing capabilities)을 시사하며, 나노 스케일에서 전류를 분기하고, 우수한 다이오드 특성 및 낮은 턴온 전압($0.38V$)을 종합적으로 보여주는 수직 정렬된 나노막 네트워크에 기인한다.

[0142] 도 42는 본 발명의 실시예 10의 저온 및 암 조건에서의 전류 전압 특성을 도시한 그래프이다.

[0143] 도 42를 참조하면, 전류 전압 특성 측정 결과는 낮은 암 포화 전류 ($<100pA$)와 낮은 역 바이어스 전류 및 표시 없는 순방향 전류를 보였다.

[0144] 다시, 도 40을 참조하면, 실시예 10의 WS_2/Si 이종 접합은 우수한 광 응답 전류 전압 특성을 나타냈다. 실시예 10의 이종 접합은 $210mV$ 의 개방 회로 전압(V_{oc})과 NIR 방사($850nm$)에 대해 9000보다 높은 신호 대 잡음비(signal-to-noise ratio)(I_{hv}/I_d)를 갖는 제로 바이어스 광 응답을 가졌다. 여기서, I_{hv} 와 I_d 는 광전류와 암전류이다.

[0146] 실험예 6

[0147] 스펙트럼 특성과 광 검출 성능을 평가하기 위해 실시예 10의 광 반응 특성을 더 조사했다. 이를 위해 자외선, 가시 광선 및 근적외선 영역에서 방사선을 방출하는 단색 광원 하에서 전류 전압 특성을 측정했다. 이 때, 광원의 세기는 다른 언급이 없는 한, $15\text{mW}/\text{cm}^2$ 로 유지되었다.

[0148] 도 43은 본 발명의 실시예 10의 다양한 입사광의 파장에 따른 전류 전압 특성을 도시한 그래프이다.

[0149] 도 43을 참조하면, 실시예 10의 이중 접합은 광대역 복사에 대해서 좋은 응답 특성을 보여주었다. 이 결과는 수직으로 정렬된 WS_2 막이 제로 바이어스에서, UV, 가시 광선 및 근적외선 (NIR) 광 검출에 매우 뛰어난 성능을 가짐을 의미한다.

[0150] 실시예 10의 스펙트럼 광 검출 성능을 정량화하기 위해, 우리는 실시예 10의 응답 도(R) 및 검출능(D)을 계산했다.

[0151] 도 44는 본 발명의 실시예 10의 응답도 및 검출능을 도시한 그래프이다.

[0152] 도 44를 참조하면, R은 관계식 $R(\lambda) = (I_{\text{hv}}(\lambda)) / (P_{\text{hv}}(\lambda))$ 에 의해서 계산된다. 여기서, P_{hv} 는 단색 광원의 강도이고, I_{hv} 는 광 전류 ($I_{\text{hv}} = I_{\text{hv(measured)}} - I_{\text{d(dark)}}$)이다. 이 관계식은 실시예 10의 전류가 광 강도에 의존함을 의미한다. 광 파장의 함수로서의 R 값은 도 44에 도시된다. WS_2 를 포함하는 광전 소자의 광범위한 R 값은 수직으로 정렬된 막의 광 흡수 능력에 기인할 수 있다.

[0153] 또한, 실시예 10의 광전 소자는 420nm, 680nm 및 800-1000nm에서 피크 R 값을 보여준다. 이러한 결과는 WS_2 막이 엑시토닉 흡수(excitonic absorption)를 보여준다는 것을 의미한다. 실시예 10은 특히 UV 및 NIR 영역에서 향상된 R 값 ($\sim 6 \text{ mA} / \text{W}$)을 보여준다.

[0154] 한편, D 값은 관계식 $D(\lambda) = R(\lambda) \sqrt{\frac{A}{2qI_d}} = \frac{R(\lambda)}{\sqrt{2qJ_d}} D(\lambda) = R(\lambda) \sqrt{\frac{A}{2qI_d}} = \frac{R(\lambda)}{\sqrt{2qJ_d}}$ 를 이용해서 계산된다. 여기서, A는 소자 면적이고, J_d 는 암전류 밀도이다. 따라서, 전류의 측정 값을 사용하여 R과 I_d 에 의존하는 D를 결정하였다. 이 중 I_d 는 광 검출기의 D 성능을 향상시키는 핵심 매개 변수이다. 광자 파장의 함수로서의 D 값은 도 44에 도시되어 있으며, 이것은 장치가 전체 파장 범위에 걸쳐 일관된 광 검출 성능을 나타냄을 나타낸다. 실시예 10의 광전 소자의 D 값은 2.4×10^{10} Jones로 높다. 상술한 결과는 상대적으로 높은 빛의 강도에서 R과 D 값을 계산한 값이므로 더 낮은 빛의 강도에서 상기 값이 더 높게 도출될 수도 있다.

[0155] 포토 디텍터의 선형 동적 범위(linear dynamic range, LDR)는 이미지 품질을 결정한다. 예를 들어, 48 dB의 LDR을 사용하면 256 비트 그레이 스케일 이미지에 해당하는 8 비트의 깊이가 생성된다. 이는 종래의 포토 디텍터에 해당된다. 반면에, 70 및 90dB의 LDR 값은 12 및 14 비트의 깊이를 생성하며, 이는 각각 4096 및 16384 그레이 스케일 이미지에 해당한다. LDR 값은 관계식

$$\text{LDR}(\lambda) = 20 \log \left(\frac{P_{\text{max}}(\lambda)}{P_{\text{min}}(\lambda)} \right) \text{LDR}(\lambda) = 20 \log \left(\frac{P_{\text{max}}(\lambda)}{P_{\text{min}}(\lambda)} \right)$$
로부터 추정될 수 있으며, 여기서 P_{max} 및 P_{min} 은 선형 경향을 나타내는 광전류의 광 강도이다

[0156] 실시예 10의 365 nm, 520 nm 및 850 nm의 λ 값에 해당하는 LDR 값을 예측했다.

[0157] 도 45는 본 발명의 실시예 10의 빛의 세기에 따른 광전류를 도시한 그래프이다.

[0158] 도 45를 참조하면, 광전류는 광 강도 (최대 $10\text{mW}/\text{cm}^2$)의 함수로서 이들 파장에서 일관되게 관찰되었다. LDR 값은 I_{hv} 대 P_{hv} 의 선형 관계로부터 추정되었다. 결정된 365nm, 520nm 및 850nm의 파장에 해당하는 LDR 값은 각각 52dB, 71dB 및 90dB이었다. 이 값들은 특히 NIR 영역의 고 동적 범위 이미징 포토 디텍터(high-dynamic-range imaging photodetectors)에 대한 수직으로 배향된 WS_2 막의 성능을 확인시켜준다. 365 nm (UV)에 해당하는 LDR 값은 더 높은 강도에서의 선형성으로부터의 편차로 인해 52 dB로 제한되었다. 여기서, 계산된 LDR 값은 제로 바이어스 조건에서 도출되었다.

[0159] 정상 상태의 전류 전압 특성과 WS_2/Si 이중 접합의 광 응답을 분석한 후, 과도 광전류를 계산하였다. 광 응답 속도와 광전 소자의 스펙트럼 속성을 정량화하기 위해 펄스 광 하에서 제로 바이어스 조건의 과도 전류를 측정

했다. 이를 위해 과도 광 응답으로부터 라이징(τ_r) 및 폴링 타임(τ_f)을 계산하였다.

[0160] 도 46은 본 발명의 실시예 10의 과도 광전류 분석을 위한 파장에 따른 라이징 타임 및 폴링 타임을 도시한 그래프 및 385nm 및 850nm에서의 과도 광전류 응답을 도시한 그래프이다.

[0161] 도 46을 참조하면, 광 응답은 높은 감지 속도를 나타내는 UV 영역을 포함하여 전체 파장 영역에서 일정하게 유지되었다. τ_r 과 τ_f 값은 대략 40 μ s에서 크기가 동일함을 알 수 있다. 이는 크로노암페로메트리(chronoamperometry) 방식에 사용되는 높은 데이터 획득 속도 때문이다.

[0162] 도 47은 본 발명의 실시예 10의 광전 소자와 WS₂막 기반의 광전 소자와의 특성 비교를 위한 표이다.

[0163] 도 47을 참조하면, 실시예 10의 광전 소자의 높은 광 검출 속도는 WS₂ 막에서의 광 생성 전하 캐리어의 높은 면내 이동성 및 Si 웨이퍼와의 고품질 이중 접합의 형성에 기인할 수 있는데, 이는 본 광전 소자가 다른 광전 소자와 비교해 더 넓은 대역에서의 광 검출 특성을 가지고 있기 때문이다.

[0165] 실험예 7

[0166] 빌트 인 전위 및 어셉터 캐리어 농도뿐만 아니라 접합의 주파수 특성과 같은 접합 특성은 모트 쇼트키(Mott-Schottky) 분석으로 알 수 있다. 따라서 암 조건에서 적용된 바이어스의 함수로서 소자의 정전 용량을 측정했다.

[0167] 도 48은 본 발명의 실시예 10의 모트 쇼트키(Mott-Schottky) 특성을 도시한 그래프이다.

[0168] 도 48에서 C_{sc}는 실시예 10의 측정된 스페이스 차지 커패시턴스(space-charge capacitance)이다. 역 바이어스 하에서의 모트 쇼트키 분석 데이터에 대한 곡선의 음의 기울기는 Si 웨이퍼의 p형 특성뿐만 아니라 WS₂ 막과 Si 웨이퍼 사이의 급격한 접합의 형성에 기인한다. 따라서, WS₂ 실시예들은 고도로 도핑된 반도체로 간주될 수 있다. 모트 쇼트키 특성으로부터, 곡선이 전위축과 교차하는 지점인 플랫 밴드 전위(V_{FB})와 자유 캐리어 농도(어셉터 (p-Si), N_A)를 추정 할 수 있다. 자유 캐리어 농도는 기울기 값으로부터 계산될 수 있다.

[0169] 도 49는 본 발명의 실시예 10의 플랫 밴드 전위 및 어셉터 캐리어 농도를 도시한 그래프이다.

[0170] 도 49를 참조하면, 상기 기울기 값은 도 49에서 1MHz에서 1kHz 범위의 적용 주파수의 함수로 표시된다. 이러한 매개 변수에 대한 주파수 의존성은 두 개의 별개 영역을 나타내는 곡선으로 명확하게 볼 수 있다. V_{FB} 및 N_A 값은 왼쪽에서 즉 저주파수 영역에서 점진적으로 증가하고 고주파수 영역에서 일정하게 유지된다. 따라서, 보다 높은 주파수(즉, 40 kHz 내지 600 kHz)에 대응하는 값을 검토하였다. V_{FB} 값은 0.4V로 계산되고, N_A 값은 약 10¹⁴ cm⁻³이다. 이는 실시예 10의 이중 접합의 0.4V의 V_{FB} 값이 셀프 바이어스 광 검출을 허용한다는 점에서 큰 의미가 있다. 또한, 추정된 N_A 값은 본 실험예에서 사용 된 Si 웨이퍼에 대한 사양과 일치한다.

[0171] 도 50은 본 발명의 실시예 10의 p-Si 및 WS₂ 막의 에너지 밴드 엣지를 도시한 개념도이다.

[0172] 도 50을 참조하면, V_{FB}는 도 50에 표시된 WS₂ 및 Si의 에너지 밴드 엣지로부터 결정될 수 있다. 두 물질의 페르미 준위(E_f) 사이에 일 함수의 차이 (Φ_{bi})가 있어 WS₂와 Si의 계면에 장벽이 형성된다는 것을 알 수 있다. 실험적으로 측정된 V_{FB} 값은 도 50에 표시된 값과 비슷하다. 이상적으로, Φ_{bi} 는 WS₂ 막의 캐리어 농도(전도도)를 증가시킴으로써 증가될 수 있다.

[0173] 도 51은 본 발명의 실시예 10의 p-Si 및 WS₂ 막의 계면에서의 에너지 밴드 다이어그램을 도시한 도면이다.

[0174] 도 51은 Si/WS₂ 계면의 에너지 밴드를 보여주고 타입 2 이중 접합(type-II heterojunction)이 형성되었음을 보여준다. NIR 광자가 Si/WS₂ 계면에서 흡수되는 동안 WS₂ 막은 자외선 및 가시 광선 광자를 흡수하므로 우수한 광 검출 성능을 나타낼 수 있다.

[0176] 실험예 8

[0177] WS₂ 막에서의 신속한 면내 전하 수송의 이점을 설명하기 위해 고속 광 전압 측정이 실시예 10에서 수행되었다.

상기 측정은 펄스 광원(850 nm)에 실시예 10의 광전 소자를 노출시키고, 고속 디지털 오실로스코프를 사용하여 출력된 광전압을 측정하였다. 이러한 측정은 며칠 동안 대기 중에서 수행되어 광전 소자의 안정성을 평가할 수 있게 하였다. 측정된 실시예 10의 WS₂/Si 이중 접합의 안정적인 광 검출 작동은 WS₂의 오버레이어(overlayer)에 기인한다.

[0178] 도 52는 본 발명의 실시예 10의 50Hz의 850nm의 펄스광 신호에 대한 과도 광전압을 도시한 그래프이고, 도 53은 본 발명의 실시예 10의 10kHz의 850nm의 펄스광 신호에 대한 과도 광전압을 도시한 그래프이다.

[0179] 도 52 및 도 53을 참조하면, 두 경우 모두 광 전압은 210mV 였고 값은 일정하게 유지되었다. 빛의 펄스 주파수는 피크 값이 아닌 과도 광 전압의 백그라운드에만 영향을 미쳤다. 주파수에 따른 과도 광 전압을 상대 균형(relative balance) τ_r 과 τ_f 에 대해 분석했다. 상기 상대 균형은 $(V_{\max}-V_{\min})/V_{\max}$ 식을 사용하여 정의되며, 여기서 $V_{\max}$ 및 $V_{\min}$ 은 특정 펄스 주파수에 해당하는 광 전압의 최대 및 백그라운드 값이다.

[0180] 도 54는 본 발명의 실시예 10의 펄스 주파수에 따른 상대 밸런스(Relative balance; $(V_{\max}-V_{\min})/V_{\max}$)를 도시한 그래프이고, 도 55는 본 발명의 실시예 10의 입사광의 펄스 주파수를 조절하는 신호 생성기를 설명하기 위한 개념도이다. 도 56은 본 발명의 실시예 10의 실험 구성을 설명하기 위한 개념도이다.

[0181] 도 54 내지 도 56을 참조하면, 이러한 결과는 WS_2/Si 소자가 10kHz의 주파수를 갖는 광 펄스에 응답하여 고속 동작을 나타냄을 증명한다.

[0182] 도 57은 본 발명의 실시예 10의 과도 광전압에 의한 펄스 주파수에 따른 라이징 타임 및 폴링 타임을 도시한 그래프이다.

[0183] 도 57을 참조하면, 10kHz 신호의 경우 광 검출 속도가 $1.1\mu\text{s}$ 로 높았음을 알 수 있다. WS_2/Si 이중 접합의 매우 빠른 광 검출 성능은 실제로 10의 광전 소자의 높은 면내 캐리어 이동성에 기인할 수 있는데, 이는 종래의 Si 광대역 및 광 밴드 갭 UV 포토 디텍터보다 훨씬 높은 값에 해당한다.

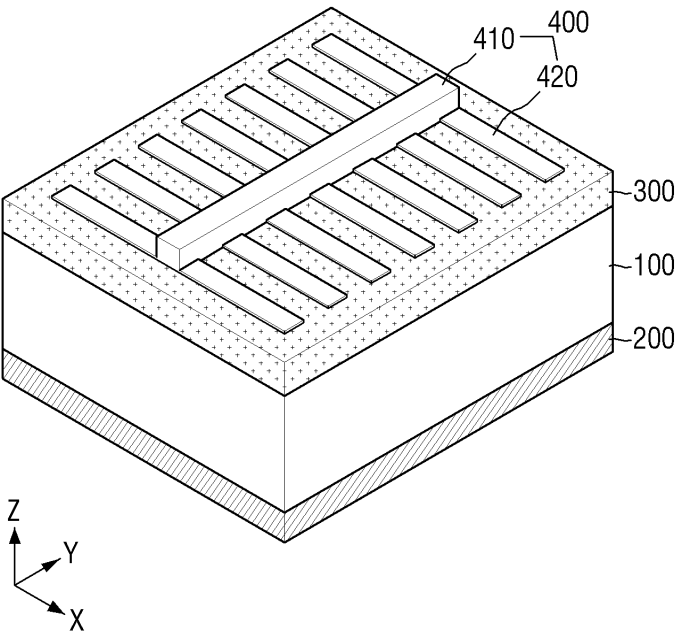
[0184] 이상 실험예 및 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

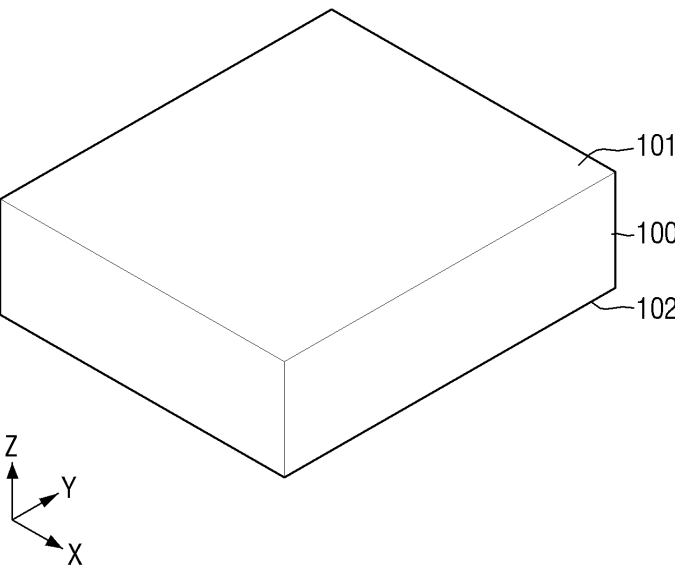
[0185] 100: 기관 200: 하부 컨택
300: 황화 텅스텐막 400: 상부 컨택

도면

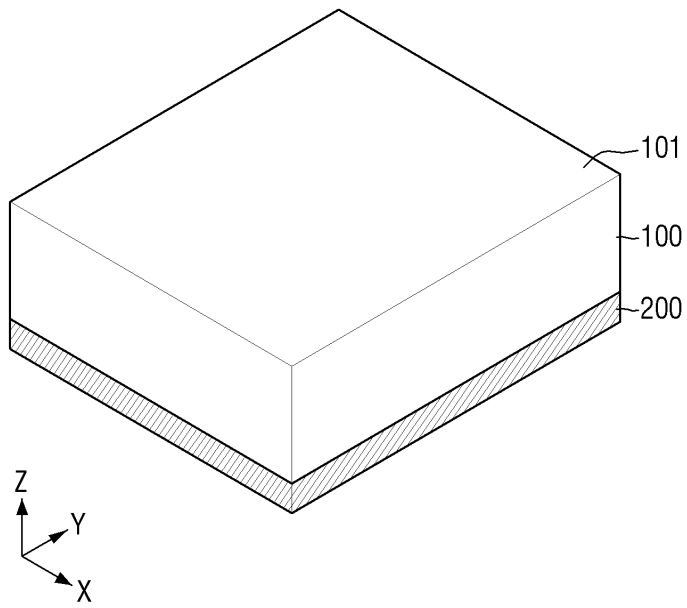
도면1



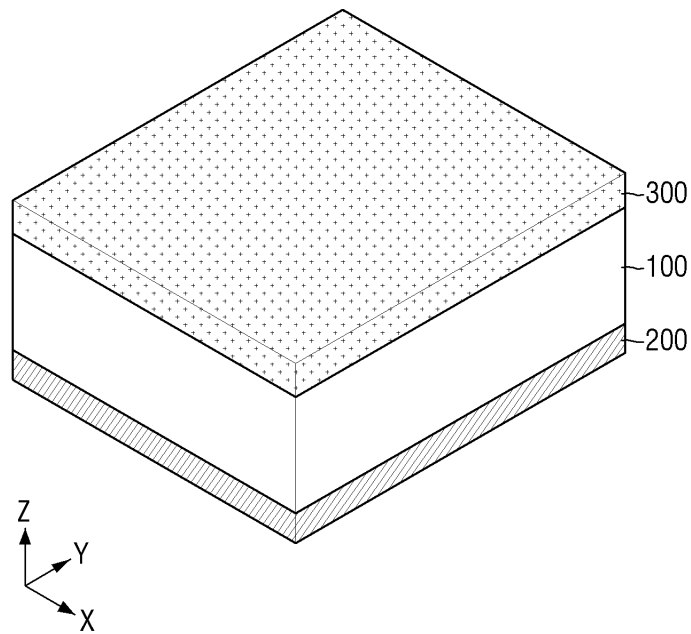
도면2



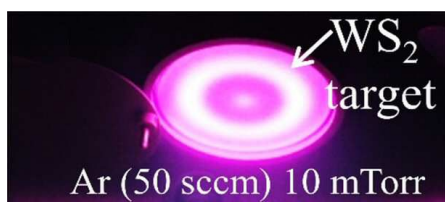
도면3



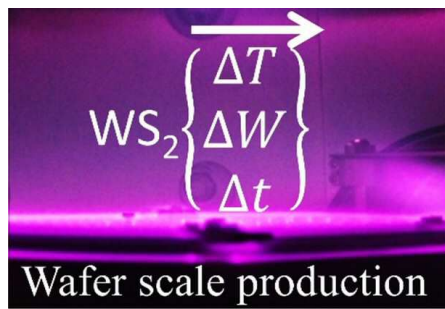
도면4



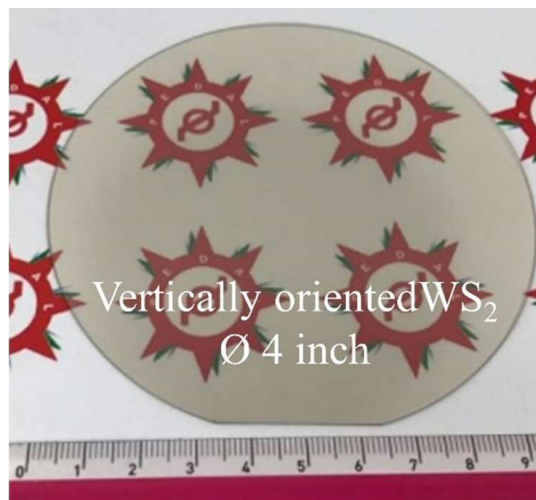
도면5



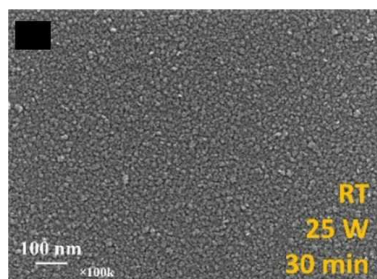
도면6



도면7



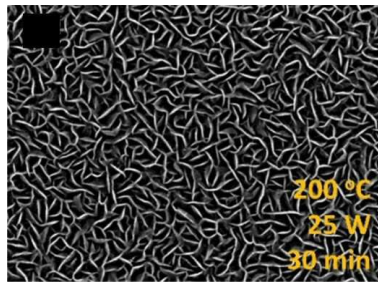
도면8



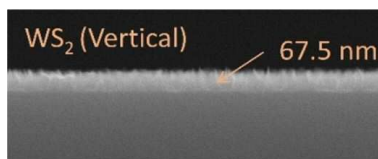
도면9



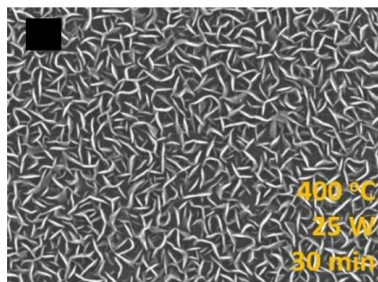
도면10



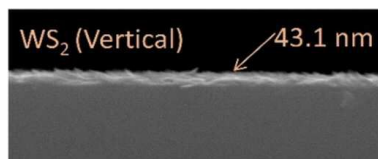
도면11



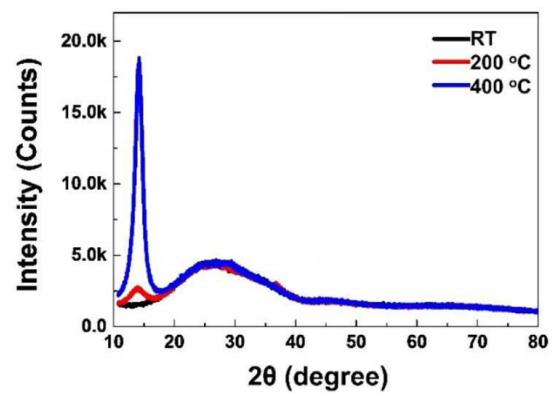
도면12



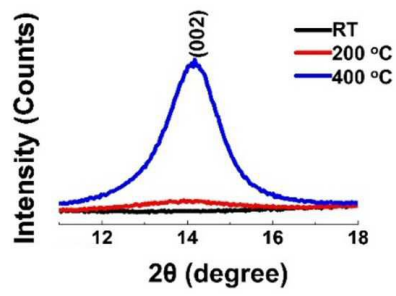
도면13



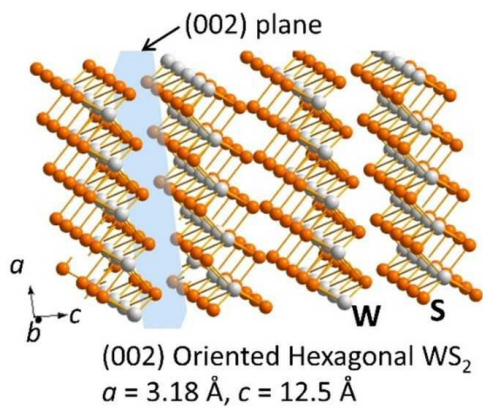
도면14



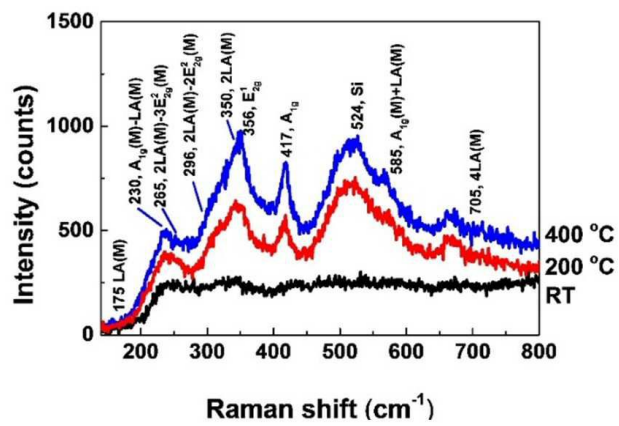
도면15



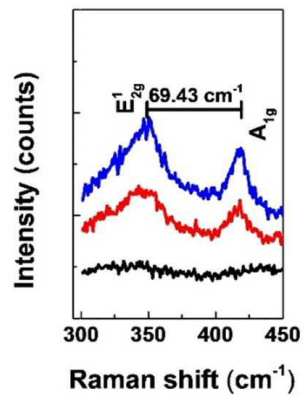
도면16



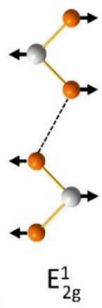
도면17



도면18



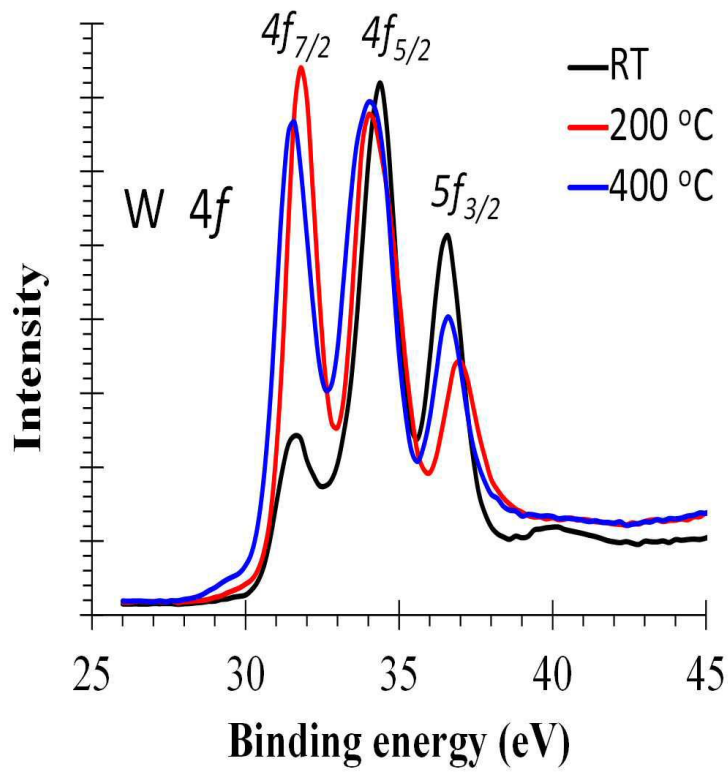
도면19



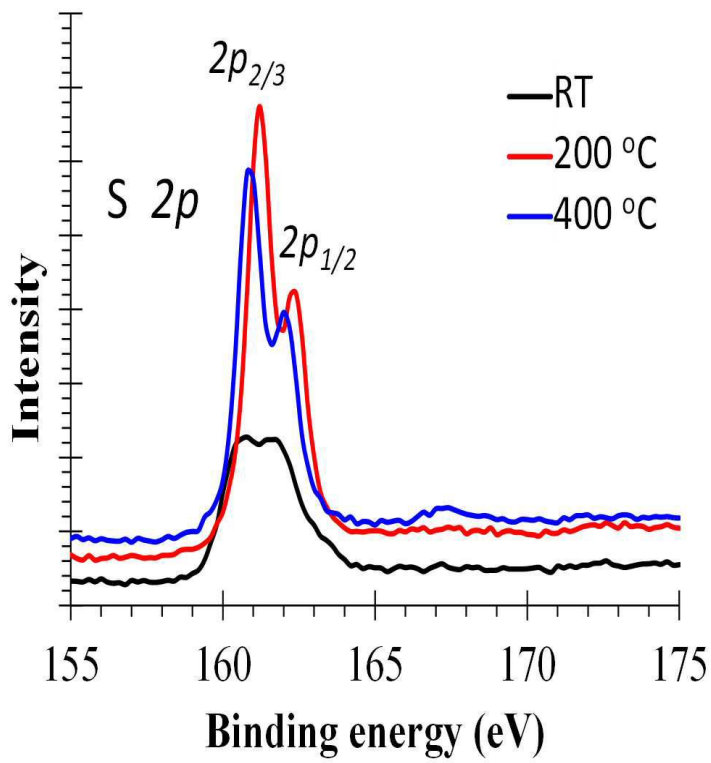
도면20



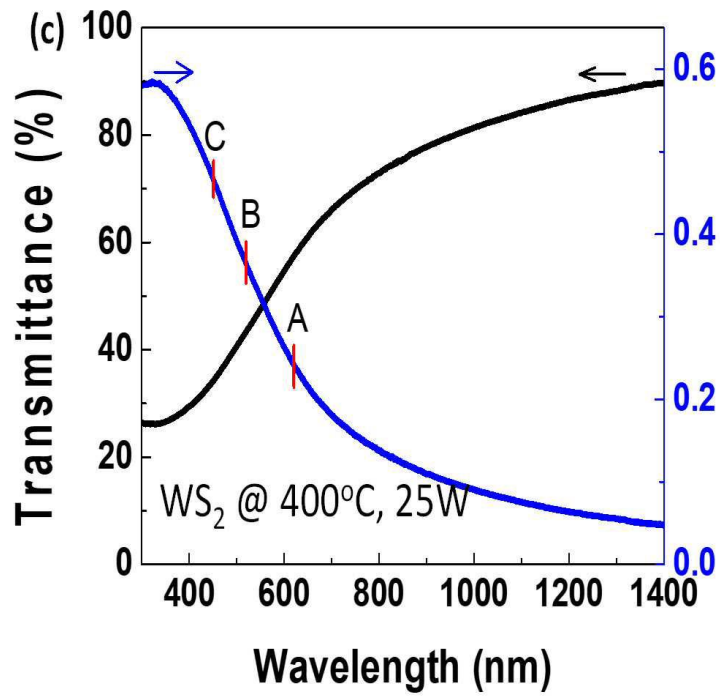
도면21



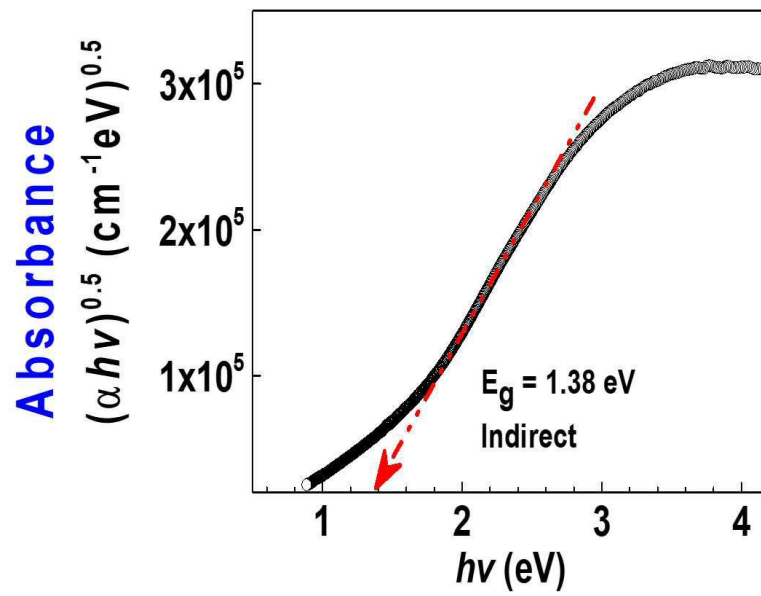
도면22



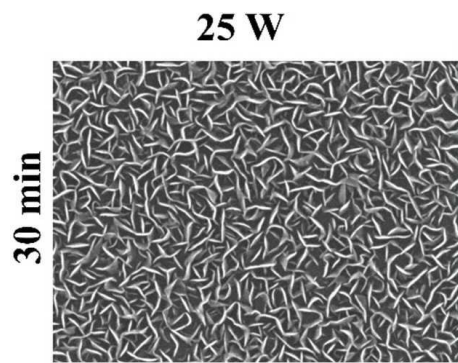
도면23



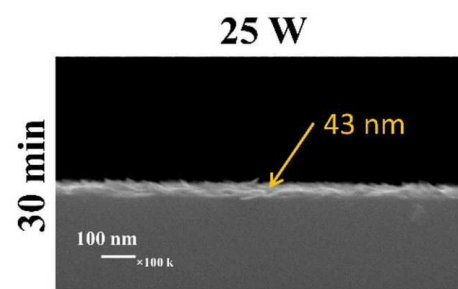
도면24



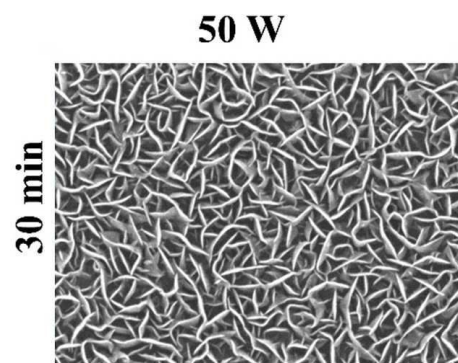
도면25



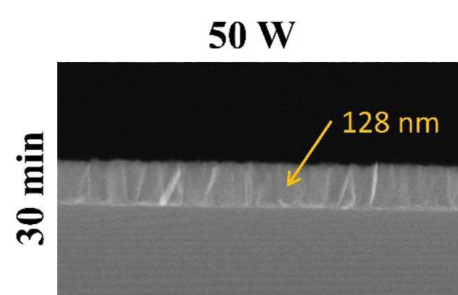
도면26



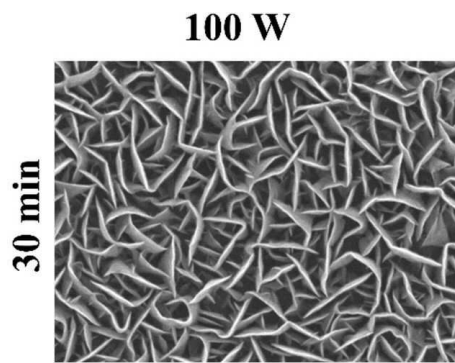
도면27



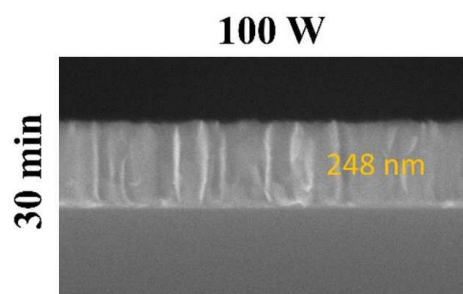
도면28



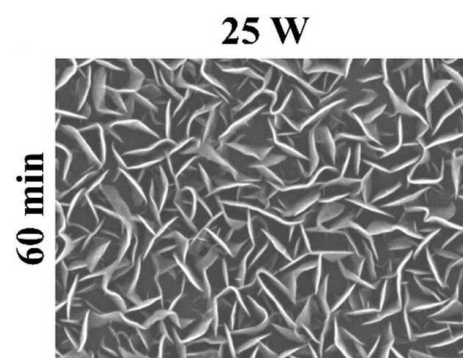
도면29



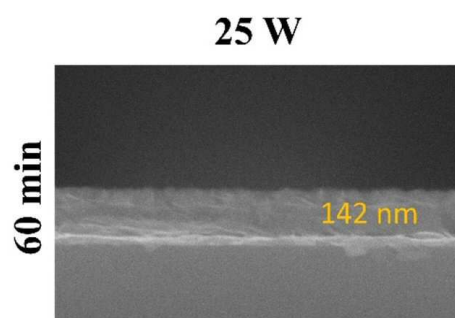
도면30



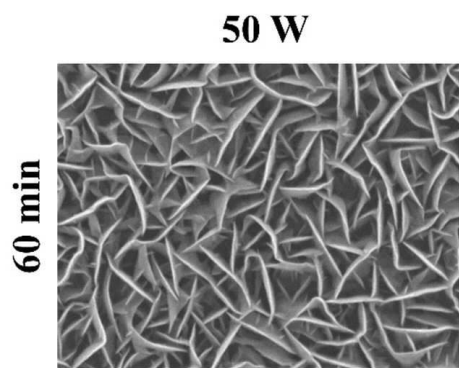
도면31



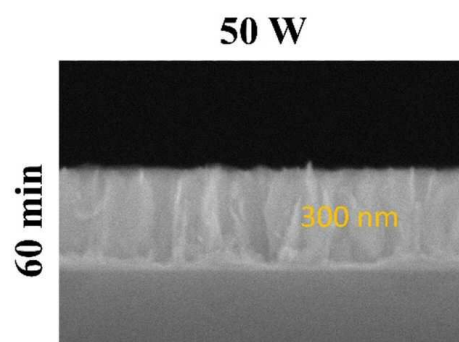
도면32



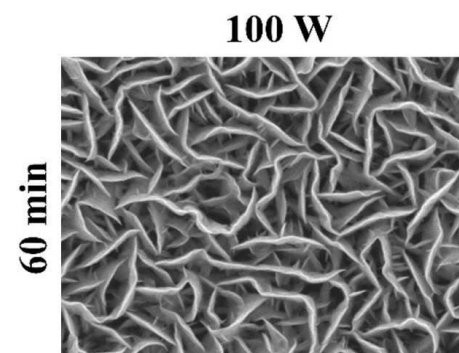
도면33



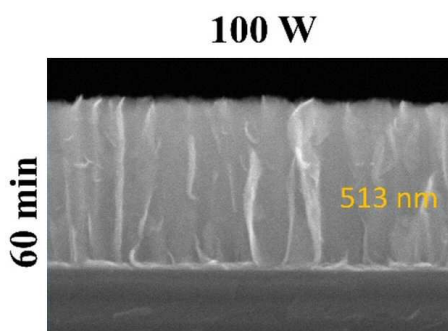
도면34



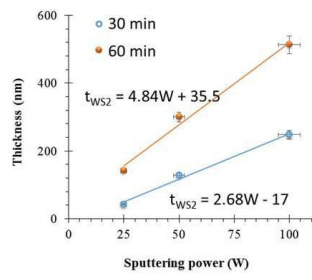
도면35



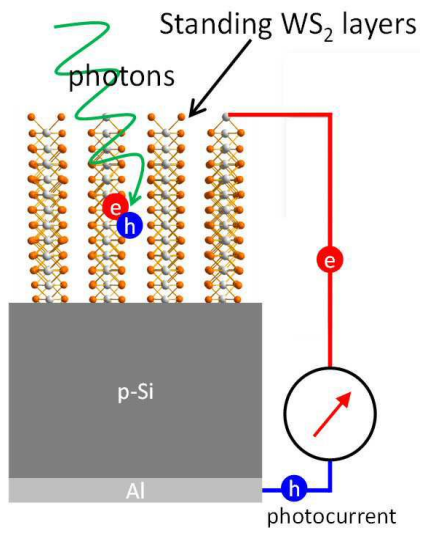
도면36



도면37

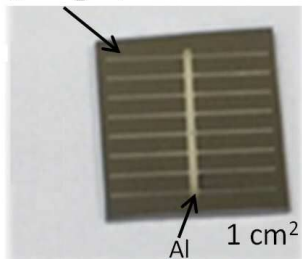


도면38

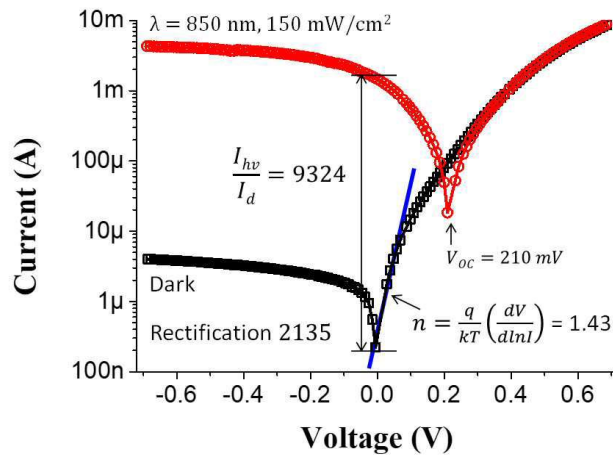


도면39

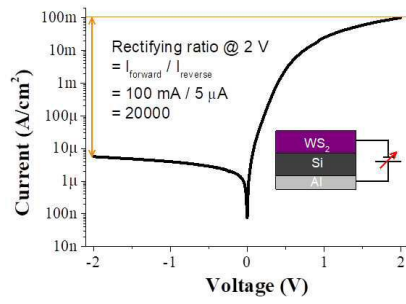
Standing WS₂ layers



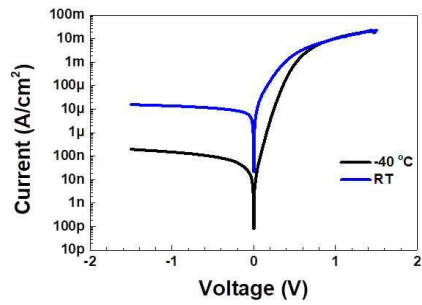
도면40



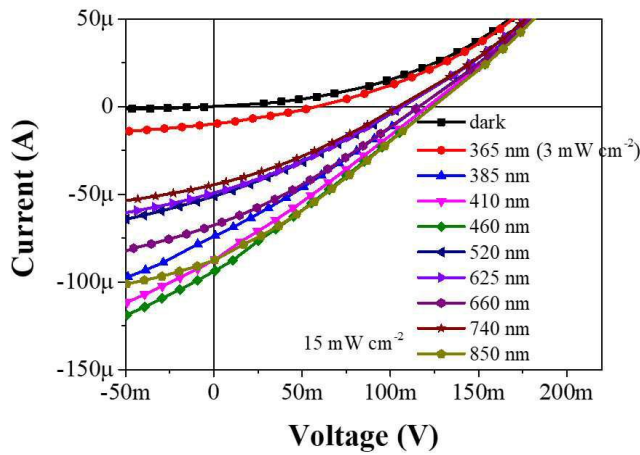
도면41



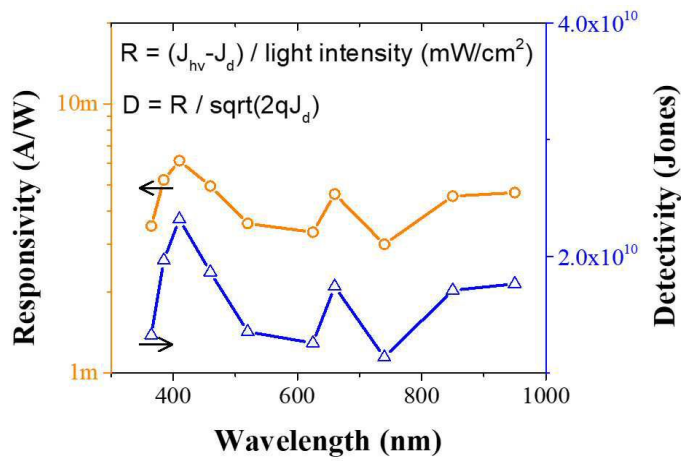
도면42



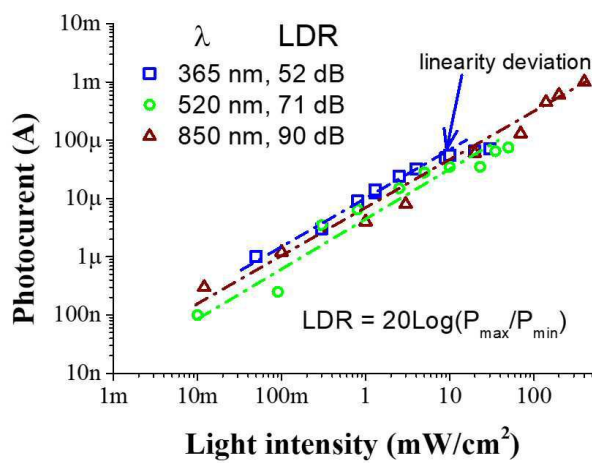
도면43



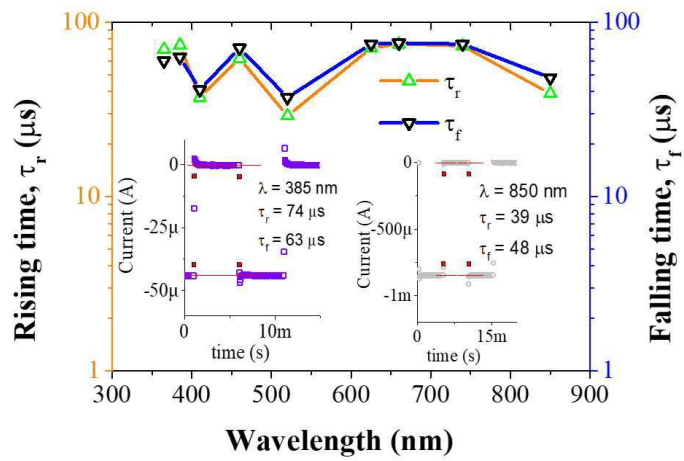
도면44



도면45



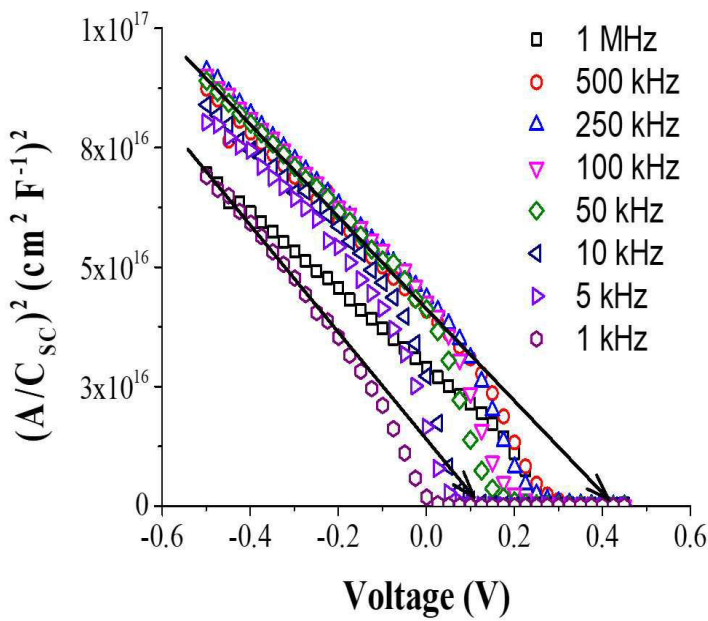
도면46



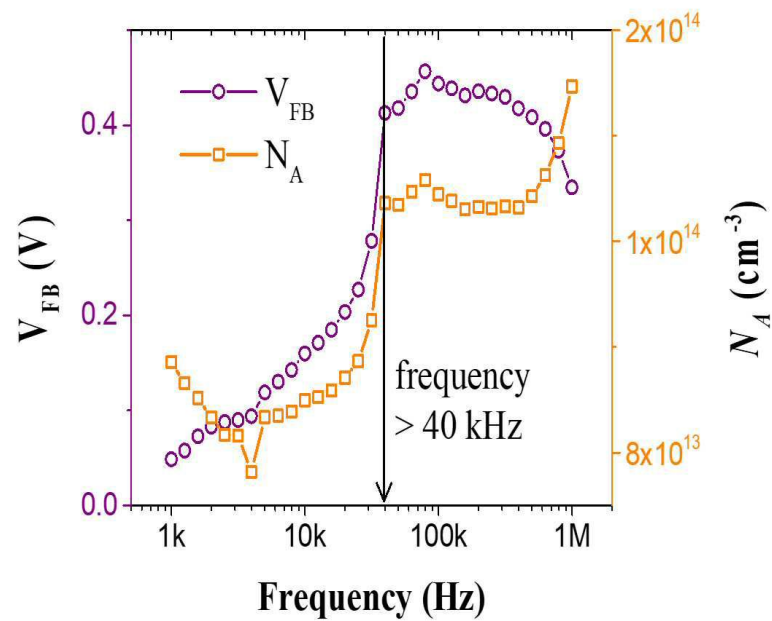
도면47

Device structure	WS ₂ fabrication	A (mm ²)	Condition Bias, λ	τ_r	R	D (Jones)	LDR (dB)	Year/Ref.
Al/WS ₂ /p-Si/Al	RF sputtering (wafer scale)	100	0V, 365 nm				52	This work
Vertical oriented WS ₂			0V, 520 nm	1.1 μ s	4 mA/W	1.5×10^{10}	71	
			0V, 850 nm				90	
Ag/WS ₂ /p-Si/Ag	W sulfurization	4	-5V, (340-1100 nm)	0.67 ms	5.5 A/W	-	-	2017 / ¹⁸
WS ₂ /Gra. (on SiO ₂ /Si)	WO ₃ +sulfure @ 950°C	~0.01	2V, 405 nm	91 s	950 A/W	-	34	2017 / ¹⁶
Au/Ti/WS ₂ /Ti/Au (on quartz)	Sputtering, post-annealing	0.2	5V, 365 nm	-	53.3 A/W	1.2×10^{11}	-	2016 / ³⁶
Cr/Au/Gra./WS ₂ /Gra. /Au/Cr	CVD, transferred	10^{-6}	5V, 532 nm	-	3.5 A/W	9.9×10^{10}	58	2016 / ³³
Au/WS ₂ /Au (on SiO ₂ /Si)	Mechanical exfoliation	0.0003	1V, 633 nm	< 20 ms	5.7 A/W	-	54	2014 ¹³
Au/Ti/WS ₂ /Ti/Au (on quartz)	CVD	0.05	5V, 514 nm	5.3 ms	15 μ A/W	-	60	2013 ¹⁷

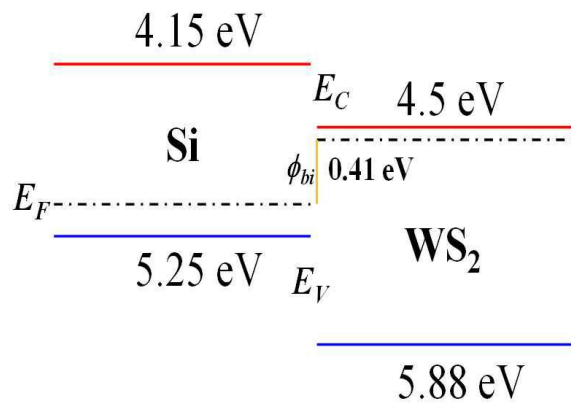
도면48



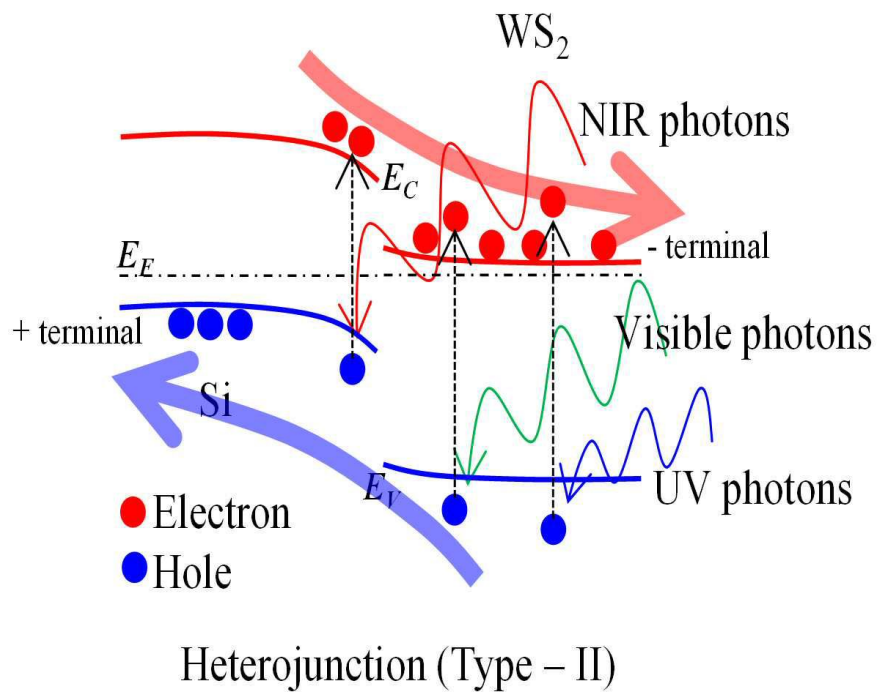
도면49



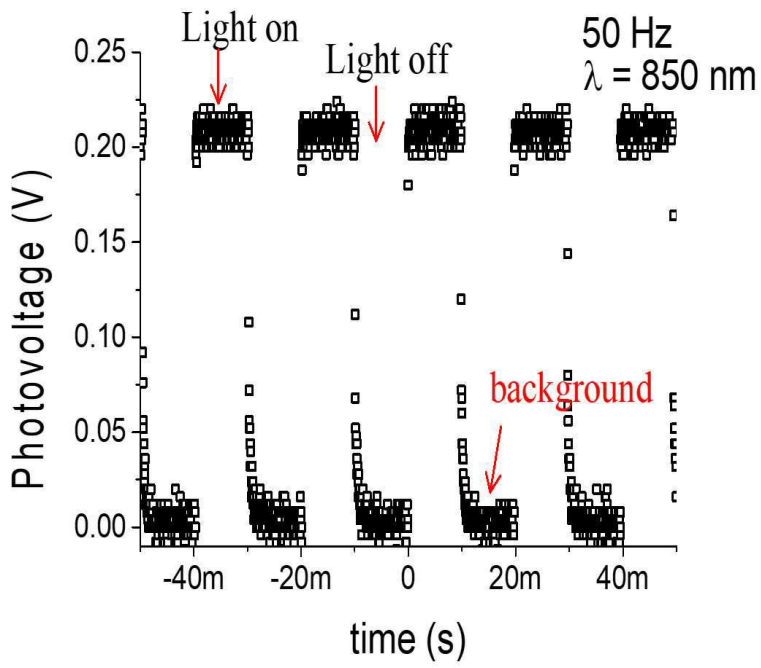
도면50



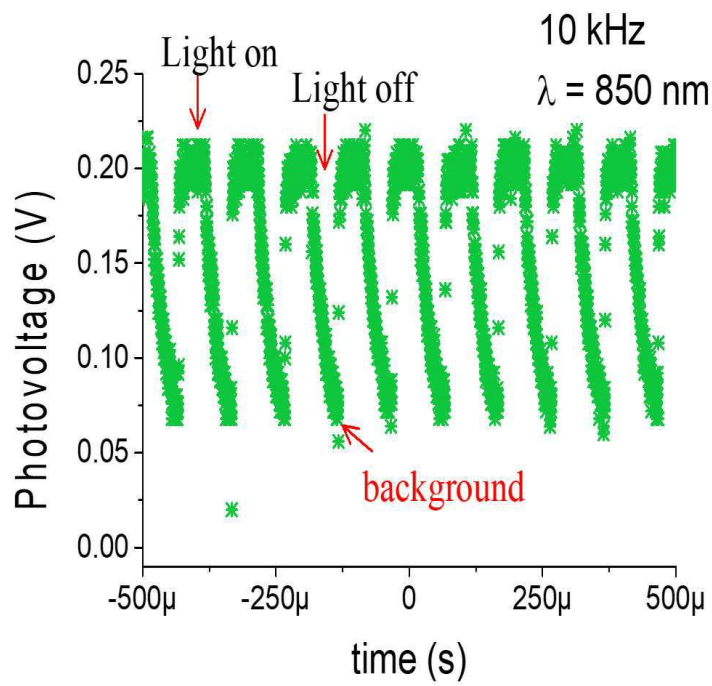
도면51



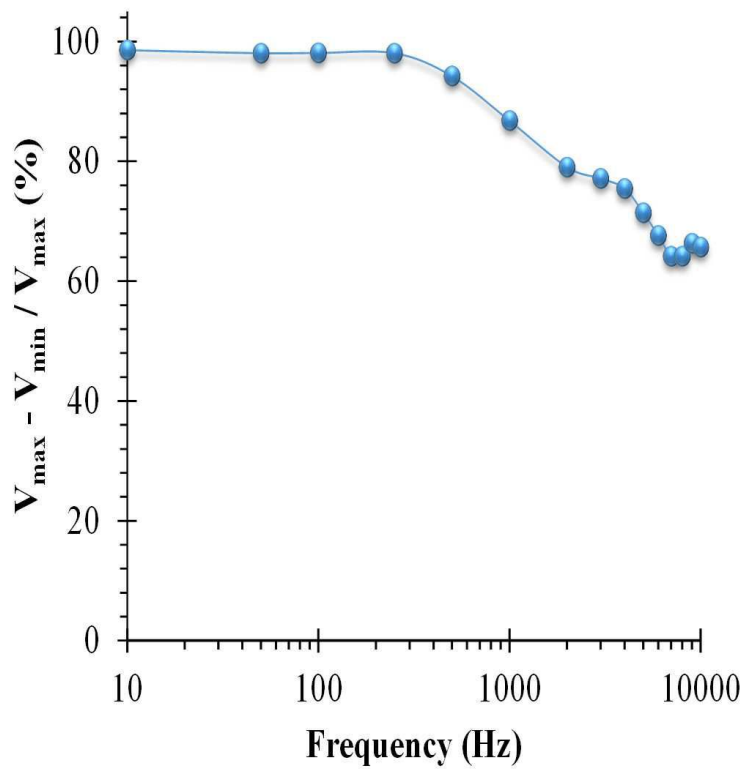
도면52



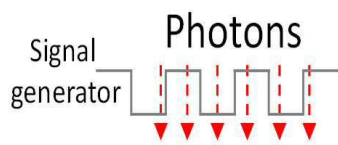
도면53



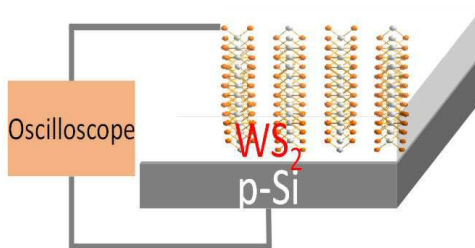
도면54



도면55



도면56



도면57

